

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5394043号  
(P5394043)

(45) 発行日 平成26年1月22日(2014.1.22)

(24) 登録日 平成25年10月25日(2013.10.25)

(51) Int.Cl.	F 1	
HO1L 29/786	(2006.01)	HO1L 29/78 613A
HO1L 21/336	(2006.01)	HO1L 29/78 627D
HO1L 21/02	(2006.01)	HO1L 29/78 620
HO1L 27/12	(2006.01)	HO1L 27/12 B
HO1L 21/8238	(2006.01)	HO1L 27/08 321C

請求項の数 6 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2008-291094 (P2008-291094)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成20年11月13日 (2008.11.13)	(74) 代理人	100116159 弁理士 玉城 信一
(65) 公開番号	特開2009-147313 (P2009-147313A)	(72) 発明者	森若 智昭 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成21年7月2日 (2009.7.2)		
審査請求日	平成23年10月12日 (2011.10.12)		
(31) 優先権主張番号	特願2007-298799 (P2007-298799)		
(32) 優先日	平成19年11月19日 (2007.11.19)		
(33) 優先権主張国	日本国 (JP)		
		審査官	棚田 一也
		(56) 参考文献	特開2006-040911 (JP, A) 国際公開第2007/054403 (WO, A1)
			最終頁に続く

(54) 【発明の名称】半導体基板及びそれを用いた半導体装置、並びにそれらの作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

基板側面の結晶面方位が、第1の結晶面方位である第1の半導体基板の表面に絶縁膜を形成し、

基板側面の結晶面方位が、前記第1の結晶面方位と異なる第2の結晶面方位である第2の半導体基板の表面に絶縁膜を形成し、

前記第1の半導体基板と前記第2の半導体基板とを前記絶縁膜を介して交互に複数枚接合することにより半導体インゴットを形成し、

前記半導体インゴットを、前記第1の結晶面方位を有する第1の半導体層と、前記第2の結晶面方位を有する第2の半導体層とが、交互に配置される面と平行にスライスし、

前記第1の半導体層と、前記第2の半導体層とが、交互に配置された半導体基板を形成し、

前記半導体基板にイオンビームを照射し、前記半導体基板中に脆化層を形成し、

前記半導体基板と、絶縁基板とを重ね合わせ、

前記半導体基板と、前記絶縁基板とを重ね合わせた状態で熱処理を行って、前記脆化層に亀裂を生じさせ、前記半導体基板から単結晶半導体層を分離させ、

前記絶縁基板上に前記第1の半導体層と、前記第2の半導体層とが交互に配置された該単結晶半導体層を形成し、

前記第1の半導体層に、それぞれチャネル形成領域を有する複数個の第1の薄膜トランジスタを形成し、

10

20

前記第2の半導体層に、それぞれチャネル形成領域を有する複数個の第2の薄膜トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、

前記第1の結晶面方位は、{100}であって、

前記第2の結晶面方位は、{110}であることを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において

前記第1の薄膜トランジスタは、チャネル長方向の結晶軸が<100>となるように形成されたN導電型薄膜トランジスタであって、

前記第2の薄膜トランジスタは、チャネル長方向の結晶軸が<110>となるように形成されたP導電型薄膜トランジスタであることを特徴とする半導体装置の作製方法。

【請求項4】

基板側面の結晶面方位が、第1の結晶面方位である第1の半導体基板の表面に絶縁膜を形成し、

基板側面の結晶面方位が、前記第1の結晶面方位と異なる第2の結晶面方位である第2の半導体基板の表面に絶縁膜を形成し、

前記第1の半導体基板と、前記第2の半導体基板とを前記絶縁膜を介して交互に複数枚接合することにより半導体インゴットを形成し、

前記半導体インゴットにおいて、前記第1の結晶面方位を有する第1の半導体層と、前記第2の結晶面方位を有する第2の半導体層とが、交互に配置される面と平行にスライスすることを特徴とする半導体基板の作製方法。

【請求項5】

請求項4において、

前記第1の半導体基板の側面の結晶面方位は、{100}であって、

前記第2の半導体基板の側面の結晶面方位は、{110}であることを特徴とする半導体基板の作製方法。

【請求項6】

請求項4又は請求項5において、

前記第1の半導体基板は、P導電型であって、

前記第2の半導体基板は、N導電型であることを特徴とする半導体基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は絶縁表面上に半導体層がもうけられた所謂SOI(Silicon on Insulator)構造を有する半導体基板及び半導体装置、並びにそれらの作製方法に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウェハに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ(以下、「SOI」ともいう)と呼ばれる半導体基板を使った集積回路が開発されている。SOI基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

【0003】

SOI基板の製造方法は様々なものがあるが、SOI層の品質と生産しやすさ(スループット)を両立させたものとして、スマートカット(登録商標)と呼ばれるSOI基板が知られている。このSOI基板は、シリコン層からなるボンドウェハに水素イオンを注入し、別のウェハ(ベースウェハ)と室温で張り合わせる。張り合わせにはファン・デル・ワールス力を利用し、室温で強固な接合を形成することができる。その結果、ベースウェハ

10

20

30

40

50

と接合されたボンドウェハは、500程度の温度で熱処理することで、水素イオンが注入された層を境界として分離する。

【0004】

また高耐熱性ガラスである結晶化ガラス上に、スマートカット法を利用して得られた単結晶シリコン薄膜を形成する方法が知られている（特許文献1参照）。

【0005】

【特許文献1】特開平11-163363号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

SOI基板上にCMOSFETを用いた集積回路を作製する場合、チャネル部分の導電型がN型の半導体で形成されるN導電型薄膜トランジスタ（以下TFTと記す）とチャネル部分の導電型がP型の半導体で形成されるP導電型TFTを同一基板上に作製する必要がある。さらに、それぞれのTFTの動作特性をより高めるためには、チャネル形成領域の結晶の面方位が重要となる。N導電型のTFTの場合、キャリアである電子の移動度が最も高くなる結晶の面方位が{100}面であり、P導電型のTFTの場合、キャリアである正孔の移動度が最も高くなる結晶の方位が{110}面である。つまり、N導電型とP導電型によって最適なチャネル形成領域の結晶の面方位が異なる。

10

【0007】

それに対して、一枚の単結晶半導体基板からイオン注入剥離法を用いて形成したSOI基板は、SOI層の単結晶半導体の結晶面方位が一つに限定される。例えば、{100}方位の半導体基板から形成されるSOI層の面方位は、全領域に渡って{100}方位となる。したがって、イオン注入剥離法によって形成されるSOI層を用いてCMOS回路を作製する場合、各TFTのチャネル形成領域を最適な結晶面方位を有する単結晶半導体膜で形成することができないため、回路の動作特性をより高めることが難しいという課題がある。

20

【課題を解決するための手段】

【0008】

本発明は、上記課題を鑑み成されたものであり、同一基板平面上に形成されたN導電型TFTのチャネル領域とP導電型TFTのチャネル形成領域となる単結晶半導体層の結晶面方位が、それぞれのTFTにおいて最適な結晶面方位となるように、単結晶半導体層を形成する。

30

【0009】

本発明の代表的な構成は次の通りである。円形の単結晶半導体基板を矩形状に成形し、2種類の単結晶半導体基板を各々複数枚形成する。この際、2種類の単結晶半導体基板は、基板側面が互いに異なる結晶面方位を有する様に形成する。例えば、一方は側面の結晶面方位が{100}であり、もう一方は{110}とする。2種類の矩形状単結晶半導体基板それぞれの表面に絶縁膜を形成した後、絶縁膜を介し2種類の矩形状単結晶半導体基板を交互に複数枚重ね合わせ接合し、四角柱状の半導体インゴットを作製する。すなわち、四角柱状の半導体インゴットの6つの面のうち4つ側面は、第1の結晶面方位を有する半導体層と、第2の結晶面方位を有する半導体層とが縞状に交互に分布した単結晶半導体表面となる。半導体インゴットを、第1の結晶面方位を有する半導体層と、第2の結晶面方位を有する半導体層とが縞状に交互に分布した単結晶半導体表面と平行に薄くスライスし、表面をCMP（Chemical Mechanical Polishing）等により研磨し、基板面上に第1の結晶面方位を有する半導体層と、第2の結晶面方位を有する半導体層とが、縞状に交互に配置された矩形状半導体基板を形成する。

40

【0010】

次に、基板面上に第1の結晶面方位を有する半導体層と、第2の結晶面方位を有する半導体層とが、縞状に交互に配置された矩形状半導体基板の表面に絶縁膜を形成した後、基板表面から所定の深さの領域に水素イオン等を添加し脆化層を形成する。絶縁膜上に接合層

50

を形成し、絶縁基板と接合層とを接合し、接合した状態で加熱処理を施すことで脆化層に亀裂が生じ、矩形状半導体基板が分離して、第1の結晶面方位を有する半導体層と、第2の結晶面方位を有する半導体層とが、縞状に交互に配置された単結晶半導体膜が絶縁基板上に形成される。

【発明の効果】

【0011】

本発明により、絶縁基板上に異なる結晶面方位を有する単結晶半導体層を形成することが可能となる。また、上記過程において基板面上に異なる結晶面方位を有する単結晶半導体基板の形成が可能となる。これにより、N導電型TFT及びP導電型TFTのチャネル形成領域に、それぞれ適した結晶方位の選択が可能となり、各TFTの電界効果移動度の向上、すなわち、より動作特性の高い半導体装置の作製が可能となる。また、低電圧で駆動することが可能となり、半導体集積回路の低消費電力化を図ることができる。

10

【0012】

また、一回の分離熱処理工程で、絶縁基板上に異なる結晶面方位を有する単結晶半導体薄層が形成できるため、工程の簡略化が図られる。

【発明を実施するための最良の形態】

【0013】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更しうることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じか又は対応する要素を指す符号は異なる図面間で共通して用いることとする。

20

【0014】

(実施の形態1)

本実施の形態では、絶縁基板上に異なる結晶面方位を有する単結晶半導体層を形成する工程について説明する。まず、結晶面方位が{100}であるN導電型の半導体基板を矩形状に形成する。その際、基板側面の結晶面方位が{100}となるように第1の半導体基板101を形成する(図1(A))。同様に、結晶面方位が{100}であるP導電型の半導体基板を矩形状に形成する。その際、基板側面の結晶面方位が{110}となるように第2の半導体基板102を形成する(図1(B))。ここで、第1の半導体基板101及び第2の半導体基板102としては、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板を適用することができる。

30

【0015】

次に、第1の半導体基板101及び第2の半導体基板102の一方の表面に酸化珪素膜103及び104を形成する。酸化珪素膜は、例えばTEOSガスと酸素ガスとの混合ガスを用いて化学気相成長法(CVD法: Chemical Vapor Deposition法)またはプラズマ化学気相成長法(プラズマCVD法)等により形成され、10nm以上800nm以下の膜厚で形成することが望ましい。

40

【0016】

次に、第1の半導体基板101と第2の半導体基板102とを交互に複数枚接合し、積層構造を有する四角柱状の半導体インゴット201を作製する(図2(A))。接合は第1の半導体基板101の一方の表面に形成された酸化珪素膜103と第2の半導体基板102の一方の表面に形成された酸化珪素膜104と第1の半導体基板101の酸化珪素膜103が形成されていない表面とが密接することにより形成され、接合の形成は室温で行うことが可能である。この接合は原子レベルで行われ、ファン・デル・ワールス力が作用して室温で強固な接合が形成される。必要であれば半導体インゴット201に熱処理を施し、更に接合を強化してもよい。また、第1の半導体基板101及び第2の半導体基板102の両表面に酸化珪素膜103及び104を形成し接合してもよい。

50

## 【0017】

これにより、半導体インゴット201を形成する6つの面のうち4つの面において、交互に異なる結晶面方位が縞状に現れる。なお、半導体インゴット201の大きさ及び縞状の各層の厚さは用いる半導体基板の径の大きさ、厚さ、重ね合わせる枚数等により適宜選択できる。

## 【0018】

なお、本実施の形態においては、半導体基板をあらかじめ矩形状に形成した後、基板の接合を行ったが、円形の状態で第1の半導体基板と第2の半導体基板を円形状基板の中心を回転軸として互いに位置を45°または135°ずらしながら交互に接合し、その後四角柱状に形成してもよい。

10

## 【0019】

後の分離熱処理工程での作業性を考慮し半導体インゴット201を交互に異なる結晶面方位が縞状に現れる面と平行に薄くスライスし、基板表面をCMP等により平坦化することで矩形状の半導体基板202を形成する(図2(B))。以上より、同一平面上に第1の結晶面方位を有する複数の第1の半導体層と第1の結晶面方位とは異なる第2の結晶面方位を有する複数の第2の半導体層が縞状に交互に配置され、複数の絶縁層が、第1の半導体層と第2の半導体層の間に配置されている半導体基板を作製することができる。勿論、半導体インゴットのまま後の工程を行うことも可能である。

## 【0020】

以下に、図3および4に示すように、半導体基板202から絶縁基板305上に単結晶半導体層を形成する工程について説明する。なお、絶縁基板305には、ガラス、石英、サファイア等が適応可能である。

20

## 【0021】

まず、半導体基板202上に酸化窒化珪素膜301、窒化酸化珪素膜302を順次成膜する(図3(A))。なお、本明細書において、酸化窒化珪素膜とは、その組成として、窒素原子よりも酸素原子の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、珪素が25~35原子%、水素が0.1~10原子%の範囲で含まれるものという。窒化酸化珪素膜とは、その組成として、酸素原子よりも窒素原子の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~55原子%、珪素が25~35原子%、水素が10~30原子%の範囲で含まれるものという。但し、酸化窒化珪素膜または窒化酸化珪素膜を構成する原子の合計を100原子%としたとき、窒素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。ここで、酸化窒化珪素膜301、窒化酸化珪素膜302は、次に行う脆化層を形成するためのイオン照射工程で半導体基板が金属などの不純物に汚染されることを防止し、また、照射されるイオンの衝撃による基板表面の損傷を防止する保護膜としての役割を有する。この保護膜は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜等の絶縁膜を適宜選択し用いてもよい。なお、本実施の形態において、保護膜は積層膜であるが、単層膜としてもよい。

30

## 【0022】

次に、半導体基板202に、電界によって加速されたイオンビーム203を照射し、脆化層303を形成する(図3(B))。半導体基板202から絶縁基板上に形成される単結晶半導体膜の厚さは、脆化層303が形成される領域の深さによって決まる。当該単結晶半導体層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmとする。なお、脆化層303が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって制御できる。

40

## 【0023】

イオン照射の際に用いるガスとしては水素ガス、希ガス等があるが、本実施の形態では水

50

素ガスを用いることが好ましい。水素ガスを用いた場合生成するイオン種は、 $H^+$ 、 $H_2^+$ 及び $H_3^+$ であるが、 $H_3^+$ が最も多く照射されることが好ましい。 $H_3^+$ は $H^+$ 、 $H_2^+$ よりもイオンの添加効率がよく、照射時間の短縮を図ることができる。また、後の分離熱処理工程において脆化層に亀裂が生じやすくなる。

【0024】

次に、窒化酸化珪素膜302上に接合層304を形成する。接合層は、平滑で親水性の接合面を有することが好ましく、接合層304はCVD法等により形成される酸化珪素膜が好適である。酸化珪素膜の厚さは10nm乃至200nm、好ましくは20nm乃至50nmの厚さとする。

【0025】

次に、絶縁基板305の基板表面と半導体基板202上に形成された接合層304とを超音波洗浄等の方法で洗浄した後、密着させ接合を行う(図3(C))。接合は、絶縁基板305と接合層304との間にファン・デル・ワールス力が作用することによって行われ、常温で接合することができる。この際、絶縁基板305と接合層304との間に絶縁基板側の接合層としての酸化珪素膜を設けてもよい。

【0026】

絶縁基板305と半導体基板202の接合を形成した後、400乃至650の熱処理を行い、半導体基板202から単結晶半導体層306を剥離(分離)する。この熱処理により、脆化層303に形成された微小な空孔に体積変化が起り、脆化層に沿って亀裂が生じ、破断面が形成される。この破断面に沿って単結晶半導体層306を剥離することができる(図3(D))。また、この熱処理により絶縁基板305と半導体基板202の接合界面が加熱されるため、接合界面に水素結合よりも強固な共有結合が形成され接合が強化される。このようにして、絶縁基板305上に異なる結晶面方位を有する単結晶半導体層306が形成される。単結晶半導体層306は、図4に示すような{110}面を有する第1の半導体層306a及び{100}面を有する第2の半導体層306bが複数個集まって形成されている。第1の半導体層306aはP導電型TFTのチャネル形成領域とし、第2の半導体層306bはN導電型TFTのチャネル形成領域とすることができます。

【0027】

本実施の形態によれば、一回の分離熱処理工程で絶縁基板に異なる結晶面方位を有する単結晶半導体層を形成することができるため、工程の簡略化が可能である。また、N導電型TFTを結晶面方位が{100}である領域に形成し、P導電型TFTを結晶面方位が{110}である領域に形成することで、N導電型TFT及びP導電型TFTの電界効果移動度が高められた半導体集積回路を提供することができる。

【0028】

さらに、図4に示すようにP導電型TFTのチャネル長方向307aを結晶軸<110>と平行に、N導電型TFTのチャネル長方向307bを結晶軸<100>と平行に揃えることで、よりTFTの動作性能が高くなる。

【0029】

本実施の形態においては、2種類の半導体基板(P導電型及びN導電型)を用いたが、例えば、P導電型(またはN導電型)半導体基板を用いて絶縁基板305上に2種類の結晶面方位を有する単結晶半導体層306を形成し、結晶面方位が{110}(または{100})である領域にN導電型(またはP導電型)ウェルを形成してもよい。

【0030】

(実施の形態2)

実施の形態1では結晶面方位が{100}である半導体基板を用いたが、本実施の形態では、図5および6に示すように、結晶面方位が{110}である半導体基板を用いて半導体基板212を作製する場合について説明する。

【0031】

まず、結晶面方位が{110}であるP導電型の半導体基板を矩形状に形成する。その際、基板側面に結晶面方位{100}と{110}とが交互に現れるように第1の半導体基

10

20

30

40

50

板 1 1 1 を形成する(図5( A ) )。同様に、結晶面方位が{ 1 1 0 }であるN導電型の半導体基板を矩形状に形成する。その際、基板側面に結晶面方位{ 1 0 0 }と{ 1 1 0 }とが交互に現れるように第2の半導体基板 1 1 2 を形成する(図5( B ) )。

**【 0 0 3 2 】**

次に、実施の形態1と同様に、第1の半導体基板 1 1 1 及び第2の半導体基板 1 1 2 の一方の表面に酸化珪素膜 1 0 3 及び 1 0 4 を形成する。酸化珪素膜は、例えばTEOSガスと酸素ガスとの混合ガスを用いてCVD法またはプラズマCVD法等により形成され、10nm以上800nm以下の膜厚で形成することが望ましい。

**【 0 0 3 3 】**

次に、第1の半導体基板 1 1 1 と第2の半導体基板 1 1 2 を交互に複数枚接合し、積層構造を有する四角柱状の半導体インゴット 2 1 1 を作製する(図6( A ) )。この際、半導体インゴット 2 1 1 の側面に結晶面方位{ 1 0 0 }と{ 1 1 0 }とが交互に現れるように接合する。接合は第1の半導体基板 1 1 1 の一方の表面に形成された酸化珪素膜 1 0 3 と第2の半導体基板 1 1 2 の酸化珪素膜 1 0 4 が形成されていない表面及び第2の半導体基板 1 1 2 の一方の表面に形成された酸化珪素膜 1 0 4 と第1の半導体基板 1 1 1 の酸化珪素膜 1 0 3 が形成されていない表面とが密接することにより形成され、接合の形成は室温で行うことが可能である。この接合は原子レベルで行われ、ファン・デル・ワールス力が作用して室温で強固な接合が形成される。必要であれば半導体インゴット 2 1 1 に熱処理を施し、更に接合を強化してもよい。また、第1の半導体基板 1 1 1 及び第2の半導体基板 1 1 2 の両表面に酸化珪素膜 1 0 3 及び 1 0 4 を形成し接合してもよい。

**【 0 0 3 4 】**

これにより、半導体インゴット 2 1 1 を形成する6つの面のうち4つの面において交互に異なる結晶面方位が縞状に現れる。なお、半導体インゴット 2 1 1 の大きさ及び縞状の各層の厚さは用いる半導体基板の径の大きさ、厚さ、重ね合わせる枚数等により適宜選択できる。

**【 0 0 3 5 】**

なお、本実施の形態においては、半導体基板をあらかじめ矩形状に形成した後、基板の接合を行ったが、円形の状態で第1の半導体基板と第2の半導体基板を円形状基板の中心を回転軸として互いに位置を90°または270°ずらしながら交互に積層し、半導体インゴットを作製した後、四角柱状に形成してもよい。

**【 0 0 3 6 】**

次に、実施の形態1と同様に、半導体インゴット 2 1 1 を異なる結晶面方位が縞状に現れる面と平行に薄くスライスし、基板表面をCMP等により平坦化することで矩形状の半導体基板 2 1 2 を形成する(図6( B ) )。なお、該矩形状の半導体基板 2 1 2 から絶縁基板上に単結晶半導体層を転置する工程については、実施の形態1に記載の方法に準じる。

**【 0 0 3 7 】**

(実施の形態3)

本実施の形態では、CMOS回路を用いた半導体装置の一例として、インバーター回路を作製する工程例について説明する。なお、本発明はこのような単純な回路に限定されず、マイクロプロセッサをはじめとする様々な集積回路を実現することができる。図7乃至図13において( A )はインバーター回路の上面図を示し、( B )はA-B線に対応する断面図を示す。

**【 0 0 3 8 】**

図4にしめされた単結晶半導体層 3 0 6 が絶縁膜 4 1 7 を介して絶縁基板 3 0 5 上に形成されているSOI基板を用いて半導体装置を作製する。また、実施例2の図6( B )に示した半導体基板 2 1 2 を単結晶半導体層の形成に利用してもよい。まず、単結晶半導体層 3 0 6 をエッチングにより島状に加工し、{ 1 1 0 }面を有する第1の半導体層 3 0 6 a から第1の活性層 4 0 0 a を、{ 1 0 0 }面を有する第2の半導体層 3 0 6 b から第2の活性層 4 0 0 b を複数個形成する。第1の活性層 4 0 0 a はP導電型TFTのチャネル形成領域に、第2の活性層 4 0 0 b はN導電型TFTのチャネル形成領域に用いる。このと

10

20

30

40

50

き、単結晶半導体層306と同時に絶縁膜417もエッティングしてもよい。なお、絶縁膜417は、酸化窒化珪素膜301、窒化酸化珪素膜302及び接合層304の積層絶縁膜である。

#### 【0039】

図7(A)及び(B)は、島状に加工された第1の活性層400a及び第2の活性層400bが設けられた絶縁基板305にゲート絶縁層及びゲート電極を形成する工程を示している。第1の活性層400a及び第2の活性層400b上には、ゲート絶縁層401を介して、ゲート電極層402が設けられる。ゲート絶縁層401としては、酸化珪素(SiO<sub>x</sub>)、酸化窒化珪素(SiO<sub>x</sub>N<sub>y</sub>)、酸化ハフニウム(HfO<sub>x</sub>)、酸化アルミニウム(Al<sub>x</sub>O<sub>y</sub>)( $x > y > 0$ )、酸化タンタル(Ta<sub>x</sub>O<sub>y</sub>、 $x > y > 0$ )などの材料を適用することができる。図7(B)では、ゲート絶縁層401とゲート電極層402の側端部が揃うように加工されているが、ゲート電極層402のエッティングにおいてゲート絶縁層401を残すように加工してもよい。例えば、ゲート絶縁層401をテープ状に残すような加工をしてもよい。

10

#### 【0040】

ゲート電極層402は単層構造であっても、積層構造であってもよい。本実施の形態では、第1のゲート電極層403、第2のゲート電極層404の積層構造の場合を示す。ゲート絶縁層401に高誘電率物質(high-k材料)を用いる場合には、ゲート電極層402を多結晶シリコン、シリサイド、金属若しくは金属窒化物で形成し、好適には金属若しくは金属窒化物で形成することが望ましい。ゲート電極層が積層構造であることを考慮すると、ゲート絶縁層401と接する第1のゲート電極層403を金属窒化物材料で形成し、第2のゲート電極層404を金属材料で形成することができる。この組み合わせを用いることによって、ゲート絶縁層が薄膜化した場合でもゲート電極に空乏層が広がってしまうことを積極的に防止でき、微細化した場合にもトランジスタの駆動能力を損なうことを防止することができる。

20

#### 【0041】

図8はゲート電極層402上に第1の絶縁層405を形成する工程を示している。第1の絶縁層405として、酸化珪素膜若しくは酸化窒化珪素膜をCVD法やスパッタ法により形成する。他の形態として、ゲート電極層402を酸化又は窒化処理により絶縁化して同様の層を形成してもよい。第1の絶縁層405はゲート電極層402の側壁にも1nm乃至10nmの厚さで形成されるようにする。第1の絶縁層405は、第1の活性層400a及び第2の活性層400bに対し、価電子制御を目的とした不純物が添加されないオフセット領域を形成するためにも設けている。

30

#### 【0042】

図9は、第1の活性層400a及び第2の活性層400bに極浅不純物領域(ソースドレインエクステンション)を形成する工程を示している。この極浅不純物領域によって、短チャネル効果を抑制することができる。P導電型TFTの第1の活性層400aに対しては第13族元素が添加される第1の極浅不純物領域406を形成し、N導電型TFTの第2の活性層400bに対しては第15族元素が添加される第2の極浅不純物領域407を形成する。なお図9(A)において、極浅不純物領域406、407を分かりやすく示すため、ゲート電極層402周囲の第1の絶縁層405のみを示し、第1の絶縁層405の外側に極浅不純物領域406、407を点線で示すが、第1の絶縁層405は、第1の活性層400a、第2の活性層400b、ゲート電極層402の全体を覆っている。この極浅不純物領域の不純物濃度は、例えば、第1の極浅不純物領域406については、硼素を15keV、 $3 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入を行い、第2の極浅不純物領域407については、砒素を15keV、 $2 \times 10^{14} / \text{cm}^2$ のドーズ量でイオン注入を行う。

40

#### 【0043】

次いで、図10で示すように、ゲート電極層402の側面に第1のサイドウォール408、第2のサイドウォール409を形成する。例えば、第1のサイドウォール408、第2

50

のサイドウォール 409 は窒化珪素膜で形成される。これらのサイドウォールは異方性エッチングにより自己整合的に形成する。

【0044】

この場合、第1の活性層 400a 側の第1のサイドウォール 408 と、第2の活性層 400b 側の第2のサイドウォール 409 の幅を同じとなるように加工しても良いが、好ましくはこの両者の幅が異なるように加工する。P導電型 TFT である第1の活性層 400a に対する第1のサイドウォール 408 の幅は、N導電型 TFT である第2の活性層 400b に対する第2のサイドウォール 409 の幅よりも厚くするとよい。P導電型 TFT においてソース領域及びドレイン領域を形成するために注入される硼素は拡散しやすく、短チャネル効果を誘起しやすいためである。むしろ、このような構成とすることで、P導電型 TFT において、ソース領域及びドレイン領域に高濃度の硼素を添加することが可能となり、ソース領域及びドレイン領域を低抵抗化することができる。

【0045】

サイドウォールを形成した後、図11で示すように、第1の絶縁層 405 の露出部をエッチングした後、ソース領域及びドレイン領域を自己整合的に形成する。この工程は、価電子制御する不純物イオンを電界で加速して注入するイオン注入法で行うことができる。図11(B)には、第1の活性層 400a には第13族元素を添加して、ソース領域及びドレイン領域となる第1の不純物領域 410 を形成する状態を示す。また第2の活性層 400b には第15族元素を添加して、ソース領域及びドレイン領域となる第2の不純物領域 411 を形成する。例えば、P導電型 TFT の第1の活性層 400a については、硼素を 30 keV、 $3 \times 10^{15} / \text{cm}^2$  のドーズ量でイオン注入する。N導電型 TFT の第2の活性層 400b については、砒素を 50 keV、 $5 \times 10^{15} / \text{cm}^2$  のドーズ量でイオン注入する。上記のイオン種、加速電圧及びドーズ量のドーピング条件は例示であって、適宜設定した条件とすることもできる。

【0046】

ソース領域及びドレイン領域をさらに低抵抗化するには、第1及び第2の活性層に対して、シリサイド層を形成してもよい。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを適用すればよく、少なくともソース領域及びドレイン領域をシリサイド化すればよく、活性層の上面及び端面に対してシリサイド層を形成することとなる。なお、上記活性層の厚さが薄い場合等には、活性層の底部までシリサイド反応を進めて、低抵抗化を図ってもよい。また、ゲート電極層 402 に多結晶シリコンを用いている場合には、ゲート電極層 402 をさらに低抵抗化するためにも、第1の絶縁層 405 をエッチングしてゲート電極層の上面にシリサイド層を形成するとよい。ソース領域及びドレイン領域に対するシリサイド層と、ゲート電極層に対するシリサイド層とは同時に作製することができる。

【0047】

図12では、パッシベーション層 412、第1の層間絶縁層 413、コンタクトプラグ 414 を形成する工程を示す。パッシベーション層 412 は窒化珪素膜、窒化酸化珪素膜などを CVD 法で全面に成膜する。第1の層間絶縁層 413 は、リンシリケートガラス (PSG) 若しくはボロンリンシリケートガラス (BPSG) を CVD 法で成膜し、リフローにより平坦化して形成する。または、CVD 法でテトラエトキシシラン (Tetra-Ethyl-Ortho-Silicate、 $\text{Si}(\text{OCH}_2\text{CH}_3)_4$ ) を用いて酸化珪素膜を形成し、その後 CMP で平坦化してもよい。コンタクトプラグ 414 は、第1の層間絶縁層 413 に形成したコンタクトホールを埋め込むようにタングステンシリサイドで形成する。タングステンシリサイドは六フッ化タングステン (WF<sub>6</sub>) とシラン (SiH<sub>4</sub>) を用いて CVD 法で形成する。

【0048】

配線の多層化は、半導体素子及び該素子を用いた装置の構成に応じて考慮される。図13では、第1の層間絶縁層 413 の上に、第2の層間絶縁層 415 と配線 416 を設けた構成を示している。配線はタングステンシリサイドで形成しても良いし、ダマシン法により

10

20

30

40

50

Cu配線を設けてもよい。

【0049】

(実施の形態4)

本実施の形態は、半導体素子を有する装置(半導体装置)の一例としてマイクロプロセッサの態様について図14を参照して説明する。

【0050】

図14はマイクロプロセッサ501の一例を示す。このマイクロプロセッサ501では、N導電型TFTを構成する活性層と、P導電型TFTを構成する活性層の結晶面方位が異なっている。

【0051】

このマイクロプロセッサ501は、演算回路502(Arithmetic logic unit。ALUともいう。)、演算回路制御部503(ALU Controller)、命令解析部504(Instruction Decoder)、割り込み制御部505(Interrupt Controller)、タイミング制御部506(Timing Controller)、レジスタ507(Register)、レジスタ制御部508(Register Controller)、バスインターフェース509(Bus I/F)、読み出し専用メモリ510、及びROMインターフェース511(ROM I/F)を有している。

【0052】

バスインターフェース509を介してマイクロプロセッサ501に入力された命令は、命令解析部504に入力されてデコードされた後、演算回路制御部503、割り込み制御部505、レジスタ制御部508、タイミング制御部506に入力される。演算回路制御部503、割り込み制御部505、レジスタ制御部508、タイミング制御部506は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路制御部503は、演算回路502の動作を制御するための信号を生成する。また、割り込み制御部505は、マイクロプロセッサ501のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部508は、レジスタ507のアドレスを生成し、マイクロプロセッサの状態に応じてレジスタ507の読み出しや書き込みを行う。

【0053】

またタイミング制御部506は、演算回路502、演算回路制御部503、命令解析部504、割り込み制御部505、レジスタ制御部508の動作のタイミングを制御する信号を生成する。例えばタイミング制御部506は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。なお、図14に示すマイクロプロセッサ501は、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0054】

本実施の形態のマイクロプロセッサは、P導電型TFTの第1の活性層とN導電型TFTに供する第2の活性層が、絶縁基板の同一面に設けられ、かつ、その両者の結晶面方位が異なっている。このように、TFTのチャネルを流れるキャリアにとって移動度が高くなる結晶面を適用することにより、マイクロプロセッサの動作の高速化を図ることができる。また、低電圧で駆動することが可能となり、低消費電力化を図ることができる。すなわち、キャリアが原子で散乱される確率を低減することができ、それによって電子又はホールの受ける抵抗を減少させ、マイクロプロセッサの性能向上を図ることができる。

【0055】

(実施の形態5)

本実施の形態は、半導体素子を有する装置の一例として通信回路を有し非接触でデータの入出力が可能なマイクロコンピュータの態様について図15を参照して説明する。

【0056】

10

20

30

40

50

図15は本実施の形態に係るマイクロコンピュータ512のブロック図を示している。このマイクロコンピュータ512は、アンテナ回路513、アナログ回路部514及びデジタル回路部515を有している。アナログ回路部514として、共振容量を有する共振回路516、定電圧回路517、整流回路518、復調回路519と、変調回路520、リセット回路521、発振回路522、電源管理回路523を有している。デジタル回路部515は、RFインターフェース524、制御レジスタ525、クロックコントローラ526、インターフェース527、中央処理ユニット528、ランダムアクセスメモリ529、読み出し専用メモリ530を有している。また、マイクロコンピュータ512の動作に必要な電力は、無線信号をアンテナ回路513が受信したものを、整流回路518を経て整流された電力が蓄電部531に充電される。蓄電部531はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで構成される。蓄電部531はマイクロコンピュータ512と一緒に形成されている必要はなく、別部品としてマイクロコンピュータ512を構成する絶縁表面を有する基板に取り付けられていれば良い。

#### 【0057】

このような構成のマイクロコンピュータ512の動作は以下の通りである。アンテナ回路513が受信した信号は共振回路516により誘導起電力を生じる。入力された信号は、復調回路519で復調され、制御命令やデータ信号がデジタル回路部515に出力される。リセット回路521は、デジタル回路部515をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路522は、定電圧回路517により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。ローパスフィルタで形成される復調回路519は、例えば振幅変調(ASK)方式の受信信号の振幅の変動を二値化する。変調回路520は、送信データを振幅変調(ASK)方式の送信信号の振幅を変動させて送信する。変調回路520は、共振回路516の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ526は、電源電圧又は中央処理ユニット528における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路523が行っている。

#### 【0058】

アンテナ回路513からマイクロコンピュータ512に入力された信号は復調回路519で復調された後、RFインターフェース524で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ525に格納される。制御コマンドには読み出し専用メモリ530に記憶されているデータの読み出し、ランダムアクセスメモリ529へのデータの書き込み、中央処理ユニット528への演算命令などが含まれている。中央処理ユニット528は、インターフェース527を介して読み出し専用メモリ530、ランダムアクセスメモリ529、制御レジスタ525にアクセスする。インターフェース527は、中央処理ユニット528が要求するアドレスより、読み出し専用メモリ530、ランダムアクセスメモリ529、制御レジスタ525のいずれかに対するアクセス信号を生成する機能を有している。

#### 【0059】

中央処理ユニット528の演算方式は、読み出し専用メモリ530にOS(オペレーティングシステム)を記憶させておいて、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット528が実行する方式を適用することができる。

#### 【0060】

図16は、上記のような構成を有する本実施の形態に係るマイクロコンピュータの外観を示す。絶縁基板305に複数の活性層が設けられ、それによりN導電型TFT及びP導電型TFTが形成される素子形成層532を有している。素子形成層532は、図15におけるアナログ回路部514及びデジタル回路部515を形成する。アンテナ533は絶縁

10

20

30

40

50

基板 305 上に設けられている。また、このアンテナ 533 に替えてアンテナ接続端子を設けても良い。図 16 で示すアンテナ 533 は磁界型のスパイラルアンテナを示すが、電界型のアンテナとしてダイポールアンテナなどと組み合わせても良い。

#### 【0061】

図 17 は、図 16 で示すマイクロコンピュータの要部を示し、断面構造を模式的に示している。絶縁基板 305 上には第 1 の活性層 400a 及び第 2 の活性層 400b によって P 導電型 TFT 及び N 導電型 TFT が形成されている。第 2 の層間絶縁層 415 よりも下層の構成は図 13 と同様であるので省略する。

#### 【0062】

第 1 の配線 416 上には第 3 の層間絶縁層 534、第 4 の層間絶縁層 535 が形成されている。第 3 の層間絶縁層 534 は酸化珪素膜、第 4 の層間絶縁層 535 は窒化珪素膜で形成し、デュアルダマシンにより、第 3 の層間絶縁層 534 に形成される開口部は、第 4 の層間絶縁層 535 に形成される開口部より狭くなっている。その開口部に窒化タンタルなどのバリアメタル 536 を形成し、銅メッキにより銅配線 537 を形成している。さらに第 5 の層間絶縁層 538、第 6 の層間絶縁層 539 を形成し、第 6 の層間絶縁層 539 に対してのみ開口部を形成し、該開口部にバリアメタル 540 及び銅メッキによる銅配線 541 を設ける。銅配線 541 上には、第 7 の層間絶縁層 542 が形成されており、アンテナ 533 を銅配線 541 に接続するための開口部を形成する。そして、アンテナ 533 を第 7 の層間絶縁層 542 上に設け、銅配線 541 と接続させる。図 17 では、アンテナ 533 と銅配線 541 との境界にシード層 543 を形成するが、該シード層はアンテナ 533 を銅メッキ法で形成する場合に設けられる。アンテナ 533 はインクジェット法や印刷法等により直接描画することもでき、スパッタリングによりアルミニウムなどの導電膜を堆積し、それをフォトリソグラフィー法でアンテナ形状に加工してもよい。

10

20

30

#### 【0063】

このようなマイクロコンピュータは、絶縁基板 305 として大面積のガラス基板を用いることによって生産性を向上させることができる。例えば、市場に流通している第 4 世代の液晶パネルには  $730\text{ mm} \times 920\text{ mm}$  のガラス基板が採用されており、面積は  $671600\text{ mm}^2$  である。このようなガラス基板からマイクロコンピュータを取り出す場合、チップの切しろの分を無視したとしても、 $2\text{ mm}$  角で切り出す場合には概算でも 34 万個を取り出すことができる。ガラス基板の厚さは  $0.4 \sim 0.7\text{ mm}$  であり、TFT の活性層を取り出すことによって、ガラス基板の厚さを  $0.1 \sim 0.3\text{ mm}$  程度まで薄くすることも可能である。

30

#### 【0064】

本実施の形態のマイクロコンピュータは、P 導電型 TFT の第 1 の活性層と N 導電型 TFT に供する第 2 の活性層が、絶縁基板の同一面に設けられ、かつ、その両者の結晶面方位が異なっている。このように、TFT のチャネルを流れるキャリアにとって移動度が高くなる結晶面を適用することにより、マイクロコンピュータの動作の高速化を図ることができる。また、低電圧で駆動することが可能となり、低消費電力化を図ることができる。すなわち、キャリアが原子で散乱される確率を低減することができ、それによって電子又はホールの受ける抵抗を減少させ、マイクロコンピュータの性能向上を図ることができる。

40

#### 【0065】

##### (実施の形態 6)

本実施の形態では、同一表面上に二つの異なる結晶面方位を有する半導体基板 202 を用いた CMOS トランジスタについて説明する。

#### 【0066】

図 18 は半導体基板 202 を用いて形成した CMOS トランジスタの一例である。第 1 の活性層 400a、第 2 の活性層 400b、絶縁領域 701、不純物領域 702 及び 703、ゲート絶縁層 704、ゲート電極層 705、第 1 の絶縁層 706、第 2 の絶縁層 707、配線 708 等により構成される。P 電型トランジスタが形成される第 1 の活性層 400a と N 導電型トランジスタが形成される第 2 の活性層 400b は互いに結晶面方位が異な

50

つており、それぞれのチャネルを流れるキャリアにとって移動度が高くなる結晶面を適用している。また、N導電型トランジスタとP導電型トランジスタは絶縁領域701の存在により完全に分離されている。

【0067】

図19は従来の半導体基板を用いて形成したCMOSトランジスタの一例である。N導電型基板809、P導電型のウェル810、不純物領域802及び803、ゲート絶縁層804、ゲート電極層805、第1の絶縁層806、第2の絶縁層807、配線808等により構成される。N導電型トランジスタとP導電型トランジスタの活性層は同一の結晶面方位を有している。また、従来のCOMSトランジスタでは、N導電型トランジスタとP導電型トランジスタが電気的に完全に分離されていないため、基板内部にPNPNという寄生サイリスタ構造が形成される。これにより、入力電圧が電源電圧の範囲を超えて入力されるとラッチアップが発生する。ラッチアップはCMOSトランジスタ特有の不良モードである。

【0068】

本実施の形態のCMOSトランジスタは、N導電型トランジスタの活性層とP導電型トランジスタの活性層をそれぞれのチャネルを流れるキャリアにとって移動度が高くなる結晶面方位を適用することにより、動作の高速化を図ることができる。また、低電圧で駆動することが可能となり、低消費電力化を図ることができる。また、本実施の形態のCMOSトランジスタでは絶縁領域701の存在により、ウェルを形成する必要がなく工程の簡略化が可能であり、基板内部に寄生サイリスタ構造を有しないため、ラッチアップの抑制を図ることができる。

【図面の簡単な説明】

【0069】

【図1】矩形状の半導体基板の例を示す斜視図。

【図2】半導体基板の作製工程を説明する図。

【図3】単結晶半導体膜を絶縁基板に転写する工程を説明する図。

【図4】トランジスタの形成方向について説明する図。

【図5】矩形状の半導体基板の例を示す斜視図。

【図6】半導体基板の作製工程を説明する図。

【図7】半導体装置の作製工程を説明する図。

【図8】半導体装置の作製工程を説明する図。

【図9】半導体装置の作製工程を説明する図。

【図10】半導体装置の作製工程を説明する図。

【図11】半導体装置の作製工程を説明する図。

【図12】半導体装置の作製工程を説明する図。

【図13】半導体装置の作製工程を説明する図。

【図14】マイクロプロセッサの態様について説明するブロック図。

【図15】マイクロコンピュータの態様について説明するブロック図。

【図16】マイクロコンピュータの外観例を示す斜視図。

【図17】マイクロコンピュータの構成を説明する断面図。

【図18】実施の形態6におけるCMOSトランジスタの構造の断面図。

【図19】従来のCMOSトランジスタの構造例を示す断面図。

【符号の説明】

【0070】

101 第1の半導体基板

102 第2の半導体基板

103 酸化珪素膜

104 酸化珪素膜

111 第1の半導体基板

112 第2の半導体基板

10

20

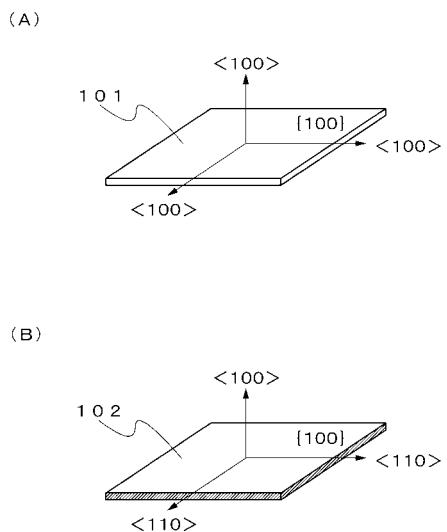
30

40

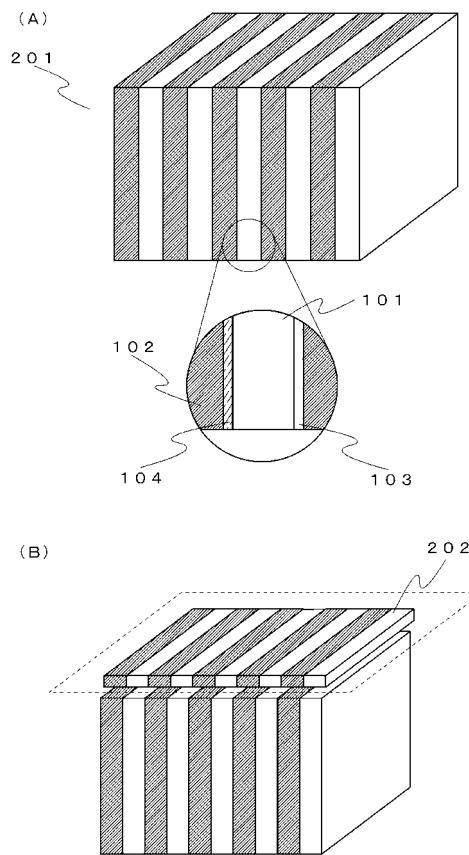
50

2 0 1	半導体インゴット	
2 0 2	半導体基板	
2 0 3	イオンビーム	
2 1 1	半導体インゴット	
2 1 2	半導体基板	
3 0 1	酸化窒化珪素膜	
3 0 2	窒化酸化珪素膜	
3 0 3	脆化層	
3 0 4	接合層	
3 0 5	絶縁基板	10
3 0 6	単結晶半導体層	
3 0 6 a	第1の半導体層	
3 0 6 b	第2の半導体層	
3 0 7 a	P導電型TFTのチャネル長方向	
3 0 7 b	N導電型TFTのチャネル長方向	

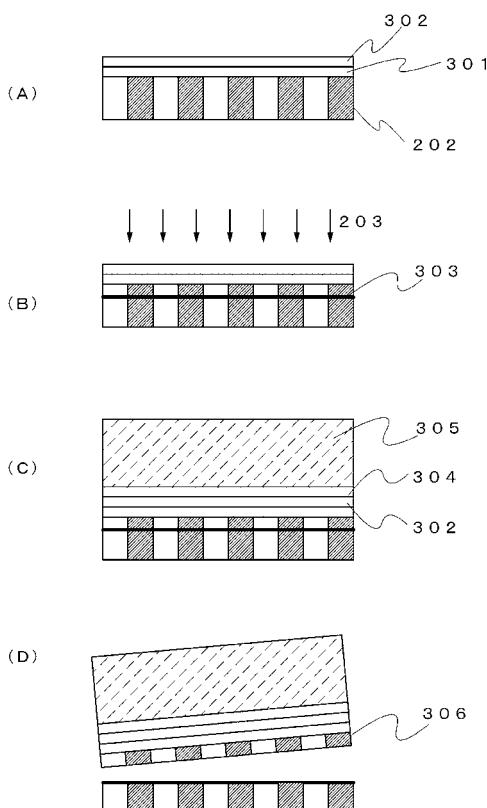
【図1】



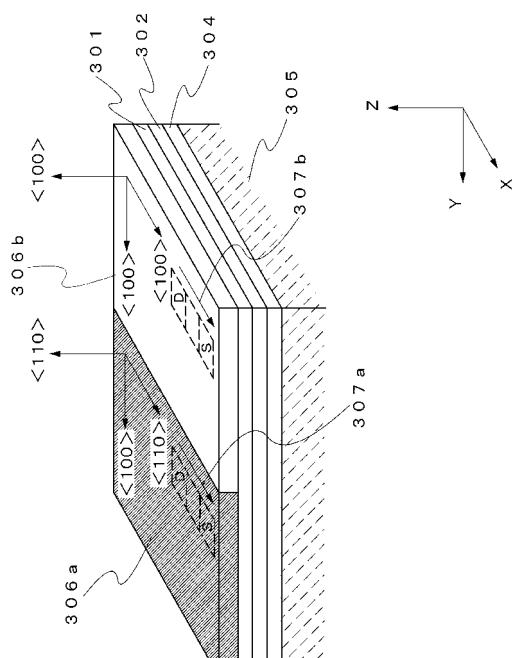
【図2】



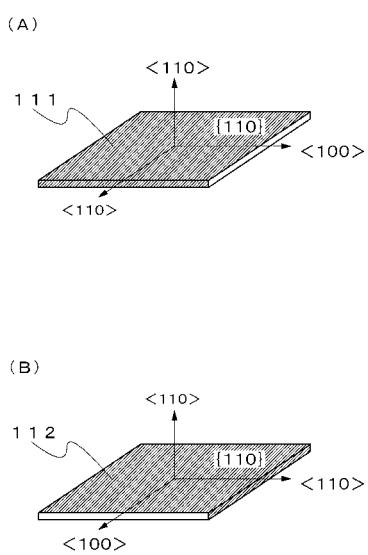
【図3】



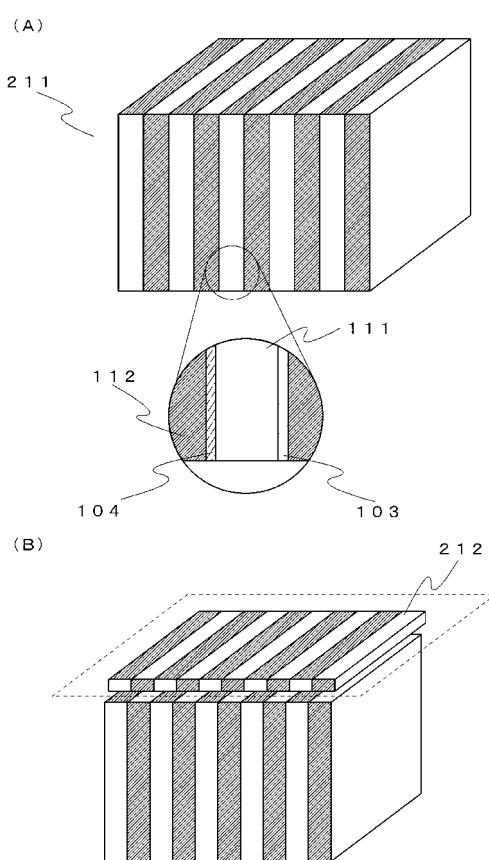
【図4】



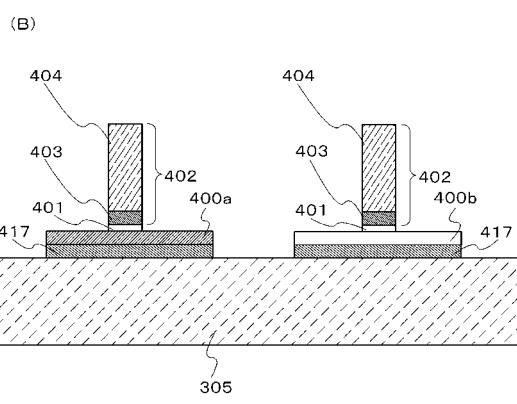
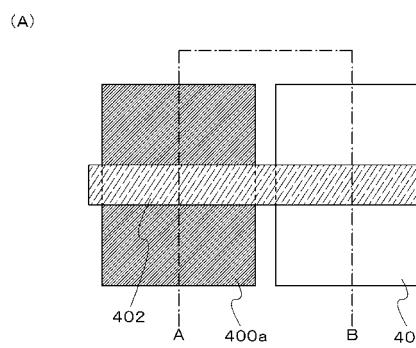
【図5】



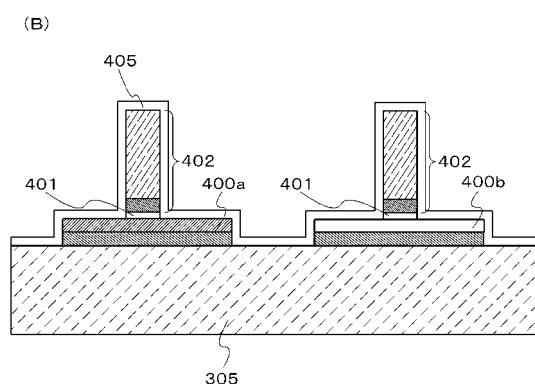
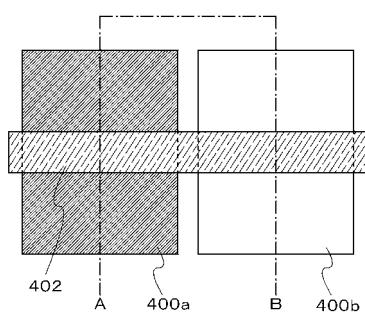
【図6】



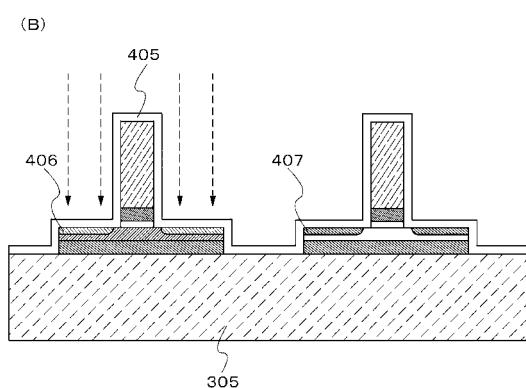
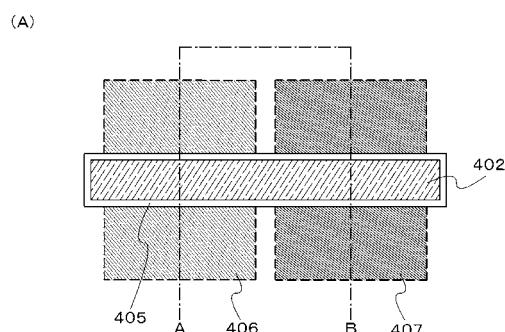
【図7】



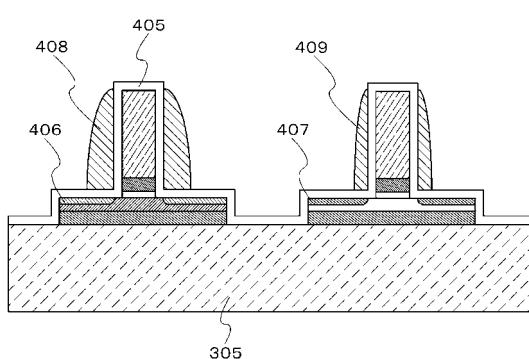
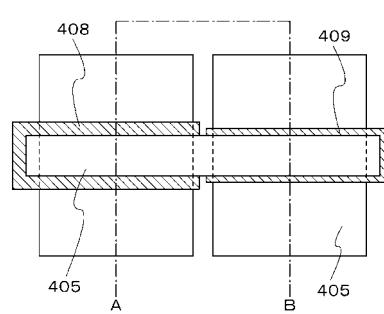
【図8】



【図9】

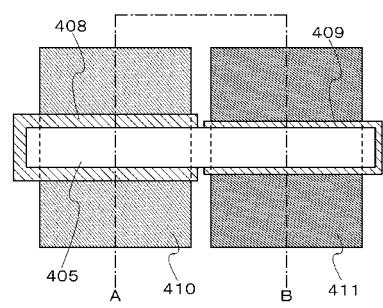


【図10】

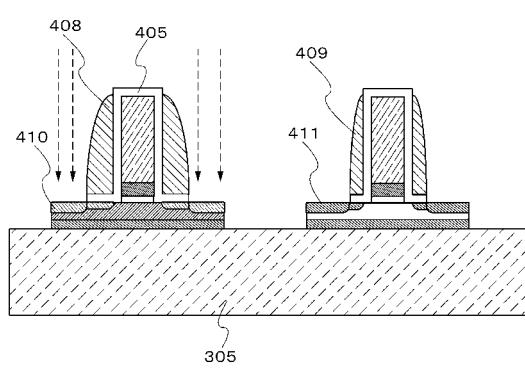


【図11】

(A)

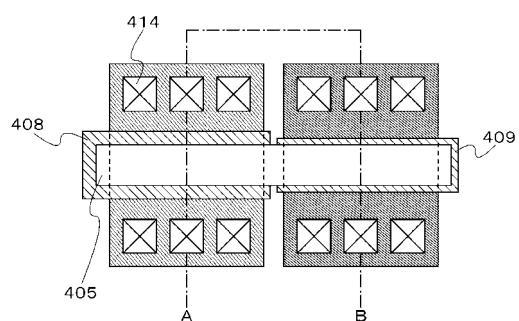


(B)

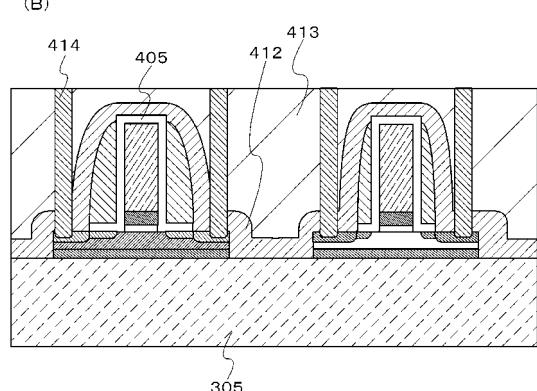


【図12】

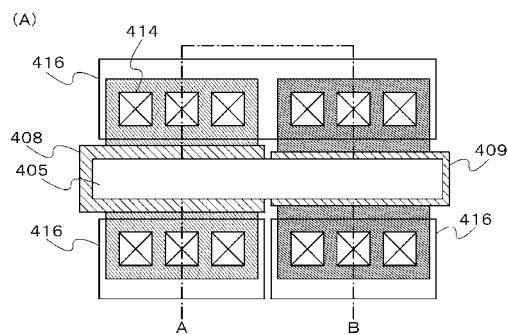
(A)



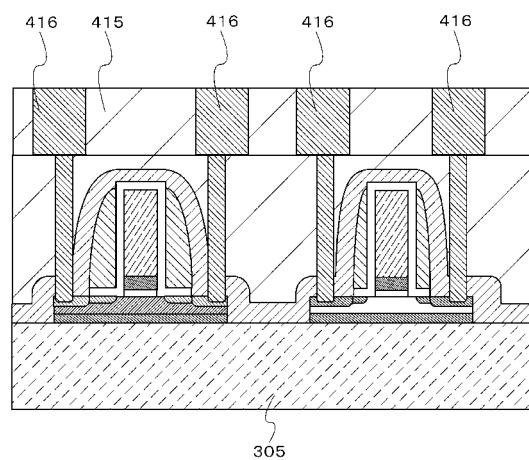
(B)



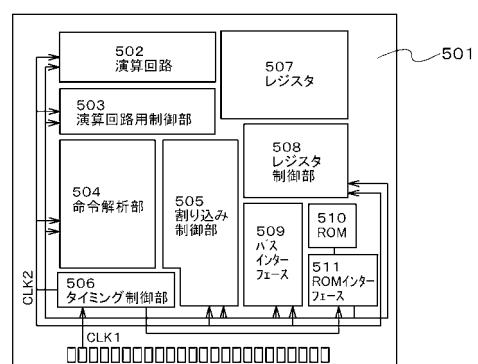
【図13】



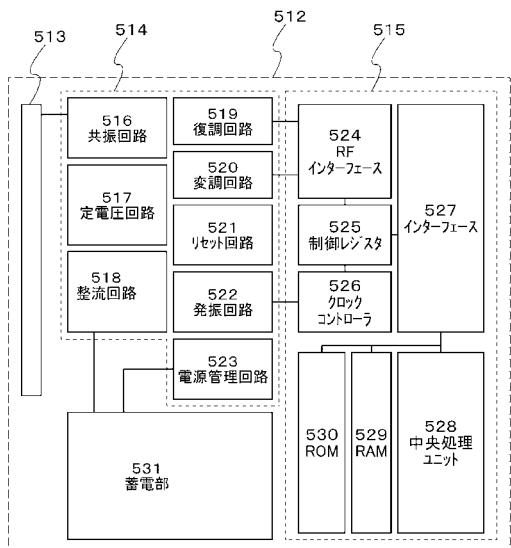
(B)



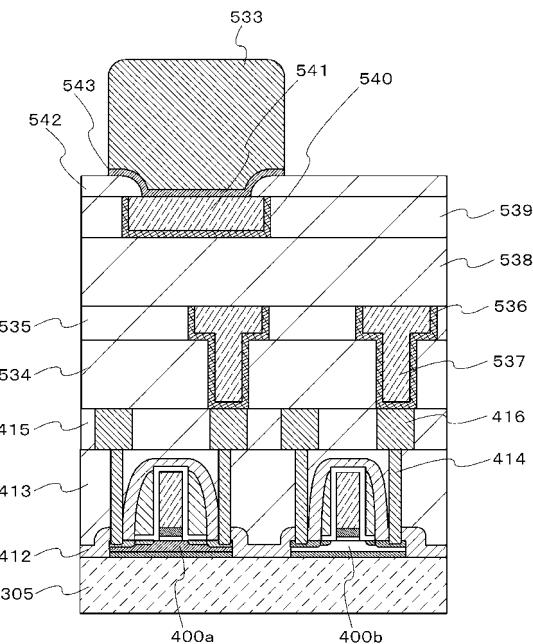
【図14】



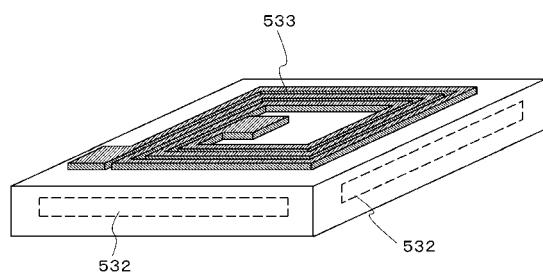
【図15】



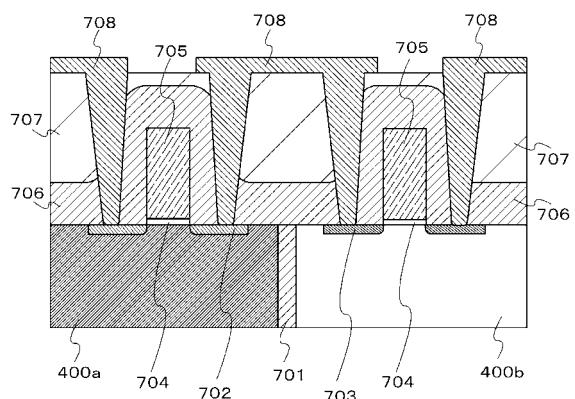
【図17】



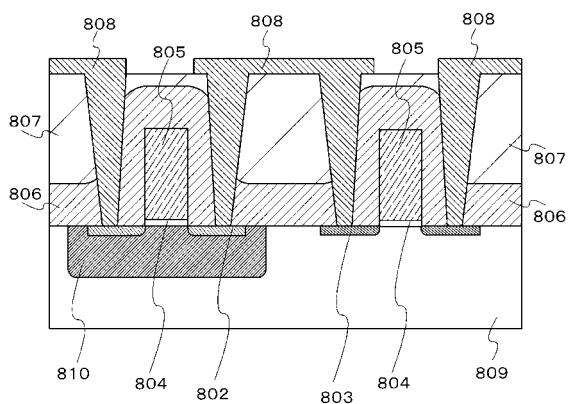
【図16】



【図18】



【図19】



---

フロントページの続き

(51)Int.Cl.	F I
H 01 L 27/092 (2006.01)	H 01 L 27/08 3 3 1 E
H 01 L 27/08 (2006.01)	H 01 L 27/08 3 2 1 B
H 01 L 21/8234 (2006.01)	H 01 L 27/06 1 0 2 A
H 01 L 27/06 (2006.01)	

## (58)調査した分野(Int.Cl. , DB名)

H 01 L	2 9 / 7 8 6
H 01 L	2 1 / 0 2
H 01 L	2 1 / 3 3 6
H 01 L	2 1 / 8 2 3 4
H 01 L	2 1 / 8 2 3 8
H 01 L	2 7 / 0 6
H 01 L	2 7 / 0 8
H 01 L	2 7 / 0 9 2
H 01 L	2 7 / 1 2