(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5662122号
(P5662122)

(45)発行日　平成27年1月28日(2015.1.28)　(24)登録日　平成26年12月12日(2014.12.12)

(51)Int.Cl.			F I		
G11C	11/4076	(2006.01)	G11C	11/34	354C
H03K	5/151	(2006.01)	H03K	5/15	C
H03K	5/15	(2006.01)	H03K	5/15	P
H03K	17/00	(2006.01)	H03K	17/00	E
H03K	17/16	(2006.01)	H03K	17/16	F

請求項の数 21　(全 22 頁)　最終頁に続く

(21)出願番号　特願2010-266592 (P2010-266592)
(22)出願日　平成22年11月30日 (2010.11.30)
(65)公開番号　特開2012-119024 (P2012-119024A)
(43)公開日　平成24年6月21日 (2012.6.21)
審査請求日　平成25年10月31日 (2013.10.31)

(73)特許権者　513192281
ピーエスフォー　ルクスコ　エスエイアールエル
ＰＳ４　Ｌｕｘｃｏ　Ｓ．ａ．ｒ．ｌ．
ルクセンブルク大公国エル－２１２１、ルクセンブルク、ヴァル　デ　ボン　マラデス２０８
(74)代理人　100115738
弁理士　鷲頭　光宏
(74)代理人　100121681
弁理士　緒方　和文
(74)代理人　100130982
弁理士　黒瀬　泰之
(74)代理人　100127199
弁理士　三谷　拓也

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
外部クロック信号に基づいて第１の内部クロック信号を生成するＤＬＬ回路と、
前記第１の内部クロック信号に基づいて、互いに位相の異なる第２及び第３の内部クロック信号を生成するクロック分割回路と、
第１の内部データ信号に基づいて、前記第２及び第３のクロック信号の一方に応じて第２及び第３の内部データ信号を出力するマルチプレクサと、を備え、
前記クロック分割回路に供給される内部電源電圧と前記マルチプレクサに供給される内部電源電圧は、互いに異なる電源回路によって生成され、且つ、該半導体装置内で分離されていることを特徴とする半導体装置。
【請求項２】
前記マルチプレクサは、前記第１の内部データ信号に続いて供給される第４の内部データ信号に基づいて、前記第２及び第３のクロック信号の他方に応じて第５及び第６の内部データ信号を出力することを特徴とする請求項１に記載の半導体装置。
【請求項３】
メモリセルアレイと、
前記メモリセルアレイから読み出された前記第１の内部データ信号を前記マルチプレクサに供給するデータ転送回路と、
外部電源電圧に基づいてそれぞれ第１乃至第３の内部電源電圧を生成する第１乃至第３の電源回路と、をさらに備え、

前記第１乃至第３の内部電源電圧のレベルは互いに等しく、且つ、該半導体装置内で分離されており、
前記データ転送回路は前記第１の内部電源電圧によって動作し、
前記クロック分割回路は前記第２の内部電源電圧によって動作し、
前記マルチプレクサは前記第３の内部電源電圧によって動作する、ことを特徴とする請求項２に記載の半導体装置。
【請求項４】
前記外部電源電圧に基づいて第４の内部電源電圧を生成する第４の電源回路をさらに備え、
前記第１乃至第４の内部電源電圧のレベルは互いに等しく、且つ、該半導体装置内で分離されており、
前記ＤＬＬ回路に含まれるディレイラインは前記第４の内部電源電圧によって動作する、ことを特徴とする請求項３に記載の半導体装置。
【請求項５】
前記ＤＬＬ回路によって生成された前記第１の内部クロック信号を前記クロック分割回路に供給するクロックツリー回路をさらに備え、前記クロックツリー回路は前記第２の内部電源電圧によって動作することを特徴とする請求項４に記載の半導体装置。
【請求項６】
前記第２及び第３の内部データ信号を伝送する信号パス上にそれぞれ挿入されたレベルシフト回路部をさらに備えることを特徴とする請求項１乃至５のいずれか一項に記載の半導体装置。
【請求項７】
データ出力端子と、
前記データ出力端子と第３の電源配線との間に接続された前記第１導電型の第１の出力トランジスタと、
前記データ出力端子と第４の電源配線との間に接続された前記第２導電型の第２の出力トランジスタと、をさらに備え、
前記第１の出力トランジスタは、前記レベルシフト回路部を通過した前記第２の内部データ信号によって制御され、
前記第２の出力トランジスタは、前記レベルシフト回路部を通過した前記第３の内部データ信号によって制御される、ことを特徴とする請求項６に記載の半導体装置。
【請求項８】
前記第１乃至第４の電源配線にそれぞれ接続された第１乃至第４の電源端子をさらに備え、
前記第１の電源端子と前記第３の電源端子には互いに同じ電位が与えられ、
前記第２の電源端子と前記第４の電源端子には互いに同じ電位が与えられ、
前記第１の電源配線と前記第３の電源配線は該半導体装置内で分離されており、
前記第２の電源配線と前記第４の電源配線は該半導体装置内で分離されている、ことを特徴とする請求項７に記載の半導体装置。
【請求項９】
自身の電源出力ノードに第１の電源電圧を出力する第１の電源回路と、
自身の電源出力ノードに第２の電源電圧を出力する第２の電源回路と、
電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して第１及び第２のクロック信号を生成する第１の回路と、
電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して複数の入力データ信号の選択を行い、前記第１及び第２のクロック信号に応答した第１及び第２のデータ信号を生成するマルチプレクサである第２の回路と、
前記第１の電源回路の前記電源出力ノードと前記第１の回路の前記電源ノードとを接続し、前記第１の電源電圧を前記第１の回路に供給する第１の電源配線と、
前記第２の電源回路の前記電源出力ノードと前記第２の回路の前記電源ノードとを接続

し、前記第２の電源電圧を前記第２の回路に供給する、前記第１の電源配線とは独立した第２の電源配線と、を備えるチップ上の装置。

【請求項１０】

前記チップの外部から供給される電源供給電圧を受ける端子と、

前記端子から前記第１及び第２の電源回路へと延在し、前記第１及び第２の電源配線とは独立して設けられた第３の電源配線と、をさらに備え、

前記第１の電源回路は前記電源供給電圧によって動作して前記第１の電源電圧を生成し、前記第２の電源回路は前記電源供給電圧によって動作して前記第２の電源電圧を生成する、請求項９の装置。

【請求項１１】

自身の電源出力ノードに第３の電源電圧を出力する第３の電源回路と、

電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して内部クロック信号を生成する第３の回路と、

前記第３の電源回路の前記電源出力ノードと前記第３の回路の前記電源ノードとを接続し、前記第３の電源電圧を前記第３の回路に供給する、前記第１及び第２の電源配線とは独立した第３の電源配線と、をさらに備え、

前記第１の回路は、前記内部クロック信号に応答して前記第１及び第２のクロック信号を生成する、請求項９の装置。

【請求項１２】

前記第１の電源電圧は前記第２の電源電圧と実質的に等しい、請求項９の装置。

【請求項１３】

前記第１の電源電圧は前記第２の電源電圧と実質的に等しく、前記電源供給電圧とは異なる、請求項１０の装置。

【請求項１４】

前記第１、第２及び第３の電源電圧は実質的に互いに等しい、請求項１１の装置。

【請求項１５】

自身の電源出力ノードに第１の電源電圧を出力する第１の電源回路と、

自身の電源出力ノードに第２の電源電圧を出力する第２の電源回路と、

自身の電源出力ノードに第３の電源電圧を出力する第３の電源回路と、

自身の電源出力ノードに第４の電源電圧を出力する第４の電源回路と、

電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して内部クロック信号を生成する第１の回路と、

電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して前記内部クロック信号に応答した第１及び第２のクロック信号を生成する第２の回路と、

電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して内部データ信号を生成する第３の回路と、

電源電圧を受ける電源ノードを有し、前記電源電圧によって動作して前記内部データ信号に関連した第１及び第２のデータ信号を前記第１及び第２のクロック信号に応答して生成する第４の回路と、

前記第１の電源回路の前記電源出力ノードと前記第１の回路の前記電源ノードとを接続し、前記第１の電源電圧を前記第１の回路に供給する第１の電源配線と、

前記第２の電源回路の前記電源出力ノードと前記第２の回路の前記電源ノードとを接続し、前記第２の電源電圧を前記第２の回路に供給する、前記第１の電源配線とは独立した第２の電源配線と、

前記第３の電源回路の前記電源出力ノードと前記第３の回路の前記電源ノードとを接続し、前記第３の電源電圧を前記第３の回路に供給する、前記第１及び第２の電源配線とは独立した第３の電源配線と、

前記第４の電源回路の前記電源出力ノードと前記第４の回路の前記電源ノードとを接続し、前記第４の電源電圧を前記第４の回路に供給する、前記第１、第２及び第３の電源配線とは独立した第４の電源配線と、を備えるチップ上の装置。

【請求項１６】
前記チップの外部から供給される電源供給電圧を受ける端子と、
前記端子から前記第１、第２、第３及び第４の電源回路へと延在し、前記第１、第２、第３及び第４の電源配線とは独立して設けられた第５の電源配線と、をさらに備え、
前記第１、第２、第３及び第４の電源回路は前記電源供給電圧によって動作してそれぞれ前記第１、第２、第３及び第４の電源電圧を生成する、請求項１５の装置。
【請求項１７】
前記第１、第２、第３及び第４の電源電圧は実質的に互いに等しい、請求項１５の装置。
【請求項１８】
前記第１、第２、第３及び第４の電源電圧は実質的に互いに等しく、前記電源供給電圧とは異なる、請求項１６の装置。
【請求項１９】
クロック生成回路が外部クロック信号を受信したことに応答して第１の内部クロック信号を生成し、
クロック分割回路が前記第１の内部クロック信号を受信したことに応答して、互いに位相の異なる第２及び第３の内部クロック信号を生成し、
前記第２及び第３のクロック信号の受信に応答して複数の内部データ信号の選択を行うマルチプレクサから第２及び第３の内部データ信号を出力し、
複数の電源回路において第１及び第２の内部電源電圧を含む複数の内部電源電圧を生成し、
前記第１の内部電源電圧は、第１の電源回路から前記クロック分割回路に供給され、
前記第２の内部電源電圧は、前記第１の電源回路とは異なる第２の電源回路から前記マルチプレクサに供給される、方法。
【請求項２０】
さらに、前記第２及び第３のクロック信号の受信に応答して前記複数の内部データ信号の選択を行うマルチプレクサから第４及び第５の内部データ信号を出力する、請求項１９の方法。
【請求項２１】
外部クロック信号に基づいて第１の内部クロック信号を生成するクロック生成回路と、
前記第１の内部クロック信号に基づいて、互いに位相の異なる第２及び第３の内部クロック信号を生成するクロック分割回路と、
第１の内部データ信号に基づいて、前記第２及び第３のクロック信号に応じた第２及び第３の内部データ信号を出力するマルチプレクサと、
それぞれ内部電源電圧を生成する複数の電源回路と、を備え、
前記クロック分割回路に供給される内部電源電圧と前記マルチプレクサに供給される内部電源電圧は、互いに異なる電源回路によって生成され、且つ、該半導体装置内で分離されている半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体装置に関し、特に、位相の異なる複数の内部クロック信号に同期して内部データ信号を出力するマルチプレクサを備えた半導体装置に関する。
【背景技術】
【０００２】
ＳＤＲＡＭ（Synchronous Dynamic Random Access Memory）のように、クロック信号に同期してデータを入出力するタイプの半導体装置においては、内部データ信号をクロック信号に同期させる同期回路が必要である。同期回路としては、特許文献１に記載されているように、クロックドゲート回路が用いられる。特許文献１に記載された半導体装置では、内部データ信号の振幅が外部電源電圧よりも低い内部電源電圧の振幅を有しており、こ

のため、内部データ信号の信号パス中にレベルシフト回路が挿入されている。レベルシフト回路の挿入位置はクロックドゲート回路の直前であり、このため、クロックドゲート回路の動作電源としては外部電源電圧が用いられている。

【０００３】

特許文献１に記載された半導体装置のように、クロックドゲート回路の動作電源として外部電源電圧を用いた場合、クロックドゲート回路の動作に伴って発生するノイズが内部回路に伝播するおそれは少ない。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００１－１１０１８５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、ＤＤＲ（Double Data Rate）型のＳＤＲＡＭのように、クロック信号の両エッジ（立ち上がりエッジ及び立ち下がりエッジ）に同期してデータの出力を行うタイプの半導体装置においては、クロックドゲート回路を並列接続したマルチプレクサが必要になるとともに、相補の内部クロック信号を生成するためのクロック分割回路が必要となる。このような構成において、マルチプレクサとクロック分割回路を同じ内部電源電圧によって動作させると、相互にノイズの影響を及ぼし合い、信号品質が低下するおそれがあった。

【課題を解決するための手段】

【０００６】

本発明による半導体装置は、外部クロック信号に基づいて第１の内部クロック信号を生成するＤＬＬ回路と、前記第１の内部クロック信号に基づいて、互いに位相の異なる第２及び第３の内部クロック信号を生成するクロック分割回路と、第１の内部データ信号に基づいて、前記第２及び第３のクロック信号にそれぞれ同期した第２及び第３の内部データ信号を出力するマルチプレクサと、を備え、前記クロック分割回路に供給される内部電源電圧と前記マルチプレクサに供給される内部電源電圧は、互いに異なる電源回路によって生成され、且つ、該半導体装置内で分離されていることを特徴とする。

【発明の効果】

【０００７】

本発明によれば、マルチプレクサとクロック分割回路をいずれも内部電源電圧によって動作させる一方で、マルチプレクサを動作させるための内部電源電圧とクロック分割回路を動作させるための内部電源電圧を互いに異なる電源回路によって生成し、且つ、該半導体装置内でこれら電圧を分離していることから、相互にノイズの影響を及ぼし合うことがなくなる。

【図面の簡単な説明】

【０００８】

【図１】本発明の好ましい実施形態による半導体装置１０の構成を示すブロック図である。

【図２】ウェルレベルでの分離を説明するための模式的な断面図である。

【図３】クロック分割回路２００の回路図である。

【図４】クロック分割回路２００のより具体的な回路図である。

【図５】クロック分割回路２００の動作を説明するための波形図である。

【図６】マルチプレクサ３００の回路図である。

【図７】レベルシフトブロック４００及びデータ入出力回路５００のブロック図である。

【図８】レベルシフト回路部４１０の構成を示すブロック図である。

【図９】（ａ）はレベルシフト回路ＬＶ１の回路図であり、（ｂ）はレベルシフト回路ＬＶ２の回路図である。

【図１０】レベルシフト回路部４１０の動作を示す波形図である。
【図１１】レベルシフト回路部４１０を用いた場合における、遅延時間の差△ｔＰＤと外部電源電位ＶＤＤとの関係を示すシミュレーション結果である。
【図１２】比較例による時間差△ｔＰＤと外部電源電位ＶＤＤとの関係を示すシミュレーション結果である。
【図１３】インピーダンス制御回路５１０の回路図である。
【図１４】出力バッファ５０１の回路図である。
【図１５】変形例によるレベルシフト回路ＬＶ３の回路図である。
【図１６】変形例によるレベルシフト回路ＬＶ４の回路図である。
【発明を実施するための形態】
【０００９】
以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。
【００１０】
図１は、本発明の好ましい実施形態による半導体装置１０の構成を示すブロック図である。
【００１１】
本実施形態による半導体装置１０はＤＤＲ（Double Data Rate）型のＳＤＲＡＭであり、外部端子として、クロック端子１１ａ，１１ｂ、コマンド端子１２ａ～１２ｅ、アドレス端子１３、データ入出力端子（データ出力端子）１４、電源端子１５ａ～１５ｅ及びキャリブレーション端子１６を備えている。その他、データストローブ端子やリセット端子なども備えられているが、これらについては図示を省略してある。
【００１２】
クロック端子１１ａ，１１ｂは、それぞれ外部クロック信号ＣＫ，ＣＫＢが供給される端子であり、供給された外部クロック信号ＣＫ，ＣＫＢは、クロック入力回路２１に供給される。本明細書において信号名の末尾に「Ｂ」が付されている信号は、対応する信号の反転信号又はローアクティブな信号であることを意味する。したがって、外部クロック信号ＣＫ，ＣＫＢは互いに相補の信号である。クロック入力回路２１は、外部クロック信号ＣＫ，ＣＫＢに基づいて単相の内部クロック信号ＰｒｅＣＬＫを生成し、これをＤＬＬ回路１００に供給する。ＤＬＬ回路１００は、内部クロック信号ＰｒｅＣＬＫに基づいて位相制御された内部クロック信号ＬＣＬＫ１を生成し、クロックツリー回路１１０を介して内部クロック信号ＬＣＬＫ１をクロック分割回路２００に供給する。クロック分割回路２００は、単相である内部クロック信号ＬＣＬＫ１から相補の内部クロック信号ＬＣＬＫ２，ＬＣＬＫ２Ｂを生成し、これらをマルチプレクサ３００に供給する。
【００１３】
コマンド端子１２ａ～１２ｅは、それぞれロウアドレスストローブ信号ＲＡＳＢ、カラムアドレスストローブ信号ＣＡＳＢ、ライトイネーブル信号ＷＥＢ、チップセレクト信号ＣＳＢ、及びオンダイターミネーション信号ＯＤＴが供給される端子である。これらのコマンド信号ＣＭＤは、コマンド入力回路３１を介してコマンドデコーダ３２に供給される。コマンドデコーダ３２は、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンドＩＣＭＤを生成する回路である。生成された内部コマンドＩＣＭＤは、ロウ系制御回路５１、カラム系制御回路５２及びモードレジスタ５３に供給される。
【００１４】
アドレス端子１３は、アドレス信号ＡＤＤが供給される端子である。アドレス端子１３に入力されたアドレス信号ＡＤＤは、アドレス入力回路４１を介してアドレスラッチ回路４２に供給され、アドレスラッチ回路４２にてラッチされる。アドレスラッチ回路４２にラッチされたアドレス信号ＡＤＤのうち、ロウアドレスについてはロウ系制御回路５１に供給され、カラムアドレスについてはカラム系制御回路５２に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号ＡＤＤはモードレジスタ５３

に供給され、これによってモードレジスタ５３の内容が更新される。

【００１５】

ロウ系制御回路５１の出力は、ロウデコーダ６１に供給される。ロウデコーダ６１は、メモリセルアレイ７０に含まれるいずれかのワード線ＷＬを選択する回路である。メモリセルアレイ７０内においては、複数のワード線ＷＬと複数のビット線ＢＬが交差しており、その交点にはメモリセルＭＣが配置されている（図１では、１本のワード線ＷＬ、１本のビット線ＢＬ及び１個のメモリセルＭＣのみを示している）。ビット線ＢＬは、センス回路６３内の対応するセンスアンプＳＡに接続されている。

【００１６】

また、カラム系制御回路５２の出力は、カラムデコーダ６２に供給される。カラムデコーダ６２は、センス回路６３に含まれるいずれかのセンスアンプＳＡを選択する回路である。カラムデコーダ６２によって選択されたセンスアンプＳＡは、データアンプ６４に接続される。データアンプ６４は、リード動作時においてはセンスアンプＳＡによって増幅されたリードデータをさらに増幅し、リードライトバスＲＷＢＳを介してこれをＦＩＦＯ回路６５に供給する。一方、ライト動作時においては、リードライトバスＲＷＢＳを介してＦＩＦＯ回路６５から供給されるライトデータを増幅し、これをセンスアンプＳＡに供給する。図１に示すように、ＦＩＦＯ回路６５はマルチプレクサ３００に接続されている。ＦＩＦＯ回路６５は、メモリセルアレイ７０とマルチプレクサ３００との間におけるデータの転送を行うデータ転送回路を構成する。

【００１７】

データ入出力端子１４は、リードデータＤＱの出力及びライトデータＤＱの入力を行うための端子であり、データ入出力回路５００に接続されている。データ入出力回路５００は、レベルシフトブロック４００を介してマルチプレクサ３００に接続されており、リード動作時においては、マルチプレクサ３００からレベルシフトブロック４００を介して供給されるリードデータＤＱに基づいてデータ入出力端子１４を駆動する。尚、図１にはデータ入出力端子１４を１つだけ示しているが、データ入出力端子１４の数が１つである必要はなく、複数個設けても構わない。

【００１８】

データ入出力回路５００は、さらにキャリブレーション回路６６にも接続されている。キャリブレーション回路６６は、キャリブレーション端子１６に接続された回路であり、データ入出力回路５００に含まれる出力バッファのインピーダンスを調整する役割を果たす。キャリブレーション回路６６はキャリブレーション動作によってインピーダンスコードＺＱＣＯＤＥを生成し、これをデータ入出力回路５００に供給する。データ入出力回路５００はインピーダンスコードＺＱＣＯＤＥに基づいて、出力バッファのインピーダンスを変化させる。

【００１９】

キャリブレーション回路６６によるインピーダンスの調整は、温度変化や電圧変動などによって出力バッファのインピーダンスが設定値からずれるのを防止するための動作であり、インピーダンスの設定値自体はモードレジスタ５３の設定値によって切り替えることができる。

【００２０】

電源端子１５ａ，１５ｂは、それぞれ外部電源電位ＶＤＤ及び接地電位ＶＳＳが供給される端子である。本明細書においては、外部電源電位ＶＤＤ及び接地電位ＶＳＳ間の電圧を単に「外部電圧ＶＤＤ」と呼ぶことがある。外部電圧ＶＤＤは内部電圧生成回路８０に供給される。内部電圧生成回路８０には複数の電源回路８１～８４が含まれており、それぞれ外部電源電位ＶＤＤよりも低電位である内部電源電位ＶＰＥＲＩ，ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬを生成する。内部電源電位ＶＰＥＲＩ，ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬのレベルは互いに同一である。本明細書においては、内部電源電位ＶＰＥＲＩ及び接地電位ＶＳＳ間の電圧を単に「内部電圧ＶＰＥＲＩ」と呼ぶことがある。ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬについても同様である。

【００２１】
電源端子１５ｃ，１５ｄは、それぞれ外部電源電位ＶＤＤＱ及び接地電位ＶＳＳＱが供給される端子である。本明細書においては、外部電源電位ＶＤＤＱ及び接地電位ＶＳＳＱ間の電圧を単に「外部電圧ＶＤＤＱ」と呼ぶことがある。
【００２２】
本実施形態では、外部電源電位ＶＤＤＱのレベルが外部電源電位ＶＤＤと等しく、接地電位ＶＳＳＱのレベルが接地電位ＶＳＳと等しい。しかしながら、電源端子１５ａと電源端子１５ｃはチップ上における別個の端子であり、且つ、電源端子１５ａに接続されたＶＤＤライン（高位側電源ライン）１７ａと、電源端子１５ｃに接続されたＶＤＤＱライン（高位側電源ライン）１７ｃは分離されており、チップ内で接続されていない。同様に、電源端子１５ｂに接続されたＶＳＳライン（低位側電源ライン）１７ｂと、電源端子１５ｄに接続されたＶＳＳＱライン（低位側電源ライン）１７ｄは分離されており、チップ内で接続されていない。このような電源ラインの分離を行っているのは、データ入出力回路５００の動作によって生じる電源ノイズが他の回路に伝播するのを防止するためである。データ入出力回路５００はスイッチングによって比較的大きな電流を流すため、ＶＤＤＱライン１７ｃ及びＶＳＳＱライン１７ｄは、ＶＤＤライン１７ａ及びＶＳＳライン１７ｂよりも低インピーダンスに設計される。これは、電源端子１５ｃ，１５ｄの数を電源端子１５ａ，１５ｂの数よりも多くすることにより実現できる。
【００２３】
さらに、本実施形態では、接地電位ＶＳＳ２が供給される電源端子１５ｅが設けられている。電源端子１５ｅに接続されたＶＳＳ２ライン１７ｅは、ＶＳＳライン１７ｂ及びＶＳＳＱライン１７ｄと分離されており、チップ内で接続されていない。
【００２４】
また、内部電源電位ＶＰＥＲＩ，ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬのレベルは互いに同一であるが、内部電源電位ＶＰＥＲＩを供給するＶＰＥＲＩライン１８ａと、内部電源電位ＶＰＥＲＩ２を供給するＶＰＥＲＩ２ライン１８ｂと、内部電源電位ＶＰＥＲＩ３を供給するＶＰＥＲＩ３ライン１８ｃと、内部電源電位ＶＰＥＲＤＬを供給するＶＰＥＲＤＬライン１８ｄは分離されており、チップ内で接続されていない。これも電源ラインを介してノイズが相互に影響を及ぼし合うことを防止するためである。ここで、「電源ラインが分離されている」とは、これらの配線が短絡されていないことはもちろんのこと、これら内部電源電位を使用するトランジスタが互いに異なるウェルに形成されており、ウェルレベルで分離されていることを意味する。
【００２５】
図２は、ウェルレベルでの分離を説明するための模式的な断面図である。
【００２６】
図２に示す例では、ｐ型のシリコン基板１に互いに独立した２つのｎウェル２ａ，２ｂが形成されており、各ｎウェル２ａ，２ｂにＰチャンネル型ＭＯＳトランジスタ３ａ，３ｂがそれぞれ形成されている。トランジスタ３ａのソースはコンタクト導体４ａを介して電源ライン５ａに接続され、同様に、トランジスタ３ｂのソースはコンタクト導体４ｂを介して電源ライン５ｂに接続されている。ここで、電源ライン５ａとは、ＶＰＥＲＩライン１８ａ、ＶＰＥＲＩ２ライン１８ｂ、ＶＰＥＲＩ３ライン１８ｃ及びＶＰＥＲＤＬライン１８ｄのいずれかの電源ラインである。また、電源ライン５ｂとは、ＶＰＥＲＩライン１８ａ、ＶＰＥＲＩ２ライン１８ｂ、ＶＰＥＲＩ３ライン１８ｃ及びＶＰＥＲＤＬライン１８ｄのうち、電源ライン５ａとは異なるいずれかの電源ラインである。このようなウェルレベルでの分離により、内部電源電位ＶＰＥＲＩ，ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬは互いに同じ電位レベルであるものの、相互に影響を及ぼし合うことがほとんどなくなる。もちろん、内部電源電位ＶＰＥＲＩ，ＶＰＥＲＩ２，ＶＰＥＲＩ３，ＶＰＥＲＤＬを生成する電源回路８１～８４も互いに別個であり、内部電圧生成回路８０内においても分離されている。
【００２７】

図１に示すように、ＶＤＤライン１７ａ及びＶＳＳライン１７ｂはレベルシフトブロック４００に接続され、ＶＤＤＱライン１７ｃ及びＶＳＳＱライン１７ｄはデータ入出力回路５００に接続されている。このことは、レベルシフトブロック４００については外部電源電位ＶＤＤと接地電位ＶＳＳとの間の電圧（外部電圧ＶＤＤ）によって動作し、データ入出力回路５００については外部電源電位ＶＤＤＱと接地電位ＶＳＳＱとの間の電圧（外部電圧ＶＤＤＱ）によって動作することを意味する。

【００２８】

ＶＰＥＲＩ２ライン１８ｂは、クロックツリー回路１１０及びクロック分割回路２００に接続される。これにより、クロックツリー回路１１０及びクロック分割回路２００は内部電源電圧ＶＰＥＲＩ２によって動作を行う。また、ＶＰＥＲＩ３ライン１８ｃは、マルチプレクサ３００に接続される。これにより、マルチプレクサ３００は内部電源電圧ＶＰＥＲＩ３によって動作を行う。さらに、ＶＰＥＲＤＬライン１８ｄはＤＬＬ回路１００に接続される。これにより、ＤＬＬ回路１００に含まれるディレイライン１００ａは、内部電源電圧ＶＰＥＲＤＬによって動作を行う。その他の周辺回路の大部分にはＶＰＥＲＩライン１８ａが接続され、これにより、大部分の周辺回路は内部電源電圧ＶＰＥＲＩによって動作を行う。一例として、図１には、ＦＩＦＯ回路６５に内部電源電圧ＶＰＥＲＩが供給されている様子が図示されている。

【００２９】

このように、各種の内部回路を外部電源電位ＶＤＤよりも電圧の低い内部電源電圧ＶＰＥＲＩ等によって駆動していることから、消費電力を低減することが可能となる。尚、メモリセルアレイ７０においては、アレイ電圧（ＶＡＲＡＹ）や外部電源電圧ＶＤＤを超える高電圧（ＶＰＰ）、さらには負電圧（ＶＫＫ）なども用いられるが、これについては本発明の要旨とは直接関係ないことから、説明を省略する。

【００３０】

図３は、クロック分割回路２００の回路図である。

【００３１】

図３に示すように、クロック分割回路２００は、内部クロック信号ＬＣＬＫ１から内部クロック信号ＬＣＬＫ２Ｂを生成する信号パスＰＡＳＳ１と、内部クロック信号ＬＣＬＫ１から内部クロック信号ＬＣＬＫ２を生成する信号パスＰＡＳＳ２を備えている。信号パスＰＡＳＳ１は、内部クロック信号ＬＣＬＫ１に対して逆相の内部クロック信号ＬＣＬＫ２Ｂを生成するパスであり、３つのインバータ２１１，２１２，２１３が縦続接続された構成を有している。一方、信号パスＰＡＳＳ２は、内部クロック信号ＬＣＬＫ１に対して同相の内部クロック信号ＬＣＬＫ２を生成するパスであり、２つのインバータ２２１，２２２が縦続接続された構成を有している。このように、信号パスＰＡＳＳ１に含まれる論理回路の段数は、信号パスＰＡＳＳ２に含まれる論理回路の段数よりも１段多い。

【００３２】

クロック分割回路２００を構成するインバータのうち、インバータ２１１～２１３，２２２については、内部電源電位ＶＰＥＲＩ２と接地電位ＶＳＳ２との間の電圧を動作電源としている。これに対し、インバータ２２１については、インバータ２１１の出力である反転信号ＩＮＢを動作電源としている。かかる構成により、信号パスＰＡＳＳ１とパスＰＡＳＳ２の論理段数が相違しているにもかかわらず、インバータ２１２の出力である内部信号ＩＮＴＴとインバータ２２１の出力である内部信号ＩＮＢＢの位相が一致することになる。以下、本実施形態で使用するクロック分割回路２００の回路構成及びその動作についてより詳細に説明する。

【００３３】

図４は、クロック分割回路２００のより具体的な回路図である。

【００３４】

図４に示すように、各インバータはいずれもＰチャンネル型ＭＯＳトランジスタとＮチャンネル型ＭＯＳトランジスタの直列回路によって構成されている。以下、個々のインバータについて具体的に説明する。

【００３５】
まず、インバータ２１１はトランジスタＰ２１１，Ｎ２１１の直列回路からなる。トランジスタＰ２１１，Ｎ２１１のソースはそれぞれＶＰＥＲＩ２ライン１８ｂ及びＶＳＳ２ライン１７ｅに接続され、各ゲート電極には内部クロック信号ＬＣＬＫ１が共通に供給される。トランジスタＰ２１１，Ｎ２１１の共通ドレインからは反転信号ＩＮＢが出力される。
【００３６】
インバータ２１２は、トランジスタＰ２１２－１，Ｎ２１２－１の直列回路を含み、各ゲート電極には反転信号ＩＮＢが共通に供給される。トランジスタＰ２１２－１，Ｎ２１２－１の共通ドレインからは内部信号ＩＮＴＴが出力される。また、トランジスタＰ２１２－１のソースとＶＰＥＲＩ２ライン１８ｂとの間には、トランジスタＰ２１２－２が接続されている。トランジスタＰ２１２－２のゲート電極には接地電位ＶＳＳ２が供給されており、このためトランジスタＰ２１２－２はオン状態に固定される。さらに、トランジスタＮ２１２－１のソースとＶＳＳ２ライン１７ｅとの間には、トランジスタＮ２１２－２が接続されている。トランジスタＮ２１２－２のゲート電極には内部電源電位ＶＰＥＲＩ２が供給されており、このためトランジスタＮ２１２－２はオン状態に固定される。
【００３７】
インバータ２１３はトランジスタＰ２１３，Ｎ２１３の直列回路からなる。トランジスタＰ２１３，Ｎ２１３のソースはそれぞれＶＰＥＲＩ２ライン１８ｂ及びＶＳＳ２ライン１７ｅに接続され、各ゲート電極には内部信号ＩＮＴＴが共通に供給される。トランジスタＰ２１３，Ｎ２１３の共通ドレインからは内部クロック信号ＬＣＬＫ２Ｂが出力される。インバータ２１３はファンアウトを確保するための回路であり、本発明においてこれを設けることは必須でない。
【００３８】
インバータ２２１はトランジスタＰ２２１，Ｎ２２１の直列回路からなる。トランジスタＰ２２１，Ｎ２２１のソースはいずれもインバータ２１１の出力端（共通ドレイン）に接続され、各ゲート電極には内部クロック信号ＬＣＬＫ１が共通に供給される。トランジスタＰ２２１，Ｎ２２１の共通ドレインからは内部信号ＩＮＢＢが出力される。
【００３９】
インバータ２２２はトランジスタＰ２２２，Ｎ２２２の直列回路からなる。トランジスタＰ２２２，Ｎ２２２のソースはそれぞれＶＰＥＲＩ２ライン１８ｂ及びＶＳＳ２ライン１７ｅに接続され、各ゲート電極には内部信号ＩＮＢＢが共通に供給される。トランジスタＰ２２２，Ｎ２２２の共通ドレインからは内部クロック信号ＬＣＬＫ２が出力される。インバータ２２２はファンアウトを確保するための回路であり、本発明においてこれを設けることは必須でない。
【００４０】
本実施形態においては、ＮチャンネルＭＯＳトランジスタＮ２１１，Ｎ２１２－１，Ｎ２１２－２，Ｎ２２１のチャネル幅が互いに等しく設計されている。このため、ＮチャンネルＭＯＳトランジスタＮ２１１，Ｎ２１２－１，Ｎ２１２－２，Ｎ２２１のオン抵抗は互いに等しい。同様に、ＰチャンネルＭＯＳトランジスタＰ２１１，Ｐ２１２－１，Ｐ２１２－２，Ｐ２２１のチャネル幅が互いに等しく設計されている。このため、ＰチャンネルＭＯＳトランジスタＰ２１１，Ｐ２１２－１，Ｐ２１２－２，Ｐ２２１のオン抵抗も互いに等しい。そして、同じインバータを構成するＮチャンネルＭＯＳトランジスタとＰチャンネルＭＯＳトランジスタのオン抵抗は等しく設計されることから、これらトランジスタＮ２１１，Ｎ２１２－１，Ｎ２１２－２，Ｎ２２１，Ｐ２１１，Ｐ２１２－１，Ｐ２１２－２，Ｐ２２１のオン抵抗は互いに等しいことになる。
【００４１】
図５は、クロック分割回路２００の動作を説明するための波形図である。
【００４２】
図５に示すように、時刻ｔ１０にて内部クロック信号ＬＣＬＫ１がローレベルからハイ

レベルに変化すると、これを受けるインバータ２１１，２２１はその出力である反転信号ＩＮＢ及び内部信号ＩＮＢＢを反転させようとする。しかしながら、インバータ２２１はインバータ２１１の出力である反転信号ＩＮＢを電源としていることから、反転信号ＩＮＢがハイレベルからローレベルに変化するまで、内部信号ＩＮＢＢを反転させる（つまりローレベルに変化させる）ことができない。このため、時刻ｔ１１にて反転信号ＩＮＢがハイレベルからローレベルに変化した後、時刻ｔ１２にて内部信号ＩＮＢＢがハイレベルからローレベルに変化することになる。

【００４３】

時刻ｔ１２は、反転信号ＩＮＢがハイレベルからローレベルに変化した後、これを受ける次段の論理回路が反転するタイミングに相当することから、インバータ２１２の出力である内部信号ＩＮＴＴも時刻ｔ１２にて変化する。つまり、インバータ２１２とインバータ２２１は、時刻ｔ１２にて同時に変化することになる。その結果、インバータ２１３の出力である内部クロック信号ＬＣＬＫ２Ｂと、インバータ２２２の出力である内部クロック信号ＬＣＬＫ２も時刻ｔ１３にて同時に変化する。

【００４４】

内部クロック信号ＬＣＬＫ１がハイレベルからローレベルに変化する場合の動作も同様であり、最終的に内部クロック信号ＬＣＬＫ２，ＬＣＬＫ２Ｂは同時に変化することになる。

【００４５】

ここで、インバータ２１２の出力である内部信号ＩＮＴＴとインバータ２２１の出力である内部信号ＩＮＢＢが同時に変化する原理についてより詳細に説明する。

【００４６】

まず、内部クロック信号ＬＣＬＫ１がローレベルからハイレベルに変化する場合について考える。この場合、インバータ２１１に含まれるトランジスタＮ２１１がオンすることから、反転信号ＩＮＢがハイレベルからローレベルに変化する。この変化が次段の論理回路にもたらす影響を考えると、インバータ２１２に関してはトランジスタＰ２１２－１がオンすることから、その出力端である共通ドレインは、トランジスタＰ２１２－２，Ｐ２１２－１を介してＶＰＥＲＩ２ライン１８ｂに接続される。一方、インバータ２２１に関してはトランジスタＮ２２１がオンすることから、その出力端である共通ドレインは、トランジスタＮ２１１，Ｎ２２１を介してＶＳＳ２ライン１７ｅに接続される。したがって、トランジスタＰ２１２－２，Ｐ２１２－１の直列抵抗と、トランジスタＮ２１１，Ｎ２２１の直列抵抗が等しくなるよう設計すれば、内部信号ＩＮＴＴの変化と、内部信号ＩＮＢＢの変化は必ず同時となる。

【００４７】

内部クロック信号ＬＣＬＫ１がハイレベルからローレベルに変化する場合についても同様であり、この場合、インバータ２１１に含まれるトランジスタＰ２１１がオンすることから、反転信号ＩＮＢがローレベルからハイレベルに変化する。この変化が次段の論理回路にもたらす影響を考えると、インバータ２１２に関してはトランジスタＮ２１２－１がオンすることから、その出力端である共通ドレインは、トランジスタＮ２１２－２，Ｎ２１２－１を介してＶＳＳ２ライン１７ｅに接続される。一方、インバータ２２１に関してはトランジスタＰ２２１がオンすることから、その出力端である共通ドレインは、トランジスタＰ２１１，Ｐ２２１を介してＶＰＥＲＩ２ライン１８ｂに接続される。したがって、トランジスタＮ２１２－２，Ｎ２１２－１の直列抵抗と、トランジスタＰ２１１，Ｐ２２１の直列抵抗が等しくなるよう設計すれば、内部信号ＩＮＴＴの変化と、内部信号ＩＮＢＢの変化は必ず同時となる。

【００４８】

このように、本実施形態で使用するクロック分割回路２００は、信号パスＰＡＳＳ１上の信号を他方の信号パスＰＡＳＳ２に含まれるインバータ２２１の電源として用いていることから、調整用の容量や抵抗を付加することなく、一対の内部クロック信号ＬＣＬＫ２，ＬＣＬＫ２Ｂの位相を正確に一致させることが可能となる。このため、容量値や抵抗値

を変更するための度重なるマスク変更が不要となり、設計コストを低減することが可能となる。

【００４９】

図６は、マルチプレクサ３００の回路図である。

【００５０】

図６に示すように、マルチプレクサ３００は、ＦＩＦＯ回路６５から供給される内部データ信号ＣＥを内部クロック信号ＬＣＬＫ２の立ち上がりエッジに同期して出力するクロックドドライバ３０２，３０４と、ＦＩＦＯ回路６５から供給される内部データ信号ＣＤを内部クロック信号ＬＣＬＫ２Ｂの立ち上がりエッジに同期して出力するクロックドドライバ３０１，３０３とを備える。クロックドドライバ３０１，３０２の出力はインバータ３１０を介してプルアップデータＤＱＰとして出力され、クロックドドライバ３０３，３０４の出力はインバータ３２０を介してプルダウンデータＤＱＮとして出力される。

【００５１】

マルチプレクサ３００を構成するクロックドドライバ３０１～３０４及びインバータ３１０，３２０は、いずれも内部電源電圧ＶＰＥＲＩ３によって動作する。つまり、高位側の電源ノードがＶＰＥＲＩ３ライン１８ｃに接続され、低位側の電源ノードがＶＳＳライン１７ｂに接続されている。

【００５２】

図７は、レベルシフトブロック４００及びデータ入出力回路５００のブロック図である。

【００５３】

図７に示すように、レベルシフトブロック４００は、プルアップデータＤＱＰの振幅をＶＰＥＲＩ３からＶＤＤに変換するレベルシフト回路部４１０と、プルダウンデータＤＱＮの振幅をＶＰＥＲＩ３からＶＤＤに変換するレベルシフト回路部４２０とを備えている。レベルシフト回路部４１０によってレベル変換されたプルアップデータＤＱＰ０は、ゲート回路４３１，４３２を介し、プルアップデータＤＱＰ１としてデータ入出力回路５００に供給される。同様に、レベルシフト回路部４２０によってレベル変換されたプルダウンデータＤＱＮ０は、ゲート回路４４１，４４２を介し、プルダウンデータＤＱＮ１としてデータ入出力回路５００に供給される。レベルシフトブロック４００を構成する各回路のうち、レベルシフト回路部４１０，４２０以降の回路は、外部電源電位ＶＤＤと接地電位ＶＳＳとの間の電圧（外部電圧ＶＤＤ）によって動作する。

【００５４】

図８は、レベルシフト回路部４１０の構成を示すブロック図である。

【００５５】

図８に示すように、レベルシフト回路部４１０は、２つのレベルシフト回路ＬＶ１，ＬＶ２と、プルアップデータＤＱＰを反転させるインバータ４３１と、レベルシフト回路ＬＶ１の出力を反転させるインバータ４３２とを含んでいる。これら２つのレベルシフト回路ＬＶ１，ＬＶ２は、互いに同じ回路構成を有している。レベルシフト回路ＬＶ１にはプルアップデータＤＱＰがそのままの論理で入力され、レベルシフト回路ＬＶ２にはインバータ４３１によってプルアップデータＤＱＰの反転信号が入力される。そして、インバータ４３２によって反転されたレベルシフト回路ＬＶ１の出力と、レベルシフト回路ＬＶ２の出力は短絡され、プルアップデータＤＱＰ０として出力される。

【００５６】

図８に示す例では、レベルシフト回路ＬＶ１にプルアップデータＤＱＰがそのまま入力されているが、レベルシフト回路ＬＶ１，ＬＶ２に相補の入力信号が供給される限り、レベルシフト回路ＬＶ１，ＬＶ２の前段に設けられる入力回路の回路構成は問わない。同様に、図８に示す例では、レベルシフト回路ＬＶ２の出力がそのままインバータ４３２の出力に短絡されているが、レベルシフト回路ＬＶ１，ＬＶ２から出力される相補の出力信号が同相に変換された後に短絡される限り、レベルシフト回路ＬＶ１，ＬＶ２の後段に設けられる出力回路の回路構成は問わない。

【００５７】
図９（ａ）はレベルシフト回路ＬＶ１の回路図であり、図９（ｂ）はレベルシフト回路ＬＶ２の回路図である。
【００５８】
図９（ａ）に示すように、レベルシフト回路ＬＶ１は、ソースがＶＤＤライン１７ａに接続され、クロスカップルされたＰチャンネル型ＭＯＳトランジスタ４１１，４１２と、ソースがＶＳＳライン１７ｂに接続され、それぞれトランジスタ４１１，４１２に直列接続されたＮチャンネル型ＭＯＳトランジスタ４１３，４１４とを備えている。トランジスタ４１３のゲート電極にはそのままプルアップデータＤＱＰが供給され、トランジスタ４１４のゲート電極にはインバータ４１５を介したプルアップデータＤＱＰが供給される。そして、トランジスタ４１２とトランジスタ４１４の接続点からレベルシフトされた出力信号が取り出され、インバータ４１６，４３２を介してプルアップデータＤＱＰ０として出力される。
【００５９】
レベルシフト回路ＬＶ２も全く同じ回路構成を有している。つまり、図９（ｂ）に示すように、ソースがＶＤＤライン１７ａに接続され、クロスカップルされたＰチャンネル型ＭＯＳトランジスタ４２１，４２２と、ソースがＶＳＳライン１７ｂに接続され、それぞれトランジスタ４２１，４２２に直列接続されたＮチャンネル型ＭＯＳトランジスタ４２３，４２４とを備えている。トランジスタ４２３のゲート電極にはインバータ４３１を介したプルアップデータＤＱＰが供給され、トランジスタ４２４のゲート電極にはインバータ４３１，４２５を介したプルアップデータＤＱＰが供給される。そして、トランジスタ４２２とトランジスタ４２４の接続点からレベルシフトされた出力信号が取り出され、インバータ４２６を介してプルアップデータＤＱＰ０として出力される。
【００６０】
そして、図８に示したように、レベルシフト回路ＬＶ２の出力と、インバータ４３２を介したレベルシフト回路ＬＶ１の出力は短絡される。これにより、レベルシフト回路ＬＶ１，ＬＶ２の出力が合成され、プルアップデータＤＱＰ０の波形は合成された波形となる。
【００６１】
このように、レベルシフト回路部４１０には２つのレベルシフト回路ＬＶ１，ＬＶ２が含まれているため、素子数は通常のレベルシフト回路の２倍となる。しかしながら、これら２つのレベルシフト回路ＬＶ１，ＬＶ２は並列に動作することから、各素子のサイズは通常のレベルシフト回路を構成する素子の半分で足りる。したがって、素子数については２倍になるものの、チップ上における占有面積については通常のレベルシフト回路とほとんど変わらない。
【００６２】
図１０は、レベルシフト回路部４１０の動作を示す波形図である。
【００６３】
信号Ａ，Ｂは、それぞれレベルシフト回路ＬＶ１，ＬＶ２の内部信号であり、図９に示すように信号Ａはインバータ４１６の出力レベル、信号Ｂはトランジスタ４２２とトランジスタ４２４の接続点のレベルである。図１０に示すように、プルアップデータＤＱＰがハイレベルからローレベルに変化すると、信号Ａ，Ｂはいずれもローレベルからハイレベルに変化するが、そのスルーレートが僅かに相違する。具体的には、信号Ａの方が信号Ｂよりも急峻に立ち上がる。
【００６４】
これら信号Ａ，Ｂは、それぞれインバータ４３２，４２６を通過した後、短絡される。このため、スルーレートの異なる２つの信号が合成され、より急峻な波形となる。プルアップデータＤＱＰがローレベルからハイレベルに変化する場合も同様の合成が行われることから、入力されるプルアップデータＤＱＰのデューティと出力されるプルアップデータＤＱＰ０のデューティはほぼ一致する。しかも、スルーレートの異なる信号Ａ，Ｂは、そ

れぞれインバータ４３２，４２６を通過した後に短絡されることから、これらインバータ４３２，４２６のファンアウトなどを適切に設計すれば、貫通電流が流れることもない。

【００６５】

図１１は、レベルシフト回路部４１０を用いた場合における、プルアップデータＤＱＰの立ち上がり時における遅延時間及び立ち下がり時における遅延時間の差△ｔＰＤと、外部電源電位ＶＤＤとの関係を示すシミュレーション結果である。

【００６６】

図１１に示す条件Ｃ１とは、環境温度が１１０℃であり、プロセスばらつきによってトランジスタのしきい値が設計値よりも高くなったケースを示す。条件Ｃ２とは、環境温度が４５℃であり、プロセスばらつきによってトランジスタのしきい値が設計値よりも高くなったケースを示す。条件Ｃ３とは、環境温度が４５℃であり、トランジスタのしきい値が設計値通りであるケースを示す。条件Ｃ４とは、環境温度が４５℃であり、プロセスばらつきによってトランジスタのしきい値が設計値よりも低くなったケースを示す。条件Ｃ５とは、環境温度が－５℃であり、プロセスばらつきによってトランジスタのしきい値が設計値よりも低くなったケースを示す。条件Ｃ６とは、環境温度が４５℃であり、プロセスばらつきによってＮチャンネル型ＭＯＳトランジスタのしきい値が設計値よりも高く、Ｐチャンネル型ＭＯＳトランジスタのしきい値が設計値よりも低くなったケースを示す。条件Ｃ７とは、環境温度が４５℃であり、プロセスばらつきによってＮチャンネル型ＭＯＳトランジスタのしきい値が設計値よりも低く、Ｐチャンネル型ＭＯＳトランジスタのしきい値が設計値よりも高くなったケースを示す。

【００６７】

いずれの条件Ｃ１～Ｃ７においても、左端にプロットされているのは外部電源電位ＶＤＤが１．２Ｖであるケースを示し、右端にプロットされているのは外部電源電位ＶＤＤが２．０Ｖであるケースを示し、その間を０．１Ｖピッチで変化させた場合の値がそれぞれプロットされている。

【００６８】

図１１に示すように、本実施形態によるレベルシフト回路部４１０を用いると、プルアップデータＤＱＰの立ち上がり時における遅延時間と、立ち下がり時における遅延時間の差△ｔＰＤがゼロに近く、しかもその傾向は、外部電源電位ＶＤＤのレベルや、温度条件、プロセス条件の影響をほとんど受けないことが分かる。

【００６９】

図１２は、比較例による時間差△ｔＰＤと外部電源電位ＶＤＤとの関係を示すシミュレーション結果であり、レベルシフト回路ＬＶ１，ＬＶ２のいずれか一方しか使用しなかったケースを示している。但し、トランジスタサイズについては、図１１の測定条件と同じになるよう約２倍に調整されている。その他の測定条件は、図１１における測定条件と同一である。図１２に示すように、比較例においては時間差△ｔＰＤのＶＤＤ依存性が大きく、しかも、その傾向は、温度条件やプロセス条件によって変化することが分かる。

【００７０】

以上、レベルシフト回路部４１０に着目して説明したが、レベルシフト回路部４２０についてもレベルシフト回路部４１０と全く同じ回路構成であり、したがって、上述した効果を得ることができる。図７に示すように、レベルシフト回路部４１０，４２０から出力されるプルアップデータＤＱＰ０及びプルダウンデータＤＱＮ０は、インバータ４３１，４３２，４４１，４４２を介し、プルアップデータＤＱＰ１及びプルダウンデータＤＱＮ１としてインピーダンス制御回路５１０に入力される。

【００７１】

図１３は、インピーダンス制御回路５１０の回路図である。

【００７２】

図１３に示すように、インピーダンス制御回路５１０は、５つのＯＲ回路５２１～５２５（プルアップ論理回路）と、５つのＡＮＤ回路５３１～５３５（プルダウン論理回路）によって構成されている。ＯＲ回路５２１～５２５には、レベルシフト回路部４１０から

のプルアップデータＤＱＰ１が共通に供給されているとともに、プルアップインピーダンス調整コードＤＲＺＱＰの各ビットＤＲＺＱＰ１～ＤＲＺＱＰ５がそれぞれ供給されている。一方、ＡＮＤ回路５３１～５３５には、レベルシフト回路部４２０からのプルダウンデータＤＱＮ１が共通に供給されているとともに、プルダウンインピーダンス調整コードＤＲＺＱＮの各ビットＤＲＺＱＮ１～ＤＲＺＱＮ５がそれぞれ供給されている。プルアップインピーダンス調整コードＤＲＺＱＰ及びプルダウンインピーダンス調整コードＤＲＺＱＮは、インピーダンスコードＺＱＣＯＤＥを構成する信号であり、図１に示すキャリブレーション回路６６から供給される。

【００７３】

ＯＲ回路５２１～５２５の出力であるプルアップデータＤＱＰ１１～ＤＱＰ１５と、ＡＮＤ回路５３１～５３５の出力であるプルダウンデータＤＱＮ１１～ＤＱＮ１５は、出力バッファ５０１に供給される。

【００７４】

図１４は、出力バッファ５０１の回路図である。

【００７５】

図１４に示すように、出力バッファ５０１は、並列接続された５つのＰチャンネルＭＯＳトランジスタ５４１～５４５と、並列接続された５つのＮチャンネルＭＯＳトランジスタ５５１～５５５とを備えている。ＰチャンネルＭＯＳトランジスタ５４１～５４５のソースはＶＤＤＱライン１７ｃに接続され、ＮチャンネルＭＯＳトランジスタ５５１～５５５のソースはＶＳＳＱライン１７ｄに接続される。これらトランジスタ５４１～５４５とトランジスタ５５１～５５５との間には、抵抗５６１，５６２が直列に接続されており、抵抗５６１と抵抗５６２の接続点がデータ入出力端子１４に接続されている。

【００７６】

トランジスタ５４１～５４５のゲートには、プルアップデータＤＱＰ１１～ＤＱＰ１５がそれぞれ供給されている。また、トランジスタ５５１～５５５のゲートには、プルダウンデータＤＱＮ１１～ＤＱＮ１５がそれぞれ供給されている。これにより、出力バッファ５０１に含まれる１０個のトランジスタは、１０本のデータＤＱＰ１１～ＤＱＰ１５，ＤＱＮ１１～ＤＱＮ１５によって、個別にオン／オフ制御がされる。

【００７７】

出力バッファ５０１に含まれるトランジスタ５４１～５４５及び抵抗５６１は、プルアップ回路ＰＵを構成する。また、出力バッファ５０１に含まれるトランジスタ５５１～５５５及び抵抗５６２は、プルダウン回路ＰＤを構成する。プルアップ回路ＰＵ及びプルダウン回路ＰＤは、導通時に所望のインピーダンスとなるように設計されている。しかしながら、トランジスタのオン抵抗は製造条件によってばらつくとともに、動作時における環境温度や電源電圧によって変動することから、必ずしも所望のインピーダンスが得られるとは限らない。このため、実際のインピーダンスを所望の値とするためには、オンさせるべきトランジスタの数を調整する必要があり、かかる目的のために、複数のトランジスタからなる並列回路を用いている。

【００７８】

インピーダンスを微細且つ広範囲に調整するためには、並列回路を構成する複数のトランジスタのＷ／Ｌ比（ゲート幅／ゲート長比）を互いに異ならせることが好ましく、２のべき乗の重み付けをすることが特に好ましい。この点を考慮して、本実施形態では、トランジスタ５４１のＷ／Ｌ比を１ＷＬｐとした場合、トランジスタ５４２～５４５のＷ／Ｌ比をそれぞれ２ＷＬｐ、４ＷＬｐ、８ＷＬｐ、１６ＷＬｐに設定している。これにより、プルアップインピーダンス調整コードＤＲＺＱＰによってオンさせるトランジスタを適宜選択することによって、製造条件によるばらつきや温度変化などにかかわらず、プルアップ回路ＰＵのオン抵抗を所望のインピーダンスに固定させることができる。

【００７９】

同様に、トランジスタ５５１～５５５についても、トランジスタ５４１～５４５と同様、Ｗ／Ｌ比に２のべき乗の重み付けをすることが特に好ましい。具体的には、トランジス

タ５５１のW／Ｌ比を１ＷＬｎとした場合、トランジスタ５５２～５５５のW／Ｌ比をそれぞれ２ＷＬｎ、４ＷＬｎ、８ＷＬｎ、１６ＷＬｎに設定すればよい。これにより、プルダウンインピーダンス調整コードＤＲＺＱＮによってオンさせるトランジスタを適宜選択することによって、製造条件によるばらつきや温度変化などにかかわらず、プルダウン回路ＰＤのオン抵抗を所望のインピーダンスに固定させることができる。

【００８０】

以上が本実施形態による半導体装置１０の構成である。このように、本実施形態による半導体装置１０は、立ち上がり特性と立ち下がり特性との差がほとんどないレベルシフトブロック４００を用いていることから、出力されるリードデータＤＱやストローブ信号ＤＱＳの信号品質を高めることが可能となる。このため、マルチプレクサ３００によってタイミング調整された後の信号（プルアップデータＤＱＰ及びプルダウンデータＤＱＮ）のパスにレベルシフト回路部４１０，４２０を挿入することができる。このことは、外部電源電圧ＶＤＤによって動作する回路をより少なくできることを意味し、消費電力が低減されるとともに、外部電源電圧ＶＤＤの変化による影響が低減されることになる。

【００８１】

つまり、マルチプレクサ３００によってタイミング調整された後の信号をレベルシフトし、その結果デューティが変化してしまうと、これをＤＬＬ回路１００によって補正することはできない。したがって、立ち上がり特性と立ち下がり特性との差が大きいレベルシフト回路を用いる場合には、マルチプレクサよりも前段にレベルシフト回路を配置する必要があり、消費電力が増大してしまう。これに対し、本実施形態による半導体装置１０では、マルチプレクサよりも後段にレベルシフト回路を配置することが可能となり、上記の効果を得ることができる。

【００８２】

しかも、本実施形態では、クロック分割回路２００を内部電源電圧ＶＰＥＲＩ２によって動作させ、マルチプレクサ３００を内部電源電圧ＶＰＥＲＩ３によって動作させていることから、これらの回路ブロックにて発生するノイズが相互に影響することがない。また、これらの内部電源電圧ＶＰＥＲＩ２，ＶＰＥＲＩ３は、ＦＩＦＯ回路６５など他の周辺回路にて使用される内部電源電圧ＶＰＥＲＩとも分離されていることから、他の周辺回路とクロック分割回路２００及びマルチプレクサ３００との間におけるノイズの影響も低減される。

【００８３】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【００８４】

例えば、レベルシフト回路ＬＶ１，ＬＶ２の個々の回路構成については、図９（ａ），（ｂ）に示した回路構成に限定されるものではなく、他の回路構成を採ることも可能である。例えば、図１５に示す回路構成であっても構わないし、図１６に示す回路構成であっても構わない。

【００８５】

図１５に示すレベルシフト回路ＬＶ３は、Ｎチャンネル型のＭＯＳトランジスタ４１７，４１８が追加されている点において、図９（ａ）に示すレベルシフト回路ＬＶ１と相違している。トランジスタ４１７はトランジスタ４１１に対して並列接続されており、そのゲート電極はトランジスタ４１４のゲート電極に接続されている。また、トランジスタ４１８はトランジスタ４１２に対して並列接続されており、そのゲート電極はトランジスタ４１３のゲート電極に接続されている。かかる構成を有するレベルシフト回路ＬＶ３を用いれば、立ち上がり特性と立ち下がり特性との差をより低減することが可能となる。

【００８６】

図１６に示すレベルシフト回路ＬＶ４は、Ｐチャンネル型のＭＯＳトランジスタ４１９が追加されている点において、図９（ａ）に示すレベルシフト回路ＬＶ１と相違している

。トランジスタ４１９は、トランジスタ４１１，４１２のコモンソースとＶＤＤライン１７ａとの間に接続されており、そのゲート電極にはバイアス信号ＰＢＩＡＳが供給されている。かかる構成を有するレベルシフト回路ＬＶ４を用いれば、信号の遷移速度を向上させることが可能となる。

【００８７】

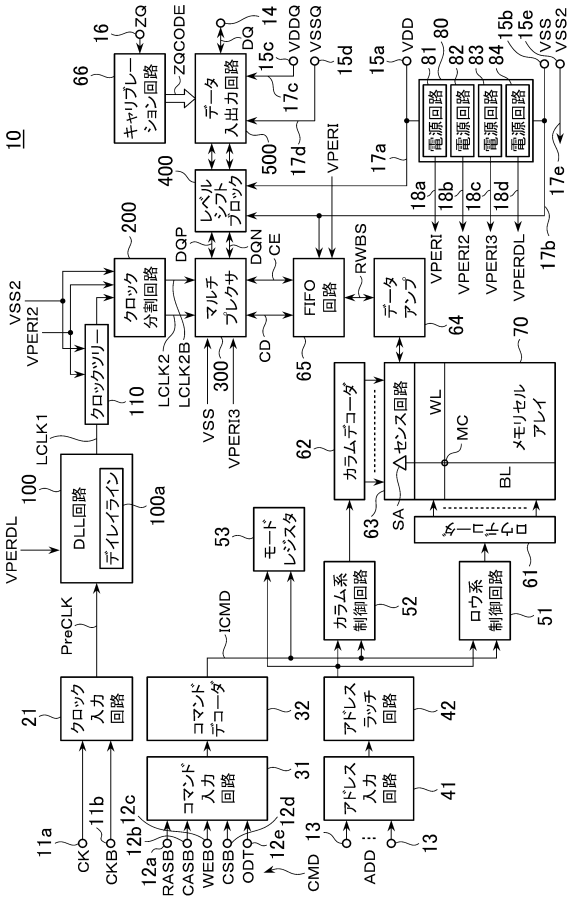
また、本発明においてレベルシフト回路の構成については特に限定されず、また、そのレベルシフト回路を挿入する位置についても特に限定されない。

【符号の説明】

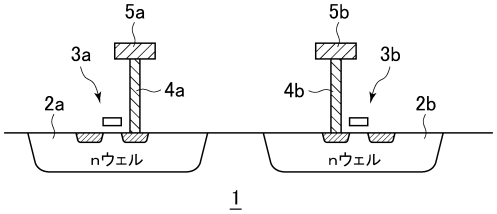
【００８８】

１　シリコン基板
２ａ，２ｂ　ウェル
３ａ，３ｂ　トランジスタ
４ａ，４ｂ　コンタクト導体
５ａ，５ｂ　電源ライン
１０　半導体装置
１１ａ，１１ｂ　クロック端子
１２ａ～１２ｅ　コマンド端子
１３　アドレス端子
１４　データ入出力端子
１５ａ～１５ｅ　電源端子
１６　キャリブレーション端子
１７ａ～１７ｅ，１８ａ～１８ｄ　電源ライン
２１　クロック入力回路
３１　コマンド入力回路
３２　コマンドデコーダ
４１　アドレス入力回路
４２　アドレスラッチ回路
５１　ロウ系制御回路
５２　カラム系制御回路
５３　モードレジスタ
６１　ロウデコーダ
６２　カラムデコーダ
６３　センス回路
６４　データアンプ
６５　ＦＩＦＯ回路
６６　キャリブレーション回路
７０　メモリセルアレイ
８０　内部電圧生成回路
８１～８４　電源回路
１００　ＤＬＬ回路
１００ａ　ディレイライン
１１０　クロックツリー回路
２００　クロック分割回路
３００　マルチプレクサ
４００　レベルシフトブロック
４１０，４２０　レベルシフト回路部
５００　データ入出力回路
５０１　出力バッファ
５１０　インピーダンス制御回路
ＬＶ１～ＬＶ４　レベルシフト回路

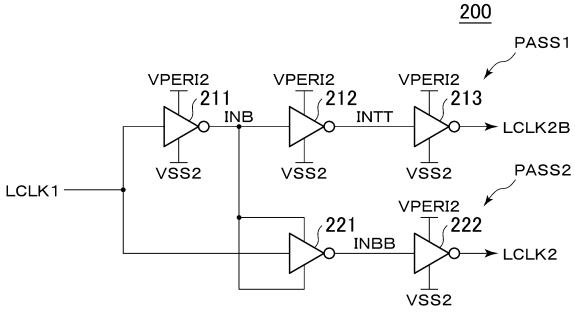
【図１】


10
ZQ
ZQCODE
DQ
VDDQ
VSSQ
VDD
VSS
VSS2
キャリブレーション回路
データ入出力回路
電源回路
レベルシフトブロック
VPERI
VPERIDL
DQP
DQN
CE
RWBS
クロック分割回路
マルチプレクサ
FIFO回路
データアンプ
VSS2
VPERI2
クロックツリー
LCLK2
LCLK2B
CD
VSS
VPERI3
LCLK1
DLL回路
ディレイライン
VPERIDL
PreCLK
ICMD
モードレジスタ
カラムデコーダ
センス回路
WL
MC
BL
メモリセルアレイ
SA
ローデコーダ
カラム系制御回路
ロウ系制御回路
クロック入力回路
コマンドデコーダ
コマンド入力回路
アドレスラッチ回路
アドレス入力回路
CK
CKB
RASB
CASB
WEB
CSB
ODT
CMD
ADD

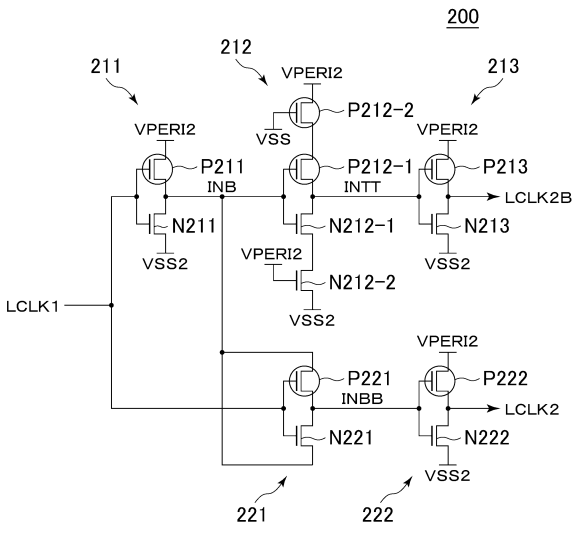
【図２】


5a
5b
3a
3b
4a
4b
2a
2b
nウェル
nウェル
1

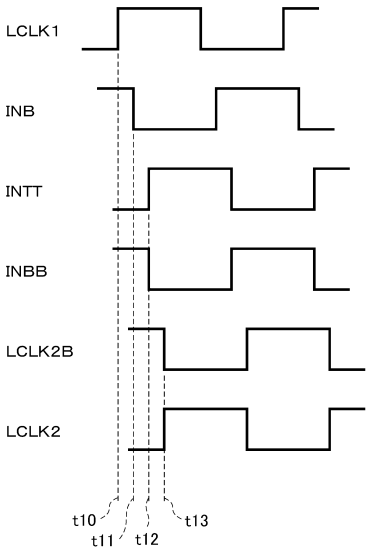
【図３】


200
PASS1
VPERI2
211
INB
212
INTT
213
LCLK2B
VSS2
LCLK1
PASS2
221
INBB
222
LCLK2

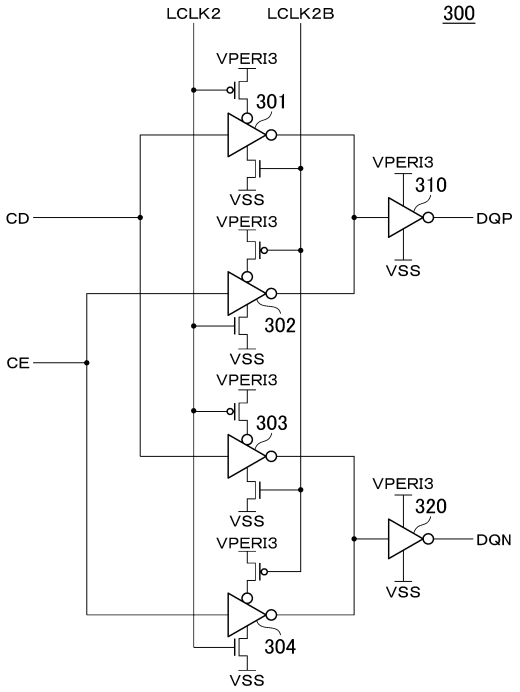
【図４】


200
211
212
213
VPERI2
P212-2
VSS
P211
INB
P212-1
INTT
P213
LCLK2B
N211
N212-1
N213
VSS2
N212-2
LCLK1
P221
INBB
P222
LCLK2
N221
N222
221
222

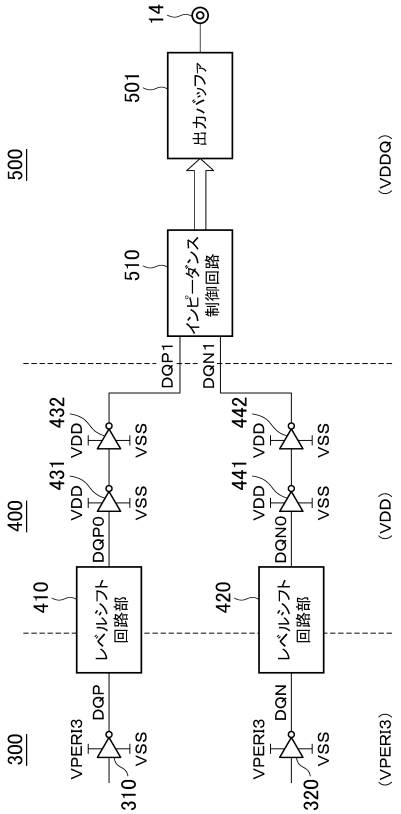
【図５】


LCLK1
INB
INTT
INBB
LCLK2B
LCLK2
t10
t11
t12
t13

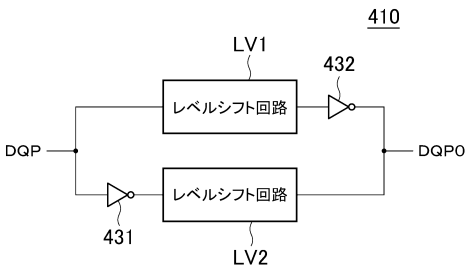
【図６】


LCLK2
LCLK2B
300
VPERI3
301
VSS
CD
VPERI3
310
DQP
VSS
VPERI3
302
VSS
CE
VPERI3
303
VSS
VPERI3
320
DQN
VSS
VPERI3
304
VSS

【図７】

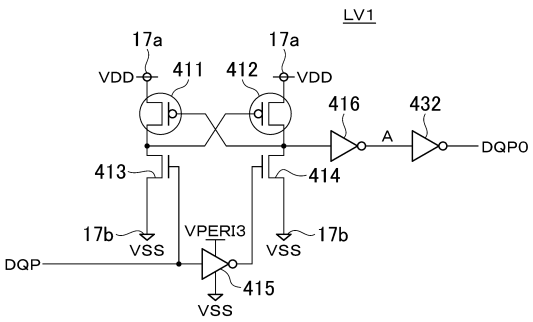

14
501
出力バッファ
500
(VDDQ)
510
インピーダンス制御回路
DQP1
DQN1
432
442
VDD
VSS
431
441
400
(VDD)
DQP0
DQN0
410
420
レベルシフト回路部
DQP
DQN
300
VPERI3
310
320
(VPERI3)

【図８】

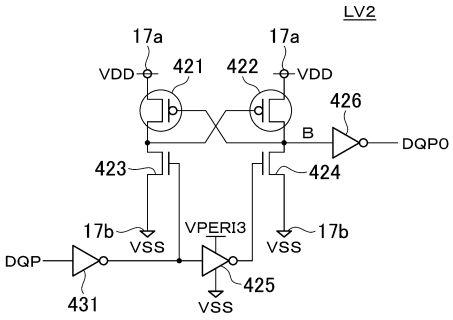

410
LV1
432
レベルシフト回路
DQP
DQP0
レベルシフト回路
431
LV2

【図９】

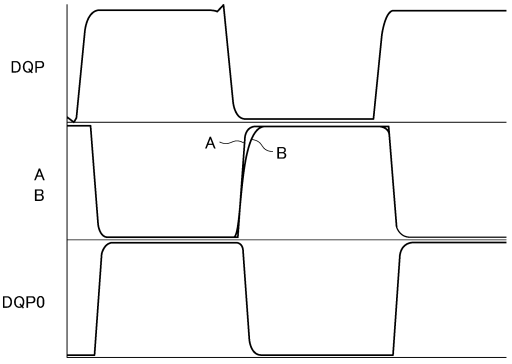
（ａ）


LV1
17a
17a
VDD
411
412
VDD
416
432
A
DQP0
413
414
17b
VPERI3
17b
VSS
VSS
DQP
415
VSS

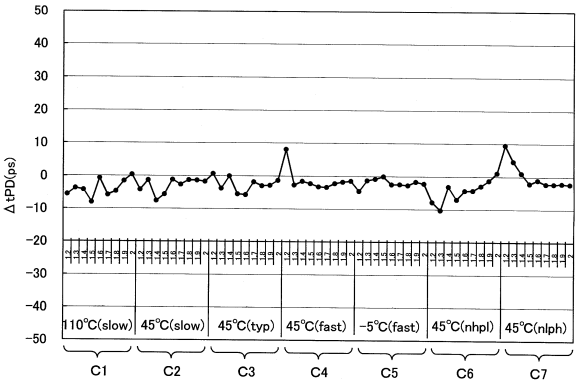
（ｂ）


LV2
17a
17a
VDD
421
422
VDD
426
B
DQP0
423
424
17b
VPERI3
17b
VSS
VSS
DQP
425
431
VSS

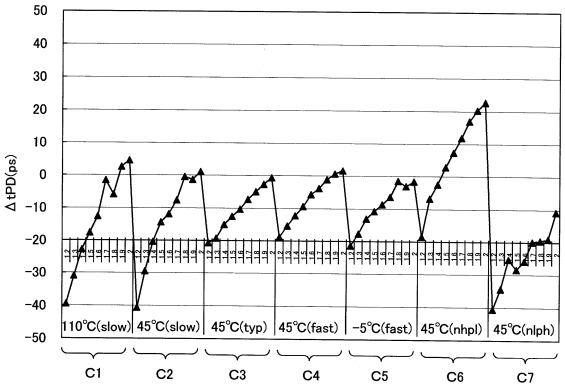
【図１０】



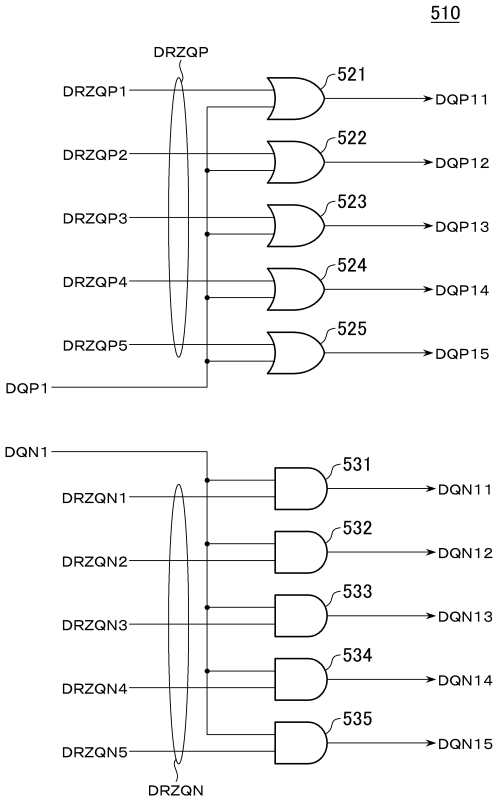
【図１１】



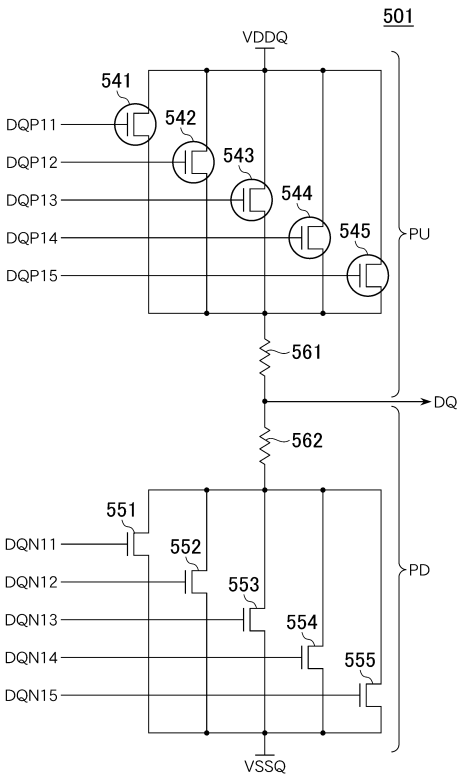
【図１２】



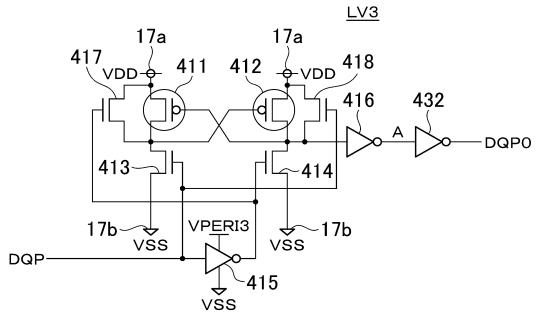
【図１３】



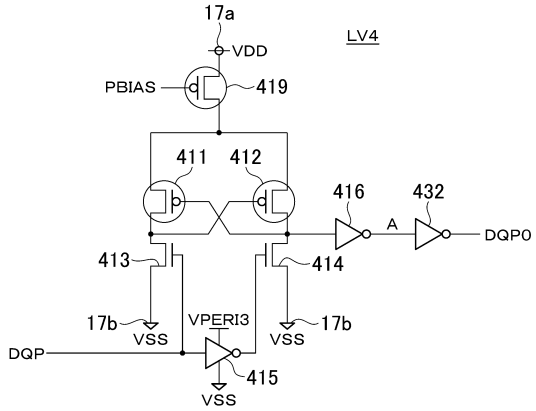
【図１４】



【図１５】


LV3
17a
17a
417
VDD
411
412
VDD
418
416
432
A
DQP0
413
414
17b
VSS
VPERI3
VSS
17b
DQP
415
VSS

【図１６】


17a
LV4
VDD
PBIAS
419
411
412
416
432
A
DQP0
413
414
17b
VSS
VPERI3
VSS
17b
DQP
415
VSS

フロントページの続き

(51)Int.Cl.			FI		
H03K	*19/00*	*(2006.01)*	H03K	19/00	A
G11C	*11/407*	*(2006.01)*	G11C	11/34	362T
G11C	*11/4074*	*(2006.01)*	G11C	11/34	354F
G06F	*1/26*	*(2006.01)*	G06F	1/00	330A
G06F	*1/06*	*(2006.01)*	G06F	1/04	310A
			G06F	1/04	312A

(72)発明者 佐藤 武範
東京都中央区八重洲二丁目２番１号 エルピーダメモリ株式会社内

審査官 小林 紀和

(56)参考文献 特開平０８－０５５４８０（ＪＰ，Ａ）
特開２０１０－０７３２５７（ＪＰ，Ａ）
特開２０００－１２４７９７（ＪＰ，Ａ）
特開２００５－１５８１６５（ＪＰ，Ａ）
特開２０００－１６３９６１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ １１／４０７６
Ｇ０６Ｆ １／０６
Ｇ０６Ｆ １／２６
Ｇ１１Ｃ １１／４０７
Ｇ１１Ｃ １１／４０７４
Ｈ０３Ｋ ５／１５
Ｈ０３Ｋ ５／１５１
Ｈ０３Ｋ １７／００
Ｈ０３Ｋ １７／１６
Ｈ０３Ｋ １９／００