

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-164368

(P2006-164368A)

(43) 公開日 平成18年6月22日(2006.6.22)

(51) Int. Cl.

G11C 11/22 (2006.01)

F I

G11C 11/22 501F

テーマコード(参考)

審査請求 未請求 請求項の数 14 O L (全 23 頁)

(21) 出願番号 特願2004-352632 (P2004-352632)
 (22) 出願日 平成16年12月6日(2004.12.6)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 渡辺 賢哉
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

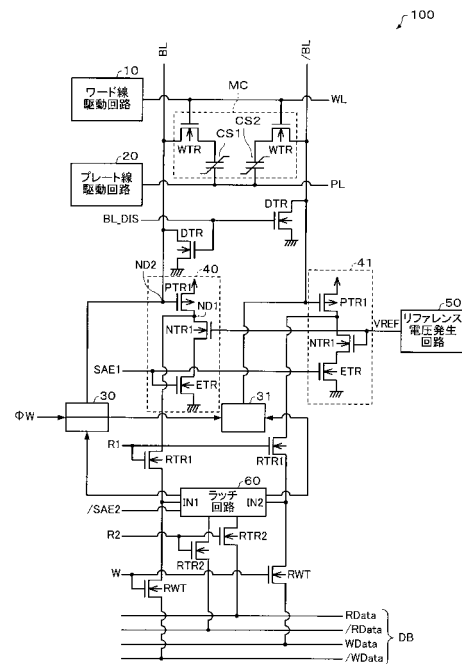
(54) 【発明の名称】 強誘電体記憶装置

(57) 【要約】

【課題】 信頼性の高い強誘電体記憶装置を提供すること。

【解決手段】 メモリセルMCに接続されるワード線WL、プレート線PL及びビット線BLと、ディスチャージ信号BL_DISに基づいてビット線BLを0Vにディスチャージするディスチャージトランジスタと、メモリセルMCに保持されているデータを判定して、判定結果を出力するセンスアンプ40と、センスアンプ40の出力ノードQ1、Q2とデータバスDBとの間に設けられたラッチ回路60と、を含み、データ読み出しの際に、プレート線PLは0Vの電圧から電圧VCCに設定され、ラッチ回路60は、ラッチ信号/SAE2に基づいてセンスアンプ40の出力をラッチし、ディスチャージ信号BL_DISは、ラッチ回路60のデータラッチが終了した後に所与の期間、アクティブに設定され、ディスチャージトランジスタは、ディスチャージ信号BL_DISに基づいてビット線BLを所与の期間、第1ビット線電圧にディスチャージする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

強誘電体キャパシタを含むメモリセルと、
前記メモリセルに接続されるワード線、プレート線及びビット線と、
前記ワード線を駆動するワード線駆動回路と、
前記プレート線を駆動するプレート線駆動回路と、
前記ビット線に接続され、ディスチャージ信号に基づいて前記ビット線を第 1 ビット線電圧にディスチャージするディスチャージトランジスタと、
その入力ノードが前記ビット線に接続され、前記メモリセルに保持されているデータを判定して、判定結果を出力するセンスアンプと、
前記センスアンプの出力ノードとデータバスとの間に設けられたラッチ回路と、
を含み

10

前記プレート線駆動回路は、データ読み出しの際に、前記プレート線を第 1 プレート線電圧から前記第 1 プレート線電圧よりも高い第 2 プレート線電圧に設定し、

前記ラッチ回路は、ラッチ信号に基づいて、前記センスアンプの出力をラッチし、
前記ディスチャージ信号は、前記ラッチ回路のデータラッチが終了した後に所与の期間、アクティブに設定され、

前記ディスチャージトランジスタは、前記ディスチャージ信号に基づいて前記ビット線を前記所与の期間、前記第 1 ビット線電圧にディスチャージすることを特徴とする強誘電体記憶装置。

20

【請求項 2】

請求項 1 において、

前記センスアンプは、センスアンプイネーブル信号に基づいて前記センスアンプのイネーブル・ディセーブルを制御するセンスアンプイネーブルトランジスタを含み、

前記センスアンプイネーブル信号がアクティブに設定されている場合には、前記センスアンプはイネーブルに設定され、前記センスアンプイネーブル信号が非アクティブに設定されている場合には、前記センスアンプはディセーブルに設定され、

前記センスアンプイネーブル信号は、前記ラッチ回路のデータラッチが終了した後に非アクティブに設定されることを特徴とする強誘電体記憶装置。

30

【請求項 3】

請求項 2 において、

前記プレート線が前記第 2 プレート線電圧に設定されるタイミングよりも前のタイミングで前記センスアンプイネーブル信号がアクティブに設定され、前記センスアンプがイネーブルに設定されることを特徴とする強誘電体記憶装置。

【請求項 4】

請求項 2 又は 3 において、

リファレンス電圧を発生するリファレンス電圧発生回路をさらに含み、

前記センスアンプは、

そのゲートが前記ビット線に接続され、そのソースが第 2 の電源に接続され、そのドレインが前記センスアンプの出力ノードと接続される第 1 の出力トランジスタと、

40

そのドレインが前記第 1 の出力トランジスタのドレインと接続され、そのゲートには前記リファレンス電圧発生回路からの前記リファレンス電圧が入力される第 2 の出力トランジスタと、

をさらに含み、

前記リファレンス電圧は、論理“0”が書き込まれているリファレンスメモリセルに対して読み出し動作を行ったときに前記ビット線に発生する電圧に基づいて生成されることを特徴とする強誘電体記憶装置。

【請求項 5】

請求項 4 において、

前記センスアンプイネーブルトランジスタのソースは前記第 2 の電源より電源電圧の低

50

い第 1 の電源に接続され、前記センスアンブイネーブルトランジスタのドレインは前記第 2 の出力トランジスタのソースに接続されていることを特徴とする強誘電体記憶装置。

【請求項 6】

請求項 4 又は 5 において、

前記リファレンス電圧発生回路は、

そのゲートが、前記リファレンスメモリセルに接続されたビット線に接続され、そのソースが前記第 2 の電源に接続され、そのドレインが前記リファレンス電圧発生回路の出力ノードと接続される第 3 の出力トランジスタと、

そのソース及びゲートが前記リファレンス電圧発生回路の前記出力ノードと接続される第 4 の出力トランジスタと、

を含むことを特徴とする強誘電体記憶装置。

10

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記センスアンプの出力と前記ラッチ回路との間に設けられ、前記センスアンプの出力と前記ラッチ回路の接続をオン・オフ制御する第 1 の読み出し用スイッチングトランジスタをさらに含み、

前記第 1 の読み出し用スイッチングトランジスタは、

前記ラッチ回路のデータラッチが終了した後にアクティブから非アクティブに設定される第 1 の読み出し信号に基づいて、前記センスアンプの出力と前記ラッチ回路を非接続にすることを特徴とする強誘電体記憶装置。

20

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記ラッチ回路の出力と前記データバスとの間に設けられ、前記ラッチ回路の出力と前記データバスの接続をオン・オフ制御する第 2 の読み出し用スイッチングトランジスタをさらに含み、

前記第 2 の読み出し用スイッチングトランジスタは、

前記ラッチ回路のデータラッチが終了した後に非アクティブからアクティブに設定される第 2 の読み出し信号に基づいて前記ラッチ回路の出力と前記データバスを接続することを特徴とする強誘電体記憶装置。

30

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

その入力が前記ラッチ回路の出力に接続され、その出力が前記ビット線に接続されるリライト回路をさらに含み、

前記リライト回路は、前記ラッチ回路の出力に基づいて、前記ビット線に供給する電圧を前記第 1 ビット線電圧、又は前記第 1 ビット線電圧よりも高い第 2 ビット線電圧のいずれか一方に設定することを特徴とする強誘電体記憶装置。

【請求項 10】

請求項 9 において、

前記リライト回路は、書き込みパルスがアクティブに設定された場合に、前記ラッチ回路の出力に基づいて、前記ビット線を前記第 1 又は第 2 ビット線電圧のいずれかに設定し

40

、前記書き込みパルスは、前記ディスチャージ信号がアクティブに設定される前記所与の期間が経過した後に、アクティブに設定されることを特徴とする強誘電体記憶装置。

【請求項 11】

請求項 9 又は 10 において、

データ読み出しの際の再書き込みにおいて、

前記ラッチ回路にラッチされているデータが論理“1”である場合には、前記リライト回路は、前記メモリセルが接続されている前記ビット線の電圧を、前記ラッチ回路の出力に基づいて前記第 1 ビット線電圧より高い第 2 ビット線電圧に設定することを特徴とする強誘電体記憶装置。

50

【請求項 1 2】

強誘電体キャパシタを含むメモリセルと、
 前記メモリセルに接続されるワード線、プレート線及びビット線と、
 その入力ノードが前記ビット線に接続され、前記メモリセルに保持されているデータを判定して、判定結果を出力するセンスアンプと、
 前記センスアンプの出力ノードとデータバスとの間に設けられたラッチ回路と、
 その入力前記ラッチ回路の出力に接続され、その出力が前記ビット線に接続されるリライト回路と、
 を含み、
 データの読み出し動作において、
 前記ラッチ回路はラッチ信号に基づいて、前記センスアンプの出力をラッチし、
 前記リライト回路は、前記ラッチ回路の出力に基づいて、前記ビット線に供給する電圧を前記第 1 ビット線電圧又は前記第 1 ビット線電圧よりも高い第 2 ビット線電圧のいずれか一方に設定し、
 前記ラッチ回路のデータラッチが終了した後に所与の期間、アクティブに設定される書き込みパルスに基づいて、前記ビット線を前記第 1 又は第 2 ビット線電圧のいずれかに設定することを特徴とする強誘電体記憶装置。

10

【請求項 1 3】

請求項 1 2 において、
 データの書き込み動作において、
 前記ラッチ回路は、前記ラッチ信号に基づいて、前記データバスからのデータをラッチし、
 前記リライト回路は、前記データバスからのデータをラッチした前記ラッチ回路の出力に基づいて、前記ビット線に供給する電圧を前記第 1 ビット線電圧又は前記第 2 ビット線電圧のいずれか一方に設定することを特徴とする強誘電体記憶装置。

20

【請求項 1 4】

請求項 1 乃至 1 3 のいずれかにおいて、
 前記ビット線は、第 1、第 2 のビット線を含み、
 前記メモリセルは、前記第 1 のビット線側に設けられた第 1 の強誘電体キャパシタ及び前記第 2 のビット線側に設けられた第 2 の強誘電体キャパシタを含み、
 前記センスアンプは、前記第 1 のビット線に接続された第 1 のセンスアンプと、前記第 2 のビット線に接続された第 2 のセンスアンプと、を含み、
 前記第 1 の強誘電体キャパシタに保持されているデータの反転データが、前記第 2 の強誘電体キャパシタに保持され、
 前記ラッチ回路は、前記データバスと接続される第 1、第 2 の入力を含み、
 前記第 1 の入力には前記第 1 のセンスアンプの出力が接続され、前記第 2 の入力には前記第 2 のセンスアンプの出力が接続されることを特徴とする強誘電体記憶装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体記憶装置に関する。

40

【背景技術】

【0002】

近年、情報記憶用キャパシタとして強誘電体キャパシタを用いる強誘電体メモリ (F e R A M : Ferroelectric Random Access Memory) が脚光を浴びている。この強誘電体メモリは、R F I D (Radio Frequency Identification) システムのトランスポンダ側に搭載されるメモリなどとして広く用いられている。

【0003】

強誘電体メモリのワード線やプレート線を駆動する駆動回路の実現手法としては種々の従来技術がある。例えば、メモリセルのデータ読み出しにおいて、破壊読み出しを行う場

50

合、選択されたメモリセルの全てに一旦、論理“0”が書き込まれる。その後、再書き込みを行うことで元の保持データを復元する。メモリセルに論理“0”が書き込まれるとき、メモリセルに保持されているデータによって、強誘電体キャパシタに印加される電圧レベルが異なる。例えば、メモリセルに論理“0”が保持されている場合は、メモリセルに論理“1”が保持されている場合に比べて、読み出し時に強誘電体キャパシタに印加される電圧レベルが大きい。このため、各メモリセルで強誘電体キャパシタに印加される電圧のばらつきが生じる。この場合、強誘電体キャパシタのインプリントの状態が、各メモリセルで異なってしまうため、インプリントの対策を施すことが困難であった。

【特許文献1】特開2002-15562号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、信頼性の高い強誘電体記憶装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、強誘電体キャパシタを含むメモリセルと、前記メモリセルに接続されるワード線、プレート線及びビット線と、前記ワード線を駆動するワード線駆動回路と、前記プレート線を駆動するプレート線駆動回路と、前記ビット線に接続され、ディスチャージ信号に基づいて前記ビット線を第1ビット線電圧にディスチャージするディスチャージトランジスタと、その入力ノードが前記ビット線に接続され、前記メモリセルに保持されているデータを判定して、判定結果を出力するセンスアンプと、前記センスアンプの出力ノードとデータバスとの間に設けられたラッチ回路と、を含み前記プレート線駆動回路は、データ読み出しの際に、前記プレート線を第1プレート線電圧から前記第1プレート線電圧よりも高い第2プレート線電圧に設定し、前記ラッチ回路は、ラッチ信号に基づいて、前記センスアンプの出力をラッチし、前記ディスチャージ信号は、前記ラッチ回路のデータラッチが終了した後に所与の期間、アクティブに設定され、前記ディスチャージトランジスタは、前記ディスチャージ信号に基づいて前記ビット線を前記所与の期間、前記第1ビット線電圧にディスチャージする強誘電体記憶装置に関する。

20

【0006】

30

これにより、前記所与の期間、複数の強誘電体キャパシタに対して、論理“0”を書き込むことができるので、強誘電体キャパシタのインプリントされる方向が統一される。即ち、強誘電体キャパシタに保持されているデータの内容にかかわらず、インプリントされる方向が同じため、インプリント対策が容易になる。

【0007】

また、本発明では、前記センスアンプは、センスアンプイネーブル信号に基づいて前記センスアンプのイネーブル・ディセーブルを制御するセンスアンプイネーブルトランジスタを含み、前記センスアンプイネーブル信号がアクティブに設定されている場合には、前記センスアンプはイネーブルに設定され、前記センスアンプイネーブル信号が非アクティブに設定されている場合には、前記センスアンプはディセーブルに設定され、前記センスアンプイネーブル信号は、前記ラッチ回路のデータラッチが終了した後に非アクティブに設定されるようにしてもよい。

40

【0008】

これにより、センスアンプが不要であるときにセンスアンプをディセーブルに設定できるので、消費電力の低減が可能である。

【0009】

また、本発明では、前記プレート線が前記第2プレート線電圧に設定されるタイミングよりも前のタイミングで前記センスアンプイネーブル信号がアクティブに設定され、前記センスアンプがイネーブルに設定されてもよい。

【0010】

50

これによりセンスアンプの起動を速めることができる。

【0011】

また、本発明は、リファレンス電圧を発生するリファレンス電圧発生回路をさらに含み、前記センスアンプは、そのゲートが前記ビット線に接続され、そのソースが第2の電源に接続され、そのドレインが前記センスアンプの出力ノードと接続される第1の出力トランジスタと、そのドレインが前記第1の出力トランジスタのドレインと接続され、そのゲートには前記リファレンス電圧発生回路からの前記リファレンス電圧が入力される第2の出力トランジスタと、をさらに含み、前記リファレンス電圧は、論理“0”が書き込まれているリファレンスメモリセルに対して読み出し動作を行ったときに前記ビット線に発生する電圧に基づいて生成されるようにしてもよい。

10

【0012】

これにより、リファレンスメモリセルに対して読み出し動作を行った場合に、リファレンスメモリセルの強誘電体キャパシタは分極反転しないため、分極反転による強誘電体キャパシタの疲労劣化を防止できる。

【0013】

また、本発明では、前記センスアンプイネーブルトランジスタのソースは前記第2の電源より電源電圧の低い第1の電源に接続され、前記センスアンプイネーブルトランジスタのドレインは前記第2の出力トランジスタのソースに接続されてもよい。

【0014】

また、本発明では、前記リファレンス電圧発生回路は、そのゲートが、前記リファレンスメモリセルに接続されたビット線に接続され、そのソースが前記第2の電源に接続され、そのドレインが前記リファレンス電圧発生回路の出力ノードと接続される第3の出力トランジスタと、そのソース及びゲートが前記リファレンス電圧発生回路の前記出力ノードと接続される第4の出力トランジスタと、を含むようにしてもよい。

20

【0015】

また、本発明は、前記センスアンプの出力と前記ラッチ回路との間に設けられ、前記センスアンプの出力と前記ラッチ回路の接続をオン・オフ制御する第1の読み出し用スイッチングトランジスタをさらに含み、前記第1の読み出し用スイッチングトランジスタは、前記ラッチ回路のデータラッチが終了した後にアクティブから非アクティブに設定される第1の読み出し信号に基づいて、前記センスアンプの出力と前記ラッチ回路を非接続にするようにしてもよい。

30

【0016】

これにより、センスアンプとラッチ回路とを非接続にすることができるので、ラッチ回路にデータがラッチされた後に、ビット線をディスチャージしてもラッチ回路にラッチされているデータには影響しない。

【0017】

また、本発明は、前記ラッチ回路の出力と前記データバスとの間に設けられ、前記ラッチ回路の出力と前記データバスの接続をオン・オフ制御する第2の読み出し用スイッチングトランジスタをさらに含み、前記第2の読み出し用スイッチングトランジスタは、前記ラッチ回路のデータラッチが終了した後に非アクティブからアクティブに設定される第2の読み出し信号に基づいて前記ラッチ回路の出力と前記データバスを接続するようにしてもよい。

40

【0018】

これにより、ラッチ回路にラッチされたデータがデータバスに出力されるため、再度同じアドレスのメモリセルからデータを読み出す場合、ラッチ回路のデータを読み出すことができる。即ち、強誘電体キャパシタに電圧を印加せずにデータを読み出せるので、強誘電体キャパシタの披露劣化を緩和することができる。

【0019】

また、本発明は、その入力が前記ラッチ回路の出力に接続され、その出力が前記ビット線に接続されるリライト回路をさらに含み、前記リライト回路は、前記ラッチ回路の出力

50

に基づいて、前記ビット線に供給する電圧を前記第1ビット線電圧、又は前記第1ビット線電圧よりも高い第2ビット線電圧のいずれか一方に設定するようにしてもよい。

【0020】

これにより、ビット線をディスチャージし、センスアンプをディセーブルに設定しても、読み出しによって破壊されたデータを強誘電体キャパシタに再書き込みすることができる。

【0021】

また、本発明では、前記リライト回路は、書き込みパルスがアクティブに設定された場合に、前記ラッチ回路の出力に基づいて、前記ビット線を前記第1又は第2ビット線電圧のいずれかに設定し、前記書き込みパルスは、前記ディスチャージ信号がアクティブに設定される前記所与の期間が経過した後に、アクティブに設定されるようにしてもよい。

10

【0022】

これにより、所与の期間、論理“0”を書き込むための電圧が強誘電体キャパシタに印加され、確実に論理“0”が書き込まれた後に書き込みパルスがアクティブに設定される。即ち、論理“0”が書き込まれる際に印加される電圧の絶対値と、論理“1”が書き込まれる際に印加される電圧の絶対値が等しくなるため、強誘電体キャパシタはあまりインプリントされない。

【0023】

また、本発明では、データ読み出しの際の再書き込みにおいて、前記ラッチ回路にラッチされているデータが論理“1”である場合には、前記リライト回路は、前記メモリセルが接続されている前記ビット線の電圧を、前記ラッチ回路の出力に基づいて前記第1ビット線電圧より高い第2ビット線電圧に設定するようにしてもよい。

20

【0024】

これにより、センスアンプをディセーブルに設定しても、再書き込みを行うことができる。

【0025】

本発明は、強誘電体キャパシタを含むメモリセルと、前記メモリセルに接続されるワード線、プレート線及びビット線と、その入力ノードが前記ビット線に接続され、前記メモリセルに保持されているデータを判定して、判定結果を出力するセンスアンプと、前記センスアンプの出力ノードとデータバスとの間に設けられたラッチ回路と、その入力前記ラッチ回路の出力に接続され、その出力が前記ビット線に接続されるリライト回路と、を含み、データの読み出し動作において、前記ラッチ回路はラッチ信号に基づいて、前記センスアンプの出力をラッチし、前記リライト回路は、前記ラッチ回路の出力に基づいて、前記ビット線に供給する電圧を前記第1ビット線電圧又は前記第1ビット線電圧よりも高い第2ビット線電圧のいずれか一方に設定し、前記ラッチ回路のデータラッチが終了した後に所与の期間、アクティブに設定される書き込みパルスに基づいて、前記ビット線を前記第1又は第2ビット線電圧のいずれかに設定する強誘電体記憶装置に関する。

30

【0026】

これにより、ラッチ回路にデータがラッチされた後に、ビット線の電位を変更することができる。

40

【0027】

また、本発明では、データの書き込み動作において、前記ラッチ回路は、前記ラッチ信号に基づいて、前記データバスからのデータをラッチし、前記リライト回路は、前記データバスからのデータをラッチした前記ラッチ回路の出力に基づいて、前記ビット線に供給する電圧を前記第1ビット線電圧又は前記第2ビット線電圧のいずれか一方に設定するようにしてもよい。

【0028】

これにより、リライト回路は、データがラッチ回路にラッチされた後に、ラッチされたデータに基づいてビット線を第1又は第2のビット線電圧に設定することができる。

【0029】

50

また、本発明では、前記ビット線は、第1、第2のビット線を含み、前記メモリセルは、前記第1のビット線側に設けられた第1の強誘電体キャパシタ及び前記第2のビット線側に設けられた第2の強誘電体キャパシタを含み、前記センスアンプは、前記第1のビット線に接続された第1のセンスアンプと、前記第2のビット線に接続された第2のセンスアンプと、を含み、前記第1の強誘電体キャパシタに保持されているデータの反転データが、前記第2の強誘電体キャパシタに保持され、前記ラッチ回路は、前記データバスと接続される第1、第2の入力を含み、前記第1の入力には前記第1のセンスアンプの出力が接続され、前記第2の入力には前記第2のセンスアンプの出力が接続されるようにしてもよい。

【0030】

10

これにより、2T2C(2 Transistor 2 Capacitor)型の記憶装置の強誘電体キャパシタに対してもインプリント方向のばらつきを緩和することができる

【発明を実施するための最良の形態】

【0031】

以下、本発明の一実施形態について、図面を参照して説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。なお、以下の図において同符号のものは同様の意味を表す。

【0032】

1. メモリセルMC

20

図1(A)に強誘電体記憶装置のメモリセルMCの構成例を示す。このメモリセルMCは、強誘電体キャパシタCSとN型(広義には第1導電型)のトランスファートランジスタWTRを含む。強誘電体キャパシタCSの一端にはノードNCが接続され、他端にはプレート線PLが接続される。トランスファートランジスタWTRのゲートにはワード線WLが接続され、ソースにはビット線BLが接続され、ドレインにはノードNCが接続される。なお本明細書では、便宜的に、トランジスタの電流経路のどちらか一方側をドレインと呼び、他方側をソースと呼ぶ。またメモリセルMCは図1(A)の構成に限定されない。例えば図1(A)のような1T1C(1 Transistor 1 Capacitor)型のみならず、2T2C(2 Transistor 2 Capacitor)型や、FET型等であってもよい。

【0033】

30

図1(B)に示すように、メモリセルMCに論理“1”を書き込む場合には、ワード線WLに選択電圧を印加し、ビット線BLにVCC(広義には第2ビット線電圧)の電圧を印加し、プレート線PLに0V(広義には第1プレート線電圧)を印加する。これにより図1(C)のヒステリシス特性のA1に示すように、強誘電体キャパシタCSの残留分極が「負」になる。このように残留分極が「負」である状態を、例えば論理“1”が記憶されている状態と定義できる。

【0034】

一方、メモリセルMCに論理“0”を書き込む場合には、ワード線WLに選択電圧を印加し、ビット線BLに0V(広義には第1ビット線電圧)を印加し、プレート線PLにVCC(広義には第2プレート線電圧、例えば5V)を印加する。これにより図1(C)のヒステリシス特性のA2に示すように、強誘電体キャパシタCSの残留分極が「正」になる。このように残留分極が「正」である状態を、例えば論理“0”が記憶されている状態と定義できる。

40

【0035】

2. 強誘電体記憶装置

2.1. 全体構成

図2は、本実施形態に係る強誘電体記憶装置100を示す図である。強誘電体記憶装置100は、メモリセルMC、ワード線WL、プレート線PL、ビット線BL(広義には第1のビット線)、ビット線/BL(広義には第2のビット線)を含む。メモリセルMCは、強誘電体キャパシタCS1(広義には第1の強誘電体キャパシタ)、強誘電体キャパシ

50

タCS2（広義には第2の強誘電体キャパシタ）を含む。また、強誘電体記憶装置100は、ワード線WLを駆動するワード線駆動回路10と、プレート線PLを駆動するプレート線駆動回路20と、各ビット線BL、/BLに接続されたリライト回路30、31を含む。また、強誘電体記憶装置100は、各ビット線BL、/BLに接続されたセンスアンプ40、41と、各ビット線BL、/BLに設けられたディスチャージトランジスタDTRと、リファレンス電圧VREFを発生するリファレンス電圧発生回路50と、メモリセルMCに対して読み出し/書き込みを行うためのデータを一時的にラッチするラッチ回路60を含む。

【0036】

また、各ビット線BL、/BLには、ビット線BL、/BLをグランドレベルの電圧（広義には第1ビット線電圧）にディスチャージするディスチャージトランジスタDTRが設けられている。ディスチャージトランジスタDTRのゲートにはディスチャージ信号BL_DISが入力され、ディスチャージ信号BL_DISがアクティブに設定されると、各ビット線BL、/BLはグランドレベルの電圧にディスチャージされる。

【0037】

また、各センスアンプ40、41は、トランジスタPTR1（広義には第1の出力トランジスタ）、トランジスタNTR1（広義には第2の出力トランジスタ）、イネーブルトランジスタETR（広義にはセンスアンプイネーブルトランジスタ）を含むが、これに限定されない。例えば、各センスアンプ40、41は、イネーブルトランジスタETRを省略する構成でも良い。センスアンプ40、41の入力ノードND2には、トランジスタPTR1のゲートと、ビット線BL又は/BLと、リライト回路30又は31の出力が接続される。トランジスタPTR1のソースには例えば電圧VCCを発生する電源（広義には第2の電源）が接続される。トランジスタPTR1のドレインとトランジスタNTR1のドレインはセンスアンプ40、41の出力ノードND1に接続され、出力ノードND1はラッチ回路60に接続される。

20

【0038】

また、トランジスタNTR1のゲートには、リファレンス電圧発生回路50から出力されるリファレンス電圧VREFが入力される。

【0039】

また、イネーブルトランジスタETRのゲートにはセンスアンプイネーブル信号SAE1が入力される。センスアンプイネーブル信号SAE1がアクティブに設定されると、各センスアンプ40、41はイネーブルに設定される。なお、センスアンプイネーブルトランジスタETRのドレインはトランジスタNTR1のソースに接続され、センスアンプイネーブルトランジスタETRのソースは例えば0Vの電圧を発生する電源（広義には第1の電源）に接続される。

【0040】

また、各センスアンプ40、41とラッチ回路60の入力との間には、読み出し用トランジスタRTR1（広義には、第1の読み出し用スイッチングトランジスタ）が設けられている。読み出し用トランジスタRTR1のゲートには読み出し信号R1（広義には、第1の読み出し信号）が入力され、読み出し信号R1が非アクティブに設定されると、ラッチ回路60の入力はセンスアンプ40、41の出力から電氣的に切り離される。

【0041】

ラッチ回路60の入力ノードIN1、IN2は、センスアンプ40、41の出力ノードND1及びデータバスDBに接続される。なお、ラッチ回路60の入力ノードIN1、IN2とデータバスDBとの間には書き込みデータ用トランジスタRWTが設けられ、データバス接続信号Wがアクティブに設定されると、データバスDBとラッチ回路60の入力ノードIN1、IN2とが電氣的に接続される。

【0042】

ラッチ回路60は、ラッチ信号/SAE2を受け、ラッチ信号/SAE2がアクティブに設定された場合には、データバスDBからのデータ又はセンスアンプ40、41からの

データのいずれかをラッチし、ラッチしたデータをリライト回路 30、31 に出力する。また、ラッチ回路 60 とデータバス DB との間に設けられた読み出し用トランジスタ RT R 2 (広義には、第 2 の読み出し用スイッチングトランジスタ) のゲートには読み出し信号 R 2 (広義には、第 2 の読み出し信号) が入力される。読み出し信号 R 2 がアクティブに設定された場合には、ラッチ回路 60 はラッチしたデータをデータバス DB に出力する。

【 0 0 4 3 】

リライト回路 30、31 は、書き込みパルス W を受け、書き込みパルス W がアクティブに設定された場合、ラッチ回路 60 から出力されたデータに基づいて、ビット線 BL、/BL の電圧を 0V の電圧 (広義には第 1 ビット線電圧) 又は電圧 VCC (広義には第 2 ビット線電圧) のいずれかに設定する。

【 0 0 4 4 】

なお、図 2 に示される構成は本実施形態の一例であり、これに限定されない。例えば、強誘電体記憶装置 100 は、ワード線駆動回路 10、プレート線駆動回路 20、ディスチャージトランジスタ DTR が省略された構成でも良い。なお、図 2 では 1 つのメモリセル MC に関して図示されているが、説明の簡略化のためであり、これに限定されない。強誘電体記憶装置 100 は、複数のメモリが配列された構成でも良いし、複数のビット線 BL、複数のワード線 WL、複数のプレート線 PL で構成されても良い。

【 0 0 4 5 】

また、図 2 の強誘電体記憶装置 100 は、一つのメモリセル MC に 2 つのトランスファートランジスタ WTR 及び 2 つの強誘電体キャパシタ CS1、CS2 を含む構成 (2T2C とも言う) であるが、これに限定されない。メモリセル MC が 1T1C で構成された強誘電体記憶装置に対しても、本実施形態に係る発明は適用することができる。また、本実施形態に係る発明は、リファレンスメモリセルについても適用することができる。

【 0 0 4 6 】

2.2. 動作

2.2.1. 読み出し

図 3 は、図 2 の強誘電体記憶装置 100 の読み出し動作を説明するためのタイミング波形図である。データを読み出す対象となるメモリセル MC を選択するためにワード線 WL がワード線駆動回路 10 によって駆動される。具体的には、ワード線 WL の電位は、図 3 の B1 のタイミングで立ち上がり、B2 で示すタイミングで立ち下がる。

【 0 0 4 7 】

ワード線 WL の電位の立ち上がりに伴って、ディスチャージ信号 BL_DIS は、B3 で示すタイミングでハイレベルの電圧からローレベルの電圧に立ち下がり、センスアンブイネーブル信号 SAE1 は、B4 で示すタイミングでローレベルの電圧からハイレベルの電圧に立ち上がる。なお、ディスチャージ信号 BL_DIS は、B5 のタイミングでローレベルの電圧からハイレベルの電圧に立ち上がり、センスアンブイネーブル信号 SAE1 は B6 のタイミングでハイレベルの電圧からローレベルの電圧に立ち下がる。即ち、T1 の期間、ディスチャージ信号 BL_DIS は非アクティブに設定されるので、T1 の期間ではビット線 BL、/BL はディスチャージされない。また、T1 の期間でセンスアンブイネーブル信号 SAE1 がアクティブに設定されるので、センスアンブイネーブルトランジスタ ETR がオンとなり、センスアンブ 40、41 が T1 の期間、イネーブル状態となる。

【 0 0 4 8 】

ワード線 WL の電位が立ち上がった後、B7 のタイミングでプレート線 PL の電位が例えばプレート線駆動回路 20 によって立ち上げられ、電圧 VCC に設定される。このようにプレート線 PL の電位が設定されると、B8 又は B9 に示すようにビット線 BL 及び /BL の電位が立ち上がる。

【 0 0 4 9 】

ここで、例えばメモリセル MC の強誘電体キャパシタ CS1 に論理 “ 1 ” が書き込まれ

10

20

30

40

50

てあり、強誘電体キャパシタCS2に論理“0”が書き込まれてあるとする。この場合、ビット線BLの電位はB8に示すように立ち上がり、ビット線/BLの電位はB9に示すように立ち上がる。このとき、T1の期間で図2のセンスアンプ40、41がイネーブルに設定されているので、センスアンプ40、41は、ビット線BL、/BLの電圧レベルを検出して、強誘電体キャパシタCS1、CS2に格納されているデータを判定し、その判定結果を図2のラッチ回路60に出力する。ラッチ回路60は、ラッチ信号/SAE2に基づいてセンスアンプ40、41の出力をラッチする。これにより、データの読み出しが行われたことになる。

【0050】

その後、B5のタイミングでディスチャージ信号BL__DISがアクティブに設定されるため、ビット線BL及び/BLの電位は、それぞれB10及びB11のタイミングで0Vに立ち下がる。即ちビット線BL、/BLはB12のタイミングで電圧VCCに立ち上がるので、T2の期間において、ビット線BL及び/BLは0Vの電圧に設定されることになる。一方、プレート線PLは、T2の期間においても電圧VCCに設定されている。つまり、メモリセルMCの強誘電体キャパシタCS1、CS2は、C1及びC2に示されるように、T2の期間において正極側に電圧VCCが印加されるので、各強誘電体キャパシタCS1、CS2は図1(B)の通り、論理“0”が書き込まれることになる。

【0051】

その後、ビット線BLは、B12のタイミングで立ち上がり、B14のタイミングで立ち下がる。これにより、ビット線BLは、T3の期間(広義には、所与の期間)、電圧VCCに設定される。このビット線BLの電位の制御は、リライト回路30、31によって行われる。リライト回路30、31は、書き込みパルスWと、ラッチ回路60の出力に基づいてビット線BL、/BLの電位を設定する。例えば、強誘電体キャパシタCS1には論理“1”が格納されていたため、強誘電体キャパシタCS1に接続されるビット線BLに対して論理“1”がラッチ回路60にラッチされている。即ち、書き込みパルスWがB15のタイミングで立ち上がると、それに応じてビット線BLがB12のタイミングで立ち上がり、書き込みパルスWがB16のタイミングで立ち下がると、それに応じてビット線BLがB14のタイミングで立ち下がる。即ち、T3の期間、アクティブに設定された書き込みパルスWに基づいて、ビット線BLはT3の期間、電圧VCCに設定される。

【0052】

なお、プレート線PLがB17のタイミングで立ち下がり、ディスチャージ信号BL__DISがB18のタイミングで立ち下がる。これにより、ビット線BLに接続される強誘電体キャパシタCS1には論理“1”が書き込まれることになる。即ち、破壊読み出しによりT1の期間で論理“0”に書き換えられた強誘電体キャパシタCS1は、T3の期間で論理“1”に再書き込みされる。

【0053】

強誘電体キャパシタCS2については、元々格納されていたデータが論理“0”であるため、T3の期間で論理“1”を書き込む必要がないので、B13に示されるようにビット線/BLは0Vの電圧に維持される。

【0054】

また、ディスチャージ信号BL__DISは、T3の期間が経過した後、B19のタイミングでアクティブに設定される。

【0055】

また、読み出し信号R1はT1の期間においてアクティブに設定され、T2及びT3の期間では非アクティブにされる。これにより、読み出し用トランジスタRTR1がオン状態に設定され、センスアンプ40、41の出力がラッチ回路60の入力IN1、IN2に入力される。即ち、ラッチ信号/SAE2がアクティブに設定されたときにセンスアンプ40、41の出力をラッチすることができる。センスアンプ40、41の出力をラッチした後読み出し信号R1は非アクティブに設定される。即ち、センスアンプ40、41の

10

20

30

40

50

出力ノードND1とラッチ回路60が非接続にされるため、ラッチ回路60はセンスアンプ40、41の出力に影響されない。

【0056】

一方、ラッチ回路60がセンスアンプ40、41の出力をラッチした後に、読み出し信号R2が非アクティブな状態からアクティブに設定される。これにより、ラッチ回路60はデータバスDBと接続されるため、データバスDBを介してラッチ回路60にラッチされているデータを読み出すことができる。なお、T1、T2及びT3の期間において、データバス接続信号Wが非アクティブに設定されるため、書き込みデータ用トランジスタRWTは、T1、T2及びT3の期間、オフ状態に設定される。

【0057】

2.2.2.書き込み

図4は、図2の強誘電体記憶装置100の書き込み動作を説明するためのタイミング波形図である。データの書き込み対象となるメモリセルMCを選択するためにワード線WLがワード線駆動回路10によって駆動される。具体的には、ワード線WLの電位は、図4のC1のタイミングで立ち上がり、C2で示すタイミングで立ち下がる。その後、プレート線PLの電位は、C3のタイミングで電圧VCCに立ち上がり、C4のタイミングで0Vの電圧に立ち下がる。即ち、プレート線PLは、例えばプレート線駆動回路20によって、T4の期間、電圧VCCに設定される。

【0058】

T4の期間において、ビット線BL、/BLは0Vの電圧に設定される。これにより、図1(B)に示されるように強誘電体キャパシタCS1、CS2に論理“0”が書き込まれる。

【0059】

T4の期間が経過した後、ラッチ信号/SAE2がC5のタイミングでアクティブに設定され、C6のタイミングで非アクティブに設定される。また、データバス接続信号W、C7のタイミングでハイレベルの電圧からローレベルの電圧に立ち下がり、非アクティブに設定される。ラッチ信号/SAE2がアクティブに設定されている期間では、データバス接続信号Wはアクティブに設定されているので、書き込みデータ用トランジスタWTRがオン状態になる。即ち、データバスDBの書き込みデータ線WDATA、/WDATAとラッチ回路60が電氣的に接続され、アクティブに設定されたラッチ信号/SAE2がラッチ回路60に入力される。これにより、ラッチ回路60は、データバスDBからのデータをラッチする。

【0060】

ラッチ回路60がデータバスDBからのデータをラッチした後、ディスチャージ信号BL__DISは、C8のタイミングでアクティブに設定され、C9のタイミングで非アクティブに設定される。また、書き込みパルスWはC10のタイミングでアクティブに設定され、C11のタイミングで非アクティブに設定される。即ち、T5の期間において、ディスチャージ信号BL__DIS及び書き込みパルスWがアクティブに設定される。

【0061】

メモリセルMCに論理“1”を書き込む場合、例えば書き込みデータ線WDATAを介してラッチ回路60の入力ノードIN1に論理“1”が入力され、例えば書き込みデータ線/WDATAを介してラッチ回路60の入力ノードIN2に論理“0”が入力される。これにより、リライト回路30には論理“1”が入力され、リライト回路31には論理“0”が入力される。

【0062】

リライト回路30は、ラッチ回路60から論理“1”を受け、ビット線BLをC12のタイミングで電圧VCCに設定し、C13のタイミングで0Vの電圧に設定する。一方、T5の期間ではプレート線PLは0Vの電圧に設定されているので、図1(B)に示されるように強誘電体キャパシタCS1は論理“1”が書き込まれる。また、リライト回路31は、ラッチ回路60からの論理“0”を受け、ビット線/BLを0Vの電圧に設定する

10

20

30

40

50

。即ち、T5の期間においてプレート線PL及びビット線/BLが同電圧の0Vに設定されているため、強誘電体キャパシタCS2はT4の期間に書き込まれた論理“0”を保持する。

【0063】

なお、書き込み動作の期間中、例えば期間WTMでは、センスアンブイネーブル信号SAE1は非アクティブに設定される。書き込みの際、データバスDBからのデータは、ラッチ回路60によってラッチされ、ラッチされたデータがリライト回路30、31に出力される。即ち、書き込み動作においてセンスアンブ40、41は動作させなくてもよい。これにより、消費電力の低減が可能である。

【0064】

また、読み出し信号R1、R2は、期間WTMにおいて非アクティブに設定されている。即ち、ラッチ回路60がセンスアンブ40、41の出力ノードND1及びデータバスの読み出しデータ線RDATA、 \cdot RDATAから切り離される。

【0065】

2.3. ラッチ回路

図5は、図2のラッチ回路60を示す回路図である。ラッチ回路60は、例えば入力ノードIN1、IN2と、出力ノードQ1、Q2を備える。

【0066】

ラッチ回路60の入力ノードIN1には、読み出し用トランジスタRTR1を介してセンスアンブ40の出力が接続され、書き込みデータ用トランジスタRWTを介して書き込みデータ線/WDATAが接続される。同様にして、ラッチ回路60の入力ノードIN2には、センスアンブ41の出力及び書き込みデータ線WDATAが接続される。

【0067】

即ち、読み出し用トランジスタRTR1及び書き込みデータ用トランジスタRWTによって、ラッチ回路60の入力ソースが切り替えられる。ラッチ回路60は、例えば、書き込み動作の際には、データバスDBの書き込みデータ線WDATA、/WDATAからのデータをラッチし、読み出し動作の際には、センスアンブ40、41の出力をラッチする。

【0068】

ラッチ回路60の出力ノードQ1はリライト回路30に接続される。また、ラッチ回路60は、読み出し用トランジスタRTR2を介して読み出しデータ線/RDATAに接続される。同様に、ラッチ回路60の出力ノードQ2はリライト回路31に接続され、読み出し用トランジスタRTR2を介して読み出しデータ線RDATAに接続される。

【0069】

読み出し動作の際には、ラッチ回路60はラッチしたデータを出力ノードQ1からリライト回路30に出力し、ラッチしたデータを出力ノードQ2からリライト回路31に出力する。リライト回路30、31は、このラッチ回路60からの出力に基づいて、メモリセルMCに再書き込みを行う。また、読み出し用トランジスタRTR2がオン状態に設定されるので、ラッチ回路60は、ラッチ回路60にラッチされているデータを出力ノードQ1から読み出し用データ線/RDATAに出力し、ラッチされているデータを出力ノードQ2から読み出しデータ線RDARAに出力する。

【0070】

2.4. リライト回路

図6は、図2のリライト回路30を示す回路図である。リライト回路31は、リライト回路30と同様の回路で構成することができる。

【0071】

リライト回路30は、インバータINV、トランジスタPTR2、PTR3、NTR2及びNTR3を含む。トランジスタPTR2、PTR3はP型トランジスタであり、トランジスタNTR2、NTR3はN型トランジスタである。トランジスタPTR2のソースには電圧VCCが供給される。トランジスタPTR2のドレインとトランジスタPTR3

10

20

30

40

50

のソースが接続され、トランジスタ P T R 3 のドレインはリライト回路 3 0 の出力ノード Q 3 に接続される。なお、リライト回路 3 0 の出力ノード Q 3 はビット線 B L に接続される。

【 0 0 7 2 】

トランジスタ N T R 3 のドレインがリライト回路 3 0 の出力ノード Q 3 に接続され、トランジスタ N T R 3 のソースはトランジスタ N T R 2 のドレインに接続される。トランジスタ N T R 2 のソースには 0 V の電圧が供給される。

【 0 0 7 3 】

リライト回路 3 0 の入力ノード I N 3 はトランジスタ P T R 2 及びトランジスタ N T R 2 のゲートに接続される。トランジスタ N T R 3 のゲートには、書き込みパルス W が入力される。トランジスタ P T R 3 のゲートには、書き込みパルス W がインバータ I N V によって反転されたパルス入力される。

【 0 0 7 4 】

なお、図 6 は、リライト回路 3 0 について図示されているが、リライト回路 3 1 についても同様である。例えば、リライト回路 3 1 の入力ノード I N 3 にはラッチ回路 6 0 の出力ノード Q 2 が接続され、リライト回路 3 1 の出力ノード Q 3 にはビット線 / B L が接続される。

【 0 0 7 5 】

リライト回路 3 0 は、ラッチ回路 6 0 からの出力データ及び書き込みパルス W に基づいて、ビット線 B L の電位を電圧 V C C 又は 0 V の電圧のどちらかに設定する。例えば、ラッチ回路 6 0 の出力がローレベルの電圧であり、書き込みパルス W がアクティブに設定された場合には、トランジスタ P T R 2、P T R 3、N T R 3 がオン状態となり、ビット線 B L は電圧 V C C に設定される。

【 0 0 7 6 】

また、書き込みパルス W がアクティブに設定され、ラッチ回路 6 0 の出力がハイレベルの電圧の場合には、トランジスタ P T R 3、N T R 2、N T R 3 がオン状態となる。即ち、リライト回路 3 0 はビット線 B L を 0 V に設定する。書き込みパルス W が非アクティブの場合には、トランジスタ P T R 3、N T R 3 がオフ状態となるので、ビット線 B L はハイインピーダンス状態となる。

【 0 0 7 7 】

なお、書き込み動作において、メモリセル M C に論理 “ 1 ” を書く場合、データバス D B の書き込みデータ線 W D A T A は例えばハイレベルの電圧に設定され、書き込みデータ線 / W D A T A はローレベルの電圧に設定される。この場合、ラッチ回路 6 0 は、データバス D B からのデータをラッチし、ラッチ回路 6 0 の出力ノード Q 1 からはローレベルの電圧が出力され、出力ノード Q 2 からはハイレベルの電圧が出力される。これに基づいてリライト回路 3 0 はビット線 B L を電圧 V C C に設定する。これにより、強誘電体キャパシタ C S 1 には論理 “ 1 ” が書き込まれることになる。

【 0 0 7 8 】

2 . 5 . リファレンス電圧発生回路

図 7 は、図 2 のリファレンス電圧発生回路 5 0 の回路図である。リファレンス電圧発生回路 5 0 は、P 型のトランジスタ P T R 4 (広義には第 3 の出力トランジスタ) と、N 型のトランジスタ N T R 4 (広義には第 4 の出力トランジスタ)、N T R 5 を含むが、これに限定されない。例えば、リファレンス電圧発生回路 5 0 は、トランジスタ N T R 5 を省略する構成でも良い。その場合、トランジスタ N T R 4 のドレインには 0 V の電圧が供給されるようにしても良い。

【 0 0 7 9 】

トランジスタ P T R 4 のソースには電圧 V C C が供給される。また、トランジスタ P T R 4 のゲートはリファレンスメモリセルが接続されたビット線 B L R に接続され、トランジスタ P T R 4 のドレインはリファレンス電圧発生回路 5 0 の出力ノード Q 4 に接続される。リファレンスメモリセルは、メモリセル M C と同様の構成であり、リファレンスメモ

10

20

30

40

50

リセルには例えば論理“0”が書き込まれているが、これに限定されない。例えば、リファレンスメモリセルの代わりに、論理“0”が書き込まれたメモリセルMCが接続されたビット線BLをトランジスタPTR4のゲートに接続する構成でも良い。トランジスタPTR4のゲートには、論理“0”が書き込まれた強誘電体キャパシタに対して読み出しを行ったときに発生するビット線BLの電圧が入力される。

【0080】

トランジスタNTR4のソース及びゲートは、リファレンス電圧発生回路50の出力ノードQ4に接続されている。トランジスタNTR4のドレインはトランジスタNTR5のドレインと接続されている。トランジスタNTR5のソースには0Vの電圧が供給されている。

10

【0081】

なお、トランジスタNTR5のゲートには、リファレンス電圧発生回路50の出力のオン・オフを制御するイネーブル信号ENRが入力される。例えば、イネーブル信号ENRがアクティブに設定されると、リファレンス電圧発生回路50は出力ノードQ4からリファレンス電圧VREFを出力する。

【0082】

3. 比較例との対比

図8は、本実施形態に係る比較例の強誘電体記憶装置200を示す図である。強誘電体記憶装置200は、強誘電体キャパシタCS3、CS4と、ワード線駆動回路11と、プレート線駆動回路21と、カラムセンスアンプ70と、を含む。例えば、強誘電体キャパシタCS3には論理“1”が書き込まれ、強誘電体キャパシタCS4には論理“0”が書き込まれている。

20

【0083】

図9は、上記の場合における読み出し動作を説明するためのタイミング波形図である。読み出し動作では、ワード線WLがD1に示されるようにアクティブに設定される。また、ディスチャージ信号BL__DISがD2に示されるように非アクティブに設定される。そして、プレート線PLがD3に示されるように電圧VCCに設定されると、期間T11で強誘電体キャパシタCS3、CS4は論理“0”が書き込まれる。また、ビット線BLの電位はD4に示されるように立ち上がり、ビット線/BLの電位はD5に示されるように立ち上がる。その後、カラムセンスアンプイネーブル信号SEN、SEPが、D6及びD7に示されるようにアクティブに設定され、ビット線BLはD8に示されるように電圧VCCに設定され、ビット線/BLはD9に示されるように0Vの電圧に設定される。

30

【0084】

プレート線PLがD10のタイミングで0Vの電圧に立ち下がり、ディスチャージ信号BL__DISがD11のタイミングでアクティブに設定されると、期間T12で強誘電体キャパシタCS3に論理“1”が再書き込みされる。なお、強誘電体キャパシタCS4は、期間T12ではプレート線PL及びビット線/BLが0Vの電圧に設定されているので論理“1”の再書き込みがされない。

【0085】

期間T11で論理“0”が書き込まれる際に、強誘電体キャパシタCS3に印加される電圧と、強誘電体キャパシタCS4に印加される電圧は異なる。ビット線BLの電位はD4に示されるように立ち上がるため、このときのビット線BLの電圧をVBLHとすると、強誘電体キャパシタCS3に印加される電圧は、D12に示されるようにVCC-VBLHとなる。また、ビット線/BLの電位はD5に示されるように立ち上がるため、このときのビット線/BLの電圧をVBLLとすると、強誘電体キャパシタCS4に印加される電圧は、D13に示されるようにVCC-VBLLとなる。

40

【0086】

即ち、論理“1”が書き込まれている強誘電体キャパシタCS3は、期間T11ではVCC-VBLLよりも小さいVCC-VBLHの電圧が印加されることになる。ところが、期間T12では、強誘電体キャパシタCS3はD14に示されるように-VCCの電圧

50

が印加される。この場合、+VCC側に印加される電圧が-VCC側に印加される電圧よりも、その絶対値が小さくなるため、強誘電体キャパシタCS3は-VCC側にインプリントされる。

【0087】

一方、論理“0”が書き込まれている強誘電体キャパシタCS4は、D13やD15に示されるように+VCC側にしか電圧が印加されないため、強誘電体キャパシタCS4は+VCC側にインプリントされる。なお、本明細書において、-VCC側にインプリントされるとは、強誘電体キャパシタのヒステリシスカーブが+VCC側にシフトすることを意味する。図10は、-VCC側に強誘電体キャパシタがインプリントされたときのヒステリシスカーブを図1(C)に追加した図である。点線で示されるヒステリシスカーブがインプリントされた場合の曲線である。図10のようにインプリントされた場合、ヒステリシスカーブは、印加される電圧が0Vである場合、A3及びA4の点を経由する。

【0088】

図1(C)のようにインプリントされていない場合、論理“0”が書き込まれているキャパシタは、A2の分極値を保持するが、図10のようにインプリントされると、A4の分極値となる。つまり、分極量が減少してしまい、誤読み出しを生じさせる可能性が高くなる。また、この場合、強誘電体キャパシタに論理“0”を書き込む場合にはA5の点に対応する電圧を印加する必要があり、電圧+VCCよりも大きな電圧を印加させる必要がある。

【0089】

強誘電体キャパシタがインプリントされると、読み出し不良や書き込み不良を生じさせる可能性が高くなるため、何らかの対策が必要である。ところが、比較例の読み出し動作では、強誘電体キャパシタCS3、CS4のインプリントの方向にばらつきが生じる。このように、キャパシタによってバラバラな方向にインプリントされてしまうと、インプリントに対する対策が困難になる。

【0090】

この問題点を、本実施形態は解決できる。例えば図3に示されるように、論理“1”が書き込まれている強誘電体キャパシタCS1は、読み出し動作が行われると、C1に示されるように電圧VCCが印加され、期間T3で電圧-VCCが印加される。即ち、+VCC側及び-VCC側において、絶対値が同じ大きさの電圧が印加されるため、強誘電体キャパシタCS1は-VCC側にインプリントされない。なお、論理“0”が書き込まれている強誘電体キャパシタCS2に対して読み出しを行った場合、C2に示されるように電圧VCCが印加されるが、期間T3では論理“1”が書き込まれない。

【0091】

即ち、本実施形態では、例えば+VCC側にインプリントされる場合はあっても、-VCC側にインプリントされることがない。このため、強誘電体キャパシタがインプリントされる場合、全ての強誘電体キャパシタが同一の方向にインプリントされるため、インプリント対策が容易になる。

【0092】

また、比較例では、読み出し動作にカラムセンスアンプ70を用いる。例えば、Y選択信号YSELがイネーブルになる事によってビット線BL、/BLがデータ線DATA、/DATAと接続された場合、それまでカラムセンスアンプ70によって電圧VCCまで充電されていたビット線BLの電圧は、ビット線BL、/BL側からデータ線DATA、/DATA側の負荷を充電する期間、大きく低下する。又、プレート線PLの電位がD10のタイミングで立ち下がる時においても強誘電体キャパシタCS3がカップリングキャパシタの役割を果たす為、ビット線BLの電圧は低下する。前者は、カラムセンスアンプ70の誤動作の原因となり、後者は、論理“1”再書き込み不良の原因となる。そのため、比較例はこれらの問題を回避する目的で、論理“0”再書き込みの期間T13及び、論理“1”再書き込みの期間T12を十分確保する必要があり、読み出し動作を遅延させる事になる。

10

20

30

40

50

【0093】

この点、本実施形態では、図2に示されるように、ビット線BL、/BLはトランジスタPTR1のゲートに接続されているため、データバスDBの負荷がビット線BL、/BLの電圧を低下させるような影響を及ぼすことがない。このため、比較例のようなセンスアンプの誤動作を防止できる。

【0094】

また、本実施形態では、B17のタイミングでプレート線PLの電位が立ち下がっても、期間T2でディスチャージされていたビット線BLの電位は、B12のタイミングで立ち上がるため、比較例のようにカップリングキャパシタの影響をあまり受けない。即ち、論理“1”を再書き込みする期間T3を比較例の期間T12よりも短くすることができる。

10

【0095】

また、本実施形態では、以下のような効果をさらに有する。

【0096】

論理“1”データを記憶していたメモリセルMC（強誘電体キャパシタ）への再書き込みは、プレート線PLが立ち下がった後、ラッチ回路60のラッチデータをリライト回路30を通してビット線BLへ転送する事により行われる為、論理“0”の再書き込み時のプレート線PL電圧低下の原因とならない。又、読み出し途中で書き込み要求があった場合には、論理“1”データの再書き込みタイミングを遅らせる事により、メモリセルMCで記憶されていたデータとは異なるデータでメモリセルMCへの書き込みを行う事ができる。

20

【0097】

論理“0”データを再書き込みした後、プレート線PLを立ち下げる時点において、ビット線BLを接地電位としている為、選択メモリセルMCを構成する強誘電体キャパシタによる容量カップリングの影響でビット線BL電位が接地電位より低下しない。その為、論理“0”が書き込まれたメモリセルMCに関して、ビット線BLの電圧が変動する事によるデータ破壊を防止する事ができる。

【0098】

ビット線BLをP型トランジスタPTR1のゲートで受けている（データバスDBとビット線BLはダイレクトに接続されない構成）為、データ読み出し時にビット線BL電圧がデータバスDB負荷によって低下する事は無い。従って、論理“0”データ再書き込み中にラッチ回路60からデータバスDBへデータを転送したとしても、論理“0”データを再書き込みされている強誘電体メモリセルMCに対して書き込む為の印加電圧が不十分になる事は無い。

30

【0099】

センスアンプ40は、論理“0”読み出しビット線BL電圧を使用したリファレンス電圧発生回路50からのリファレンス電圧VREFを使用して増幅動作を行う為、論理“1”読み出しビット線BL電圧を使用する場合と比較して分極反転特性劣化が生じない為、安定したリファレンス電圧VREFを生成する事ができる。

【0100】

読み出し時、及び、再書き込み時、及び、書き込み時において、ラッチ回路60にラッチしたデータを使用する事ができる為、例えば、予めラッチ回路60に読み出しデータを用意しておき、あるタイミングで高速にデータを出力する事ができる。さらに、書き込み時において、あらかじめラッチ回路60に書き込みデータをラッチしておき、あるタイミングで一度にラッチ回路60に格納されているデータを強誘電体キャパシタへ書き込む事ができる。

40

【0101】

センスアンプ40はプレート線PL立ち上がり以前からビット線BLの電圧をセンス増幅する為、プレート線PLから印加される電圧に応じてビット線BL上に読み出される読み出し電圧に応じた出力電圧を出力する事ができる。ビット線BLの電圧の振幅が小さい

50

場合にも、増幅した出力電圧を出力する為、カラムセンスアンプ70の様にビット線BLの電圧の振幅が開くのを待たずとも、ラッチ回路60で読み出しデータをラッチする事ができる。

【0102】

イコライズ機能を持ったラッチ回路60では、プレート線PL立ち上がり時点で動作を開始し、センスアンプ40の出力データをラッチできる状態となるまでイコライズ状態を継続する為、ラッチ回路60での誤データの出力無しに正しいデータのみ出力できる。

【0103】

論理"1"データの再書き込みのタイミングは、プレート線PLが立ち下がった後か又は、立ち下がる直前で再書き込みを行う。プレート線PLが立ち下がった後で論理"1"データを再書き込みした場合には、前述のようにプレート線PLの電圧低下を引き起こさないメリットがある。プレート線PLが立ち下がる前に論理"1"データを再書き込みする為に、ビット線BLへハイレベルの信号を供給する場合には、論理"1"データを書き込む為に必要な期間を経た後に直ちにビット線BL電圧を接地電位に戻すことが可能となる。この為、論理"1"データを再書き込む為に要する時間を最小限とする事が可能となる為、サイクルタイムの高速化が行える。

【0104】

ラッチ回路60でセンスアンプ40の出力データをラッチした後は、センスアンプ40においてビット線BLの電圧をセンスする必要が無い点と、続くビット線BL電圧を接地する動作において、センスアンプ40の出力を電圧VCCとする為にセンスアンプ40の動作を終了する。この事により、センスアンプ40で消費される消費電力を低消費電力化できる。

【0105】

センスアンプ40の動作終了タイミングは、ラッチ回路60の出力電圧を検出したり、メモリセルMCを構成する強誘電体キャパシタからの読み出し電荷の転送速度を利用したり、プレート線PL信号の立ち上がり時間を使用して、設定されても良い。

【0106】

ラッチ回路60は、読み出し時のデータラッチ及び、書き込み時のデータラッチの他、連続して同じロウアドレスにアクセスがあった場合や、同一アドレスで書き込み後、読み出し動作があった場合に、キャッシュとして使用される。この利用方法により、書き込み、又は、読み出し動作を高速する事が可能となる。また、強誘電体キャパシタの披露劣化を緩和することが可能である。

【0107】

ラッチ回路60は複数のセンスアンプ40で共有化できる為、センスアンプ40毎にラッチ回路60を配置した場合と比較して、回路配置面積を省スペース化することができる。

【0108】

4. 本実施形態に係る変形例

本実施形態のラッチ回路60を図11に示すラッチ回路61に置き換えた変形例が可能である。図11は、本実施形態に係る変形例のラッチ回路61を示す図である。ラッチ回路61は、図5のラッチ回路60にイコライズトランジスタEQTが設けられて構成されている。イコライズトランジスタEQTは、ラッチ回路61の出力ノードQ1、Q2の間に設けられ、イコライズトランジスタEQTのソースは例えば出力ノードQ1に接続され、イコライズトランジスタEQTのドレインは例えば出力ノードQ2に接続される。

【0109】

また、イコライズトランジスタEQTのゲートには、イコライズ信号SAEQが入力される。

【0110】

図12は、変形例の読み出し動作を示すタイミング波形図である。イコライズ信号SAEQ以外の波形は、図3と同様である。イコライズ信号SAEQは、E1のタイミングでアクティブに設定され、E2のタイミングで非アクティブに設定される。これにより、ラ

10

20

30

40

50

ッチ回路 6 1 の出力ノード Q 1、Q 2 を同電位に設定できる。即ち、ラッチ回路 6 1 の入力ノード I N 1、I N 2 に確実なデータが入力されるまで、ラッチ回路 6 1 にラッチさせることを待機させることができる。出力ノード Q 1、Q 2 は同電位に設定されているため、入力ノード I N 1、I N 2 に確実なデータが入力された後、イコライズ信号 S A E Q が非アクティブに設定されるとラッチ回路 6 1 は直ちにデータラッチを行うことができる。

【0111】

これにより、ラッチ回路 6 1 は、確実なデータをラッチすることができるので、リライト回路 3 0、3 1 に正しいデータを出力することができる。

【0112】

図 1 3 は、本実施形態の変形例に係る強誘電体記憶装置 3 0 0 を示す図である。強誘電体記憶装置 3 0 0 は、本実施形態を 1 T 1 C タイプの記憶装置に応用したものであり、強誘電体記憶装置 3 0 0 についても、強誘電体記憶装置 1 0 0 と同様の効果を有する。強誘電体記憶装置 3 0 0 は、複数のラッチ回路 6 0 を含み、符号 6 0 A、6 0 B はその一部のラッチ回路 6 0 を示す。

10

【0113】

各ラッチ回路 6 0 の出力ノード Q 1 は、各リライト回路 3 0 に接続される。読み出しデータ線 R D A T A 0 はラッチ回路 6 0 A の出力ノード Q 2 に接続され、読み出しデータ線 / R D A T A 0 はラッチ回路 6 0 A の出力ノード Q 1 に接続される。同様にして、読み出しデータ線 R D A T A 1 はラッチ回路 6 0 B の出力ノード Q 2 に接続され、読み出しデータ線 / R D A T A 1 はラッチ回路 6 0 B の出力ノード Q 1 に接続される。

20

【0114】

また、書き込みデータ線 W D A T A 0 はラッチ回路 6 0 A の入力ノード I N 2 に接続され、書き込みデータ線 / W D A T A 0 はラッチ回路 6 0 A の入力ノード I N 1 に接続される。同様にして、書き込みデータ線 W D A T A 1 はラッチ回路 6 0 B の入力ノード I N 2 に接続され、書き込みデータ線 / W D A T A 1 はラッチ回路 6 0 B の入力ノード I N 1 に接続される。

【0115】

強誘電体記憶装置 1 0 0 と異なる点は、メモリセルに 1 つの強誘電体キャパシタが接続されている点と、ラッチ回路 6 0 の出力ノード Q 1 がリライト回路 3 0 に接続され、出力ノード Q 2 がリライト回路 3 0 に接続されない点である。動作においては、強誘電体記憶装置 3 0 0 は強誘電体記憶装置 1 0 0 と同様である。

30

【0116】

本実施形態及びその変形例において、1 つ又は 2 つのメモリセル M C が示されているが、これに限定されない。本実施形態及びその変形例は、複数のメモリセル M C を含むように構成されることも可能である。

【0117】

上記のように、本発明の実施例について詳細に説明したが、本発明の新規事項及び効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書または図面において、少なくとも一度、より広義又は同義な異なる用語と共に記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。

40

【図面の簡単な説明】

【0118】

【図 1】図 1 (A) ~ 図 1 (C) は本実施形態に係る強誘電体記憶装置のメモリセル M C の説明図。

【図 2】本実施形態に係る強誘電体記憶装置を示す図。

【図 3】本実施形態に係る強誘電体記憶装置の読み出し動作を示すタイミング波形図。

【図 4】本実施形態に係る強誘電体記憶装置の書き込み動作を示すタイミング波形図。

【図 5】本実施形態に係る強誘電体記憶装置のラッチ回路を示す回路図。

50

- 【図6】本実施形態に係る強誘電体記憶装置のリライト回路を示す回路図。
 【図7】本実施形態に係る強誘電体記憶装置のリファレンス電圧発生回路を示す回路図。
 【図8】本実施形態に係る強誘電体記憶装置の比較例を示す図。
 【図9】本実施形態に係る比較例の読み出し動作を示すタイミング波形図。
 【図10】インプリントされた場合のヒステリシスカーブを示す図。
 【図11】本実施形態に係る強誘電体記憶装置のラッチ回路の変形例を示す回路図。
 【図12】本実施形態に係る強誘電体記憶装置の変形例の読み出し動作を示すタイミング波形図。
 【図13】本実施形態に係る他の変形例を示す図。

10

【符号の説明】

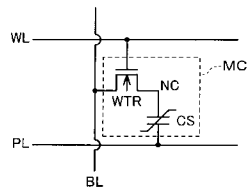
【0119】

10 ワード線駆動回路、20 プレート線駆動回路、30、31 リライト回路、
 40、41 センスアンプ、50 リファレンス電圧発生回路、
 60、61 ラッチ回路、BL、/BL ビット線、
 BL__DIS ディスチャージ信号、CS1、CS2 強誘電体キャパシタ、
 DB データバス、DTR ディスチャージトランジスタ、
 ETR センスアンプイネーブルトランジスタ、MC メモリセル、
 ND1 入力ノード、ND2、Q1、Q2、Q3、Q4 出力ノード、
 NTR1 第2の出力トランジスタ、NTR4 第4の出力トランジスタ、
 PL プレート線、PTR1 第1の出力トランジスタ、
 PTR4 第3の出力トランジスタ、
 RTR1 第1の読み出し用スイッチングトランジスタ、
 RTR2 第2の読み出し用スイッチングトランジスタ、
 R1 第1の読み出し信号、R2 第2の読み出し信号、TR1 第1のトランジスタ、
 TR11 出力トランジスタ、
 TR2 第2のトランジスタ、TTR 転送トランジスタ、VCC 第2ビット線電圧、
 第2プレート線電圧、第2の電源、VREF リファレンス電圧、WL ワード線、
 W 書き込みパルス、/SAE2 ラッチ信号

20

【図1】

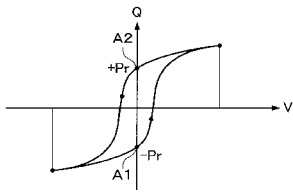
(A)



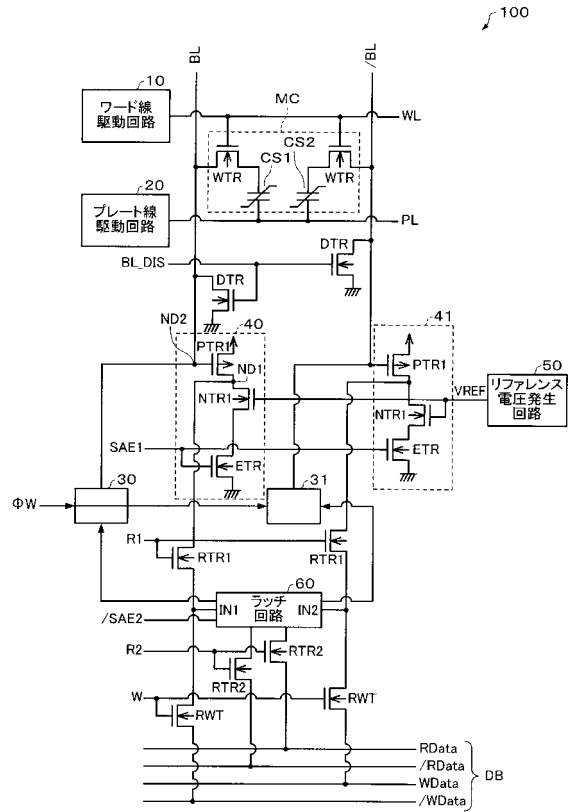
(B)

	"1"	"0"
BL	VCC	OV
PL	OV	VCC

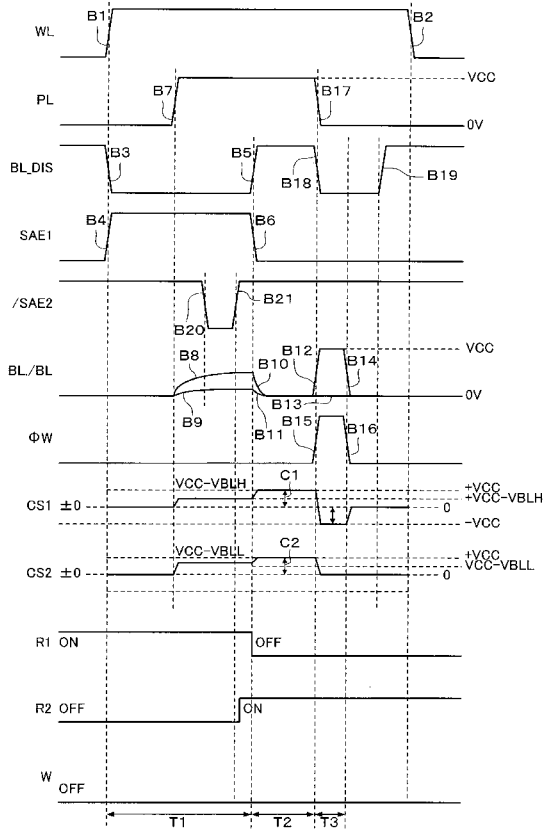
(C)



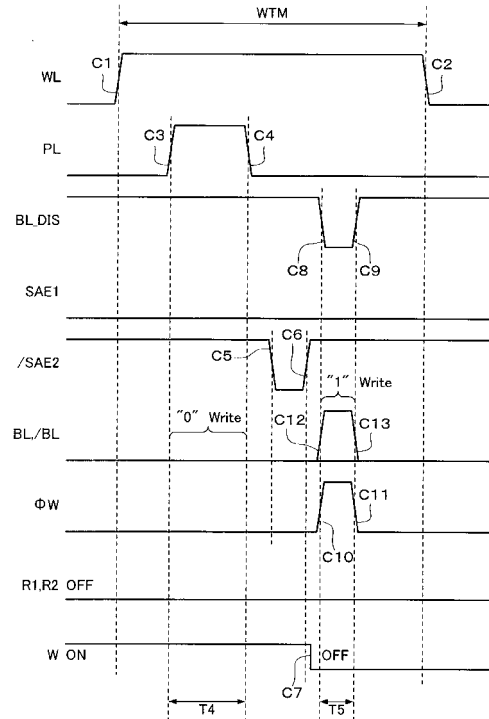
【図2】



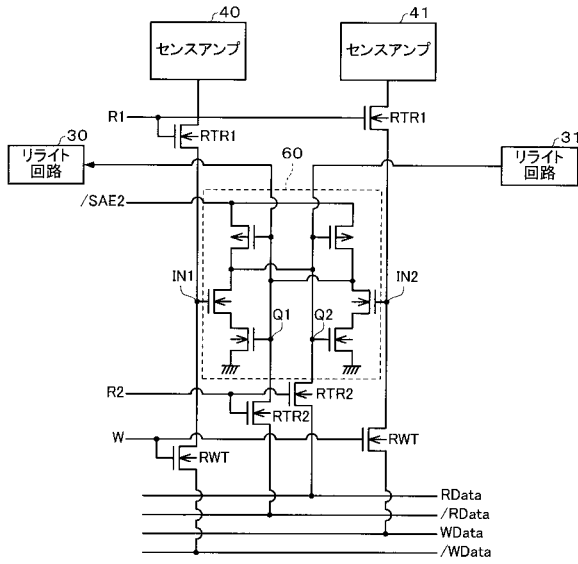
【図3】



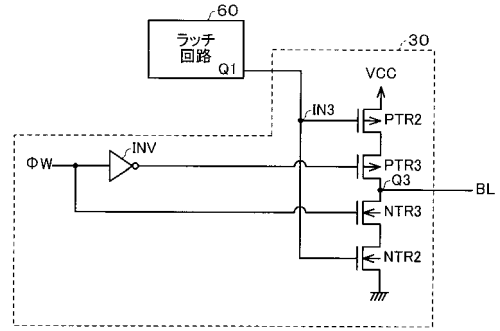
【図4】



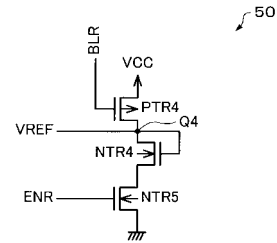
【 図 5 】



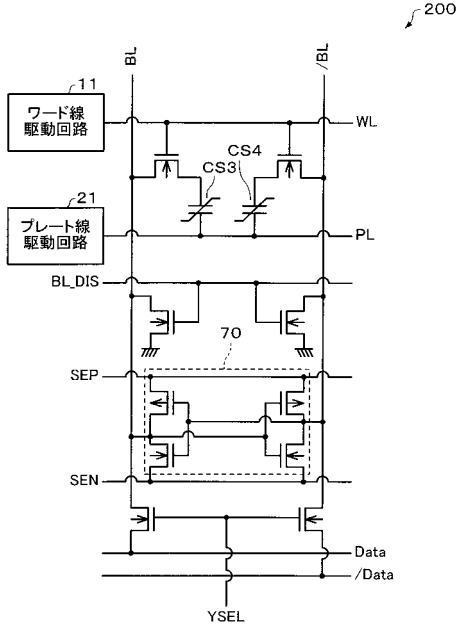
【 図 6 】



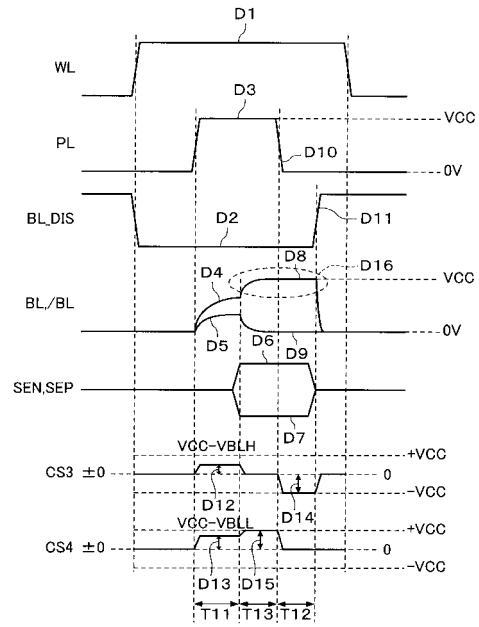
【 図 7 】



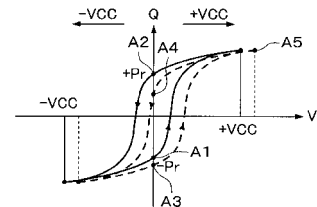
【 図 8 】



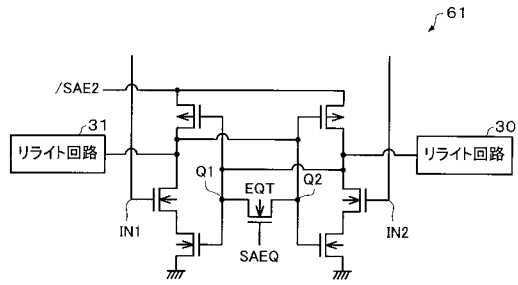
【 図 9 】



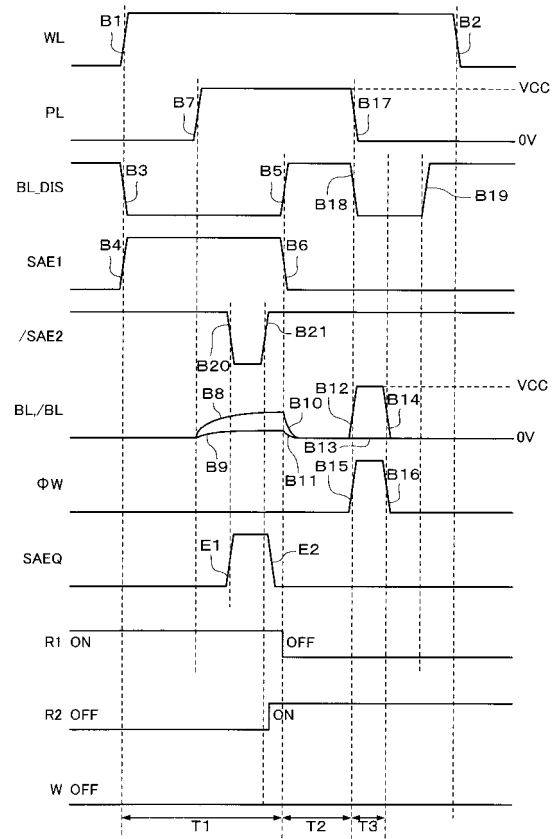
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 図 1 3 】

