

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4313755号
(P4313755)

(45) 発行日 平成21年8月12日(2009.8.12)

(24) 登録日 平成21年5月22日(2009.5.22)

(51) Int.Cl.

F 1

G 11 B 20/18	(2006.01)	G 11 B 20/18	550 C
G 11 B 7/0045	(2006.01)	G 11 B 20/18	522 D
G 11 B 7/005	(2006.01)	G 11 B 20/18	534 A
G 11 B 20/10	(2006.01)	G 11 B 20/18	570 F
		G 11 B 20/18	572 C

請求項の数 4 (全 51 頁) 最終頁に続く

(21) 出願番号 特願2004-377369 (P2004-377369)
 (22) 出願日 平成16年12月27日 (2004.12.27)
 (65) 公開番号 特開2005-346897 (P2005-346897A)
 (43) 公開日 平成17年12月15日 (2005.12.15)
 審査請求日 平成19年5月28日 (2007.5.28)
 (31) 優先権主張番号 特願2004-138530 (P2004-138530)
 (32) 優先日 平成16年5月7日 (2004.5.7)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (73) 特許権者 501009849
 株式会社日立エルジーデータストレージ
 東京都港区海岸三丁目22番23号
 (74) 代理人 100091096
 弁理士 平木 祐輔
 (72) 発明者 峰邑 浩行
 神奈川県横浜市戸塚区吉田町292番地
 株式会社 日立製作所 生産技術研究所内
 審査官 堀 洋介

最終頁に続く

(54) 【発明の名称】再生信号の評価方法および光ディスク装置

(57) 【特許請求の範囲】

【請求項1】

最小ランレンジスが2以上の符号のPRML方式に対応した再生信号の評価方法において、
ビタビ復号器から出力される複数の目標信号レベルと、波形等化器から出力される再生
信号のレベルの差異に基づき得られる値に対して、正ビット列に対する誤ビット列のエッジシフト方向に対応した符号を付加した規格化シーケンス誤差を用いて前記再生信号を評価する再生信号の評価方法であって、

前記複数の目標信号レベルを算出する際に、ランレンジス制限を除いて前記最小ランレンジスよりも小さいランレンジスの符号に対する目標信号レベルを算出することを特徴とする再生信号の評価方法。

【請求項2】

請求項1に記載の再生信号の評価方法であって、
 デコードした正ビット列と該ビット列から1ビットエッジシフトさせた誤ビット列を生成する過程と、

前記正ビット列と誤ビット列から、前記目標信号レベルを参照して、それぞれ正目標信号、誤目標信号を生成する過程と、

前記正目標信号と前記再生信号の各時刻における信号レベルの差の2乗値の和を算出して、正ユーリッド距離を算出する過程と、

前記誤目標信号と前記再生信号の各時刻における信号レベルの差の2乗値の和を算出して、誤ユーリッド距離を算出する過程と、

10

20

前記正ユークリッド距離と誤ユークリッド距離の差として、ユークリッド距離差を算出する過程と、

前記目標信号レベルから、前記目標信号レベルの1ビットシフトパターンに対応する平均ユークリッド距離を算出する過程と、

前記ユークリッド距離差から前記平均ユークリッド距離を引いた後、前記平均ユークリッド距離で割って得られる値に、前記正ビット列に対する誤ビット列のエッジシフト方向に対応した符号を付加した規格化シーケンス誤差を算出する過程と、
を備えることを特徴とする再生信号の評価方法。

【請求項3】

請求項2記載の再生信号の評価方法において、前記目標信号レベルは再生信号に応じて变化可能であることを特徴とする再生信号の評価方法。 10

【請求項4】

請求項2に記載の再生信号の評価方法において、

次の(式D-1)から(式D-6)に従って算出される評価値 によって前記再生信号を評価することを特徴とする再生信号の評価方法。

【数1】

$$ED_B(pat1, pat2) = \sum_{n=1}^N (V_{target}[n] - V_{target}[pat2[n]])^2 \quad (式D-1)$$

20

($V_{target}[B]$ はビット列Bに対する目標信号レベル、 $pat[n]$ はビットパターン“ pat ”の時刻nにおけるビット列、Nはクラスビット数を表す)

【数2】

$$d_{min} = Average(ED_{min})$$

$$= \frac{\sum_{m=1}^M ED_B(Pat_T[m], Pat_F[m])}{M} \quad (式D-2)$$

30

(Mは1ビットエラーパターンの組み合わせの総数、 Pat_T 及び Pat_F はそれぞれ、正ビットパターン、及び誤ビットパターンを表す)

【数3】

$$ED(pat) = \sum_{n=1}^N (V_{signal}[t+n] - V_{target}[pat[n]])^2 \quad (式D-3)$$

($V_{signal}[t]$ は時刻tにおける再生信号レベルであり、時刻tにおける2値化結果がビットパターン“ pat ”である)

【数4】

$$D = Sign(Shift - Direction) \times \{(ED(Pat_F[m]) - ED(Pat_T[m])) - d_{min}\} \quad (式D-4)$$

40

$$\begin{aligned} Sign(Shift - Direction) = & -1 \quad (Right - Edge - Shift) \\ & +1 \quad (Left - Edge - Shift) \end{aligned} \quad (式D-5)$$

$$\sigma = \sqrt{\frac{\sum_{p=1}^P (D[p])^2}{P}} \quad (式D-6)$$

50

(Sign(Shift-Direction)は2値化結果Pat_Tが1ビットエラー(エッジ・シフト)して,Pat_Fになる場合のエッジシフトの方向を表し,Pは指定された算出期間内のビットパターンの数を表す)

【発明の詳細な説明】

【技術分野】

【0001】

本発明は,記録媒体上に物理的性質が他の部分とは異なる記録マークを形成し,情報を記録する光ディスク装置に関する。

【背景技術】

【0002】

光ディスクの高速化と高密度化に伴いPRML(Partial Response Maximum Likelihood)再生信号処理方式が必須技術になってきた。PRML方式の1つとして,目標信号レベルを再生信号に応じて適応的に変化させる適応PRMLまたは補償PRML方式がある。“Tech. Digest ISOM '03, pp.34”によれば,こうしたPRML方式を用いて,再生信号のアシンメトリ及び記録時の熱干渉を補償することによって,Blu-ray Disc対応の装置で,35GB容量相当の高密度化が実現可能なことが示されている。

【0003】

PRML装置を用いた光ディスク装置においても,従来と同様に(1)再生等化条件,(2)フォーカス位置やチルト条件,(3)記録パワーやパルス条件,等を適切に学習することが,重要である。こうした場合には,再生信号品質の評価指標を用いて,これを最良の条件にするように,各種パラメータを適正化する必要がある。従来,ダイレクト・ライス再生方式を用いた場合には,再生信号品質の評価指標としてジッターが用いられていた。PRML方式に対応した再生信号品質の評価指標として,“Tech. Digest ODS '03, pp.93”と“Tech. Digest ISOM '03, pp.116”では,PR(1,2,2,1)MLチャネルに対応して,MLE(Maximum Likelihood Sequence Error)が示されている。デコード結果である正ビット列とそれが1ビットシフトした誤ビット列を用い,再生信号と両者のユークリッド距離をそれぞれ算出することにより,誤り確率の観点から再生信号を評価するものである。また,MLSEはデータエッジに注目することから,前後のスペース長とマーク長によってテーブル化された適応的な記録パルス条件を用いる記録ストラテジに対応して,テーブルの各要素ごとに,MLSE値の目標値からのずれを計測して評価することにより,記録ストラテジの最適化ができることが示されている。また,“Tech. Digest ISOM '03, pp.164”では,PR(1,2,2,2,1)MLチャネルに対応して,PRSNR(Partial Response Signal to Noise Ratio)が示されている。これは,PR(1,2,2,2,1)チャネルで,ユークリッド距離が小さくエラー頻度が高い3つのパターンを抽出して,それぞれのユークリッド距離値を算出することによって,誤り確率の観点から再生信号SNRを算出し,信号品質を評価するものであり,PRSNRとビットエラー率の間に優れた相関があることが示されている。

【0004】

ここで,PRML方式の誤検出の評価について発明の理解を深めるために,説明を加える。

図2はRLL(1,7)コードにおいて,PR(1,2,2,1)クラスを使ってデコードする場合のビット誤りのパターンについて,その一部をまとめたものである。この場合,クラスを表現するビット数(以下クラスビット数Nと呼ぶ)が4であるので,1ビットエラーした影響を考慮するためには7ビット(2N-1)のパターンについて考えればよい。このとき,正パターンのセンタービットが異なるパターンを誤パターンと呼び,正パターン及び誤パターンがそれぞれランレンジス制限を満足する条件を抽出すると,図に示すように,1ビット誤りに対するパターンの組み合わせは8通りある。正パターン及び誤パターンの目標信号レベルの差の2乗値を時刻ごとに加算した値は両者のユークリッド距離と呼ばれ,1ビットエラーのケースでは,(1²+2²+2²+1²=14)14となる。目標信号の振幅が2になるよう規格化した場合には,ユークリッド距離は1.11である。ユークリッド距離とは2つビット・パターンに対する目標値の時刻による移り変わりを,M次元(この場合M=4)のベクトルと捉え,それらのベクトルを位置ベクトルとする空間上の2つの点の距離と考える

10

20

30

40

50

こともできる。2ビットエラーについて同様にまとめると、12通りあって、ユークリッド距離は14である。同様にして、より複雑なエラーパターンを考えると、それぞれユークリッド距離は、16, 18, 20, 22, ...と無限につづく。統計上、これら全てのパターンのエラーが発生することになる。しかしながら、こうした全てのエラーパターンを含めて信号品質を評価するには、膨大な処理が必要となり、とても光ディスクドライブに搭載できるものではない。ここで、ユークリッド距離は正パターンと誤パターンの距離なので、エラー発生のし難さを示す指標と考えてよい。実際、エラー訂正が可能な範囲、例えば、ビットエラー率が約 10^{-4} 以下の範囲では、最小ユークリッド距離のパターンでのエラーが支配的である。そこで、最小ユークリッド距離のパターンのみを評価すれば、信号品質の評価には十分であるといえる。MLSEは最小ユークリッド距離パターン、PR(1,2,2,1)では1Tエッジシフトのみに着目して、場所ごとのエラーの発生しやすさの分布を測定し、正規分布に近似してその標準偏差を評価するものである。

【0005】

同様にして、RLL(1,7)符号に対応して、PR(1,2,1), PR(1,2,2,2,1)に対するエラーパターンとユークリッド距離についてまとめたものをそれぞれ図3と図4に示す。

【0006】

図3はPR(1,2,1)のエラーパターンとユークリッド距離についてまとめたものである。図に示すように、最小ユークリッド距離のパターンは同様に1Tエッジシフトであり、ユークリッド距離は6である。これもPR(1,2,2,1)と同様にMLSEで評価可能である。

【0007】

図4はPR(1,2,2,2,1)のエラーパターンとユークリッド距離についてまとめたものである。図に示すように、1ビットエラーのユークリッド距離が14であるのに対して、2ビット及び3ビットエラーのパターンにおいて、ユークリッド距離が12になる。この場合、1Tシフトのエラーのみを評価するMLSEでは正確な信号品質の評価でできないと考えられる。そこで、"Tech. Digest ISOM '03 pp.164"では、これらの3つのパターンのエラーし難さをS/Nの観点で定量化し、それらの中で最もS/Nが小さくエラーしやすいものを使って、信号品質の評価をしている。これが、先に述べたPRSNRである。

【0008】

図5はRLL(1,7)コードにおいて、一般に用いられるPR(1,1,1,1)クラスを使ってデコードする場合のビット誤りのパターンについて、その一部をまとめたものである。この場合、クラスビット数Nが4であるので、PR(1,2,2,1)クラスの場合と同様に、1ビットエラーした影響を考慮するためには7ビットのパターンについて考えればよい。図に示すように、1ビット誤りに対するパターンの組み合わせは8通りあり、ユークリッド距離は4となる。10ビットのパターンに対して2ビット誤りが発生するケースは、18通りあり、ユークリッド距離は4である。同様にして、より複雑なエラーパターンを考えると、それぞれユークリッド距離は、6, 10, ...と無限につづく。この場合、最小ユークリッド距離のパターンは1ビットエラーだけでなく、2ビットエラーについても考慮する必要がある。

【0009】

【非特許文献1】Tech. Digest ISOM '03, pp.34

【非特許文献2】Tech. Digest ODS '03, pp.93

【非特許文献3】Tech. Digest ISOM '03 pp.116

【非特許文献4】Tech. Digest ISOM '03 pp.164

【発明の開示】

【発明が解決しようとする課題】

【0010】

前述のように、目標信号レベルを再生信号に応じて適応的に変化させる適応PRMLまたは補償PRML方式は、再生性能を向上する上で大きな効果がある。一方、上に示したMLSE及びPRSNRはどちらも、PR(1,2,2,1)やPR(1,2,2,2,1)というように、PRクラスに依存したものであり、かつ目標信号レベルが固定のPRMLチャネルに対応したものである。

【0011】

10

20

30

40

50

また，記録ストラテジの最適化の観点からMLSEを用いて，マーク長とスペース長に応じたテーブルに分解して，再生信号を評価する手法は極めて優れたものであるが，MLSEがPR MLデコーダの1ビットシフト誤りの確率を基本としたものであるため，前述の文献に示されているように，最小ランレンジスのスペースと最小ランレンジスのマークからならデータパターンの評価ができない。従来のダイレクト・スライス方式を例に述べると，最小ランレンジスの繰り返しデータパターンは，最もS/Nが小さくエラーしやすいパターンである。また，記録制御の観点からも，同データパターンは，隣接マークからの熱干渉が最大になるパターンであるので，記録パルス条件も，良好にこれを制御するものでなくてはならない。以上のように，記録/再生の観点から，最小ランレンジスの組み合わせからなるデータパターンは重要なデータパターンであるので，これを評価可能な信号評価指標が望まれていた。

10

【0012】

本発明が解決しようとする課題は，以下の2点である。

(課題1) 目標信号レベルが再生信号に応じて適応的に変化するPRMLチャネルに対応した再生信号の評価指標及びそれを用いた光ディスク装置の提供。

(課題2) 最小ランレンジスの組み合わせデータパターンに対応した再生信号の評価指標及びそれを用いた光ディスク装置の提供。

【課題を解決するための手段】

【0013】

初めに(課題1)を解決する手段について説明する。

20

MLSEが可変の目標レベルに対応できない理由は，デコード結果である正ビット列とそれが1ビットシフトした誤ビット列に対応した目標信号の生成と，再生信号とのユークリッド距離の算出が固定目標レベルに基づいているからである。従って，再生信号に応じて適応的に変化する目標レベルを基準として，目標信号の生成と，ユークリッド距離の算出を可能にすれば，課題は解決される。前者については，正誤ビット列から目標レベルを構成するビット列を取り出し，これに対応した目標信号レベルを逐次目標信号レベルテーブルからロードすることにより実現できる。可変の目標レベルに対応した目標信号が生成できれば，後者のユークリッド距離の算出は，各時刻において再生信号と目標信号の差の2乗値を加算することにより求めることができる。MLSEの定義に従うと，これらの2つのユークリッド距離の差を基準のユークリッド距離で規格化する必要がある。ここで，基準のユークリッド距離として，変化する目標レベルに対応して，平均値と演算することによって算出することでも，正誤ビット列から生成した目標信号のユークリッド距離を算出することでも対応できる。演算量を少なくする意味では，前者の方が優れる。

30

【0014】

ここで，エッジ・シフトの方向について述べる。ユークリッド距離は常に正の値であるので符号をもたない。ところが，正パターンから誤パターンに変化したエッジ・シフトの向きは，パターンごとに一意に定めることができる。

【0015】

図6はPR(1,2,2,1)の最小ユークリッド距離パターンに対して，エッジ・シフトの向きをまとめたものである。例えば，“0001110”が“0000110”になる場合においては，3Tマークの前エッジが右にシフトしていると判る。逆に，再生データが図中の誤パターン“0000110”であった場合には，シフト方向は左である。同様にすべてのパターンに対して，エッジ・シフトの方向が定義できる。そこで，例えば，シフト方向が右の場合にユークリッド距離が“+”，左の場合にユークリッド距離が“-”であるというように定義することによって，MLSEの定義を拡張して，エッジ・シフトの方向の情報を評価することができるよう改良できる。ここでは，慣例に従って，ビット“1”がマークを表すものとしている。デコーダの構成によって，“0”がマークを表す場合には，シフト方向を逆に定義しなおせばよい。

40

【0016】

以下，ここに示した新たな信号評価指標をS-SEAT (Signed - Sequenced Error for Adap

50

tive Target) と呼ぶことにする。S-SEATの定義を以下に示す。

2つのビット・パターン “pat1” と “pat2” のユークリッド距離を $ED_B(pat1, pat2)$ とすると定義によって、以下の式で表される。

【0017】

【数1】

$$ED_B(pat1, pat2) = \sum_{n=1}^N (V_{target}[B] - V_{target}[pat1[n]] - V_{target}[pat2[n]])^2 \quad (\text{式D-1})$$

【0018】

10

ここで、 $V_{target}[B]$ はビット列 B に対する目標信号レベル、 $pat[n]$ はビット・パターン “pat” の時刻 n におけるビット列、N はクラスビット数を表す。

評価指標を規格化するための基準ユークリッド距離は、1ビットエラーパターンに対する、ユークリッド距離の平均値で以下のように定義する。

【0019】

【数2】

$$d_{\min} = Average(ED_{\min})$$

$$= \frac{\sum_{m=1}^M ED_B(Pat_T[m], Pat_F[m])}{M} \quad (\text{式D-2})$$

20

【0020】

ここで、M は 1 ビットエラーパターンの組み合わせの総数、 Pat_T 及び Pat_F はそれぞれ、正ビット・パターン、及び誤ビットパターンを表す。

再生信号と指定ビット・パターン “pat” の間のユークリッド距離 $ED(pat)$ は次の式で表される。

【0021】

【数3】

30

$$ED(pat) = \sum_{n=1}^N (V_{signal}[t+n] - V_{target}[pat[n]])^2 \quad (\text{式D-3})$$

【0022】

ここで、 $V_{signal}[t]$ は時刻 t における再生信号レベルであり、時刻 t における 2 値化結果がビット・パターン “pat” である。

S-SEATの値は PRML に対応するエッジ・シフト値 D 及びその標準偏差 として、以下により求める。

【0023】

40

【数4】

$$D = \text{Sign}(Shift - Direction) \times \{(ED(Pat_F[m]) - ED(Pat_T[m])) - d_{\min}\} \quad (\text{式D-4})$$

$$\begin{aligned} \text{Sign}(Shift - Direction) = -1 & \quad (\text{Right-Edge-Shift}) \\ & +1 \quad (\text{Left-Edge-Shift}) \end{aligned} \quad (\text{式D-5})$$

$$\sigma = \frac{\sqrt{\sum_{p=1}^P (D[p])^2}}{2d_{\min}} \quad (\text{式D-6})$$

10

【0024】

ここで、 $\text{Sign}(Shift - Direction)$ は2値化結果 Pat_T が1ビットエラー（エッジ・シフト）して、 Pat_F になる場合のエッジ・シフトの方向を表し、 P は指定された算出期間内のビット・パターンの数を表す。（式D-5）における符号の定義は、右方向のエッジ・シフトに対して負、左方向のエッジ・シフトに対して正としているのは、自然な定義と異なるため奇異に思われるかもしれない。説明を加える。（式D-4）において $(ED(Pat_F[m]) - ED(Pat_T[m]))$ の項は、（再生信号と誤ビットパターンとのユークリッド距離）から（再生信号と正ビット・パターンとのユークリッド距離）を引いたものでありユークリッド距離の差分値である。この値は、正ビット・パターンがデコードされたのであるから、通常正の値である。再生信号が完全に正ビット・パターンの目標信号に一致する場合には、ユークリッド距離の差分値が基準ユークリッド距離 d_{\min} となる。一方、この値がゼロの場合には、再生信号は1/2の確率で、正ビット・パターンにも誤ビットパターンにもデコードされる。一方、従来のダイレクト・スライス法においては、再生信号のエッジ位置とクロック信号のエッジ位置とのずれ量をエッジ・シフト量と呼ぶ。ダイレクト・スライス法におけるエッジ・シフト量が検出窓幅（クロック信号の周期）の1/2の大きさの場合に、再生信号は1/2の確率で誤って2値化される。こうした両者の対比から、次式で表すように、ユークリッド距離の差分値から基準ユークリッド距離 d_{\min} を減じた値 D_o を導入すると、これがダイレクト・スライス法におけるエッジ・シフト量と等価な量であり、PRML法におけるエッジ・シフトとして扱えることが判る。

【0025】

【数5】

$$D_o = (ED(Pat_F[m]) - ED(Pat_T[m]) - d_{\min}) \quad (\text{補足式-1})$$

【0026】

ここまででは、基本的に前述のMLSE値の考え方を踏襲したものである。上に述べたように、再生信号が誤ビットパターンの目標信号に近づくと、 D_o 値がエッジのシフトの方向に依存せずに負の値になる。したがって、エッジのシフト方向をディスク上に形成されたマークの物理的なシフト方向と一致されるためには工夫が必要である。エッジ・シフトの方向は、正誤のビット・パターンの比較から一意に定めることができる。そこで本発明では、正誤のビット・パターンからエッジ・シフトの方向を定め、（式D-5）のように D_o 値にシフト方向に対応して+1または-1を乗じた値をエッジ・シフト値 D とした。（式D-5）に従えば、エッジ・シフトの方向が右側の場合に D 値が正、左側の場合に D 値が負になる。こうすることによって、ディスク上に形成されたマークの物理的なシフト方向とPRML法に対応したエッジ・シフト値 D の符号を一致させることができる。ここでは、シフト方向が右側の場合に D 値が正になるように定義したが、反対方向の定義も可能である。その場合には、（式D-5）の符号を反転させればよい。ダイレクト・スライス法では、各エッジにおける

20

30

40

50

エッジ・シフト量のRMS値をジッター値と呼び、信号品質の代表的な評価指標として用いている。本発明においてもS-SEAT値はPRML法に対応したエッジ・シフト量DのRMS値である。これは、PRML法におけるジッター値に相当するものである。

【0027】

さて、本発明の評価指標は、状況に応じて拡張することが可能である。以下、具体的な拡張方法を示す。

【0028】

詳しくは後述するが、目標信号レベルが再生信号に応じて適応的に変化するPRMLチャネルでは、回路規模の増大を防ぐために、再生信号と目標信号とのユークリッド距離の算出を各時刻における再生信号と目標信号のレベルの差の2乗値の和ではなく、絶対値の和として算出することが有効である。以下、こうしたPRMLチャネルを絶対値系と呼ぶことにする。本発明の目的はPRMLに即した再生信号の評価指標の提供であるから、絶対値系のPRMLチャネルでは、ユークリッド距離の算出をレベルの差の絶対値の和とする方がよい。このためには(式D-1)及び(式D-3)の代わりに、ユークリッド距離を各時刻における両者の差の絶対値の和として、それぞれ以下の(式D-7)及び(式D-8)で算出すればよい。

【0029】

【数6】

$$ED_B(pat1, pat2) = \sum_{n=1}^N |V_{t_{\arg et}}[pat1[n]] - V_{t_{\arg et}}[pat2[n]]| \quad (式D-7)$$

$$ED(pat) = \sum_{n=1}^N |V_{signal}[t+n] - V_{t_{\arg et}}[pat[n]]| \quad (式D-8)$$

【0030】

また、(式D-2)の代わりに基準ユークリッド距離 d_{min} として、以下の(式D-9)で表される当該パターンにおけるユークリッド距離の瞬時値を使うことも可能である。

【0031】

【数7】

$$d_{min} = ED_B(Pat_T[m], Pat_F[m]) \quad (式D-9)$$

【0032】

ここで、 ED_B は(式D-1)もしくは、(式D-7)で算出するものとする。

(式D-7)及び(式D-8)を用いる場合、目標信号レベルが再生信号に応じて適応的に変化するPRMLチャネルでは、ユークリッド距離がパターンに依存する場合や媒体の感度むら等により信号振幅やアシンメトリ値が時間とともに変化する場合等では、その時刻における、より正確な評価値を得ることができるというメリットがある。ただし、LSI等に回路化した場合には高速動作するロックが増加するため、消費電力が増加するというデメリットが発生するので注意が必要である。目標信号レベルが固定のPRMLチャネルの場合には、基準ユークリッド距離 d_{min} も固定値となるので、(式D-2)や(式D-7)による d_{min} 値の算出の必要はなく、予め算出しておいて定数を用いればよい。

【0033】

次に1つのエッジに対する評価値の算出について考察する。RLL(1,7)符号に対してPR(1,2,2,1)MLクラスを用いた場合のMLSEの算出方法については、前述の文献2(Tech. Digest ODS '03, pp.93)と文献3(Tech. Digest ISOM '03 pp.116)に記載されている。文献3のFigure 1及びTable 2から、5T(Tは検出窓幅)以上の長さのマークとスペースの組み合わせからなるエッジについても他のパターンと同様に正誤二つのパターン(文献中ではP2B/P2A及びP7B/P7A)の組み合わせから、上に述べたエッジ・シフトの評価値(文献中ではMDで表されている)を算出している。具体的な算出系のロック及びパターンは文献2の

10

20

30

40

50

Figure 1及びTable 1に記載されている。文献2のTable 1におけるPath AとPath Bとして示される7ビットのビット列は左から順に文献3におけるP1A/P1B, P2A/P2B, . . . に対応する。ここでP2A(ビット列 "1110000")とP2B(ビット列 "1111000")に注目する。これは後続するスペースの長が4T以上でマーク長が4T以上のパターンのマークの後エッジを示している。さて, RLL(1,7)符号では最長のマーク及びスペース長が8Tである。そこで, 後続するスペース長が8Tでマーク長が8Tのパターンの後エッジについて, 文献2のFigure 1のプロック図を元に考察してみよう。

【0034】

図59は時刻tに対するパターン・検出器の判定状況と評価値の算出動作について示したものである。図に示すように, t=4及びt=5の2つの時刻において, パターン検出器はそれぞれP2BとP2Aを検出するので, MD値の計算が2回発生する。こうしたケースは, 図59及び文献3のTable 2から容易に判るように, 5T以上の長さのマークとスペースの組み合わせにおいて発生する。さらに一般化すれば, PRMLクラスビット数(拘束長)をNとするとき(N+1)T以上の長さのマークとスペースの組み合わせにおいて発生するものである。物理的に1つのマーク・エッジに対してシフト量を2回算出することは自然ではない。これを避けるためには, t=4においてMD値の算出が実行されたことを記憶しておいて, t=5における算出を実行しないようにすればよい。PR(1,2,2,1)MLのように目標信号レベルが固定のPRML方式では, t=4における算出値とt=5における算出値は同じ値になるから評価値の2回算出を1回に制限するだけで事足りる。実際にはRLL(1,7)符号において5T以上のマークとスペースの組み合わせパターンの発生頻度は少ないので, 2回算出による影響は小さく, 実用上MLSE値を信号評価に用いて問題は生じにくい。

【0035】

次に, 目標信号レベルを再生信号に応じて適応的に変化させる適応PRML方式について考察する。文献2に記載されているように, MLSEの定義にはエッジ・シフトの方向を含まない。一方, 本発明では(式D-5)に示したように, エッジ・シフトDの方向を検出することができる。図59にてエッジ・シフトDを算出する場合には, t=4においてエッジ・シフトの方向が左の場合について評価し, t=5においてエッジ・シフトが右の場合について評価をする。それぞれの値をDL及びDRとすると, 一般的にDLとDRとは概略等しい値になる。一方, (式D-8)により基準ユークリッド距離を算出する場合等には, 目標信号レベルが時々刻々変化するのでDL DRとなる。この場合2回算出を避けるために, 上に示した方法のように, t=4において算出を実行したらt=5における算出を実行しないような制限だけでは十分ではない。しかしながら, 実用的にはDLとDRの絶対値の大きさの差は小さいと考えてよく, 例えば, RLL(1,7)符号ではクラスビット数Nが4以上であれば2回算出の発生頻度が小さい。これらを前提として, 回路構成を簡略化したり, MLSEとの定義の互換性を重視する場合には, S-SEAT値の算出において(式D-6)に従って, DLとDRをそれぞれ加算すればよい。

【0036】

一方, DVDやCDのようにRLL(2,10)符号を用いる場合や, クラスビット数が3以下である場合には2回算出の影響が大きくなってしまう。また, RLL(1,7)符号やRLL(2,10)符号等最小ラン長が2T以上の符号を用いる場合には, 以下に示すように仮想ステートを導入したV-SEAT(詳細は後述)において, 全てのエッジに対して2回算出が発生することになる。

【0037】

次にS-SEAT及びV-SEATにおいて2回算出を避け, 物理的に1つのエッジに対してシフト量を1つだけ算出する手法について述べる。その方法は以下に示すように3つある。
(1) 着目する1つのエッジのシフト量Dとして(式D-4)の代わりに, 左右のエッジ・シフトに対する評価値DL及びDRがどちらも算出可能な場合に, 以下の(式D-10)で表す平均シフト量を用いる場合。

【0038】

10

20

30

40

【数8】

$$D = \frac{(DL + DR)}{2} \quad (\text{式D-10})$$

【0039】

これが最も自然な定義である。

(2) 着目する1つのエッジのシフト量Dとして(式D-4)の代わりに, 左右のエッジ・シフトに対する評価値DL及びDRがどちらも算出可能な場合に, 以下の(式D-11)で表すように絶対値の小さい方のシフト量を用いる場合。

【0040】

10

【数9】

$$\begin{aligned} D &= DL & \text{if } |DL| \leq |DR| \\ D &= DR & \text{if } |DL| > |DR| \end{aligned} \quad (\text{式D-11})$$

【0041】

測定には, 常に誤差がつきまとるので, 例えばドライブ装置において, クロックの漏れ込み等のスパイク的な雑音が比較的多いケースにおいては, このように, 絶対値の小さいものを選択する方法が有効である。

20

(3) 着目する1つのエッジのシフト量Dとして(式D-4)の代わりに, 左右のエッジ・シフトに対する評価値DL及びDRがどちらも算出可能な場合に, 以下の(式D-12)で表すように絶対値の大きい方のシフト量を用いる場合。

【0042】

【数10】

$$\begin{aligned} D &= DR & \text{if } |DL| \leq |DR| \\ D &= DL & \text{if } |DL| > |DR| \end{aligned} \quad (\text{式D-12})$$

30

【0043】

詳細は後述するが, 絶対値系のPRMLチャネルでは, (補足式-1)に示したDo値はゼロまたは負の値しか取り得ない。これが絶対値系PRMLチャネルの特徴となっている。この特徴によって, DLまたはDRのどちらか片方がゼロになってしまう場合がある。これを避けるには, 絶対値の大きな方の値を選択する方法が有効である。これは, どちらかがゼロの場合に他方を選択することも含んだ定義になっている。

【0044】

次に、(課題2)を解決する手段について説明する。

図7はRLL(1,7)符号に対応したPR(1,2,2,1)MLデコーダの目標信号レベルについてまとめたものである。この場合PRクラスを表現するビット数が4であるので, 2^4 (=16)通りのビット列の組み合わせに対応して, 目標信号レベルが定義される。このときランレンジス制限によって, 1T長のビットを含むビット列が除かれ, 有効なビット列の数は10になる。ビタビ・デコーダ回路内には, 有効なビット列のみに対応した演算器が実装される。ビタビ復号の場合には, 4ビットのビット列を3ビットのステートと1ビットのデータに分けてデコードを実施する。本質的には全く同じものであるが, これを記述すると説明が煩雑になるため, 以降4ビットのビット列を用いて説明を進める。ここで, ビタビ・デコーダ回路内から除かれたビット列は, 物理的なマークの長さに依存したものではなく, あくまでランレンジス制限を満たすために除かれたことを強調しておく。

40

【0045】

MLSE, もしくはS-SEATにおいて最小ランレンジスの組み合わせデータパターンの評価が

50

できない理由は、これが、ビタビ・デコーダの構成に基づいているためであり、上に述べたように、デコーダ内に対応する有効なビット列がないからである。これを解決するためには、信号品質の評価をする場合にのみ、ランレンジス制限にとらわれずに、1T長のビットを含むビット列を有効として、目標信号を生成できるようにすればよい。

【0046】

図8は、ビタビ・デコーダ部と再生信号品質評価部の各ビット列に対応する信号レベル及び、それらが有効か無効かの状況をまとめたものである。デコーダ内部では、ランレンジス制限のために、有効なビット列が10になっているのは上と同じである。一方、再生信号品質の評価をする場合に、ランレンジス制限のために排除されたビット列を有効にして、有効なビット列を本来の16に戻すことによって、例えばRLL(1,7)符号において、ビット列“0110”(2Tマーク)の前エッジがシフトして、ビット列“0010”(1Tマーク)に誤検出される場合の誤ビット列の目標信号を生成することが可能になる。このように、再生信号を評価する場合に、ランレンジス制限を除いてビット列と目標信号レベルを定めれば、最小ランレンジスの組み合わせパターンの評価をすることが可能になる。

10

【0047】

以下、ここに示した新たな信号評価指標をV-SEAT (Virtual-state-based-Sequenced Error for Adaptive Target)と呼ぶことにする。V-SEATの算出式は、S-SEATと同じであり、基本的に(式D-1)から(式D-6)により算出するが、(式D-7)から(式D-12)に従つて拡張することが可能である。V-SEATはS-SEATと同様に目標レベルが可変のビタビ・デコーダに対応するものであるが、目標レベルが固定のビタビ・デコーダにも対応できるのは言うまでもない。

20

【0048】

図9はPR(1,2,2,1)に対して、V-SEATを算出する場合のエラーパターンについてまとめたものである。図に示すように、1Tマークの導入によって、算出パターンは簡素化され、4つだけである。図中“X”は“0”でも“1”でもよいことを示している。このように、パターン検出回路の構成が簡素化できるメリットがある。

【0049】

V-SEATのように、ランレンジス制限を取り除いて、信号品質の評価をするメリットは他にもある。前述のように、PR(1,2,2,2,1)の場合には、最小ユークリッド距離のパターンは、エッジ・シフトではないために、MLSEもしくはS-SEATによる信号品質の評価ができなかった。この問題は、正パターンと誤パターンがそれぞれに、ランレンジス制限を満たすものとしていることによって発生している。例えば、図4の2ビットエラーのパターンNo.1について、説明する。これはパターン“00001100000000”が“00000110000000”にエラーする場合であり、2Tマークが1T右にシフトすることを表す。実際に、光ディスク上に記録されたマークについて考えてみよう。2Tマークの前エッジのみが右にシフトして記録してしまった場合を想定する。最適な記録条件に修正するには、2Tマークの前エッジの位置を修正するようにパルスもしくはパワーを適性化すればよい。一方、ビタビ・デコーダがデコードするビット列のパターンはランレンジス制限によって、上のように2Tマークがそのまま1T右にシフトしたものにならざるを得ない。確かに、ビタビ・デコーダのエラー頻度を基準に信号品質を評価するとこのようになる。しかしながら、こうして得られた評価指標からでは、2Tマークが右にシフトしたという誤った情報しか得られないために、この評価指標にもとづいて、記録条件を修正すると、正常な位置にあった2Tマークの後エッジも含めて、記録パルスもしくはパワー条件を修正してしまうことになる。記録再生を実施する光ディスク装置にとって見れば、支障がない場合もある。しかしながら、例えば、PR(1,2,1)やダイレクト・スライス方式を搭載する光ディスク装置で再生すると、エラーが発生しやすいことは容易に想像できる。光ディスクは媒体可換のストレージシステムであるから、こうした再生互換に関する問題が発生しないように配慮しなくてはならない。V-SEATでは、ランレンジス制限を超越して、信号品質を評価するので、マークのエッジ1つ1つに着目するので、上の場合にも、正しく2Tマークの前エッジを評価することが可能であり、記録/再生互換及び記録制御の観点からメリットがある。同様に、P

30

40

50

$R(1,2,2,2,1)$ のように最小ユークリッド距離がエッジシフトパターンでないPRMLデコーダに対しても、統一されたエッジシフトベースの評価指標を用いることができ、PRML方式を変更した場合に、信号評価回路部の構成をほぼそのまま使えるというメリットも大きい。

【0050】

V-SEATを用いて、目標信号レベルが可変なビタビ・デコーダに対応するためには、1Tマークを含んだビット列に対する目標信号レベルの求め方を示す必要がある。ビタビ・デコーダ内には、1T長のビット列に対応するステートが存在しないため、直接目標値をビタビ・デコーダ内の目標レベルテーブル参照することができない。PRクラス、例えば(1,2,2,1)は、1T信号のインパルスレスポンスを近似したものである。固定目標のPRMLの目標信号レベルは、インパルスレスポンスとビット列の畳み込みによって定義される。そこで、可変目標レベルのPRMLに対しても、線形加算による畳み込みが成立すると仮定すると、仮想的な1Tを含むビット列に対応する目標信号レベルを求めることができる。

【0051】

図10は、クラスビット数4の可変目標レベルのPRMLのビット列と目標信号レベルをまとめたものである。こうした、可変目標レベルのPRMLを以下PR(a, b, c, d)のように表すこととする。図に示すように、例えば、ビット列“0010”的目標信号レベルv2は、ビット列“0000”, “0001”, “0011”的目標信号レベルv0, v1, v3を用いて，“0010” = “0011” - “0001”であることを用い，“0000”的目標信号レベルがゼロでないことを考慮して、

$$v2 = v3 - v1 + v0 \quad (式1)$$

として求めることができる。同様に、他の1Tを含むビット列のレベルは、

$$v4 = v6 - v2 + v0 \quad (式2)$$

$$v5 = v7 - v2 + v0 \quad (式3)$$

$$v10 = v8 - v13 + v15 \quad (式4)$$

$$v11 = v9 - v13 + v15 \quad (式5)$$

$$v13 = v12 - v14 + v15 \quad (式6)$$

として求めることができる。

【0052】

ここに示した、1Tを含むビット列に対する目標信号レベルの算出式は、一例である。
(式1)についていえば、例えば“0010” = “1111” - “1101”であることを用いて、

$$v2 = v15 - v13 + v0 \quad (式7)$$

とすることもできる。目標レベル間に線形加算が成立している場合には、(式1)と(式7)の値は同じものになるが、一般的に、記録過程に非線形な熱干渉等の効果があるため、線形加算は成立しない。基本的には(式1)から(式6)により、1Tを含むビット列に対する目標信号レベルを算出する。好ましくは、複数の算出式を用いて求めた値に対し、それらの発生イベント数で重みをつけて、平均化する方がよい。以下の実施例で示す実験結果は、後者により目標レベルを算出する方式である。

【0053】

クラスビット数がさらに大きい任意のクラスに対応するには、次の考え方へ従えばよい。

【0054】

(プロセス1) “1”的孤立インパルスの目標レベルを算出する。“1”的孤立インパルスとはビット列中に“1”を1つだけ含み、それ以外は“0”的ビット列の目標レベルのことを言う。これらのビット列の値は 2^n と表現できる。ここで、 $0 \leq n < N$ であり、Nはクラスビット数である。これらのビット列の目標レベルをランレンジングス制限に従った目標レベルの加算、もしくは減算により求める。

(プロセス2) “0”的孤立インパルスの目標レベルを算出する。“0”的孤立インパルスとはビット列中に“0”を1つだけ含み、それ以外は“1”的ビット列の目標レベルのことを言う。これらのビット列の値は $2^n - 2^{n-1}$ と表現できる。ここで、 $0 \leq n < N$ であり、Nはクラスビット数である。これらのビット列の目標レベルをランレンジングス制限に従った目標レ

10

20

30

40

50

ベルの加算，もしくは減算により求める。

(プロセス3) 任意のビット列の目標レベルを求める。任意のビット列Bは，“1”の孤立インパルスの重ねあわせとして，以下の式で算出する。

【0055】

【数11】

$$V1[B] = V_{zero} + \left(\sum_{n=0}^{N-1} I1[n] \times \text{NotZero}(B \& \& 2^n) - V_{zero} \right) \quad (\text{式8})$$

10

【0056】

ここで， $V1[B]$ はビット列Bに対する目標信号レベル， V_{zero} はビット列“00...00”に対する目標レベル， $I1[n]$ はビット列が 2^n で表される“1”の孤立インパルスのレベル， $\text{NotZero}(x)$ は x の値がゼロでないときに1，ゼロのときに0を返す関数，“ $\&\&$ ”は整数の論理積を表す演算子，である。

同様にして，任意のビット列は，“0”の孤立インパルスの重ねあわせとして，以下の式で算出する。

【0057】

【数12】

$$V0[B] = V_{one} + \left(\sum_{n=0}^{N-1} I0[n] \times \text{IsZero}(B \& \& 2^n) - V_{one} \right) \quad (\text{式9})$$

20

【0058】

ここで， $V0[B]$ はビット列Bに対する目標信号レベル， V_{one} はビット列“11...11”に対する目標レベル， $I0[n]$ はビット列が 2^N-2^n で表される“0”の孤立インパルスのレベル， $\text{IsZero}(x)$ は x の値がゼロのときに1，ゼロでないに0を返す関数である。

(式8)，(式9)からそれぞれ，“1”的インパルス，及び“0”的インパルスの重ねあわせとして，求めた目標レベルを平均化して，以下の式により目標レベルを求める。

【0059】

【数13】

$$V[B] = \frac{(V1[B] + V0[B])}{2} \quad (\text{式10})$$

30

【0060】

S-SEATと同様に，V-SEATについても前述の拡張が適応できる。具体的には(式D-7)から(式D-12)を使って説明したとおりである。

図11にMLSE，S-SEAT，V-SEATの定義と特徴をまとめた。

【0061】

以上により，本発明の(課題1)と(課題2)の解決方法を述べた。以下の実施例では，PRクラスの違いに対応する具体的な方法及び，実験結果について詳細に記述する。

【0062】

以下，本発明では，特に明示しない限り，S-SEAT値とV-SEAT値の算出はMLSE値と同様に算出されたエッジ・シフトDの全ての値のRMS値であるとし，拡張定義についてはまとめて述べる。また，同様に特に明示しない限りPRMLチャネルは2乗系であるものとする。

【発明の効果】

【0063】

本発明が提供する再生信号の評価方法及びそれを用いた光ディスク装置を使えば，(1)目標信号レベルが再生信号に応じて適応的に変化するPRMLチャネルに対応した再生信号

40

50

の評価，(2)最小ランレンジスの組み合わせデータパターンに対応した再生信号の評価，を可能とすることができるようになった。

【発明を実施するための最良の形態】

【0064】

以下本発明の詳細を，実施例を用いて説明する。

【実施例1】

【0065】

種々のPRクラスへの対応

上の説明では，RLL(1,7)符号に対応した，PR(1,2,2,1)デコーダに対して，S-SEATとV-SEATの算出方法について述べた。以下，RLL(1,7)符号に対応したPR(1,2,1)，PR(12221)，PR(123321)クラス，及びRLL(2,10)符号に対応したPR(3,4,4,3)クラスについての実施例を示す。

【0066】

最初に，Blu-ray Disc等のRLL(1,7)符号に対応するPRクラスについて述べる。

図12はRLL(1,7)符号に対応したPR(1,2,1)及びPR(a,b,c)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは2通りあり，固定目標レベルの場合には，ユークリッド距離は6である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

【0067】

先ず，S-SEATの算出について説明する。

図13はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをまとめたものである。S-SEATを算出する場合は，図12のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0068】

次に，V-SEATの算出について説明する。

図14はRLL(1,7)符号に対応したPR(1,2,1)及びPR(a,b,c)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは4通りあり，固定目標レベルの場合には，ユークリッド距離は6である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

【0069】

図15はRLL(1,7)符号に対応した目標レベルが固定のPR(1,2,1)MLデコーダの目標信号レベルをまとめたものである。ここで，目標信号レベルは ± 1 に規格化して示してある。V-SEATを算出する場合は，図14のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0070】

図16はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをまとめたものである。V-SEATを算出する場合は，1T長を含むビット列に対応する目標信号レベルを図の定義に従って算出し，図14のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0071】

図17はRLL(1,7)符号に対応したPR(1,2,2,2,1)及びPR(a,b,c,d,e)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは18通りあり，固定目標レベルの場合には，ユークリッド距離は14である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

【0072】

先ず，S-SEATの算出について説明する。

図18はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e)MLデコーダの目標

10

20

30

40

50

信号レベルをまとめたものである。S-SEATを算出する場合は、図17のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。

【0073】

次に、V-SEATの算出について説明する。

図19はRLL(1,7)符号に対応したPR(1,2,2,2,1)及びPR(a,b,c,d,e)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめたものである。図に示すように、1ビット誤りに対するパターンの組み合わせは4通りあり、固定目標レベルの場合には、ユークリッド距離は14である。各パターンに対する、エッジ・シフト方向の定義は、図に示すとおりである。

【0074】

図20はRLL(1,7)符号に対応した目標レベルが固定のPR(1,2,2,2,1)MLデコーダの目標信号レベルをまとめたものである。ここで、目標信号レベルは±1に規格化して示してある。V-SEATを算出する場合は、図19のビット・パターンを抽出して、定義に従って評価値を算出すればよい。

【0075】

図21はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e)MLデコーダの目標信号レベルをまとめたものである。V-SEATを算出する場合は、1T長を含むビット列に対応する目標信号レベルを図の定義に従って算出し、図19のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。

【0076】

図22はRLL(1,7)符号に対応したPR(1,2,3,3,2,1)及びPR(a,b,c,d,e,f)クラスに対する1ビット誤りパターンについて、ユークリッド距離とエッジ・シフトの向きをまとめたものである。図に示すように、1ビット誤りに対するパターンの組み合わせは18通りあり、固定目標レベルの場合には、ユークリッド距離は28である。各パターンに対する、エッジ・シフト方向の定義は、図に示すとおりである。

【0077】

先ず、S-SEATの算出について説明する。

図23はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e,f)MLデコーダの目標信号レベルをまとめたものである。S-SEATを算出する場合は、図22のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。

【0078】

次に、V-SEATの算出について説明する。

図24はRLL(1,7)符号に対応したPR(1,2,3,3,2,1)及びPR(a,b,c,d,e,f)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめたものである。図に示すように、1ビット誤りに対するパターンの組み合わせは4通りあり、固定目標レベルの場合には、ユークリッド距離は28である。各パターンに対する、エッジ・シフト方向の定義は、図に示すとおりである。

【0079】

図25はRLL(1,7)符号に対応した目標レベルが固定のPR(1,2,3,3,2,1)MLデコーダの目標信号レベルをまとめたものである。ここで、目標信号レベルは±1に規格化して示してある。V-SEATを算出する場合は、図24のビット・パターンを抽出して、定義に従って評価値を算出すればよい。

【0080】

図26はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e,f)MLデコーダの目標信号レベルをまとめたものである。V-SEATを算出する場合は、1T長を含むビット列に対応する目標信号レベルを図の定義に従って算出し、図24のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。ここでは、先に示した(式8)、(式9)により“1”的インパルス、及び“0”的インパルスに対する目標レベルを算出した後、(式10)によって、その他の目標レベルを算出する場合を示している。“1”的インパルスの目標レベルはv2,v4,v8,v16であり、“0”的インパルスの目標レベルは、v61,v59,v

10

20

30

40

50

55,47である。

【0081】

RLL(1,7)符号に対応したPRクラスとして，最後にPR(1,2,2,1)についてまとめることにより，発明の理解が深まると判断し，以下に述べる。

【0082】

図27はRLL(1,7)符号に対応したPR(1,2,2,1)及びPR(a,b,c,d)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは8通りあり，固定目標レベルの場合には，ユークリッド距離は10である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

10

【0083】

先ず，S-SEATの算出について説明する。

図28はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめたものである。S-SEATを算出する場合は，図27のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0084】

次に，V-SEATの算出について説明する。

図29はRLL(1,7)符号に対応したPR(1,2,2,1)及びPR(a,b,c,d)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは4通りあり，固定目標レベルの場合には，ユークリッド距離は10である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

20

【0085】

図30はRLL(1,7)符号に対応した目標レベルが固定のPR(1,2,2,1)MLデコーダの目標信号レベルをまとめたものである。ここで，目標信号レベルは ± 1 に規格化して示してある。V-SEATを算出する場合は，図29のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0086】

図31はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめたものである。V-SEATを算出する場合は，1T長を含むビット列に対応する目標信号レベルを図の定義に従って算出し，図29のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

30

【0087】

次に，CD/DVDのRLL(2,10)符号に対応するPRクラスについて述べる。

図32はRLL(2,10)符号に対応したPR(3,4,4,3)及びPR(a,b,c,d)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは2通りあり，固定目標レベルの場合には，ユークリッド距離は50である。各パターンに対する，エッジ・シフト方向の定義は，図に示すとおりである。

40

【0088】

先ず，S-SEATの算出について説明する。

図33はRLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめたものである。S-SEATを算出する場合は，図32のビット・パターンを抽出して，前述の定義に従って評価値を算出すればよい。

【0089】

次に，V-SEATの算出について説明する。

図34はRLL(2,10)符号に対応したPR(3,4,4,3)及びPR(a,b,c,d)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめたものである。図に示すように，1ビット誤りに対するパターンの組み合わせは4通りあり，固定目標レベルの場合には，ユーク

50

リッド距離は50である。各パターンに対する、エッジ・シフト方向の定義は、図に示すとおりである。

【0090】

図35はRLL(2,10)符号に対応した目標レベルが固定のPR(3,4,4,3)MLデコーダの目標信号レベルをまとめたものである。ここで、目標信号レベルは ± 1 に規格化して示してある。V-SEATを算出する場合は、図34のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。

【0091】

図36はRLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめたものである。V-SEATを算出する場合は、1T長及び2T長を含むビット列に対応する目標信号レベルを図の定義に従って算出し、図35のビット・パターンを抽出して、前述の定義に従って評価値を算出すればよい。

10

【0092】

V-SEATに関する以上の実施例では、再生信号のアシンメトリがゼロでなく、“1”的インパルスと“0”的インパルスの大きさが等しくない、一般的な場合について示した。以下の実施例では、再生信号のアシンメトリが小さく、“1”的インパルスと“0”的インパルスの大きさが等しくと考えられる場合の、より簡素化された可変目標レベルの求め方を示す。

【0093】

本発明では、便宜上、可変目標レベルのPRクラスを例えばPR(a,b,c,d)のように表した。アシンメトリがゼロと仮定できる場合には、“1”的インパルスレスポンスの時刻変化は(a,b,c,d)であり、信号振幅を ± 1 に規格化したとすると、“0”的インパルスレスポンスは、(-a,-b,-c,-d)となる。そこで、目標レベルテーブルから、a,b,c,dのそれぞれの値を求めれば、任意のビット列に対する目標信号レベルを、ビット列とインパルスレスポンスの畳み込み演算で算出できるので処理を簡素化できる。ここでは、目標レベルテーブルから求めたa,b,c,dの値をもつPRクラスをインテグレーテッドPRクラスと呼ぶことにする。以下に、RLL(1,7)符号に対応したPR(a,b,c), PR(a,b,c,d), 及びRLL(2,10)符号に対応するPR(a,b,c,d)の各クラスに対する実施例を示す。

20

【0094】

図37はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合を示す。ここで、目標信号レベルは ± 1 に規格化して示してある。インテグレーテッドPRクラスを求めるには、図に示すように

30

$$a = \{(v1-v0) - (v6-v7)\}/2 \quad (式11)$$

$$b = \{(v3-v1) - (v4-v6)\}/2 \quad (式12)$$

$$c = \{(v4-v0) - (v3-v7)\}/2 \quad (式13)$$

から求める。それぞれは、“1”的インパルスと“0”的インパルスの大きさを平均化したものであり、図16を参照すれば容易に算出できる。アシンメトリがゼロで、振幅が ± 1 に規格化されている場合には、 $v0=+1, V7=-1$ である。これらを用いると例えば、 $v1=v0+a$ のように任意の目標レベルを算出することができる。全ての目標レベルの求め方は、図中に示すとおりである。

40

【0095】

図38はRLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合を示す。ここで、目標信号レベルは ± 1 に規格化して示してある。インテグレーテッドPRクラスを求めるには、図に示すように、

$$a = \{(v1-v0) - (v14-v15)\}/2 \quad (式14)$$

$$b = \{(v3-v1) - (v12-v14)\}/2 \quad (式15)$$

$$c = \{(v6-v2) - (v9-v13)\}/2 \quad (式16)$$

$$d = \{(v8-v0) - (v7-v15)\}/2 \quad (式17)$$

50

から求める。それそれは，“1”のインパルスと“0”のインパルスの大きさを平均化したものであり、図31を参照すれば容易に算出できる。アシンメトリがゼロで、振幅が±1に規格化されている場合には、 $v0=+1, V15=-1$ である。これらを用いると例えば、 $v1=v0+a$ のように任意の目標レベルを算出することができる。全ての目標レベルの求め方は、図中に示すとおりである。

【0096】

図39はRLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合を示す。ここで、目標信号レベルは±1に規格化して示してある。インテグレーテッドPRクラスを求めるには、図に示すように、

10

$$a = \{(v1-v0) - (v14-v15)\}/2 \quad (式18)$$

$$b = \{(v3-v1) - (v12-v14)\}/2 \quad (式19)$$

$$c = \{(v6-v2) - (v9-v13)\}/2 \quad (式20)$$

$$d = \{(v8-v0) - (v7-v15)\}/2 \quad (式21)$$

から求める。これらは、(式14)から(式17)と同じになっている。それそれは，“1”のインパルスと“0”のインパルスの大きさを平均化したものであり、図26を参照すれば容易に算出できる。アシンメトリがゼロで、振幅が±1に規格化されている場合には、 $v0=+1, V15=-1$ である。これらを用いると例えば、 $v1=v0+a$ のように任意の目標レベルを算出することができる。全ての目標レベルの求め方は、図中に示すとおりである。

【0097】

20

これ以外の場合、PR(a,b,c,d,e), PR(a,b,c,d,e,f)等についても同様にして，“1”のインパルスと“0”のインパルスの大きさを平均化して、目標信号レベルテーブルからインテグレーテッドPRクラスを算出し、これらを用いて、任意のビット列に対する目標レベルを定義することができる。こうした結果は、アシンメトリがゼロでない場合の目標信号レベルに対して、ビット列の“1”と“0”を入れ替えたビット列のレベルの大きさを平均化したものと同じである。この操作が、アシンメトリがゼロであることに対応している。

【実施例2】

【0098】

回路構成

30

次に、S-SEAT及びV-SEATを算出するのに好適な回路の構成について、図を用いて実施例を示す。

【0099】

図1は本発明の光ディスク装置に搭載するS-SEATの算出回路の構成を示す。全体構成は、デコードユニット10、目標レベル学習ユニット20、及び信号評価ユニット30からなる。

【0100】

先ず、デコードユニット10について説明する。デコードユニット10は波形等化器11、ブランチ・メトリック計算ユニット12、ACS(Add Select Compare)ユニット13、バス・メモリ14、目標レベルテーブル17から構成される。再生信号50は予めADコンバータによりデジタル値に変換されており、波形等化器11内のFIRフィルターによって等化処理されたのち、ブランチ・メトリック計算ユニット12内でビット列ごとに目標値との誤差の2乗値(ブランチ・メトリック値)が算出される。ビット列ごとの目標値は、目標レベルテーブル17に収納されているものを参照する。ACSユニット13では、1時刻前のステート及び各ステートにおけるメトリック値(ステートの遷移に伴いブランチ・メトリック値を逐次加算して、かつ発散しないように処理したもの)に各ビット列に対応したブランチ・メトリック値を加える。このとき、現在の時刻のステートに至る遷移過程(通常は2つ、ランレンジングス制限により1つの場合もある)の中から、メトリック値の小さい方を選択する処理を行う。ステートとは1時刻の遷移に対して保存するビット列のことで、例えばPRクラスビットが4の場合には、ビット列が4ビット、ステートが3ビットで表される。バス・メモリ14にはビット列ごとに復号された2値化結果が十分長い時刻分だけ保存されており、時刻の

40

50

更新とともにメモリ内容のシフト処理を行い常に最新の結果が保存されるようになっている。ACSユニット13は遷移過程の選択処理の時に、パス・メモリに蓄えられた情報を選択結果に応じて再配列する。こうした処理を繰り返すことによって、パス・メモリ内の情報は次第に統合されて、十分長い時間後には、ビット列に依らず同じ値になる、いわゆるパス・マージが完結する。2値化結果51は時刻の更新時にパス・メモリから取り出された2値化情報のことである。

【0101】

次に、目標レベル学習ユニット20について説明する。目標レベル学習ユニット20は、パターン検出器24と平均化ユニット25からなる。パターン検出ユニット24は、2値化結果51をクラスビット数分だけ蓄え、そのビット列に応じたアドレス情報を平均化ユニット25に送る。平均化ユニット25は、波形等化器11から出力された再生信号のレベルを、その時刻のアドレス情報、すなわち対応するビット列ごとに平均化し、目標レベルテーブル17内の対応したメモリ・テーブルに蓄える処理をする。

10

【0102】

最後に、信号評価ユニット30について説明する。信号評価ユニット30は、パターン選択ユニット31、目標レベル算出ユニット32及び33、シーケンス誤差評価ユニット34からなる。パターン選択ユニット31は、2値化結果51を1ビットエラーに対応して、前述のように“クラスビット数 $\times 2-1$ ”分だけ蓄え、S-SEATの算出パターンであるかどうかを判定する。算出パターンと判定した場合には、それを“True”パターン53として、目標レベル算出ユニット32に送ると同時に、前述の1ビットエラーパターンを生成して“False”パターン54として、目標レベル算出ユニット33に送る。目標レベル算出ユニット32及び33では、目標レベルテーブル17を参照し、“True”パターン53及び、“False”パターン54に対応する目標信号レベルを出力する。シーケンス誤差評価ユニット34では、目標レベル算出ユニット32及び33の出力、並びに波形等化器11の出力を用いて、(式D-1)から(式D-6)の定義に従って、S-SEAT値55を算出する。前述のようにS-SEAT値55は(式D-7)から(式D-12)に従って拡張することが可能である。

20

【0103】

図40は本発明の光ディスク装置に搭載するV-SEATの算出回路の構成を示す。全体構成は、デコードユニット10、目標レベル学習ユニット20、及び信号評価ユニット30からなる。基本的な動作は上の実施例と同じである。V-SEAT算出に特有の構成要素として、仮想目標レベル算出ユニット35を追加している。仮想目標レベル算出ユニット35では、ランレンジングス制限にとらわれずに、全てのビット列に対する目標信号レベルを、目標レベルテーブル17の各テーブル値を使って、前述の方法により算出して蓄える処理を実行する。また、パターン選択ユニット31では、V-SEATに対応したビット・パターンを選択する処理を行う。シーケンス誤差評価ユニット34では、目標レベル算出ユニット32及び33の出力、並びに波形等化器11の出力を用いて、(式D-1)から(式D-6)の定義に従って、V-SEAT値55を算出する。前述のようにV-SEAT値55は(式D-7)から(式D-12)に従って拡張することが可能である。

30

【0104】

最後に、信号評価ユニット30について説明する。信号評価ユニット30は、パターン選択ユニット31、目標レベル算出ユニット32及び33、シーケンス誤差評価ユニット34からなる。パターン選択ユニット31は、2値化結果51を1ビットエラーに対応して、前述のように“クラスビット数 $\times 2-1$ ”分だけ蓄え、S-SEATの算出パターンであるかどうかを判定する。算出パターンと判定した場合には、それを“True”パターン53として、目標レベル算出ユニット32に送ると同時に、前述の1ビットエラーパターンを生成して“False”パターン54として、目標レベル算出ユニット33に送る。目標レベル算出ユニット32及び33では、目標レベルテーブル17を参照し、“True”パターン53及び、“False”パターン54に対応する目標信号レベルを出力する。シーケンス誤差評価ユニット34では、目標レベル算出ユニット32及び33の出力、並びに波形等化器11の出力を用いて、(式D-1)から(式D-6)の定義に従って、S-SEAT値55を算出する。前述のようにS-SEAT値55は(式D-7)から(式D-12)に従って拡張することが可能である。

40

50

従って拡張することが可能である。

【0105】

以上の2つの実施例において、目標レベル学習ユニット20は、信号を再生処理する場合に、常に動作する例を示したが、再生信号の品質を評価する場合に目標レベルが固定している方が、評価の安定性の点で好ましい。従って、信号品質を評価する場合には、目標レベル学習ユニット20の動作を停止して、目標レベルテーブル17の値を更新しないようにする方が望ましい。

【0106】

図4-1は本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成を示す。前述の実施例との構成上の違いは、目標レベル学習ユニット20にある。本実施例において、目標レベル学習ユニット20には、目標レベル算出ユニット21、誤差算出及び動作制御ユニット26、スイッチ27を追加している。目標レベルが可変のPRMLデコーダでは、再生信号に応じて目標レベルテーブル17の値が更新される。光ディスク装置の動作の安定性を確保するためには、更新処理を実施する場合を限定する必要がある。例えば、(1)シーク中、(4)図示していないが再生信号からクロックを抽出するPLL(Phase Locked Loop)回路の動作が安定していない場合、(3)ディスク媒体にゴミ、指紋、欠陥等があって、再生信号が著しくひずんでいる場合、等々で目標信号レベルの更新処理を実施すると、いわゆる暴走状態となってデコーダの正常動作に支障をきたしてしまう。これを回避するためには、上に述べた種々の場合に対して、それぞれ検出回路を設けて、更新処理を停止する必要がある。本実施例に示す方法は、目標信号と再生信号の誤差を常に算出し、誤差の絶対値が所定の値以下の場合にのみ、目標信号レベルの更新処理を実施するもので、上の機能を簡略に実現するものである。動作は以下のとおりである。目標レベル算出ユニット21では、2値化結果51を入力として、常に目標信号レベルを出力する。誤差算出及び動作制御ユニット26では波形等化器11の出力と、目標レベル算出ユニット21の誤差を評価し、誤差の絶対値が所定の値以下の場合にのみ、スイッチ27を閉じて、目標信号レベルの更新処理を実施するように制御する。本実施例では、発明の理解を深めるために、スイッチ27を導入しているが、例えば、平均化ユニット25に供給するクロックをON/OFFして動作制御する方法や、平均化ユニット25の出力段に論理積回路を追加して、これにより動作制御する方法の方が簡便であり、実際の回路ではこちらを採用することが望ましい。

【0107】

以下に、可変目標レベル方式のPRMLにおいて、記録密度を高めることに優れる補償型PRML方式と、再生互換性能を高めるための、目標レベル制限型PRML方式について、それらの動作原理と本発明のS-SEATとV-SEATの算出回路の実施例を示す。

【0108】

PRML方式を改善して、光ディスクの大幅な大容量化を実現するための課題は、記録時の熱干渉等による非線形なエッジ・シフトの抑圧である。先に述べたように、PRML法はPRクラスの選択によって目標信号が決定される。そこで、1枚の光ディスクに記録密度の異なる信号を記録して、種々のPRクラスによって、高密度化性能の違いを検討した。

【0109】

準備した光ディスクはトラックピッチ $0.34\text{ }\mu\text{m}$ のランド・グループ構造の基板上に相変化膜を積層したものである。実験には、パルステック社製のDDU-1000型光ディスク評価装置を用いた。光源の波長は405nm、対物レンズのNAは0.85である。変調符号としてはRLL(1,7)を用い、検出窓幅Twは53nmから80nmまでの範囲で変化させた。CDサイズのディスク片面の記録容量はTw=53nmの場合に35GBであるとした。

【0110】

PRクラスの違いを検討する上で以下の3つの系列を選択した。

(1) $(1+D)^n$ 系列

最も基本的なクラス列であり、PR(1,1), PR(1,2,1), PR(1,3,3,1), ... である。

(2) (1,2,...,2,1) 系列

光ディスクで用いされることの多いPR(1,2,2,1)を含んだ系列であり、

10

20

30

40

50

上の系列に比較して，高域強調が少なくなつており，S/N比の改善が期待できる。

(3) インパルスレスポンス近似系列

PRクラスは基本的に再生ヘッドのインパルスレスポンスを近似したものである。

【0111】

ここでは，光学シミュレータを用いて光ヘッドのインパルスを算出したものをPRクラスに使用した。

【0112】

選択した各PRクラスを用いて，光学シミュレータで算出した理想的な再生信号を用いて，PRクラスごとに，目標と再生信号とのRMS誤差が最小になるように，等化条件を決定して光ディスクの信号を再生した。等化器のタップ数は11である。

各PRクラス系列に対する，光ディスクの再生性能の測定結果をそれぞれ図44から図46に示す。

【0113】

図45(a)は $(1+D)^n$ 系列に対して，記録容量とビットエラー率の関係を示す。図45(b)は各PRクラスのビット表現，有効なビット列の数，有効なステート数，独立な目標レベルの数，記録容量の上限をまとめたものである。記録容量の上限はビットエラー率が 10^{-4} 以下範囲を示す。クラスビット数(PRクラス表現に含まれる要素の数)をNとすると全ビット列の数は 2^N になるが，ランレンジスの制限からビット列の集合から最小ランレンジスが1Tになるものを除いたものが有効なビット列の数である。有効なステート数等も同様にして求めたものである。これらを実現する上で，回路規模が有効なビット列の数に比例するため，できるだけクラスビット数が小さい方式が望まれる。この系列ではクラスビット数が大きい程高密度化できるが，クラスビット数6以上で性能向上が飽和する。最大記録容量はクラスビット数7の場合に31GBになった。

【0114】

図46(a)は $(1, 2, \dots, 2, 1)$ 系列に対して，記録容量とビットエラー率の関係を示す。図46(b)は詳細をまとめたものである。この系列では，クラスビット数が大きすぎると，記録容量が低下してしまう。クラスビット数が大きいと，より緻密に再生信号の時間的な移り変わりを表現できるようになるが，同時に独立な目標レベルの数も多くなるため，異なる2つのパスに対する目標レベルの差が小さくなつて，パス選択時に誤りが増加するためと考えられる。この系列の最大記録容量はクラスビット数5の場合に31GBになった。

【0115】

図47(a)はインパルスレスポンス近似系列に対して，記録容量とビットエラー率の関係を示す。図47(b)は詳細をまとめたものである。この系列もクラスビット数が大きすぎると，記録容量が低下する。最大記録容量はクラスビット数5の場合に32GBになった。

【0116】

考えうる3種類PRクラス系列に対して検討を行つた結果から，単にPRクラスビット数を増やしても，構成を複雑化しても性能向上に限界があることが判つた。この要因は光ディスクの再生信号に，光スポットの形状に起因する符号間干渉と記録時の熱干渉に起因する非線形なエッジ・シフトがあるためである。こうした非線形な符号間干渉やエッジ・シフトに対応するためには，線形な畳み込み演算で目標値を定める基本的なPRML法では能力不足であり，何らかの方法で，非線形な成分を補償する必要がある。以上の結果から，さらなる高密度化を実現する上では次の2点が重要である。

- (1) クラスビット数を大きくしないことによって，目標レベル数を増やさない。
- (2) 畳み込み演算で定まる目標値に，ビット列に応じた補償量を加えて，目標値を補償することによりことにより，再生信号に含まれる非線形な成分に対応する。

【0117】

これらを満足し大容量化を実現するためには，NNビットの畳み込み演算で定まる目標値に対して，N(N>NN)ビットのビット列に応じた補償量を加えて目標値を定め，これと再生信号を比較しながら，Nビットのビット列の中から最も確からしい，すなわち再生信号と目標値の誤差が最小になるビット列に2値化するPRML方式を用いればよい。

10

20

30

40

50

【0118】

図48は上の情報再生方法の基本概念を示す実施例である。説明を簡単にするために最も基本的なクラスPR(1,1)を例にして説明する。方式1は基本的なPRML方式である。構成例に示すように連続する2時刻のビット列に対応する目標値と再生信号の値とを比較して、最も誤差の小さいビット列を選択してゆく。この例では目標レベルの数は3であり、再生信号のアシンメトリ及び非線形な符号間干渉に対応することができない。

【0119】

方式2はTechnical Digest of ISOM 2002, 269-271(2002)に開示された、適応型PRML方式である。畳み込み演算で定まる目標値に2ビットのビット列に対応した補償値Vを加えて新たな目標値として用い、再生信号の値との誤差が最小になるビット列を選択しながら2値化を進める。補償値Vの数は4($=2^2$)である。再生信号のアシンメトリに対応して目標値を適応的に変化させることができると、非線形な符号間干渉を十分に取り除くことはできない。

10

【0120】

方式3は、PR(1,1)のビット列の前後にパターン補償ビットを1ビットずつ加えたもので、補償型PRMLと呼ぶこととする。方式2とは異なりパターン補償ビットを加えた4ビットのビット列に応じた補償値Vを目標値に加えていることが特徴である。この上で、4ビットのビット列に対応した目標値と再生信号を比較しながら、誤差が最小になるビット列を選択しながら2値化を進める。この方式では、畳み込み演算で定まる目標レベルの数は3のままで増やさずに、補償値Vの数は16($=2^4$)にしているため、4ビットのビット列の範囲で非線形な符号間干渉を補償することができる。これを従来のPRML法と区別するために、PRクラス表現をCompensated-PR(0,1,1,0)もしくはCPR(0,1,1,0)と記載することにする。これはクラスビット数が4のPRML法であり、目標値は従来の記述と同様に係数列(0,1,1,0)と4ビットのビット列との畳み込み演算で算出するが、両端の各1ビットは係数がゼロなので、2ビットの係数列(1,1)で定めた目標値と同じになる。また、前後の係数“0”はパターン補償ビットを表しており、CPRの意味は4ビットのビット列で定まる補償値Vを目標値に加えるという意味になる。同様な手法で従来の方式1を表現するとPR(1,1)となり、方式2はCPR(1,1)と記述することができる。

20

【0121】

図中の実験結果は前述の光ディスクに検出窓幅Tw=57nm(記憶容量32.5GB)の条件で記録し、それぞれの方式で再生した結果である。ここでは、基本PRクラスをPR(1,2,2,1)とし、データ転送速度100Mbpsである。ビットエラー率は方式1(PR(1,2,2,1))の場合が 50×10^{-4} 、方式2(CPR(1,2,2,1))の場合が 15×10^{-4} 、方式3(CPR(0,1,2,2,1,0))の場合が 0.05×10^{-4} が得られた。方式3によって、ビットエラー率を1/100以下にできることが確かめられた。また、再生信号のアイ・パターンは、それぞれの方式を用いた場合の実効的な信号(補償再生信号)を示したものであり、方式3ではアイがくっきり開いていることがわかる。補償再生信号に含まれる2Tw信号のS/N比は方式1が3.6dB、方式2が6.1dB、本方式が9.5dBである。

30

【0122】

図49(a)は補償型PRML方式とその他のPRML方式とで、大容量化性能の違いを示す実験結果である。基本PRクラスとしてPR(1,2,2,1)を選択した。ビットエラー率の許容値を 10^{-4} とすると記録容量の上限が求められる。従来方式の記録容量の上限はPR(1,2,2,1)で30GB、CPR(1,2,2,1)で32GBある。補償型PRML方式の記録容量の上限はCPR(0,1,2,2,1,0)ML4で32.5GB、CPR(0,1,2,2,1,0)で34.5GB、CPR(0,0,1,2,2,1,0,0)及びCPR(0,0,0,1,2,2,1,0,0,0)で35GB以上となった。CPR(0,1,2,2,1,0)ML4とは補償値のみ6ビットで定め、最も確からしいビット列を選択する最尤復号を行うビット数(MLビット数)を4ビットのままで行う方式を示している。従来技術に比較すると優れているが、パターン補償ビットを含まずに最尤復号処理をするので、非線形シフトの抑圧能力が低くなる。補償型PRML方式の能力を最大に引き出すにはパターン補償ビットを含んだ最尤復号処理が重要である。ここで得られた結果は、基本PRクラスがPR(1,2,2,1)に限らず、上に示した種々のPRクラスよりも記

40

50

録容量を増加させることができている。

【0123】

図49(b)は、図49(a)に示した各方式に対して、ビット列の数、ステートの数、レベルの数、パターン補償ビットの数、MLビット数をまとめたものである。PRML方式を実現するための回路の規模は概ねビット列の数に比例するので、パターン補償ビットを前後に3ビットずつ付加したCPR(0,0,0,1,2,2,1,0,0,0)を実現するには、PR(1,2,2,1)に比べて10倍以上の回路規模が必要になり、性能と回路規模のバランスをとることが重要である。

【0124】

ここでは、基本的なPRクラスとしてPR(1,2,2,1)を選択し、パターン補償ビットを前後に同数付加した方式について述べた。しかしながら、本発明はこれだけに限ったものではない。基本PRクラスとしては、PR(1,1)、PR(1,2,1)、PR(3,4,4,3)、PR(1,1,1,1)、PR(1,2,2,2,1)等、如何なる基本PRクラスを選択することも可能である。またパターン補償ビットの数は前後対称なものに限ることもなく、CPR(0,1,2,2,1)、CPR(0,0,1,2,2,1)、CPR(1,2,2,1,0)、CPR(1,2,2,1,0,0)等のように、非対称なビット数を付加することもできる。例えば、記録時の熱干渉の影響が前側のエッジに集中していることが、物理的に明らかな信号を再生するのであれば、パターン補償ビットを前側にのみ付加することがベストな選択になる場合がある。

【0125】

図42は本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成を示す。これは、補償型PRMLに対応したものである。

10

20

【0126】

デコードユニット10は波形等化器11、プランチ・メトリック計算ユニット12、ACSユニット13、バス・メモリ14、PR目標テーブル15、パターン補償テーブル16から構成される。再生信号50は予めADコンバータによりディジタル値に変換されており、波形等化器11内のFIRフィルターによって等化処理されたのち、プランチ・メトリック計算ユニット12内でビット列ごとに目標値との誤差の2乗値(プランチ・メトリック値)が算出される。このとき目標値として、ビット列に対応した初期目標値はPR目標テーブル15を参照し、ビット列に対応した補償値はパターン補償テーブル16を参照し、両者の値を加えたものを用いる。ACSユニット13及びバス・メモリ14の動作は前述の通りである。本実施例の骨子は、目標値に補償値を加算して新たな目標値とし、これにより最も確からしい結果に2値化することである。

30

【0127】

目標レベル学習ユニット20は、目標レベル算出ユニット21と、誤差算出及び平均化ユニット22からなる。目標レベル算出ユニット21では、2値化結果51を入力として、ビット列に対応した初期目標値はPR目標テーブル15を参照し、ビット列に対応した補償値はパターン補償テーブル16を参照し、両者の値を加えたものを目標信号レベルとして出力する。誤差算出及び平均化ユニット22は波形等化器11の出力と、目標レベル算出ユニット21出力の誤差を算出し、ビット列ごとに、誤差量を平均化して、パターン補償テーブル16の値を更新する処理をする。

【0128】

40

S-SEATの算出に関しては、ビット列に対応した初期目標値はPR目標テーブル15を参照し、ビット列に対応した補償値はパターン補償テーブル16を参照し、両者の値を加えたものを目標信号レベルとして、目標レベル算出ユニット31及び32を動作させればよく、S-SEAT値の算出は前述の通りである。

【0129】

補償型PRML方式を含めて、目標レベルが可変のPRM方式は、再生信号に合わせたデコードができ、再生性能が向上する。その一方、例えば、タンジェンシャル・チルトによって光スポットが歪んでいる場合や、再生信号のI-Vアンプに群遅延等の歪がある場合でも、それらの歪に合わせて再生してしまう。このため、他の固定目標レベルのPRML方式を搭載する光ディスク装置で再生するときに、再生信号品質が悪化することが考えられる。この

50

ように、目標レベルが可変のPRM方式の問題点は、再生互換性の保証ができない点にある。これを解決するためには、再生信号に合わせて全てのビット列の目標レベルを変化させるのではなく、再生互換性を損なう要素に対しては、目標レベルを追従させない必要がある。これを実現する方式の1つは、再生信号のアシンメトリ量を計測して、アシンメトリ量に応じて予め定めておいた目標レベルテーブルを使うことである。実現する方式の2つ目は、時間反転に対して対称なビット列の組みの目標レベルを同じ値にすることである。上に述べた、再生信号の歪の代表例はどちらも、再生信号を時間方向に非対称に歪ませるため、例えば、ビット列“1000”的目標信号レベルとビット列“0001”的目標信号レベルが異なるものになる。そこで、これらの時間反転に対して対照なビット列に対応する目標信号レベルを平均化して、同じ値とすることによって、時間方向の再生信号の歪に対して、目標信号レベルを追従させることなく、再生互換性を改善することができるようになる。これらの制限を施したPRML方式を目標レベル制限型PRML方式と呼ぶことにする。
10

【0130】

図43は本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成を示す。これは、目標レベル制限型PRMLに対応したものである。

【0131】

デコードユニット10は波形等化器11、プランチ・メトリック計算ユニット12、ACSユニット13、バス・メモリ14、目標レベルテーブル17、制限付き目標レベルテーブル18、モード制御ユニット19、スイッチ191から構成される。再生信号50は予めADコンバータによりディジタル値に変換されており、波形等化器11内のFIRフィルターによって等化処理されたのち、プランチ・メトリック計算ユニット12内でビット列ごとにプランチ・メトリック値が算出される。このとき目標値として、目標レベルテーブル17の値か制限付き目標レベルテーブル18の値のどちらかを使う。目標レベルテーブル17は前述のように、再生信号にあわせて変化するものであり、制限付き目標レベルテーブル18の値は、上に述べたように、時間反転に対して対照なビット列の組の目標レベルが同じ値になるように平均化したものである。モード制御ユニット19は、スイッチ191の動作を制御して、どちらの目標レベルを用いるかを制御する。例えば、フォーカス・オフセット学習時、記録条件を学習する試し書き時、再生信号品質を確認するベリファイ時には、制限付き目標レベルテーブル18の値を使うようにする。データ再生中にエラーが発生した場合には、目標レベルテーブル17の値を使うようにする。通常のデータ再生時には、どちらの目標レベルを用いてもよい。モード制御ユニット19によるこうした目標信号レベルの選択動作により、再生互換性の改善と学習精度の向上を図ることができる。
20

【0132】

目標レベル学習ユニット20は、パターン検出器24、平均化ユニット25、及び制限御ユニット23からなる。パターン検出ユニット24と平均化ユニット25の動作、目標レベルテーブル17の更新手順は前述のとおりである。制限御ユニット23は平均化ユニット25の出力を受け、時間反転に対して対照なビット列の組の目標レベルが同じ値になるように平均化処理を行い、この結果を制限付き目標レベルテーブル18に格納する処理を行う。
30

【0133】

S-SEATの算出に関しては、ビット列に対応した目標レベルの値として、モード制御ユニット19の判断により、目標レベルテーブル17または制限付き目標レベルテーブル18の値を使い、目標レベル算出ユニット31及び32を動作させればよく、値の算出方法は前述の通りである。
40

【0134】

本実施例では、発明の理解を助けるために、モード制御ユニット19とスイッチ191によって、テーブルを選択する例を示した。目標レベルテーブル17と制限付き目標レベルテーブル18は、格納されている目標レベルの値が異なるだけで、同じハードウェア構成である。そこで、回路構成を簡略化するには、目標レベルテーブル17だけを実装し、図示していないCPUの制御により、S-RAMやD-RAMに、それぞれの値をバックアップしておき、必要に
50

応じて、目標レベルテーブル17にそれらのどちらかの値をロードする構成にするとよい。これにより、モード制御ユニット19、スイッチ191も不要になり、回路規模を縮小することができる。

【0135】

以上、本発明の回路構成を説明した。図41から図43に示した実施例は、S-SEATの算出回路の構成を示したものであった。これらをV-SEATに対応させるためには、図40に示した仮想目標レベル算出ユニット35を追加すればよく、パターン選択ユニット31の選択パターンをV-SEAT用に変更すればよい。

【0136】

最後に、1つの回路でS-SEATとV-SEATを算出する機能を有する回路の構成について、説明する。

【0137】

図44は本発明の光ディスク装置に搭載するS-SEAT及びV-SEATの算出回路の構成を示す。図40との構成上の違いは、信号評価ユニット30にある。

【0138】

信号評価ユニット30は、パターン選択ユニット31、目標レベル算出ユニット32、33、シーケンス誤差評価ユニット34、仮想目標レベル算出ユニット35、S-SEATパターンテーブル36、及びV-SEATパターンテーブル37からなる。パターン選択ユニット31では、図示していないCPUの指示により、S-SEATとV-SEATの算出機能を切り替える。具体的には、S-SEATの算出時には、S-SEATのビット・パターンが収納されたS-SEATパターンテーブル36を参照して、パターン選択と、“True”パターン53、及び“False”パターン54を出力するように動作する。V-SEATの算出時には、V-SEATのビット・パターンが収納されたV-SEATパターンテーブル37を参照して、パターン選択と、“True”パターン53、及び“False”パターン54を出力するように動作する。“True”パターン53、及び“False”パターン54が出力されると、後の算出処理は前述の通りであり、S-SEATとV-SEATで変わることはない。蛇足になるが、S-SEAT算出時の仮想目標レベル算出ユニット35の影響について述べておく、S-SEATパターンはランレンゲス制限を満足するので、仮想目標レベル算出ユニット35内の、ランレンゲス制限を取り除いたビット列に対する目標信号レベルは参照されなずに、これらの影響を受けることはない。ランレンゲス制限を満たす目標信号レベルはS-SEATの場合もV-SEATの場合も同じである。従って、本構成において、S-SEAT算出時に仮想目標レベル算出ユニット35が悪影響することなく、正しくS-SEATとV-SEATを算出することができる。

【0139】

本実施例では、固定目標レベルのPRMLデコーダに対応して、S-SEATとV-SEATの算出を行う回路の構成を示した。これを目標レベルが可変のPRMLデコーダに対応させるためには、図41から図43の構成を参照して、信号評価ユニット30を本実施例のものに変更すればよい。

【実施例3】

【0140】

プランチ・メトリック演算を絶対値で実施する場合

前述のようにビタビ・デコーダでは、最も確からしい結果に2値化結果を得るために、再生信号と目標値との差の2乗値を積算したプランチ・メトリック値を用いる。こうした、ビタビ・デコーダを2乗系と呼ぶことにする。再生信号と目標レベルの差の2乗値²は

【0141】

【数14】

$$\begin{aligned}\Delta^2 &= (V_{signal}[t] - V_{target}[n])^2 \\ &= (V_{signal}[t])^2 - 2V_{signal}[t]V_{target}[n] + (V_{target}[n])^2\end{aligned}\tag{式A-1}$$

となる。ここで、 $V_{signal}[t]$ は時刻 t の再生信号のレベル、 $V_{target}[n]$ はビット列 n に対応する目標信号レベルである。ビタビ・デコーダでは、 2 積算値が最小になるように 2 値化をする。右辺第 1 項は再生信号のレベルであり、全てのビット列に対して、共通なので演算する必要がない。目標信号レベルが固定のビタビ・デコーダの場合は、以下を演算すればよい。

【0 1 4 2】

【数 1 5】

$$\Delta^2 = A[n]V_{signal}[t] + B[n] \quad (\text{式A-2})$$

10

ここで、 $A[n] = -2 V_{target}[n]$ 、 $B[n] = (V_{target}[n])^2$ はそれぞれ定数である、 $A[n]$ の値が 1, 2, 4 などの場合には、積算の変わりにビットシフトを代用できるので、多くの場合、(式A-1) に比較して、(A-2) は演算量、すなわち回路規模を大幅に簡素化できる。

【0 1 4 3】

一方、目標レベルが可変のビタビ・デコーダでは、目標レベルが変数なので、

【数 1 6】

$$\Delta^2 = -2V_{signal}[t]V_{target}[n] + (V_{target}[n])^2 \quad (\text{式A-3})$$

20

までしか簡略化できない。 $V_{target}[n]$ が変数であるため、積算をビットシフトに置き換える回路構成の簡略化も困難である。このため、目標レベルが可変のビタビ・デコーダでは、回路規模が大きくならざるをえない。

【0 1 4 4】

これを簡素化するために、ブランチ・メトリック値を再生信号と目標レベルの差の 2 乗値でなく、差の絶対値で代用することが有効である。このとき、

【0 1 4 5】

【数 1 7】

$$|\Delta| = |V_{signal}[t] - V_{target}[n]| \quad (\text{式A-4})$$

30

として、 $|\Delta|$ を用いて、ビタビ・デコードをすることにより、(式A-3) に比較して、積算が不要になるため、演算器のビット数も少なくてよく、回路規模の縮小と消費電力の低減が図れる。

【0 1 4 6】

絶対値系のビタビ・デコーダ用の、S-SEAT と V-SEAT の算出方法について、以下にまとめておく。

検出パターンについては、絶対値系も 2 乗系も全く同じものを使うことができる。

40

S-SEAT の算出には、ユークリッド距離を絶対値系で再定義すればよい。定義を以下に示す。

2 つのビット・パターン “pat1” と “pat2” のユークリッド距離を $ED_B(pat1, pat2)$ とすると定義によって、以下の式で表される。これは前述の(式D-7)と同じである。

【0 1 4 7】

【数 1 8】

$$ED_B(pat1, pat2) = \sum_{n=1}^N |V_{target}[pat1[n]] - V_{target}[pat2[n]]| \quad (\text{式D-13})$$

50

【 0 1 4 8 】

ここで, $V_{target}[B]$ はビット列 B に対する目標信号レベル, $pat[n]$ はビット・パターン “pat” の時刻 n におけるビット列, N はクラスビット数を表す。

【 0 1 4 9 】

平均の最小ユークリッド距離は, 1 ビットエラーパターンに対する, ユークリッド距離の平均値で以下のように定義する。これは, (式D-2) と同じものである。

【 0 1 5 0 】

【 数 1 9 】

$$d_{min} = Average(ED_{min})$$

10

$$= \frac{\sum_{m=1}^M ED_B(Pat_T[m], Pat_F[m])}{M} \quad (式D-14)$$

ここで, M は 1 ビットエラーパターンの組み合わせの総数, Pat_T 及び Pat_F はそれぞれ, 正ビット・パターン, 及び誤ビットパターンを表す。

【 0 1 5 1 】

再生信号と指定ビット・パターン “pat” の間のユークリッド距離を $ED(pat)$ は次の式で表される。

20

【 0 1 5 2 】

【 数 2 0 】

$$ED(pat) = \sum_{n=1}^N |V_{signal}[t+n] - V_{target}[pat[n]]| \quad (式D-15)$$

【 0 1 5 3 】

ここで, $V_{signal}[t]$ は時刻 t における再生信号レベルであり, 時刻 t における 2 値化結果がビット・パターン “pat” である。

【 0 1 5 4 】

30

S-SEAT の値 は以下により求める。これらは (式D-4) から (式D-6) と同じものである。

【 0 1 5 5 】

【 数 2 1 】

$$D = Sign(Shift - Direction) \times \{(ED(Pat_F[m]) - ED(Pat_T[m])) - d_{min}\} \quad (式D-16)$$

$$Sign(Shift - Direction) = \begin{cases} -1 & (Right - Edge - Shift) \\ +1 & (Left - Edge - Shift) \end{cases} \quad (式D-17)$$

$$\sigma = \frac{\sqrt{\sum_{p=1}^P (D[p])^2}}{2d_{min}} \quad (式D-18)$$

40

【 0 1 5 6 】

ここで, $Sign(Shift - Direction)$ は 2 値化結果 Pat_T が 1 ビットエラー (エッジ・シフト) して, Pat_F になる場合のエッジ・シフトの方向を表し, P は指定された算出期間内のビット・パターンの数を表す。

【 0 1 5 7 】

50

V-SEATの定義式は、S-SEATと同じなので、(式D-13)から(式D-18)を用いて、V-SEATを算出できる。検出パターンについては、2乗系で示したものと同じである。

前述のように、S-SEAT値及びV-SEAT値は(式D-8)から(式D-12)に従って拡張することができる。

絶対値系ビタビ・デコーダの実例に関しては、次の実施例で述べる。

【実施例4】

【0158】

実験結果

最初に、RLL(2,10)符号への適用例として、DVD-RAMディスクを使った実験結果を示す。

図51はDVD-RAMディスクをPR(3,4,4,3)クラスを用いて再生したときの、MLSE、S-SEAT、V-SEATの実測結果を示している。ディスクは市販の2倍速DVD-RAM媒体をしようした。評価装置はシバソク社製LM330Aであり、レーザ波長658nm、開口数0.60である。再生回路に関しては、等化器として、DVD-RAMの規格等化条件(3タップFIRフィルターとベッセル6次ローパスフィルター)を用いた。ブースト量は5.5dBである。記録パワーを10.3mW、消去パワーを4.7mWとして、グループトラックに10回オーバライトし、各方式で再生信号品質を評価した。ジッター値は8.5%であった。各評価値は図に示すように、ガウス分布状の分布を持ち、横軸は検出窓幅をとして、 $\pm Tw/2$ にしてある。これらの評価値の定義から、 $\pm Tw/2$ の範囲を超えたエッジイベントが再生エラーするもので、ジッター値と同じように扱うことができる。各評価値はそれぞれ、MLSE=11.0%、S-SEAT=11.0%、V-SEAT=12.5%であった。MLSEの分布がセンターから左側にオフセットしているのは、主に再生信号中の3T信号の大きさがPR(3,4,4,3)MLクラスの目標信号レベルよりも小さいことによる。

【0159】

図60は上の測定に対して、5TapのFIRフィルターからなる自動等化器を動作させた場合の結果である。再生信号のジッター値は13.2%に悪化しているのは、PR(3,4,4,3)MLクラスの目標信号に近づけるように自動等化された結果である。MLSE、S-SEAT、V-SEATの実測結果は自動等化をしない上の場合に比較して小さくなっている、改善効果が現れている。

【0160】

図61は同じ測定に対して、PR(a,b,c,d)MLクラスを用いて再生した場合の結果である。自動等化器は動作させていない。MLSE値の算出には固定目標レベルのPR(3,4,4,3)を目標信号とした。S-SEAT値はさらに改善し、7.3%と小さな値になっている。一方、V-SEAT値が図51の固定PR(3,4,4,3)MLクラスを用いた場合に比較して大きくなっているのは、前述のように、V-SEATが各エッジに対して2回算出が行われるからである。

【0161】

図62は同じ測定に対して、絶対値系のPR(a,b,c,d)MLクラスを用いて再生した場合の結果である。自動等化器は動作させていない。MLSE値は絶対値系のPRMLチャネルに対して定義されていないため、ここでは代わりに、符号なしのS-SEAT値を示した。符号なしのS-SEAT値は、定義式(式D-5)において、恒等的に、

【数22】

$$Sign(Shift - Direction) = 1$$

として算出する。符号なしのS-SEAT値は2乗系の固定目標クラスに対して、MLSEと同じ定義となる。符号なしのS-SEAT値の分布がゼロ点よりも左半面に分布しているのは、絶対値系の特徴であることは、前述のとおりである。本発明の論旨からはずれるので詳しくは述べないが、ブランチ・メトリック値の算出定義に従うと明示的にこうした分布になることを証明できる。さて、S-SEAT値およびV-SEAT値がゼロ点を挟んで左右に分布しているのは、定義式(式D-5)の符号によって、エッジが右側にシフトする場合が、ゼロ点よりも右側に写像されることによる。こうした例からも、本発明のS-SEAT及びV-SEATが絶対値系のPRMLチャネルに対しても、対応可能なことが示される。

【0162】

10

20

20

30

30

40

50

図63は同じ測定に対して、エッジ部の取り扱いの違いによるV-SEAT値の変化を示したものである。PR(a,b,c,d)MLクラスを用いて再生し、自動等化器は動作させていない。前述のように、V-SEAT評価指標は仮想ステートを導入しているので、全てのエッジに対して、左シフト及び右シフトの評価値が算出される。前述のように、エッジ・シフトの評価値の測定結果の取り扱いは4種類あり、これらは図中に示したとおりである。値の大きさについては、大きい値を選択>全ての値を選択>平均値を選択>小さい値を選択という順に、RMS値の値が小さくなっている、自然な結果が得られている。本発明のエッジ・シフトの評価値を、例えばPLL(Phase Locked Loop)回路の位相比較結果として用いる場合には、平均値を選択することが好ましい。通常のエッジ・シフトの評価値を用いると、例えば、S/Nが悪いケースや最小ラン長の信号振幅が小さいケースなどで、VCO(Voltage Controlled Oscillator)への指令電圧が上下(周波数UP/DOWN方向)に振られやすい。一方、V-SEATによるエッジ・シフトの評価値を使えば、上のようなケースでも、左右へのシフトのバランスに着目することになるので、VCOへの指令電圧が安定し、良好なクロック信号を得ることが可能になる。後述の光ディスク装置には、こうしたPLL回路を使うことも可能である。

【0163】

図64は同じ測定に対して、エッジ部の取り扱いの違いによるV-SEAT値の変化を示したものである。絶対値系のPR(a,b,c,d)MLクラスを用いて再生し、自動等化器は動作させていない。上の結果と傾向は同様であるが、エッジ・シフトの評価値として、平均値を選択する場合がRMS値が最も小さくなっていることが異なる。これは、前述のように、絶対値系のPRMLチャネルでは、ブランチ・メトリック値がユークリッド距離以下にしかならず、符号なしS-SEAT値がゼロ点よりも左側に分布するという特徴から理由が説明できる。こうした特長によって、S-SEAT値の分布がゼロ点を中心として、左右対称な分布となるため、左右方向へのエッジ・シフトの評価値を平均した方が、それぞれの最小値よりも小さくなつた結果である。

【0164】

図52は上の測定において、前後のスペースとマークの関係で仕分けしたパターンのエッジ・シフト量をMLSE、S-SEAT、V-SEATで評価した結果を示す。図中、SFP(s,m)は前エッジ・シフトを表し、sは先行するスペースの長さ、mは当該マークの長さである。同様に、ELP(s,m)は後エッジシフトを表し、sは後続するスペースの長さ、mは当該マークの長さである。以下、エッジ・シフトについては、この定義の記述を行う。前述の指摘のように、ランレンジス制限に捕らわれたMLSEとS-SEATについては、前エッジ・シフトSFP(3,3)、後エッジシフトELP(3,3)を評価することができない。一方、仮想ステートを導入したV-SEATでは、これらのエッジのシフトを評価することができていることが示されている。また、V-SEATにおいて、最小ランレンジス(=3Tw)を含まない、図中の斜線部分は、仮想ステートを考慮しないので、S-SEATと全く同じ値になることを付記しておく。このように、S-SEATもしくはV-SEATを用いて、各エッジパターンのシフト量が評価できることが示された。記録時には、これらが最もゼロに近づくように、記録パルスの幅やエッジ位置からなるパルス・パラメータを定める試し書きを実施することにより、PRMLに適した記録条件を得ることができる。同様に、再生時には、これらが最もゼロに近づくように、再生等化条件や、フォーカス・オフセット量を定める試し読みを実施することにより、PRMLに適した再生条件を得ることができる。

【0165】

図53は記録パルスの条件を適正化する試し書きの流れを示す模式図である。DVD-RAMでは記録パルス・パラメータが前後エッジそれぞれに4×4のテーブルに定義される。上に示したSFP(s,m)、ELP(s,m)は記録パルス・パラメータに対応するものである。4×4テーブルのエッジパターンに対して、本発明のS-SEATもしくはV-SEATを使って、それらのシフト量を評価することができる。簡単なシーケンスは、先ず、記録パルスの条件を変更して、光ディスク媒体に記録を行い、当該セクターを再生して、対応するS-SEATもしくはV-SEAT値を評価し、これが最もゼロに近づくように、記録パルスのパラメータを決定する

ことである。この例からも明らかのように、記録パルス・パラメータとその評価値であるS-SEAT値もしくはV-SEAT値が1対1に対応していることから、一度に複数の記録パルス・パラメータを変更して記録/再生を行うことで、同時に複数の記録パルス・パラメータを並列に適正化することによって、試し書き時間の短縮を図ることができる。具体的には、記録パルス・パラメータを端から順番に決定すると、2倍速のドライブ装置で処理時間が30秒から1分程度かかるのに対して、本発明によって、並列処理を実施すると、1秒程度で試し書きを終了することができる。S-SEATを使った試し書きの場合には、SFP(3,3), ELP(3,3)が測定できないので、これらに対応した記録パルス・パラメータはSFP(3,3)=SF P(3,4), のようにすればよい。ただし、こうした手法はあくまで近似であるので、直接SF P(3,3), ELP(3,3)が測定できるV-SEATを用いることが望ましい。

10

【0166】

図54は本発明のS-SEATもしくはV-SEATを用いた試し書きの一例として、記録パルスの位置のシフト量と各評価値の関係を測定した実験結果である。ここでは、DVD-RAMの3Twマークの記録パルスを、その幅を変えずに開始位置をずらして実験を行った。図54(a), 図54(b), 図54(c), 図54(d)はそれぞれ、PR(3,4,4,3)クラスを用いたMLSE, V-SEAT, PR(a,b,c,d)クラスを用いたS-SEAT, 及びV-SEATを示す。図では、SPF(3,3), SPF(6,3), ELP(3,3), ELP(6,3)のみを示した。上の例では示さなかったが、前述のように、V-SEATは固定目標レベルのPR(3,4,4,3)クラスに対しても、適用することができる。図54(b)はその実例である。図に見られるように、記録パルスの位置シフトと各評価値との関係には線形関係が成立しており、これらをゼロに近づけることによって、記録パルス・パラメータの最適化が容易に実現可能である。ただし、MLSE, S-SEATに関しては、SPF(3,3), ELP(3,3)の評価ができないことは前述の通りである。

20

【0167】

図55は本発明のS-SEATもしくはV-SEATを用いた試し読みの一例として、等化ブースト量とビットエラー率及び各評価値の関係を示す実験結果である。ここでは、PRクラスとしてPR(a,b,c,d)クラスを用い、DVD-RAMの標準等化器の3タップFIRフィルターの係数を変化させてブースト量を変えた。図55(a), 図55(b), 図55(c)はそれぞれ、MLSE, S-SEAT, V-SEATの測定結果を示している。ここで、PRクラスが目標レベル可変のPR(a,b,c,d)を用いたが、MLSEの算出はPR(3,4,4,3)から目標レベルを算出することで対応した。図に見られるように、各指標が最小になるような等化ブースト量を選択することにより、ビットエラー率のマージン中心条件がほぼ得られる。試し読みでは、等化ブースト量を変化させながら、S-SEATもしくはV-SEATを測定し、それらが最小になるように等化ブースト量を決定するとい。

30

【0168】

次に、RLL(1,7)符号への適用例として、Blu-ray Discの25GB相当の記録密度での実験結果を示す。

【0169】

準備した光ディスクは前述と同じものである。トラックピッチ $0.34\mu\text{m}$ のランド・グルーブ構造の基板上にライト・ワنس型の相変化膜を積層したものである。実験には、パルステック社製のDDU-1000型評価装置を用いた。光源の波長は405nm, 対物レンズのNAは0.85である。変調符号としてはRLL(1,7)を用い、検出窓幅Twは74.5nmとした。

40

【0170】

図56は試作ディスクをPR(1,2,2,1)とPR(a,b,c,d)クラスを用いて再生したときの、MLSE, S-SEAT, V-SEATの実測結果を示している。等化器としてBlu-ray Discのコンベンショナル・イコライザを用い、ブースト量を6.0dBとした。記録パワーを3.2mW, 消去パワーを0.35mWとして、グルーブトラックに1回記録し、各方式で再生信号品質を評価した。固定目標レベルのPR(1,2,2,1)デコーダで再生してMLSEを測定し、可変目標レベルのPR(a,b,c,d)デコーダで再生して、S-SEATとV-SEATを測定した。各評価値は図に示すように、ガウス分布状の分布を持ち、横軸は検出窓幅をとして、 $\pm Tw/2$ にしてある。各評価値はそれぞれ、MLSE=11.4%, S-SEAT=6.6%, V-SEAT=7.0%であった。ここで、MLSE値が大きく、かつ分布

50

も中心からずれているのは、等化器として用いたBlu-ray Discのコンベンショナル・イコライザによって、PR(1,2,2,1)クラスの目標信号に十分に近づくように等化できていないことが要因である。例えば、7タップ以上のFIRフィルターを使って、LSE (Least Square Error) 法等を使った自動等化を実施すれば、分布は改善されるが、2Tw信号のブースト量を上げることになり、高周波帯域のノイズを増加させる、負の効果もあることから、これが最善の再生条件であるとは限らない。一方、可変目標レベルのPR(a,b,c,d)クラスを使った場合には、PRMLの目標信号レベルが再生信号に合わせて変化するため、S-SEATとV-SEATの分布は中央にあり分散が小さい。

【0171】

図57は上の測定において、前後のスペースとマークの関係で仕分けしたパターンのエッジ・シフト量をMLSE、S-SEAT、V-SEATで評価した結果を示す。ランレンジス制限に捕らわれたMLSEとS-SEATについては、前エッジ・シフトSFP(2,2)、後エッジシフトELP(2,2)を評価することができない。一方、仮想スタートを導入したV-SEATでは、これらのエッジのシフトを評価することができていることが示されている。また、V-SEATにおいて、最小ランレンジス (=2Tw) を含まない部分の値はS-SEATと同じ値になる。このように、S-SEATもしくはV-SEATを用いて、各エッジパターンのシフト量が評価できることが示された。記録時には、これらが最もゼロに近づくように、記録パルスの幅やエッジ位置からなるパルス・パラメータを定める試し書きを実施することにより、PRMLに適した記録条件を得ることができる。同様に再生時にはこれらが最もゼロに近づくように、または、S-SEATもしくはV-SEATの値が最小になるように、再生等化条件やフォーカス・オフセット量を定める試し読みを実施することにより、PRMLに適した再生条件を得ることができる。

10

【0172】

図58は本発明のV-SEATを用いた試し読みの一例として、等化ブースト量とビットエラー率とV-SEAT値の関係を示す実験結果である。ここでは、PRクラスとしてPR(a,b,c,d)クラスを用いた。V-SEATが絶対値系のビタビ・デコーダに適応することを実証するために、図58(b)は絶対値系ビタビ・デコーダについての結果を示した。図に見られるように、V-SEATが最小になるような等化ブースト量を選択することにより、ビットエラー率のマージン中心条件がほぼ得られる。試し読みでは、等化ブースト量を変化させながら、V-SEATを測定し、それらが最小になるように等化ブースト量を決定するとよい。ここでは、V-SEATのみについて実験結果を示したが、S-SEATについても同様に、これを最小にするようにして等化条件を定めることができる。勿論、S-SEATも絶対値系のビタビ・デコーダに適応することができる。

20

【実施例5】

【0173】

光ディスク装置

図50は本発明の光ディスク装置の構成を示す実施例である。光ディスク媒体100はモータ160により回転される。再生時にはCPU140によって指令された光強度になるようにレーザパワー／パルス制御器120は光ヘッド110内の半導体レーザ112に流す電流を制御してレーザ光114を発生させ、レーザ光114は対物レンズ111によって集光され光スポット101を光ディスク媒体100上に形成する。この光スポット101からの反射光115は対物レンズ111を介して、光検出器113で検出される。光検出器は複数に分割された光検出素子から構成されている。再生信号処理回路130は、光ヘッド110で検出された信号を用いて、光ディスク媒体100上に記録された情報を再生する。記録時には、レーザパワー／パルス制御器120は、所定の記録データを所定の記録パルス電流に変換して、パルス光が半導体レーザ112から出射されるように制御する。本発明の再生信号評価回路を構成するデコードユニット10、目標レベル学習ユニット20、信号評価ユニット30は再生信号処理回路130に内蔵される。

30

【0174】

再生信号の品質を評価する場合には、試し書き時にはCPU140の指示により、データを再生し、S-SEATもしくはV-SEATを評価すればよい。これらの値が最小になるように、(1)フ

50

オーカス・オフセット，(2)等化条件，(3)記録パワー及びパルスの条件を学習すれば，記録再生条件の最適化ができ，光ディスク装置の動作を安定させることができる。

【図面の簡単な説明】

【0175】

【図1】本発明の光ディスク装置に搭載するS-SEATの算出回路の構成例を示す図。

【図2】RLL(1,7)コードにおいて，PR(1,2,2,1)クラスを使ってデコードする場合のビット誤りのパターンについて，その一部をまとめた図。

【図3】RLL(1,7)コードにおいて，PR(1,2,1) クラスのエラーパターンとユークリッド距離についてまとめた図。 10

【図4】RLL(1,7)コードにおいて，PR(1,2,2,2,1) クラスのエラーパターンとユークリッド距離についてまとめた図。

【図5】RLL(1,7)コードにおいて，PR(1,1,1,1) クラスのエラーパターンとユークリッド距離についてまとめた図。

【図6】RLL(1,7)コードにおいて，PR(1,2,2,1)クラスの最小ユークリッド距離パターンに対して，エッジ・シフトの向きをまとめた図。

【図7】RLL(1,7)符号に対応したPR(1,2,2,1) クラスの目標信号レベルについてまとめた図。

【図8】RLL(1,7)符号に対応したPR(1,2,2,1) ビタビ・デコーダ部と再生信号品質評価部の各ビット列に対応する信号レベル及び，それらが有効か無効かの状況をまとめた図。 20

【図9】PR(1,2,2,1)クラスに対して，V-SEATを算出する場合のエラーパターンについてまとめた図。

【図10】クラスビット数4の可変目標レベルのPRMLのビット列と目標信号レベルをまとめた図。

【図11】MLSE，S-SEAT，V-SEATの定義と特徴をまとめた図。

【図12】RLL(1,7)符号に対応したPR(1,2,1)及びPR(a,b,c)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめた図。

【図13】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをまとめた図。

【図14】RLL(1,7)符号に対応したPR(1,2,1)及びPR(a,b,c)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめた図。 30

【図15】RLL(1,7)符号に対応した目標レベルが固定のPR(1,2,1)MLデコーダの目標信号レベルをまとめた図。

【図16】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをまとめた図。

【図17】RLL(1,7)符号に対応したPR(1,2,2,2,1)及びPR(a,b,c,d,e)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめた図。

【図18】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e)MLデコーダの目標信号レベルをまとめた図。

【図19】RLL(1,7)符号に対応したPR(1,2,2,2,1)及びPR(a,b,c,d,e)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめた図。 40

【図20】RLL(1,7)符号に対応した目標レベルが固定のPR(1,2,2,2,1)MLデコーダの目標信号レベルをまとめた図。

【図21】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e)MLデコーダの目標信号レベルをまとめた図。

【図22】RLL(1,7)符号に対応したPR(1,2,3,3,2,1)及びPR(a,b,c,d,e,f)クラスに対する1ビット誤りパターンについて，ユークリッド距離とエッジ・シフトの向きをまとめた図。

【図23】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e,f)MLデコーダの目標信号レベルをまとめた図。 50

【図24】RLL(1,7)符号に対応したPR(1,2,3,3,2,1)及びPR(a,b,c,d,e,f)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめた図。

【図25-1】RLL(1,7)符号に対応した目標レベルが固定のPR(1,2,3,3,2,1)MLデコーダの目標信号レベルをまとめた図。

【図25-2】RLL(1,7)符号に対応した目標レベルが固定のPR(1,2,3,3,2,1)MLデコーダの目標信号レベルをまとめた図。

【図26-1】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e,f)MLデコーダの目標信号レベルをまとめた図。

【図26-2】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d,e,f)MLデコーダの目標信号レベルをまとめた図。

【図27】RLL(1,7)符号に対応したPR(1,2,2,1)及びPR(a,b,c,d)クラスに対する1ビット誤りパターンについて、ユークリッド距離とエッジ・シフトの向きをまとめた図。

【図28】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめた図。

【図29】RLL(1,7)符号に対応したPR(1,2,2,1)及びPR(a,b,c,d)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめた図。

【図30】RLL(1,7)符号に対応した目標レベルが固定のPR(1,2,2,1)MLデコーダの目標信号レベルをまとめた図。

【図31】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめた図。

【図32】RLL(2,10)符号に対応したPR(3,4,4,3)及びPR(a,b,c,d)クラスに対する1ビット誤りパターンについて、ユークリッド距離とエッジ・シフトの向きをまとめた図。

【図33】RLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめた図。

【図34】RLL(2,10)符号に対応したPR(3,4,4,3)及びPR(a,b,c,d)クラスに対するV-SEATの検出パターンとエッジ・シフトの向きをまとめた図。

【図35】RLL(2,10)符号に対応した目標レベルが固定のPR(3,4,4,3)MLデコーダの目標信号レベルをまとめた図。

【図36】RLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをまとめた図。

【図37】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合の実施例を示す図。

【図38】RLL(1,7)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合の実施例を示す図。

【図39】RLL(2,10)符号に対応した目標レベルが可変のPR(a,b,c,d)MLデコーダの目標信号レベルをアシンメトリ量ゼロと仮定して求める場合の実施例を示す図。

【図40】本発明の光ディスク装置に搭載するV-SEATの算出回路の構成例を示す図。

【図41】本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成例を示す図。

【図42】本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成例を示す図。

【図43】本発明の光ディスク装置に搭載するS-SEATの算出回路の別の構成例を示す図。

【図44】本発明の光ディスク装置に搭載するS-SEAT及びV-SEATの算出回路の構成例を示す図。

【図45】(1+D)ⁿ系列に対して、記録容量とビットエラー率の関係を示す実験結果の図。

【図46】(1,2,...,2,1)系列に対して、記録容量とビットエラー率の関係を示す実験結果の図。

【図47】インパルスレスポンス近似系列に対して、記録容量とビットエラー率の関係を示す実験結果の図。

【図48】補償型PRML方式の情報再生方法の基本概念を示す実施例の説明図。

【図49】補償型PRML方式とその他のPRML方式とで、大容量化性能の違いを示す実験結果の図。

【図50】本発明の光ディスク装置の構成例を示す図。

【図51】DVD-RAMディスクをPR(3,4,4,3)をクラスを用いて再生したときの，MLSE，S-SEAT，V-SEATの実測結果を示す図。

【図52】DVD-RAMディスクをPR(3,4,4,3)とPR(a,b,c,d)クラスを用いて再生したときの，前後のスペースとマークの関係で仕分けしたパターンのエッジ・シフト量をMLSE，S-SEAT，V-SEATで評価した結果を示す図。

【図53】記録パルスの条件を適正化する試し書きの流れを示す模式図。

【図54】本発明のS-SEATもしくはV-SEATを用いた試し書きの一例として，記録パルスの位置のシフト量と各評価値の関係を測定した実験結果の図。

【図55】本発明のS-SEATもしくはV-SEATを用いた試し読みの一例として，等化ブースト量とビットエラー率及び各評価値の関係を示す実験結果の図。 10

【図56】試作ディスクをPR(1,2,2,1)とPR(a,b,c,d)クラスを用いて再生したときの，MLSE，S-SEAT，V-SEATの実測結果を示す図。

【図57】試作ディスクをPR(1,2,2,1)とPR(a,b,c,d)クラスを用いて再生したときの，前後のスペースとマークの関係で仕分けしたパターンのエッジ・シフト量をMLSE，S-SEAT，V-SEATで評価した結果を示す図。

【図58】本発明のV-SEATを用いた試し読みの一例として，等化ブースト量とビットエラー率とV-SEAT値の関係を示す実験結果の図。

【図59】時刻tに対するパターン・検出器の判定状況と評価値の算出動作について示した模式図。 20

【図60】DVD-RAMディスクをPR(3,4,4,3)をクラスを用いて再生したときの，MLSE，S-SEAT，V-SEATの実測結果を示す図。

【図61】DVD-RAMディスクをPR(a,b,c,d)をクラスを用いて再生したときの，MLSE，S-SEAT，V-SEATの実測結果を示す図。

【図62】DVD-RAMディスクを絶対値系のPR(a,b,c,d)をクラスを用いて再生したときの，MLSE，S-SEAT，V-SEATの実測結果を示す図。

【図63】DVD-RAMディスクをPR(a,b,c,d)をクラスを用いて再生したときの，エッジ部の値の扱いの違いによるV-SEATの実測結果を示す図。

【図64】DVD-RAMディスクを絶対値系のPR(a,b,c,d)をクラスを用いて再生したときの，エッジ部の値の扱いの違いによるV-SEATの実測結果を示す図。 30

【符号の説明】

【0176】

- 10 デコードユニット
- 11 波形等化器
- 12 ブランチ・メトリック計算ユニット
- 13 ACSユニット
- 14 パス・メモリ
- 15 PR目標テーブル
- 16 パターン補償テーブル
- 17 目標レベルテーブル
- 18 制限付き目標レベルテーブル
- 19 モード制御ユニット
- 191 スイッチ
- 20 目標レベル学習ユニット
- 21 目標レベル算出ユニット
- 22 誤差算出及び平均化ユニット
- 24 パターン検出器
- 25 平均化ユニット
- 26 誤差算出及び動作制御ユニット
- 27 スイッチ

10

20

30

40

50

- 3 0 信号評価ユニット
 3 1 パターン選択ユニット
 3 2 目標レベル算出ユニット
 3 3 目標レベル算出ユニット
 3 4 シーケンス誤差評価ユニット
 3 5 仮想目標レベル算出ユニット
 5 0 再生信号
 5 1 2値化結果
 5 2 補正值
 5 3 “True”パターン
 5 4 “False”パターン
 5 5 評価値 10
 1 0 0 光ディスク
 1 0 1 光スポット
 1 1 0 光ヘッド
 1 1 1 対物レンズ
 1 1 2 半導体レーザ
 1 1 3 光検出器
 1 2 0 記録データ制御器
 1 3 0 再生信号処理器 20
 1 4 0 C P U
 1 5 0 サーボ制御器
 1 6 0 スピンドルモータ
 1 7 0 インターフェース
 1 8 0 ホストコンピュータ

【図1】

【図2】

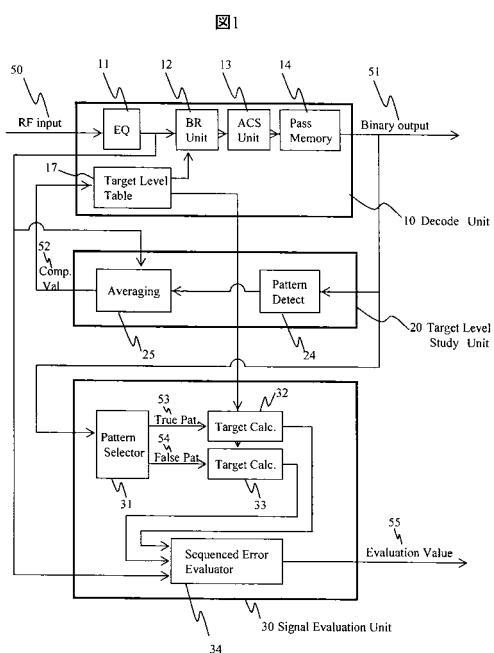


図2

Code : RLL(1,7)
 Class : PR(1,2,2,1)
 Normalization : Amplitude ± 1

Error Bits	Pat. Bits	No.	Pattern		Pattern-T	Pattern-F	Euclid Distance	
			Direct	Norm.			Direct	Norm.
1Bit	7Bit	1	0001110	0000110	0000110	0000110	10	1.11
		2	0001111	0000111	0000111	0000111		
		3	0110000	0110000	0110000	0110000		
		4	0110001	0110001	0110001	0110001		
		5	1001110	1000110	1000110	1000110		
		6	1001111	1000111	1000111	1000111		
		7	1111000	1110000	1110000	1110000		
		8	1111001	1110001	1110001	1110001		
2Bit	10Bit	1	000110000	000011000	000011000	000011000	12	1.33
		2	000110001	000011001	000011001	000011001		
		3	0001100011	0000110011	0000110011	0000110011		
		4	0111001100	0110011100	0110011100	0110011100		
		5	0111001110	0110011110	0110011110	0110011110		
		6	0111001111	0110011111	0110011111	0110011111		
		7	1001100000	1000110000	1000110000	1000110000		
		8	1001100001	1000110001	1000110001	1000110001		
		9	1001100011	1000110011	1000110011	1000110011		
		10	1111001100	1110011100	1110011100	1110011100		
		11	1111001110	1110011110	1110011110	1110011110		
		12	1111001111	1110011111	1110011111	1110011111		

【図3】

図3

Code : RLL(1,7)
Class : PR(1,2,1)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Euclid Distance	
Error Bits	Pat. Bits	No.			Direct	Norm.
1Bit	5Bit	1	00111	00011	6	1.50
		2	11100	11000		
2Bit	7Bit	1	0010000	0001100	10	2.5
		2	1110011	1100111		
3Bit	9Bit	1	000110011	001100111	14	3.5
		2	110011000	111001100		

【図4】

図4

Code : RLL(1,7)
Class : PR(1,2,2,1)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Euclid Distance	
Error Bits	Pat. Bits	No.			Direct	Norm.
1Bit	9Bit	1	000011100	000001100	14	1.11
		2	000011110	000001110		
		3	000011111	000001111		
		4	001100000	001100000		
		5	001100001	001100001		
		18	111100111	111100011		
2Bit	13Bit	1	0000110000000	0000011000000	12	0.75
		2	0000110000001	0000011000001		
		3	0000110000011	0000011000011		
		4	0000110000110	0000011000110		
		5	0000110000111	0000011000111		
		48	1111001111111	1111001111111		
3Bit	17Bit	1	00001109110000000	00000110911000000	12	0.75
		2	00001109110000001	00000110911000001		
		3	00001109110000011	00000110911000011		
		4	00001109110000110	00000110911000110		
		5	00001109110000111	00000110911000111		
		126	11110011001111111	11110011000111111		

【図5】

図5

Code : RLL(1,7)
Class : PR(1,1,1,1)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Euclid Distance	
Error Bits	Pat. Bits	No.			Direct	Norm.
1Bit	7Bit	1	0001110	0000110	4	1.0
		2	0001111	0000111		
		3	0111000	0110000		
		4	0111001	0110001		
		5	1001110	1000110		
		6	1001111	1000111		
		7	1111000	1110000		
		8	1111001	1110001		
2Bit	10Bit	1	0001100000	0000110000	4	1.0
		2	0001100001	0000110001		
		3	0001100011	0000110011		
		4	0111001100	0110011100		
		5	0111001110	0110011110		
		6	0111001111	0110011111		
		7	1001100000	1000110000		
		8	1001100001	1000110001		
		9	1001100011	1000110011		
		10	1111001100	1110011100		
		11	1111001110	1110011110		
		12	1111001111	1110011111		

【図6】

図6

Code : RLL(1,7)
Class : PR(1,2,2,1)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Shift-Direction (1 to F)	Euclid Distance	
Error Bits	Pat. Bits	No.				Direct	Norm.
1Bit	7Bit	1	0001110	0000110	Right	10	1.11
		2	0001111	0000111			
		3	0111000	0110000			
		4	0111001	0110001			
		5	1001110	1000110			
		6	1001111	1000111			
		7	1111000	1110000			
		8	1111001	1110001			

【図7】

図7

Code : RLL(1,7) Class : PR(1,2,2,1) Normalization : No				
No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	0	
1	0 0 0 0 1	YES	1	
2	0 0 0 1 0	NO	-	
3	0 0 0 1 1	YES	3	
4	0 0 1 0 0	NO	-	
5	0 0 1 0 1	NO	-	
6	0 0 1 1 0	YES	4	
7	0 0 1 1 1	YES	5	
8	0 1 0 0 0	YES	1	
9	0 1 0 0 1	YES	2	
10	0 1 0 1 0	NO	-	
11	0 1 0 1 1	NO	-	
12	0 1 1 0 0	YES	3	
13	0 1 1 0 1	NO	-	
14	0 1 1 1 0	YES	5	
15	0 1 1 1 1	YES	6	

【図8】

図8

Code : RLL(1,7) Class : PR(1,2,2,1) Normalization : ±1 Mark : bit "1" & Low Level				
No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	1.00	YES 1.00
1	0 0 0 0 1	YES	0.67	YES 0.67
2	0 0 0 1 0	NO	-	YES 0.33
3	0 0 0 1 1	YES	0.00	YES 0.00
4	0 0 1 0 0	NO	-	YES 0.33
5	0 0 1 0 1	NO	-	YES 0.67
6	0 0 1 1 0	YES	-0.33	YES -0.33
7	0 0 1 1 1	YES	-0.67	YES -0.67
8	0 1 0 0 0	YES	0.67	YES 0.67
9	0 1 0 0 1	YES	0.33	YES 0.33
10	0 1 0 1 0	NO	-	YES 0.00
11	0 1 0 1 1	NO	-	YES -0.33
12	0 1 1 0 0	YES	0.00	YES 0.00
13	0 1 1 0 1	NO	-	YES -0.33
14	0 1 1 1 0	YES	-0.67	YES -0.67
15	0 1 1 1 1	YES	-1.00	YES -1.00

【図9】

図9

Code : RLL(1,7) Class : PR(1,2,2,1) Normalization : Amplitude ±1				
Pat. Bits	No.	Pattern	Pattern-T	Pattern-F
		Shift-Direction (T to F)	Euclid Distance	
7Bit	1	XX01XXX	XX00XXX	Right
	2	XXX01XX	XXX1XXX	Left
	3	XX10XXX	XX11XXX	Right
	4	XXX10XX	XXX00XX	Left

【図10】

図10

Code : RLL(1,7) Class : PR(a,b,c,d) Normalization : ±1 Mark : bit "1" & Low Level				
No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	v0	YES v0
1	0 0 0 0 1	YES	v1	YES v1
2	0 0 0 1 0	NO	-	YES v2=v3-v1+v0
3	0 0 0 1 1	YES	v3	YES NO v3
4	0 0 1 0 0	NO	-	YES v4=v6-v2+v0
5	0 0 1 0 1	NO	-	YES YES v5=v7-v2+v0
6	0 0 1 1 0	YES	v6	YES NO v6
7	0 0 1 1 1	YES	v7	YES NO v7
8	0 1 0 0 0	YES	v8	YES NO v8
9	0 1 0 0 1	YES	v9	YES NO v9
10	0 1 0 1 0	NO	-	YES YES v10=v8-v13+v15
11	0 1 0 1 1	NO	-	YES YES v11=v9-v13+v15
12	0 1 1 0 0	YES	v12	YES NO v12
13	0 1 1 0 1	NO	-	YES YES v13=v12-v14+v15
14	0 1 1 1 0	YES	v14	YES NO v14
15	0 1 1 1 1	YES	v15	YES NO v15

【図11】

図11

Name	MLSE	S-SEAT	V-SEAT
	Maximum Likelihood Sequence Error	Signed-Sequenced Error for Adaptive Target	Virtual-state-based-Sequenced Error for Adaptive Target
Target Level	Fixed Only	Fixed/Variable	Fixed/Variable
Shift-Direction Detection	NO	YES	YES
Min RLL Pat. Shift Detection	NO	NO	YES
Definition	$MD = ED(p1) - ED(p2) - d_{mn}$ $D = Average(ED_{mn})$ $MD_{mn} = \frac{MD_{mn}}{2d_{mn}}$ $MD_{mn} = \sqrt{\frac{\sum MD^2}{N}}$ $\sigma = \frac{D_{mn}}{2d_{mn}}$ $D_{mn} = \sqrt{\frac{\sum D^2}{N}}$	d_{mn} d_{mn} d_{mn} d_{mn} d_{mn} d_{mn}	Same as S-SEAT and Virtual State for RLL Error Patterns are Evaluated in terms of Bit Convolution.

where
(1)ED(P):Euclid Distance of Bit Pattern P
(2)EDmin:Minimum Euclid Distance
(3)Shift Direction:
Right Edge Shift="+"
Left Edge Shift="--"
defined by evaluation bit patterns

【図12】

図12

Code : RLL(1,7)
Class : PR(1,2,1)/PR(a,b,c)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Shift-Direction (T to F)	Euclid Distance	
Error Bits	Pat. Bits	No.				Direct	Norm.
		1	00111	00011	Right	6	1.50
		2	11100	11000	Left		

【図14】

図14

Code : RLL(1,7)
Class : PR(1,2,1)/PR(a,b,c)
Normalization : Amplitude ± 1

Pattern			Pattern-T	Pattern-F	Shift-Direction (T to F)	Euclid Distance	
Pat. Bits	No.	Direct				Norm.	
	1	X01XX	X00XX	Right	6	1.50	
	2	XX01X	XX11X	Left			
SBit	3	X10XX	X11XX	Right			
	4	XX10X	XX00X	Left			

【図13】

図13

Code : RLL(1,7)
Class : PR(a,b,c)
Normalization : ± 1
Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0	YES	v0	YES	v0
1	0 0 0 1	YES	v1	YES	v1
2	0 0 1 0	NO	-	NO	-
3	0 0 1 1	YES	v3	YES	v3
4	0 1 0 0	YES	v4	YES	v4
5	0 1 0 1	NO	-	NO	-
6	0 1 1 0	YES	v6	YES	v6
7	0 1 1 1	YES	v7	YES	v7

【図15】

図15

Code : RLL(1,7)
Class : PR(a,b,c)
Normalization : ± 1
Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0	YES	1.00	YES	1.00
1	0 0 0 1	YES	0.50	YES	0.50
2	0 0 1 0	NO	-	YES	0.00
3	0 0 1 1	YES	-0.50	YES	-0.50
4	0 1 0 0	YES	0.50	YES	0.50
5	0 1 0 1	NO	-	YES	0.00
6	0 1 1 0	YES	-0.50	YES	-0.50
7	0 1 1 1	YES	-1.00	YES	-1.00

【図16】

図16

Code : RLL(1,7)
Class : PR(a,b,c)
Normalization : ± 1
Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0	YES	v0	YES	v0
1	0 0 0 1	YES	v1	YES	v1
2	0 0 1 0	NO	-	YES	v2=v3-v1+v0
3	0 0 1 1	YES	v3	YES	v3
4	0 1 0 0	YES	v4	YES	v4
5	0 1 0 1	NO	-	YES	v5=v4-v6+v7
6	0 1 1 0	YES	v6	YES	v6
7	0 1 1 1	YES	v7	YES	v7

【図17】

図17

Code : RLL(1,7)
Class : PR(1,2,2,1)/PR(a,b,c,d,e)
Normalization : Amplitude ± 1
Mark : bit "1" & Low Level

Error Bits	Pat. Bits	No.	Pattern			Pattern-T	Pattern-F	Shift-Direction (T to F)	Euclid Distance	
			Direct	Norm.	Direct				Direct	Norm.
1Bit	9Bit	1	00001100	000001100	Right				14	1.11
		2	00001110	000001110	Right					
		3	00001111	000001111	Right					
		4	00110000	00110000	Left					
		5	00110001	001100001	Left					
		6	00110011	001100011	Left					
		7	01110000	01110000	Left					
		8	01110001	011100001	Left					
		9	01110011	011100011	Left					
		10	10001100	100001100	Right					
		11	10001110	100001110	Right					
		12	10001111	100001111	Right					
		13	11001100	110001100	Right					
		14	11001110	110001110	Right					
		15	11001111	110001111	Right					
		16	11110000	111100000	Left					
		17	11110001	111100001	Left					
		18	11110011	111100011	Left					

【図18】

No.	Bit Array	Decoder		Valid	Target Level
		Valid	Target Level		
0	0 0 0 0 0 0	YES	v0		
1	0 0 0 0 0 1	YES	v1		
2	0 0 0 0 1 0	NO	-		
3	0 0 0 0 1 1	YES	v3		
4	0 0 0 1 0 0	NO	-		
5	0 0 0 1 0 1	NO	-		
6	0 0 0 1 1 0	YES	v6		
7	0 0 1 1 1 1	YES	v7		
8	0 1 0 0 0 0	NO	-		
9	0 1 0 0 0 1	NO	-		
10	0 1 0 0 1 0	NO	-		
11	0 1 0 0 1 1	NO	-		
12	0 1 0 1 0 0	YES	v12		
13	0 1 1 0 0 1	NO	v13		
14	0 1 1 1 1 0	YES	v14		
15	0 1 1 1 1 1	YES	v15		
16	1 0 0 0 0 0	YES	v16		
17	1 0 0 0 0 1	YES	v17		
18	1 0 0 0 1 0	NO	v18		
19	1 0 0 0 1 1	YES	v19		
20	1 0 1 0 0 0	NO	-		
21	1 0 1 0 0 1	NO	-		
22	1 0 1 1 1 0	NO	-		
23	1 0 1 1 1 1	NO	-		
24	1 1 0 0 0 0	YES	v24		
25	1 1 0 0 0 1	YES	v25		
26	1 1 0 1 0 0	NO	-		
27	1 1 0 1 0 1	NO	-		
28	1 1 1 0 0 0	YES			
29	1 1 1 0 0 1	NO	v29		
30	1 1 1 1 0 0	YES	v30		
31	1 1 1 1 1 1	YES	v31		

【図19】

Pat. Bits	No.	Pattern		Shift-Direction (T to F)	Euclid Distance	
		Pattern-T	Pattern-F		Direct	Norm.
9Bit	1	XXX01XXXX	XXX00XXXX	Right	14	1.11
	2	XXXX01XXX	XXXX1XXXX	Left		
	3	XXX10XXXX	XXX11XXXX	Right		
	4	XXXX10XXX	XXXX0XXXX	Left		

【図20】

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0 0 0	YES	1.00	YES	1.00
1	0 0 0 0 0 1	YES	0.75	YES	0.75
2	0 0 0 0 1 0	NO	-	YES	0.50
3	0 0 0 0 1 1	YES	0.25	YES	0.25
4	0 0 0 1 0 0	NO	-	YES	0.50
5	0 0 0 1 0 1	NO	-	YES	0.25
6	0 0 1 0 1 0	YES	0.00	YES	0.00
7	0 0 1 0 1 1	YES	-0.25	YES	-0.25
8	0 1 0 0 0 0	NO	-	YES	0.50
9	0 1 0 0 0 1	NO	-	YES	0.25
10	0 1 0 0 1 0	NO	-	YES	0.00
11	0 1 0 0 1 1	NO	-	YES	-0.25
12	0 1 0 1 0 0	YES	0.00	YES	0.00
13	0 1 0 1 0 1	NO	-0.25	YES	-0.25
14	0 1 0 1 1 0	YES	-0.50	YES	-0.50
15	0 1 0 1 1 1	YES	-0.75	YES	-0.75
16	0 1 0 0 0 0	YES	0.75	YES	0.75
17	0 1 0 0 0 1	YES	0.50	YES	0.50
18	0 1 0 0 1 0	NO	0.25	YES	0.25
19	0 1 0 0 1 1	YES	0.00	YES	0.00
20	0 1 0 1 0 0	NO	-	YES	0.25
21	0 1 0 1 0 1	NO	-	YES	0.00
22	0 1 0 1 1 0	NO	-	YES	-0.25
23	0 1 0 1 1 1	NO	-	YES	-0.50
24	0 1 1 0 0 0	YES	0.25	YES	0.25
25	0 1 1 0 0 1	YES	0.00	YES	0.00
26	0 1 1 0 1 0	NO	-	YES	-0.25
27	0 1 1 0 1 1	NO	-	YES	-0.50
28	0 1 1 1 0 0	YES	-0.25	YES	-0.25
29	0 1 1 1 0 1	NO	-0.50	YES	-0.50
30	0 1 1 1 1 0	YES	-0.75	YES	-0.75
31	0 1 1 1 1 1	YES	-1.00	YES	-1.00

【図21】

No.	Bit Array	Decoder		Evaluation		
		Valid	Target Level	Valid	Virtual	Target Level
0	0 0 0 0 0 0	YES	v0	YES	NO	v0
1	0 0 0 0 0 1	YES	v1	YES	NO	v1
2	0 0 0 0 1 0	NO	-	YES	YES	v2=v3+v1+v0
3	0 0 0 0 1 1	YES	v3	YES	NO	v3
4	0 0 0 1 0 0	NO	-	YES	YES	v4=v6+v2+v0
5	0 0 0 1 0 1	NO	-	YES	YES	v5=v6+v1+v0
6	0 0 1 0 1 0	YES	v6	YES	NO	v6
7	0 0 1 0 1 1	YES	v7	YES	NO	v7
8	0 1 0 0 0 0	NO	-	YES	YES	v8=v24+v16+v0
9	0 1 0 0 0 1	NO	-	YES	YES	v9=v25+v16+v0
10	0 1 0 0 1 0	NO	-	YES	YES	v10=v14+v4+v0
11	0 1 0 0 1 1	NO	-	YES	YES	v11=v15+v4+v0
12	0 1 0 1 0 0	YES	v12	YES	NO	v12
13	0 1 0 1 0 1	NO	v13	YES	YES	v13=v15+v2+v0
14	0 1 0 1 1 0	YES	v14	YES	NO	v14
15	0 1 0 1 1 1	YES	v15	YES	NO	v15
16	0 1 0 0 0 0	YES	v16	YES	NO	v16
17	0 1 0 0 0 1	YES	v17	YES	NO	v17
18	0 1 0 0 1 0	NO	v18	YES	YES	v18=v16+v29+v31
19	0 1 0 0 1 1	YES	v19	YES	NO	v19
20	0 1 0 1 0 0	NO	-	YES	YES	v20=v16+v27+v0
21	0 1 0 1 0 1	NO	-	YES	YES	v21=v17+v27+v31
22	0 1 0 1 1 0	NO	-	YES	YES	v22=v6+v15+v31
23	0 1 0 1 1 1	NO	-	YES	YES	v23=v7+v15+v31
24	0 1 1 0 0 0	YES	v24	YES	NO	v24
25	0 1 1 0 0 1	YES	v25	YES	NO	v25
26	0 1 1 0 1 0	NO	-	YES	YES	v26=v25+v30+v31
27	0 1 1 0 1 1	NO	-	YES	YES	v27=v25+v29+v31
28	0 1 1 1 0 0	YES	-	YES	NO	v28
29	0 1 1 1 0 1	NO	v29	YES	YES	v29=v28+v30+v31
30	0 1 1 1 1 0	YES	v30	YES	NO	v30
31	0 1 1 1 1 1	YES	v31	YES	NO	v31

【図22】

図22

Code : RLL(1,7)
 Class : PR(1,2,3,3,2,1)/PR(a,b,c,d,e,f,g)
 Normalization : Amplitude ± 1

Pattern		Pattern-T	Pattern-F	Shift-Direction (T to F)	Euclid Distance		
Error Bits	Pat. Bits	No.	Direct	Norm.			
1Bit	7Bit	1	00111000000	00111100000	Right	28	0.78
		2	00111000001	00111100001	Right		
		3	00111000011	00111100011	Right		
		4	11000011100	11000111100	Left		
		5	11000011110	11000111110	Left		
		6	11000011111	11000111111	Left		
		7	01111000000	01111100000	Right		
		8	01111000001	01111100001	Right		
		9	01111000011	01111100011	Right		
		10	10000111100	10000111100	Left		
		11	10000111110	10000111110	Left		
		12	10000111111	10000111111	Left		
		13	00000011100	00000111100	Left		
		14	00000011110	00000111110	Left		
		15	00000011111	00000111111	Left		
		16	11110000000	11111000000	Right		
		17	11110000001	11111000001	Right		
		18	11110000011	11111000011	Right		

【図23】

Code : RLL(1,7)
 Class : PR(a,b,c,d,e,f,g)
 Normalization : Amplitude ± 1

No.	Bit Array	Decoder		Decoder			
		Valid	Target Level	Valid	Target Level		
0	0 0 0 0 0 0 0	YES	v0	32	1 0 0 0 0 0 0	YES	v32
1	0 0 0 0 0 0 1	YES	v1	33	1 0 0 0 0 0 1	YES	v33
2	0 0 0 0 0 1 0	NO	-	34	1 0 0 0 0 1 0	NO	-
3	0 0 0 0 0 1 1	YES	v3	35	1 0 0 0 0 1 1	YES	v34
4	0 0 0 0 1 0 0	NO	-	36	1 0 0 0 1 0 0	NO	-
5	0 0 0 0 1 0 1	NO	-	37	1 0 0 0 1 0 1	NO	-
6	0 0 0 0 1 1 0	YES	v6	38	1 0 0 0 1 1 0	YES	v38
7	0 0 0 0 1 1 1	YES	v7	39	1 0 0 0 1 1 1	YES	v39
8	0 0 0 1 0 0 0	NO	-	40	1 0 0 1 0 0 0	NO	-
9	0 0 0 1 0 0 1	NO	-	41	1 0 0 1 0 0 1	NO	-
10	0 0 0 1 0 1 0	NO	-	42	1 0 0 1 0 1 0	NO	-
11	0 0 0 1 0 1 1	NO	-	43	1 0 0 1 0 1 1	NO	-
12	0 0 0 1 1 0 0	YES	v12	44	1 0 0 1 1 0 0	NO	-
13	0 0 0 1 1 0 1	NO	-	45	1 0 0 1 1 0 1	NO	-
14	0 0 0 1 1 1 0	YES	v14	46	1 0 0 1 1 1 0	NO	-
15	0 0 0 1 1 1 1	YES	v15	47	1 0 0 1 1 1 1	NO	-
16	0 0 1 0 0 0 0	NO	-	48	1 0 0 0 0 0 0	YES	v48
17	0 0 1 0 0 0 1	NO	-	49	1 0 0 0 0 0 1	YES	v49
18	0 0 1 0 0 1 0	NO	-	50	1 0 0 0 0 1 0	NO	-
19	0 0 1 0 0 1 1	NO	-	51	1 0 0 0 1 0 1	YES	v51
20	0 0 1 0 1 0 0	NO	-	52	1 0 0 0 1 0 0	NO	-
21	0 0 1 0 1 0 1	NO	-	53	1 0 0 0 1 0 1	NO	-
22	0 0 1 0 1 1 0	NO	-	54	1 0 0 0 1 1 0	NO	-
23	0 0 1 0 1 1 1	NO	-	55	1 0 0 0 1 1 1	NO	-
24	0 0 1 1 0 0 0	YES	v24	56	1 0 1 0 0 0 0	YES	v56
25	0 0 1 1 0 0 1	YES	v25	57	1 0 1 1 0 0 1	YES	v57
26	0 0 1 1 0 1 0	NO	-	58	1 0 1 1 0 1 0	NO	-
27	0 0 1 1 0 1 1	NO	-	59	1 0 1 1 0 1 1	NO	-
28	0 0 1 1 1 0 0	YES	v28	60	1 0 1 1 1 0 0	YES	v60
29	0 0 1 1 1 0 1	NO	-	61	1 0 1 1 1 0 1	NO	-
30	0 0 1 1 1 1 0	YES	v30	62	1 0 1 1 1 1 0	YES	v62
31	0 0 1 1 1 1 1	YES	v31	63	1 0 1 1 1 1 1	YES	v63

【図24】

図24

Code : RLL(1,7)
 Class : PR(1,2,3,3,2,1)
 Normalization : Amplitude ± 1

Pattern		Pattern-T	Pattern-F	Shift-Direction (T to F)	Euclid Distance	
Pat. Bits	No.				Direct	Norm.
11Bit	1	XXXX01XXXXX	XXXX00XXXXX	Right	28	0.78
	2	XXXXX01XXXXX	XXXXX1XXXXX	Left		
	3	XXXXX0XXXXXX	XXXXX1XXXXXX	Right		
	4	XXXXX1XXXXXX	XXXXX0XXXXXX	Left		

【図25-1】

図25-1

Code : RLL(1,7)
 Class : PR(1,2,2,2,1)
 Normalization : ± 1
 Mark : bit "1" & Low Level!

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0 0 0 0	YES	1.00	YES	1.00
1	0 0 0 0 0 0 1	YES	0.83	YES	0.83
2	0 0 0 0 0 1 0	NO	-	YES	0.67
3	0 0 0 0 0 1 1	YES	0.50	YES	0.50
4	0 0 0 0 1 0 0	NO	-	YES	0.50
5	0 0 0 0 1 0 1	NO	-	YES	0.33
6	0 0 0 0 1 1 0	YES	0.17	YES	0.17
7	0 0 0 0 1 1 1	YES	0.00	YES	0.00
8	0 0 0 1 0 0 0	NO	-	YES	0.50
9	0 0 0 1 0 0 1	NO	-	YES	0.33
10	0 0 0 1 0 1 0	NO	-	YES	0.17
11	0 0 0 1 0 1 1	NO	-	YES	0.00
12	0 0 0 1 1 0 0	YES	0.00	YES	0.00
13	0 0 0 1 1 0 1	NO	-	YES	-0.17
14	0 0 0 1 1 1 0	YES	-0.33	YES	-0.33
15	0 0 0 1 1 1 1	YES	-0.50	YES	-0.50
16	0 0 1 0 0 0 0	NO	-	YES	0.67
17	0 0 1 0 0 0 1	NO	-	YES	0.50
18	0 0 1 0 0 1 0	NO	-	YES	0.33
19	0 0 1 0 0 1 1	NO	-	YES	0.17
20	0 0 1 0 1 0 0	NO	-	YES	0.17
21	0 0 1 0 1 0 1	NO	-	YES	0.00
22	0 0 1 0 1 1 0	NO	-	YES	-0.17
23	0 0 1 0 1 1 1	NO	-	YES	-0.33
24	0 0 1 1 0 0 0	YES	0.17	YES	0.17
25	0 0 1 1 0 0 1	YES	0.00	YES	0.00
26	0 0 1 1 0 1 0	NO	-	YES	-0.17
27	0 0 1 1 0 1 1	NO	-	YES	-0.33
28	0 0 1 1 1 0 0	YES	-0.33	YES	-0.33
29	0 0 1 1 1 0 1	NO	-	YES	-0.50
30	0 0 1 1 1 1 0	YES	-0.67	YES	-0.67
31	0 0 1 1 1 1 1	YES	-0.83	YES	-0.83

【図25-2】

図25-2

(Continued)

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
32	1 0 0 0 0 0	YES	0.83	YES	0.83
33	1 0 0 0 0 1	YES	0.67	YES	0.67
34	1 0 0 0 1 0	NO	-	YES	0.50
35	1 0 0 0 1 1	YES	0.33	YES	0.33
36	1 0 0 1 0 0	NO	-	YES	0.33
37	1 0 0 1 0 1	NO	-	YES	0.17
38	1 0 0 1 1 0	YES	0.00	YES	0.00
39	1 0 0 1 1 1	YES	-0.17	YES	-0.17
40	1 0 1 0 0 0	NO	-	YES	0.33
41	1 0 1 0 0 1	NO	-	YES	0.17
42	1 0 1 0 1 0	NO	-	YES	0.00
43	1 0 1 0 1 1	NO	-	YES	-0.17
44	1 0 1 1 0 0	NO	-	YES	-0.17
45	1 0 1 1 0 1	NO	-	YES	-0.35
46	1 0 1 1 1 0	NO	-	YES	-0.50
47	1 0 1 1 1 1	NO	-	YES	-0.67
48	1 1 0 0 0 0	YES	0.50	YES	0.50
49	1 1 0 0 0 1	YES	0.33	YES	0.33
50	1 1 0 0 1 0	NO	-	YES	0.17
51	1 1 0 0 1 1	YES	0.00	YES	0.00
52	1 1 0 1 0 0	NO	-	YES	0.00
53	1 1 0 1 0 1	NO	-	YES	-0.17
54	1 1 0 1 1 0	NO	-	YES	-0.33
55	1 1 0 1 1 1	NO	-	YES	-0.50
56	1 1 1 0 0 0	YES	0.00	YES	0.00
57	1 1 1 0 0 1	YES	-0.17	YES	-0.17
58	1 1 1 0 1 0	NO	-	YES	-0.33
59	1 1 1 0 1 1	NO	-	YES	-0.50
60	1 1 1 1 0 0	YES	-0.50	YES	-0.50
61	1 1 1 1 0 1	NO	-	YES	-0.67
62	1 1 1 1 1 0	YES	-0.83	YES	-0.83
63	1 1 1 1 1 1	YES	-1.00	YES	-1.00

【図26-1】

図26-1

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0 0 0	YES	v0	YES	NO
1	0 0 0 0 0 1	YES	v1	YES	NO
2	0 0 0 0 1 0	NO	-	YES	v2=v3-v1+v0
3	0 0 0 0 1 1	YES	v3	YES	NO
4	0 0 0 1 0 0	NO	-	YES	v4=v6-v2+v0
5	0 0 0 1 0 1	NO	-	YES	by(Equation 10)
6	0 0 0 1 1 0	YES	v6	YES	NO
7	0 0 0 1 1 1	YES	v7	YES	NO
8	0 0 1 0 0 0	NO	-	YES	v8=v24-v16+v0
9	0 0 1 0 0 1	NO	-	YES	by(Equation 10)
10	0 0 1 0 1 0	NO	-	YES	by(Equation 10)
11	0 0 1 0 1 1	NO	-	YES	by(Equation 10)
12	0 0 1 1 0 0	YES	v12	YES	NO
13	0 0 1 1 0 1	NO	-	YES	by(Equation 10)
14	0 0 1 1 1 0	YES	v14	YES	NO
15	0 0 1 1 1 1	YES	v15	YES	NO
16	0 1 0 0 0 0	NO	v16	YES	v16=v24-v8-v0
17	0 1 0 0 0 1	NO	v17	YES	by(Equation 10)
18	0 1 0 0 1 0	NO	v18	YES	by(Equation 10)
19	0 1 0 0 1 1	NO	v19	YES	by(Equation 10)
20	0 1 0 1 0 0	NO	-	YES	by(Equation 10)
21	0 1 0 1 0 1	NO	-	YES	by(Equation 10)
22	0 1 0 1 1 0	NO	-	YES	by(Equation 10)
23	0 1 0 1 1 1	NO	-	YES	by(Equation 10)
24	0 1 1 0 0 0	YES	v24	YES	NO
25	0 1 1 0 0 1	YES	v25	YES	NO
26	0 1 1 0 1 0	NO	-	YES	by(Equation 10)
27	0 1 1 0 1 1	NO	-	YES	by(Equation 10)
28	0 1 1 1 0 0	YES	v28	YES	NO
29	0 1 1 1 0 1	NO	v29	YES	YES
30	0 1 1 1 1 0	YES	v30	YES	NO
31	0 1 1 1 1 1	YES	v31	YES	NO

【図26-2】

図26-2

(Continued)

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Virtual
32	1 0 0 0 0 0	YES	v32	YES	NO
33	1 0 0 0 0 1	YES	v33	YES	NO
34	1 0 0 0 1 0	NO	-	YES	by(Equation 10)
35	1 0 0 0 1 1	YES	v34	YES	NO
36	1 0 0 1 0 0	NO	-	YES	by(Equation 10)
37	1 0 0 1 0 1	NO	-	YES	by(Equation 10)
38	1 0 0 1 1 0	YES	v38	YES	NO
39	1 0 0 1 1 1	YES	v39	YES	NO
40	1 0 1 0 0 0	NO	-	YES	by(Equation 10)
41	1 0 1 0 0 1	NO	-	YES	by(Equation 10)
42	1 0 1 0 1 0	NO	-	YES	by(Equation 10)
43	1 0 1 0 1 1	NO	-	YES	by(Equation 10)
44	1 0 1 1 0 0	NO	-	YES	by(Equation 10)
45	1 0 1 1 0 1	NO	-	YES	by(Equation 10)
46	1 0 1 1 1 0	NO	-	YES	by(Equation 10)
47	1 0 1 1 1 1	NO	-	YES	v48=v15-v32+v63
48	1 1 0 0 0 0	YES	v48	YES	NO
49	1 1 0 0 0 1	YES	v49	YES	NO
50	1 1 0 0 1 0	NO	-	YES	by(Equation 10)
51	1 1 0 0 1 1	YES	v51	YES	NO
52	1 1 0 1 0 0	NO	-	YES	by(Equation 10)
53	1 1 0 1 0 1	NO	-	YES	by(Equation 10)
54	1 1 0 1 1 0	NO	-	YES	by(Equation 10)
55	1 1 0 1 1 1	NO	-	YES	v55=v39-v47+v63
56	1 1 1 0 0 0	YES	v56	YES	NO
57	1 1 1 0 0 1	YES	v57	YES	NO
58	1 1 1 0 1 0	NO	-	YES	by(Equation 10)
59	1 1 1 0 1 1	NO	-	YES	v59=v51+v55+v63
60	1 1 1 1 0 0	YES	v60	YES	NO
61	1 1 1 1 0 1	NO	-	YES	YES
62	1 1 1 1 1 0	YES	v62	YES	NO
63	1 1 1 1 1 1	YES	v63	YES	NO

【図27】

図27

Code : RLL(1,7)
Class : PR(a,b,c,d,f)
Normalization : Amplitude ±1

Error Bits	Pat. Bits	Pattern	Pattern-T	Pattern-F	Shift-Direction (T to F)		Euclid Distance
					Direct	Norm.	
1Bit	7Bit	1	0001110	0000110	Right		10 1.11
		2	0001111	0000111	Right		
		3	0111000	0110000	Left		
		4	0111001	0110001	Left		
		5	1001110	1000110	Right		
		6	1001111	1000111	Right		
		7	1111000	1110000	Left		
		8	1111001	1110001	Left		

【図28】

図28

Code : RLL(1,7)
 Class : PR(a,b,c,d)
 Normalization : ± 1
 Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	v0	
1	0 0 0 0 1	YES	v1	
2	0 0 0 1 0	NO	-	
3	0 0 0 1 1	YES	v3	
4	0 0 1 0 0	NO	-	
5	0 0 1 0 1	NO	-	
6	0 0 1 1 0	YES	v6	
7	0 0 1 1 1	YES	v7	
8	0 1 0 0 0	YES	v8	
9	0 1 0 0 1	YES	v9	
10	0 1 0 1 0	NO	-	
11	0 1 0 1 1	NO	-	
12	0 1 1 0 0	YES	v12	
13	0 1 1 0 1	NO	-	
14	0 1 1 1 0	YES	v14	
15	0 1 1 1 1	YES	v15	

【図30】

図30

Code : RLL(1,7)
 Class : PR(1,2,2,1)
 Normalization : ± 1
 Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0 0	YES	v0	YES	1.00
1	0 0 0 0 1	YES	v1	YES	0.67
2	0 0 0 1 0	NO	-	YES	0.33
3	0 0 0 1 1	YES	0.00	YES	0.00
4	0 0 1 0 0	NO	-	YES	0.33
5	0 0 1 0 1	NO	-	YES	0.67
6	0 0 1 1 0	YES	-0.33	YES	-0.33
7	0 0 1 1 1	YES	-0.67	YES	-0.67
8	0 1 0 0 0	YES	0.67	YES	0.67
9	0 1 0 0 1	YES	0.33	YES	0.33
10	0 1 0 1 0	NO	-	YES	0.00
11	0 1 0 1 1	NO	-	YES	-0.33
12	0 1 1 0 0	YES	0.00	YES	0.00
13	0 1 1 0 1	NO	-	YES	-0.33
14	0 1 1 1 0	YES	-0.67	YES	-0.67
15	0 1 1 1 1	YES	-1.00	YES	-1.00

【図29】

図29

Code : RLL(1,7)
 Class : PR(1,2,2,1)
 Normalization : Amplitude ± 1

Pat. Bits	No.	Pattern-T		Pattern-F		Shift-Direction (T to F)	Euclid Distance
		Direct	Norm.	Direct	Norm.		
7Bit	1	XX01XXX	XX00XXX	Right	10	1.11	
	2	XXX01XX	XXX11XX	Left			
	3	XX10XXX	XX11XXX	Right			
	4	XXX10XX	XXX00XX	Left			

【図31】

図31

Code : RLL(1,7)
 Class : PR(a,b,c,d)
 Normalization : ± 1
 Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	v0	YES
1	0 0 0 0 1	YES	v1	YES
2	0 0 0 1 0	-	YES	$v2=v3-v1-v0$
3	0 0 0 1 1	YES	v3	YES
4	0 0 1 0 0	NO	-	$v4=v5-v2+v0$
5	0 0 1 0 1	NO	-	$v5=v7-v2+v0$
6	0 0 1 1 0	YES	v6	YES
7	0 0 1 1 1	YES	v7	YES
8	0 1 0 0 0	YES	v8	NO
9	0 1 0 0 1	YES	v9	NO
10	0 1 0 1 0	NO	-	$v10=v8-v13+v15$
11	0 1 0 1 1	-	YES	$v11=v9-v13+v15$
12	0 1 1 0 0	YES	v12	YES
13	0 1 1 0 1	NO	-	YES
14	0 1 1 1 0	YES	v14	YES
15	0 1 1 1 1	YES	v15	YES

【図33】

図33

Code : RLL(2,10)
 Class : PR(a,b,c,d)
 Normalization : ± 1
 Mark : bit "1" & Low Level

No.	Bit Array	Decoder		Evaluation
		Valid	Target Level	
0	0 0 0 0 0	YES	v0	
1	0 0 0 0 1	YES	v1	
2	0 0 0 1 0	NO	-	
3	0 0 0 1 1	YES	v3	
4	0 0 1 0 0	NO	-	
5	0 0 1 0 1	NO	-	
6	0 0 1 1 0	NO	-	
7	0 0 1 1 1	YES	v7	
8	0 1 0 0 0	YES	v8	
9	0 1 0 0 1	NO	-	
10	0 1 0 1 0	NO	-	
11	0 1 0 1 1	NO	-	
12	0 1 1 0 0	YES	v12	
13	0 1 1 0 1	NO	-	
14	0 1 1 1 0	YES	v14	
15	0 1 1 1 1	YES	v15	

【図32】

図32

Code : RLL(2,10)
 Class : PR(3,4,4,3)/PR(a,b,c,d)
 Normalization : Amplitude ± 1

Pattern			Pattern-T		Pattern-F		Shift-Direction (T to F)	Euclid Distance
Error Bits	Pat. Bits	No.	Direct	Norm.	Direct	Norm.		
1Bit	7Bit	1	0001111	0000111	Right	50	1.02	
		2	1111000	1110000	Left			

【図34】

図34

Code : RLL(2,10)
 Class : PR(3,4,4,3)/PR(a,b,c,d)
 Normalization : Amplitude ± 1

Pattern			Pattern-T		Pattern-F		Shift-Direction (T to F)	Euclid Distance
Pat. Bits	No.	Direct	Right	Left	Right	Left		
1		XX01XXX	XX00XXX	Right				
2		XXX01XX	XXX11XX	Left				
3		XX10XXX	XX11XXX	Right				
4		XXX10XX	XXX00XX	Left				

【図35】

Code : RLL(2,10) Class : PRG(4,4,3) Normalization : ± 1 Mark : bit "1" & Low Level					
No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Target Level
0	0 0 0 0 0	YES	1.00	YES	1.00
1	0 0 0 0 1	YES	0.57	YES	0.57
2	0 0 0 1 0	NO	-	YES	0.43
3	0 0 0 1 1	YES	0.00	YES	0.00
4	0 0 1 0 0	NO	-	YES	0.43
5	0 0 1 0 1	NO	-	YES	0.00
6	0 0 1 1 0	NO	-	YES	-0.14
7	0 0 1 1 1	YES	-0.57	YES	-0.57
8	0 1 0 0 0	YES	0.57	YES	0.57
9	0 1 0 0 1	NO	-	YES	0.14
10	0 1 0 1 0	NO	-	YES	0.00
11	0 1 0 1 1	NO	-	YES	-0.43
12	0 1 1 0 0	YES	0.00	YES	0.00
13	0 1 1 0 1	NO	-	YES	-0.43
14	0 1 1 1 0	YES	-0.57	YES	-0.57
15	0 1 1 1 1	YES	-1.00	YES	-1.00

図35

【図36】

Code : RLL(2,10) Class : PRG(b,c,d) Normalization : ± 1 Mark : bit "1" & Low Level					
No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Virtual
0	0 0 0 0 0	YES	v0	YES	v0
1	0 0 0 0 1	YES	v1	NO	v0+a
2	0 0 0 1 0	NO	-	YES	v0+b
3	0 0 0 1 1	YES	v3	NO	v0+a+b
4	0 0 1 0 0	YES	v4	NO	v0+c
5	0 0 1 0 1	NO	-	YES	v0+a+c
6	0 0 1 1 0	YES	v6	NO	v0+b+c
7	0 0 1 1 1	YES	v7	YES	NO
8	0 1 0 0 0	YES	v8	YES	NO
9	0 1 0 0 1	YES	v9	YES	NO
10	0 1 0 1 0	NO	-	YES	YES
11	0 1 0 1 1	NO	-	YES	v0+a+b+d
12	0 1 1 0 0	YES	v12	YES	NO
13	0 1 1 0 1	NO	-	YES	v0+c+d
14	0 1 1 1 0	YES	v14	YES	NO
15	0 1 1 1 1	YES	v15	YES	NO

図36

【図37】

図37

Code : RLL(1,7) Class : PRG(a,b,c) Normalization : ± 1 Mark : bit "1" & Low Level				
--	--	--	--	--

Integrated Class Bit Definition:
 $a = \{(v1 - v0) - (v6 - v7)\}/2$
 $b = \{(v2 - v0) - (v5 - v7)\}/2$
 $c = \{(v4 - v0) - (v3 - v7)\}/2$
 where
 $v2 = v3 + v1 + v0$,
 $v5 = v4 + v6 + v7$,
 $a+b+c = v7-v0 (-2)$

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Virtual
0	0 0 0 0 0	YES	v0	YES	v0
1	0 0 0 0 1	YES	v1	YES	v0+a
2	0 0 0 1 0	NO	-	YES	v0+b
3	0 0 0 1 1	YES	v3	NO	v0+a+b
4	0 0 1 0 0	YES	v4	NO	v0+c
5	0 0 1 0 1	NO	-	YES	v0+a+c
6	0 0 1 1 0	YES	v6	NO	v0+b+c
7	0 0 1 1 1	YES	v7	YES	NO

【図38】

図38

Code : RLL(1,7) Class : PRG(a,b,c,d) Normalization : ± 1 Mark : bit "1" & Low Level					
No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Virtual
0	0 0 0 0 0	YES	v0	YES	v0
1	0 0 0 0 1	YES	v1	YES	NO
2	0 0 0 1 0	NO	-	YES	YES
3	0 0 0 1 1	YES	v3	YES	NO
4	0 0 1 0 0	NO	-	YES	YES
5	0 0 1 0 1	NO	-	YES	YES
6	0 0 1 1 0	YES	v6	YES	NO
7	0 0 1 1 1	YES	v7	YES	NO
8	0 1 0 0 0	YES	v8	YES	NO
9	0 1 0 0 1	YES	v9	YES	NO
10	0 1 0 1 0	NO	-	YES	YES
11	0 1 0 1 1	NO	-	YES	YES
12	0 1 1 0 0	YES	v12	YES	NO
13	0 1 1 0 1	NO	-	YES	YES
14	0 1 1 1 0	YES	v14	YES	NO
15	0 1 1 1 1	YES	v15	YES	NO

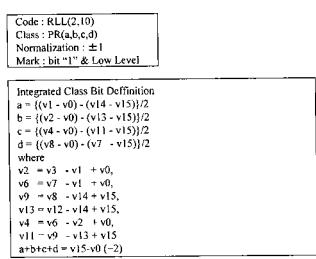
Integrated Class Bit Definition:
 $a = \{(v1 - v0) - (v4 - v15)\}/2$
 $b = \{(v2 - v0) - (v13 - v15)\}/2$
 $c = \{(v4 - v0) - (v11 - v15)\}/2$
 $d = \{(v6 - v0) - (v7 - v15)\}/2$
 where
 $v2 = v3 + v1 + v0$,
 $v4 = v6 + v2 + v0$,
 $v11 = v9 + v13 + v15$,
 $v13 = v12 + v14 + v15$,
 $a+b+c+d = v15-v0 (-2)$

No.	Bit Array	Decoder		Evaluation	
		Valid	Target Level	Valid	Virtual
0	0 0 0 0 0	YES	v0	YES	v0
1	0 0 0 0 1	YES	v1	YES	NO
2	0 0 0 1 0	NO	-	YES	YES
3	0 0 0 1 1	YES	v3	YES	NO
4	0 0 1 0 0	NO	-	YES	YES
5	0 0 1 0 1	NO	-	YES	YES
6	0 0 1 1 0	YES	v6	YES	NO
7	0 0 1 1 1	YES	v7	YES	NO
8	0 1 0 0 0	YES	v8	YES	NO
9	0 1 0 0 1	YES	v9	YES	NO
10	0 1 0 1 0	NO	-	YES	YES
11	0 1 0 1 1	NO	-	YES	YES
12	0 1 1 0 0	YES	v12	YES	NO
13	0 1 1 0 1	NO	-	YES	YES
14	0 1 1 1 0	YES	v14	YES	NO
15	0 1 1 1 1	YES	v15	YES	NO

【図39】

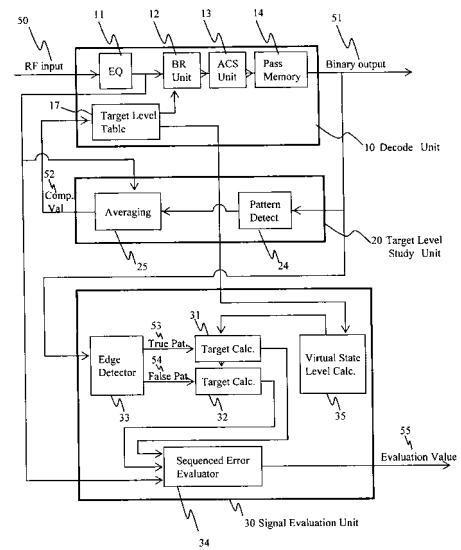
【図40】

図39



No.	Bit Array	Decoder		Evaluation		
		Valid	Target Level	Valid	Virtual	Target Level
0	0 0 0 0 0	YES	v0	YES	NO	v0
1	0 0 0 0 1	YES	v1	YES	NO	v0+a
2	0 0 1 0 0	NO	-	YES	YES	v0+b
3	0 0 1 0 1	YES	v3	YES	NO	v0+a+b
4	0 1 0 0 0	NO	-	YES	YES	v0+c
5	0 1 0 0 1	NO	-	YES	YES	v0+a+c
6	0 1 1 0 0	NO	v6	YES	YES	v0+b+c
7	0 1 1 0 1	YES	v7	YES	NO	v0+a+b+c
8	1 0 0 0 0	YES	v8	YES	NO	v0+d
9	1 0 0 0 1	NO	v9	YES	YES	v0+a+d
10	1 0 1 0 0	NO	-	YES	YES	v0+b+d
11	1 0 1 0 1	NO	-	YES	YES	v0+a+b-d
12	1 1 0 0 0	YES	v12	YES	NO	v0+c+d
13	1 1 0 0 1	NO	-	YES	YES	v0+a+c+d
14	1 1 1 0 0	YES	v14	YES	NO	v0+b+c+d
15	1 1 1 0 1	YES	v15	YES	NO	v0+a+b+c-d

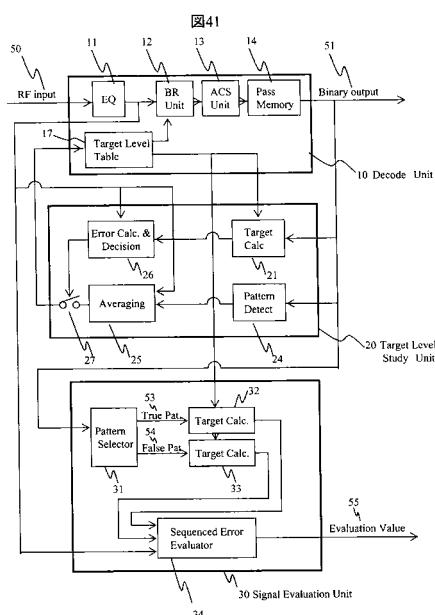
図40



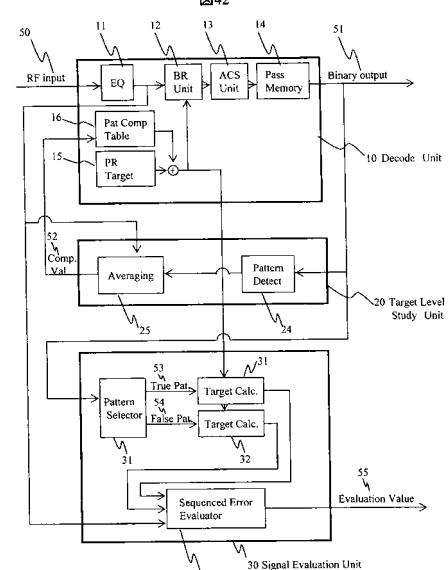
【図4-1】

【図42】

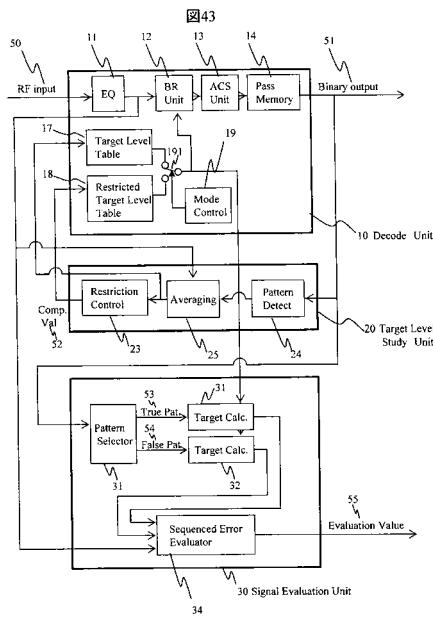
274



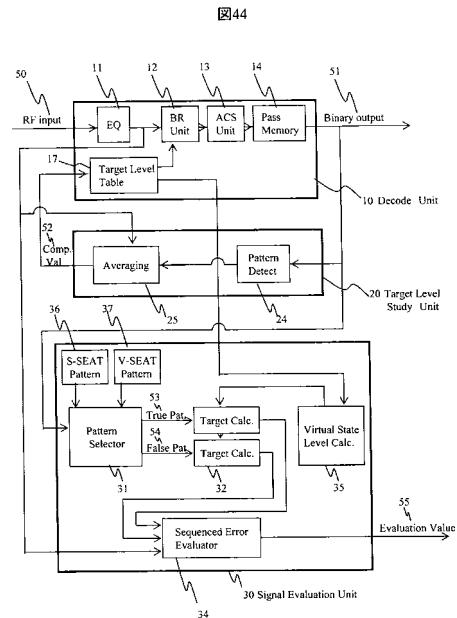
43



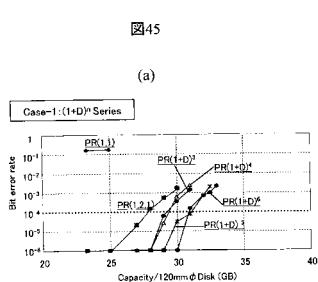
【図4-3】



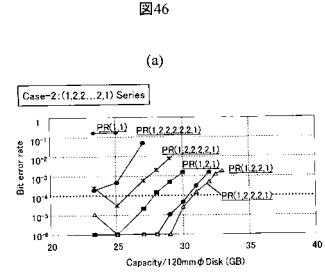
【図4-4】



【図45】



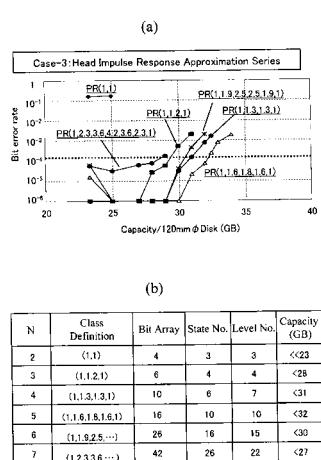
【 図 4 6 】



N	Class Definition	Bit Array	State No.	Level No.	Capacity (GB)
2	(1,1)	4	2	3	<23
3	(1,2,1)	6	4	4	<28
4	(3,3,1)	10	6	7	<29
5	(1+3) ⁴	16	10	10	<29
6	(1+3) ⁵	26	15	15	<31
7	(1+3) ⁶	42	26	22	<31

【図47】

図47



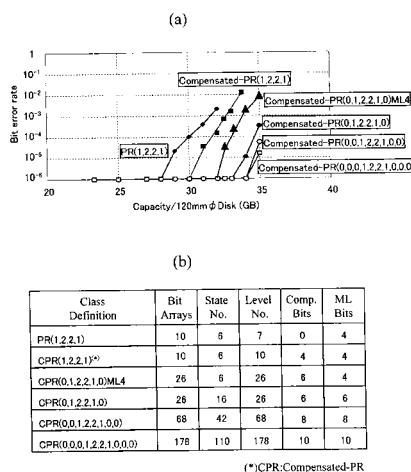
【図48】

図48

Feature	Method-1	Method-2	Method-3
Configuration	•Conventional	•Compensates Asymmetry	•Compensates non-linear-shifts
PR(1,1)			
Level No.	3	3	3
Pat. Comp. Bits	0	0	2(=1+1)
No. of V	0	4(=2 ²)	16(=2 ⁴)
Asymmetry	×	○	○
Non-Linear-Shift	×	×	○
Experimental Result			
T _w =57nm			
DTR=100Mbps	ber=50 x 10 ⁻⁴ 2T S/N比=-3.5dB	ber=15 x 10 ⁻⁴ 2T S/N比=-6.1dB	ber<0.05 x 10 ⁻⁴ 2T S/N比=-9.5dB

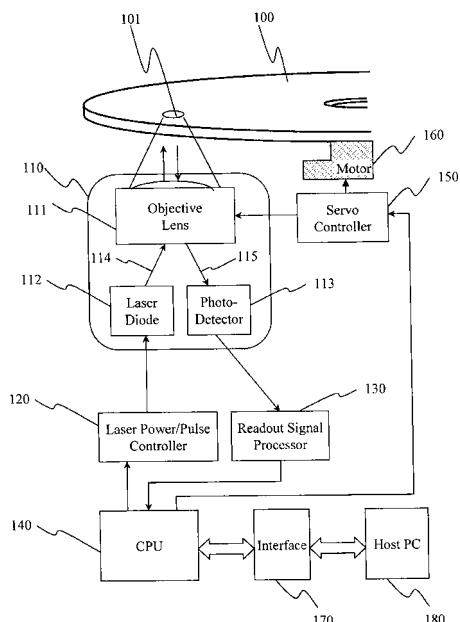
【図49】

図49



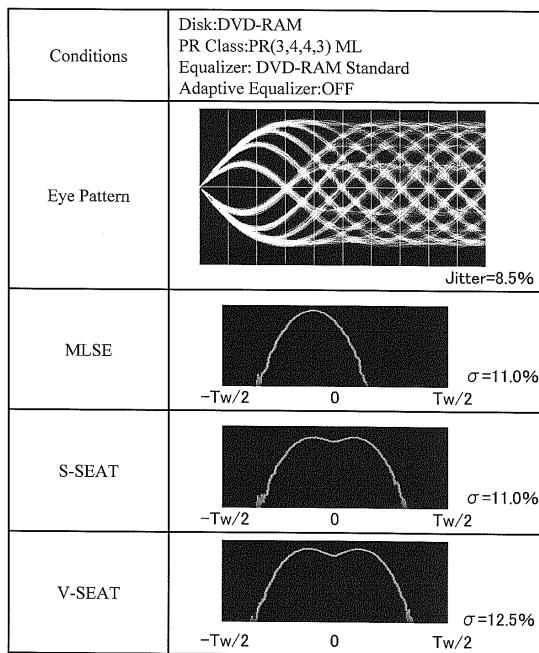
【図50】

図50



【図51】

図51



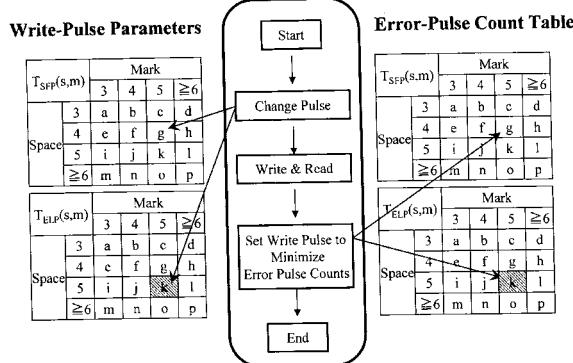
【図52】

図52

Conditions	Disk:DVD-RAM PR Class:PR(3,4,4,3)ML/PR(a,b,c,d)ML Equalizer: DVD-RAM Standard																																																																																																
MLSE	<table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{SFP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>e</td> <td>f</td> <td>g</td> <td>h</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>i</td> <td>j</td> <td>k</td> <td>l</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>m</td> <td>n</td> <td>o</td> <td>p</td> <td></td> <td></td> </tr> </tbody> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{ELP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>e</td> <td>f</td> <td>g</td> <td>h</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>i</td> <td>j</td> <td>k</td> <td>l</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>m</td> <td>n</td> <td>o</td> <td>p</td> <td></td> <td></td> </tr> </tbody> </table>			Mark						$T_{SFP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	e	f	g	h				5	i	j	k	l			≥ 6	m	n	o	p					Mark						$T_{ELP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	e	f	g	h				5	i	j	k	l			≥ 6	m	n	o	p		
		Mark																																																																																															
$T_{SFP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	e	f	g	h																																																																																											
		5	i	j	k	l																																																																																											
	≥ 6	m	n	o	p																																																																																												
		Mark																																																																																															
$T_{ELP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	e	f	g	h																																																																																											
		5	i	j	k	l																																																																																											
	≥ 6	m	n	o	p																																																																																												
PR(a,b,c,d)ML	<table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{SFP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>e</td> <td>f</td> <td>g</td> <td>h</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>i</td> <td>j</td> <td>k</td> <td>l</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>m</td> <td>n</td> <td>o</td> <td>p</td> <td></td> <td></td> </tr> </tbody> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{ELP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>e</td> <td>f</td> <td>g</td> <td>h</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>i</td> <td>j</td> <td>k</td> <td>l</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>m</td> <td>n</td> <td>o</td> <td>p</td> <td></td> <td></td> </tr> </tbody> </table>			Mark						$T_{SFP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	e	f	g	h				5	i	j	k	l			≥ 6	m	n	o	p					Mark						$T_{ELP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	e	f	g	h				5	i	j	k	l			≥ 6	m	n	o	p		
		Mark																																																																																															
$T_{SFP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	e	f	g	h																																																																																											
		5	i	j	k	l																																																																																											
	≥ 6	m	n	o	p																																																																																												
		Mark																																																																																															
$T_{ELP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	e	f	g	h																																																																																											
		5	i	j	k	l																																																																																											
	≥ 6	m	n	o	p																																																																																												
S-SEAT	<table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{SFP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>-11</td> <td>-4</td> <td>-10</td> <td>-10</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>+6</td> <td>+6</td> <td>0</td> <td>+1</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>+6</td> <td>+6</td> <td>-1</td> <td>0</td> <td>-1</td> <td></td> </tr> </tbody> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{ELP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>a</td> <td>b</td> <td>c</td> <td>d</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>+11</td> <td>+5</td> <td>+11</td> <td>+9</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>-6</td> <td>-6</td> <td>0</td> <td>-1</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>-6</td> <td>-5</td> <td>+1</td> <td>-1</td> <td>-1</td> <td></td> </tr> </tbody> </table>			Mark						$T_{SFP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	-11	-4	-10	-10				5	+6	+6	0	+1			≥ 6	+6	+6	-1	0	-1				Mark						$T_{ELP}(s,m)$		3	4	5	≥ 6			Space		3	a	b	c	d				4	+11	+5	+11	+9				5	-6	-6	0	-1			≥ 6	-6	-5	+1	-1	-1	
		Mark																																																																																															
$T_{SFP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	-11	-4	-10	-10																																																																																											
		5	+6	+6	0	+1																																																																																											
	≥ 6	+6	+6	-1	0	-1																																																																																											
		Mark																																																																																															
$T_{ELP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	a	b	c	d																																																																																											
		4	+11	+5	+11	+9																																																																																											
		5	-6	-6	0	-1																																																																																											
	≥ 6	-6	-5	+1	-1	-1																																																																																											
V-SEAT	<table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{SFP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>-7</td> <td>0</td> <td>-9</td> <td>-7</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>-11</td> <td>-4</td> <td>-10</td> <td>-10</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>+6</td> <td>+6</td> <td>0</td> <td>-1</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>+6</td> <td>+6</td> <td>-1</td> <td>0</td> <td>-1</td> <td></td> </tr> </tbody> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <thead> <tr> <th colspan="2"></th> <th colspan="4">Mark</th> <th colspan="2"></th> </tr> <tr> <th>$T_{ELP}(s,m)$</th> <th></th> <th>3</th> <th>4</th> <th>5</th> <th>≥ 6</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>Space</td> <td></td> <td>3</td> <td>+7</td> <td>0</td> <td>+9</td> <td>+7</td> <td></td> </tr> <tr> <td></td> <td></td> <td>4</td> <td>11</td> <td>+5</td> <td>+11</td> <td>+9</td> <td></td> </tr> <tr> <td></td> <td></td> <td>5</td> <td>-6</td> <td>-6</td> <td>0</td> <td>-1</td> <td></td> </tr> <tr> <td></td> <td>≥ 6</td> <td>-6</td> <td>-5</td> <td>-1</td> <td>-1</td> <td>-1</td> <td></td> </tr> </tbody> </table>			Mark						$T_{SFP}(s,m)$		3	4	5	≥ 6			Space		3	-7	0	-9	-7				4	-11	-4	-10	-10				5	+6	+6	0	-1			≥ 6	+6	+6	-1	0	-1				Mark						$T_{ELP}(s,m)$		3	4	5	≥ 6			Space		3	+7	0	+9	+7				4	11	+5	+11	+9				5	-6	-6	0	-1			≥ 6	-6	-5	-1	-1	-1	
		Mark																																																																																															
$T_{SFP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	-7	0	-9	-7																																																																																											
		4	-11	-4	-10	-10																																																																																											
		5	+6	+6	0	-1																																																																																											
	≥ 6	+6	+6	-1	0	-1																																																																																											
		Mark																																																																																															
$T_{ELP}(s,m)$		3	4	5	≥ 6																																																																																												
Space		3	+7	0	+9	+7																																																																																											
		4	11	+5	+11	+9																																																																																											
		5	-6	-6	0	-1																																																																																											
	≥ 6	-6	-5	-1	-1	-1																																																																																											

【図53】

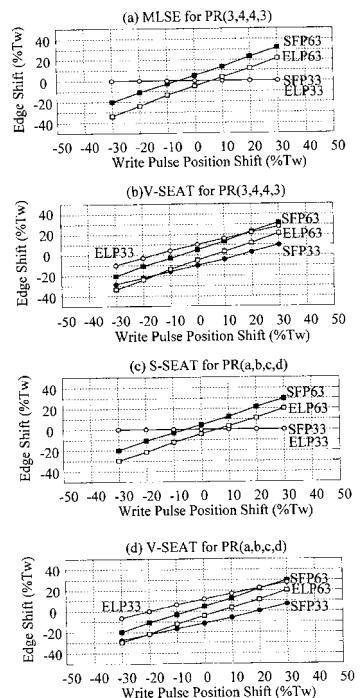
図53



【図54】

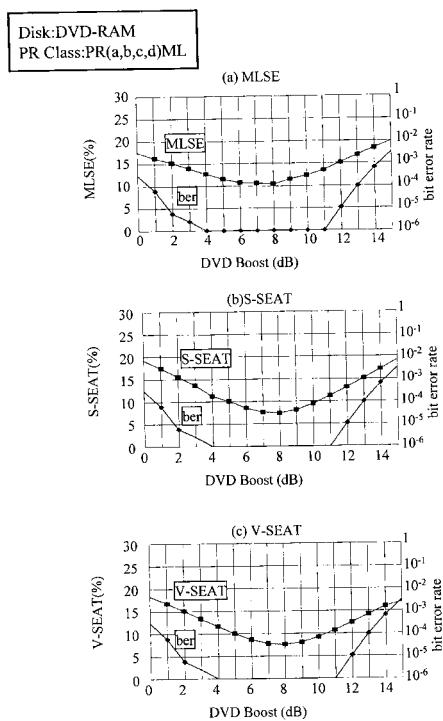
図54

Disk:DVD-RAM
PR Class:PR(3,4,4,3)ML/PR(a,b,c,d)ML
Equalizer: DVD-RAM Standard



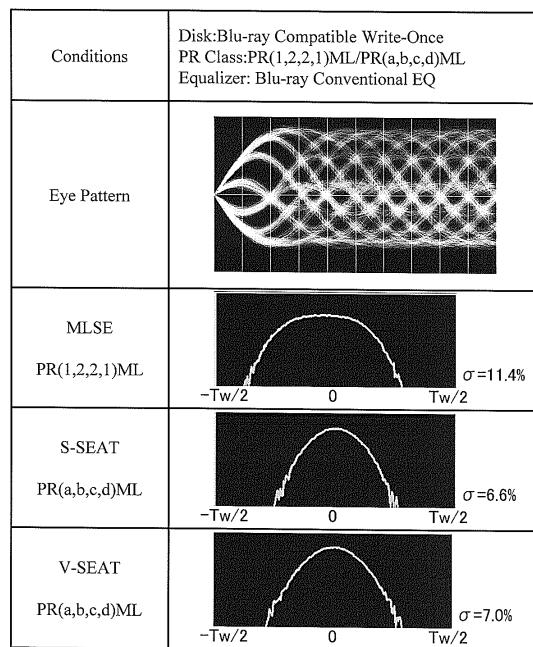
【図55】

図55



【図56】

図56



【図57】

図57

Conditions

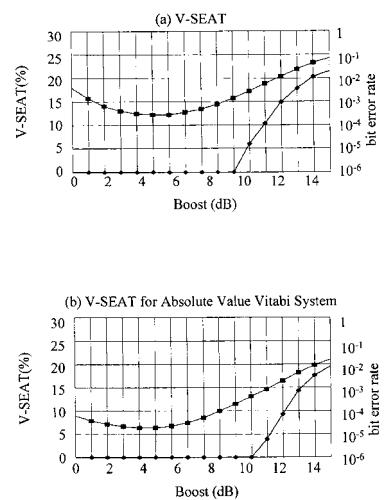
Disk:Blu-ray Compatible Write-Once
PR Class:PR(1,2,2,1)ML/PR(a,b,c,d)ML
Equalizer: Blu-ray Conventional EQ

MLSE	$T_{SFP}(s,m)$		Mark		$T_{ELP}(s,m)$		Mark		
	2	3	4	≥ 5	2	3	4	≥ 5	
PR(1,2,2,1)ML	2	\times	+4	+2	2	\times	-4	-3	
	3	-3	+3	+2	3	+3	-3	-3	
	4	-2	+3	+2	4	+2	-9	-2	
	≥ 5	-3	+3	+2	≥ 5	+2	-3	-3	
S-SEAT	$T_{SFP}(s,m)$		Mark		$T_{ELP}(s,m)$		Mark		
	2	\times	-1	-2	-2	2	\times	+1	+2
	3	-1	0	-1	-1	3	+1	0	+1
	4	-2	-1	-1	-1	4	+2	+1	+2
	≥ 5	-2	-1	-2	-2	≥ 5	+2	+1	+1
PR(a,b,c,d)ML	$T_{SFP}(s,m)$		Mark		$T_{ELP}(s,m)$		Mark		
	2	\times	-2	-1	-2	2	\times	+2	+1
	3	-1	0	-1	-1	3	+1	0	+1
	4	-2	-1	-1	-1	4	+2	+1	+2
	≥ 5	-2	-1	-2	-2	≥ 5	+2	+1	+1
V-SEAT	$T_{SFP}(s,m)$		Mark		$T_{ELP}(s,m)$		Mark		
	2	\times	-2	-1	-2	2	\times	+2	+1
	3	-1	0	-1	-1	3	+1	0	+1
	4	-2	-1	-1	-1	4	+2	+1	+2
	≥ 5	-2	-1	-2	-2	≥ 5	+2	+1	+1

【図58】

図58

Disk: Disk:Blu-ray Compatible Write-Once
PR Class:PR(a,b,c,d)ML/PR(a,b,c,d)ML(Absolute Value System)



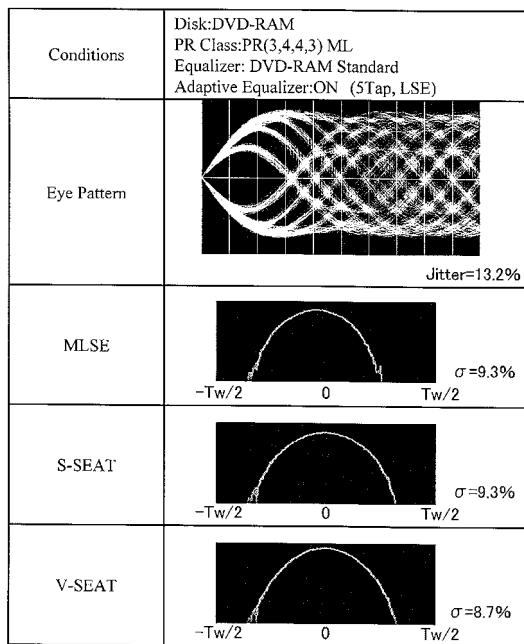
【図59】

図59

Code : RLL(1,7) Class : PR(1,2,2,1)			
Time	Bit Arrays	Pattern Detector	Calculation
	Pattern Detect Bit Array	P2A="1110000" P2B="1111000"	
t=0		not Match	—
t=1		not Match	—
t=2		not Match	—
t=3		not Match	—
t=4		Match P2B Pattern	Yes
t=5		Match P2A Pattern	Yes
t=6		not Match	—
t=7		not Match	—
t=8		not Match	—
t=9		not Match	—

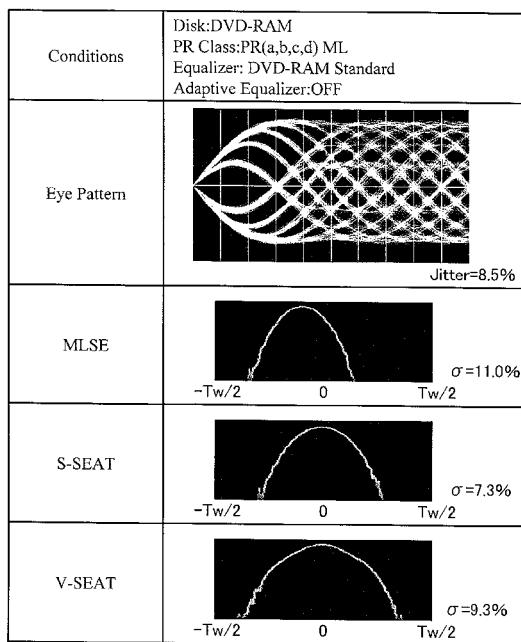
【図60】

図60



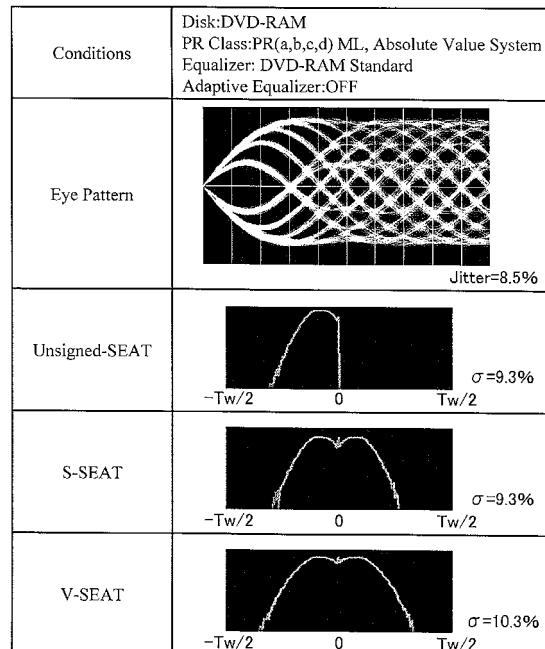
【図61】

図61



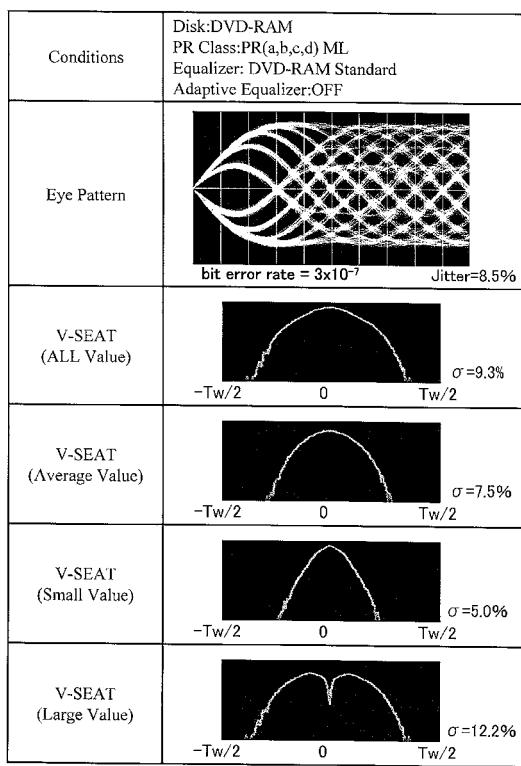
【図62】

図62



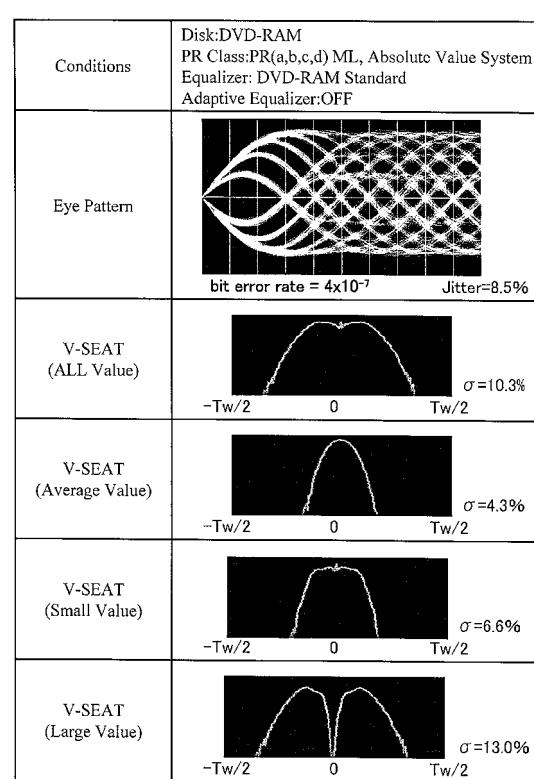
【図63】

図63



【図64】

図64



フロントページの続き

(51)Int.Cl.

F I

G 1 1 B 20/18 5 7 2 F
G 1 1 B 7/0045 B
G 1 1 B 7/005 Z
G 1 1 B 20/10 3 2 1 Z

(56)参考文献 特開2003-151219 (JP, A)

特開2003-141823 (JP, A)

特開2001-186027 (JP, A)

特開2003-272304 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 B 2 0 / 1 8
G 1 1 B 7 / 0 0 4 5
G 1 1 B 7 / 0 0 5
G 1 1 B 2 0 / 1 0