



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I529877 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：101128691

(22)申請日：中華民國 101 (2012) 年 08 月 09 日

(51)Int. Cl. : H01L23/34 (2006.01)

H01L23/36 (2006.01)

(30)優先權：2011/08/18 日本

2011-178933

(71)申請人：新光電氣工業股份有限公司 (日本) SHINKO ELECTRIC INDUSTRIES CO., LTD.
(JP)

日本

(72)發明人：根來修司 NEGORO, SYUJI (JP)

(74)代理人：何秋遠

(56)參考文獻：

TW 200733322

TW 200849510

JP 2010-34431A

JP 2010258008A

US 7031162B2

審查人員：姚真華

申請專利範圍項數：11 項 圖式數：10 共 27 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

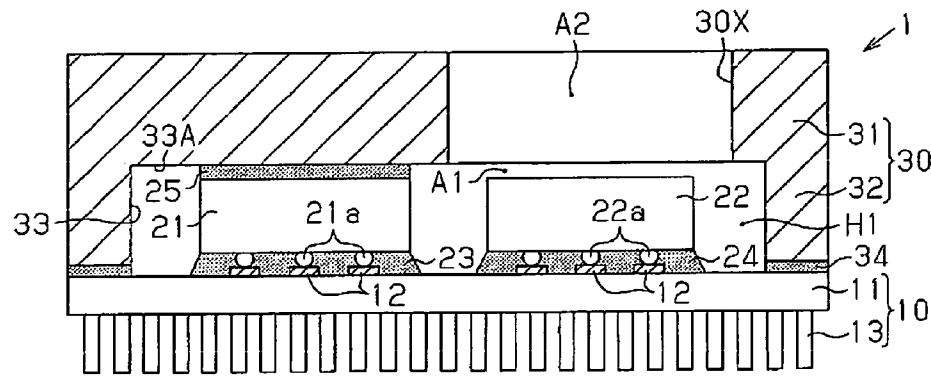
(57)摘要

一種半導體裝置，包含：一佈線基材；一第一半導體晶片，設置於該佈線基材上；及一第二半導體晶片，設置於該佈線基材上。該第二半導體晶片產生少於該第一半導體晶片的熱。一散熱板是被設置於該佈線基材上且部分在高於該第一及第二半導體晶片之位置處。該散熱板是被連接至該第一半導體晶片且包含一開口，其是被形成於對應至該第二半導體晶片之上表面的位置處。該第二半導體晶片之上表面係透過該開口而自該散熱板整個暴露。

A semiconductor device includes a wiring substrate, a first semiconductor chip mounted on the wiring substrate, and a second semiconductor chip mounted on the wiring substrate. The second semiconductor chip generates less heat than the first semiconductor chip. A heat dissipation plate is arranged on the wiring substrate and partially at a higher location than the first and second semiconductor chips. The heat dissipation plate is connected to the first semiconductor chip and includes an opening formed at a location corresponding to an upper surface of the second semiconductor chip. The upper surface of the second semiconductor chip is entirely exposed from the heat dissipation plate through the opening.

指定代表圖：

第 1 圖



符號簡單說明：

- 1 . . . 半導體裝置
- 10 . . . 佈線基材
- 11 . . . 基材主體
- 12 . . . 接觸墊
- 13 . . . 針腳
- 21 . . . 第一晶片
- 22 . . . 第二晶片
- 21a, 22a . . . 電極凸塊
- 23, 24 . . . 底部填充樹脂
- 25 . . . 導熱元件
- 30 . . . 散熱板
- 30X . . . 開口
- 31 . . . 平面部分
- 32 . . . 壁部分
- 33 . . . 中空部分
- 33A . . . 端表面
- 34 . . . 接合元件
- A1, A2 . . . 空間
- H1 . . . 容置部份

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101128691

※ 申請日：2012.8.9

※IPC 分類：

H01L 23/34 (2006.01)

H01L 23/36 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置/SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體裝置，包含：一佈線基材；一第一半導體晶片，設置於該佈線基材上；及一第二半導體晶片，設置於該佈線基材上。該第二半導體晶片產生少於該第一半導體晶片的熱。一散熱板是被設置於該佈線基材上且部分在高於該第一及第二半導體晶片之位置處。該散熱板是被連接至該第一半導體晶片且包含一開口，其是被形成於對應至該第二半導體晶片之上表面的位置處。該第二半導體晶片之上表面係透過該開口而自該散熱板整個暴露。

三、英文發明摘要：

A semiconductor device includes a wiring substrate, a first semiconductor chip mounted on the wiring substrate, and a second semiconductor chip mounted on the wiring substrate. The second semiconductor chip generates less heat than the first semiconductor chip. A heat dissipation plate is arranged on the wiring substrate and partially at a higher location than the first and second semiconductor chips. The heat dissipation plate is connected to the first semiconductor chip and includes an opening formed at a location corresponding to an upper surface of the second semiconductor chip. The upper surface of the second semiconductor chip is entirely exposed from the heat dissipation plate through the opening.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	半導體裝置	10	佈線基材	11	基材主體
12	接觸墊	13	針腳	21	第一晶片
22	第二晶片	21a,22a	電極凸塊	23,24	底部填充樹脂
25	導熱元件	30	散熱板	30X	開口
31	平面部分	32	壁部分	33	中空部分
33A	端表面	34	接合元件	A1,A2	空間
H1	容置部份				

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

於此所討論的實施例是有關半導體裝置。

【先前技術】

半導體裝置被要求為緊密的及精巧的。於基材上設置複數個半導體晶片之多晶片封裝(multi-chip package；MCP)被熟知為滿足此需求的一種半導體裝置。

於此一半導體裝置中，散熱組件(例如金屬散熱板)是被設置於半導體晶片上以將從半導體晶片產生的熱逸散至外界。此佈置確保及增加從半導體晶片至半導體裝置的外部之熱的轉移。導熱元件(熱介面材料(thermal interface material；TIM))是被設置於半導體晶片與散熱板之間。導熱元件補償半導體晶片與散熱板的表面中之不均勻度，同時降低接觸熱阻。如此，可平順地將熱從半導體晶片轉移至散熱板。

第10圖顯示先前技術中使用散熱板之半導體裝置3的範例。半導體裝置3包含佈線基材60。第一晶片61與第二晶片62是被設置於佈線基材60上而彼此相鄰。散熱板63係附接至第一晶片61與第二晶片62且被其所共用。導熱元件64是被設置於第一晶片61之上表面與散熱板63之下表面之間以及第二晶片62之上表面與散熱板63之下表面之間。

第一晶片61與第二晶片62產生熱。導熱元件64將熱導引至散熱板63。如此可抑制第一晶片61與第二晶片62中的溫度上升。

先前技術中的範例係描述於日本公開專利公開號第2004-172489與

2009-43978號。

於半導體裝置3中，半導體單元(例如邏輯單元，其具有大熱阻且產生大量的熱量)可被形成於第一晶片61。再者，半導體單元(例如記憶體，其具有小熱阻且易因受熱而被破壞)可被形成於第二晶片62。於此情形中，產生大量的熱之邏輯晶片係與易因受熱而被破壞的記憶體晶片被一起設置。如上所述，由第一晶片61與第二晶片62所產生的熱是被導引至相同的散熱板63。散熱板63將由產生大量的熱之半導體晶片(亦即第一晶片)所產生的熱導引至易因受熱而被破壞的半導體晶片(亦即第二晶片62)。當熱傳導使第二晶片62的溫度增加至過高的溫度時，第二晶片62會無法正常運作。因此，先前技術的半導體裝置3關於熱的可靠度是相對低。

【發明內容】

本實施例的目的係提供一種半導體裝置，其可改善關於熱的可靠度。

本實施例之一態樣是一種包含佈線基材之半導體裝置。一第一半導體晶片是被設置於該佈線基材上。一第二半導體晶片是被設置於該佈線基材上。該第二半導體晶片產生少於該第一半導體晶片的熱。一散熱板是被設置於該佈線基材上且部分在高於該第一及第二半導體晶片之位置處。該散熱板是被連接至該第一半導體晶片。該散熱板包含一開口，其是被形成於對應至該第二半導體晶片之上表面的位置處。該第二半導體晶片之上表面係透過該開口而自該散熱板整個暴露。

本實施例的以上態樣提供一種半導體裝置，其可改善關於熱的可靠

度。

本發明之其他態樣與優點在參考以下說明與所附圖式之後將變得清楚易懂。

【實施方式】

半導體裝置之實施例將參考所附圖式加以說明，圖式僅示意地顯示結構以幫助了解而被非以正確尺度繪製。

第一實施例

第一實施例將參考第1至3圖加以說明。參照第1圖，半導體裝置1包含針柵陣列(pin grid array；PGA)類型的佈線基材10、第一晶片21(第一半導體晶片)、第二晶片22(第二半導體晶片)、及散熱板30。第一晶片21與第二晶片22是被設置於佈線基材10中且彼此相鄰。散熱板30是被設置於第一晶片21上。於所示範例中，第一晶片21與第二晶片22是被設置為在水平方向相鄰且形成一平面結構。第一晶片21為邏輯晶片，其具有高熱阻且產生大量的熱。第二晶片22為記憶體晶片，其具有低於第一晶片21之熱阻且係易因受熱而被破壞。再者，第二晶片22為產生較第一晶片21為少的熱之半導體晶片。邏輯晶片的範例包含中央處理單元(CPU)晶片及圖形處理單元(GPU)晶片。記憶體晶片的範例包含動態隨機存取記憶體(DRAM)晶片、靜態隨機存取記憶體(SRAM)晶片、及快閃記憶體晶片。

佈線基材10包含基材主體11、形成於基材主體11之上表面上的接觸墊12、及形成於基材主體11之下表面的針腳13。基材主體11僅需具有可經

由基材內部電氣連接接觸墊12與針腳13之結構。因此，佈線層不必形成於基材主體11內。如此，可消除佈線層的需求。當佈線層被形成於基材主體11中，複數個佈線層係與被設置於其間之層間絕緣層堆疊，且接觸墊12與針腳13係經由形成於佈線層與樹脂層中的貫孔而電氣連接。基材主體11可為包含基材核心之有核(cored build-up)基材或不包含基材核心之無核基材。

第一晶片21包含電路形成表面(下表面，如第1圖所示)。電極凸塊21a是被形成於第一晶片21之電路形成表面上且覆晶接合(flip-chip bond)至接觸墊12。電鍍(例如鎳電鍍或金電鍍)可被施加至各連接墊12上之銅層的表面。電極凸塊21a可由例如金凸塊或錐料凸塊形成。錐料凸塊可從例如包含鉛(Pb)的合金；錫(Sn)與銅(Cu)的合金；錫與銀(Ag)的合金；錫、銀、與銅的合金或類似物中形成。

底部填充(underfill)樹脂23是被填充於第一晶片21之下表面與佈線基材10之上表面之間。底部填充樹脂23可由例如環氧樹脂之絕緣樹脂形成。

第二晶片22(其係在側向方向中與第一晶片21隔開)包含電路形成表面(下表面，如第1圖所示)。電極凸塊22a是被形成於第二晶片22之電路形成表面上且覆晶接合至接觸墊12。電極凸塊22a可由例如金凸塊或錐料凸塊形成。錐料凸塊可由例如包含鉛(Pb)的合金；錫(Sn)與銅(Cu)的合金；錫與銀(Ag)的合金；錫、銀、銅的合金；或類似物來形成。

底部填充樹脂24是被填充於第二晶片22之下表面與佈線基材10之上表面之間。底部填充樹脂24可由例如環氧樹脂之絕緣樹脂來形成。

第一晶片21可具有例如0.5至1 mm的高度。第二晶片22可具有與第一晶片21相同、小於第一晶片21、或大於第一晶片21的高度。舉例來說，第二晶片22可具有0.3至5 mm之高度。

半導體裝置1需要在第一晶片21(邏輯晶片)與第二晶片22(記憶體晶片)之間具有帶寬度(bandwidth)。要輕易獲得帶寬度的話，較佳地是將第一晶片21設置於第二晶片22鄰近。於非限制性的範例中，第一晶片21與第二晶片22係以大約2至3 mm的距離隔開。

散熱板30是被設置於較第一晶片21與第二晶片22為高的位置。散熱板30亦稱為熱傳佈器。散熱板30可由例如銅、銀、鋁、或這些金屬的合金、或類似物來形成。

散熱板30是被接合至佈線基材10。具體言之，接合元件34將散熱板30接合於佈線基材10大約第一晶片21與第二晶片22的周圍部分。接合元件34可由例如矽聚合物樹脂來形成。

散熱板30包含平面部分31與框架型態的壁部分32(其是被與平面部分31一體成型)。壁部分32包含一藉由接合元件34接合至佈線基材10之底表面。平面部分31與壁部分32在散熱板30中形成中空部份33。中空部份33與佈線基材10形成容置部份H1，其容置第一晶片21與第二晶片22。導熱元件25(TIM)將第一晶片21相對於電路形成表面(第1圖中之上表面)之表面熱耦合至散熱板30中之中空部份33的端表面33A。導熱元件25將從第一晶片21產生的熱逸散至散熱板30。散熱板30之平面部分31可具有舉例來說大約0.5至4 mm的厚度。導熱元件25可被與樹脂粘著劑一起形成為例如銦(In)之高導熱物質、矽(或烴)潤滑脂(silicone (or hydrocarbon) grease)、金屬充填劑、

或石墨的膜。導熱元件25具有舉例來說 20至30 μm 的厚度。

參照第2圖之平面圖，散熱板30包含開口30X，其係形成於對應至第二晶片22之上表面的位置處。開口30X係大於第二晶片22。於例示範例中，開口30X具有對應第二晶片22之形狀(例如四角形狀)。再者，開口30X具有大於第二晶片22之面積，如從上方觀看。於例示範例中，開口30X為通孔。第2圖顯示第二晶片22之上側，其形成空間A1(空氣)與空間A2(空氣)。空間A1是被形成於開口30X之下端與第二晶片22之上表面之間。空間A2是被形成於開口30X中。空間A1與A2將第二晶片22所產生的熱逸散至外界。再者，空間A1與A2將第二晶片22與散熱板30隔開。空間A1與A2作用為由第二晶片22產生的熱之散熱通道。此外，空間A1與A2亦作用為熱絕緣件，其抑制由散熱板30至第二晶片22的熱傳導。空間A1與A2可被稱為空氣通道或流動空氣層。

散熱板30係透過，舉例來說，鍛造製程或切削製程而製成。 —

操作

於半導體裝置3中，第一晶片21產生大量的熱。導熱元件25將第一晶片21所產生的熱傳導引至散熱板30。此處，散熱板30包含位於相對於第二晶片22之位置處的開口30X以暴露第二晶片22之整個上表面。再者，空間A1(間隙)是被形成於開口30X與第二晶片22之間。空間A1與A2作用為第二晶片22與散熱板30之間的熱絕緣件。因此，第二晶片22與散熱板30之間沒有熱耦合的接觸。如此，可抑制透過散熱板30將熱從第一晶片21傳導引至

第二晶片22的情況。

此實施例具有下述優點。

(1)開口30X(其暴露易因受熱而被破壞之第二晶片22的整個上表面)是被形成於對應於第二晶片22之位置處的散熱板30中。開口30X中之空間A2阻隔了透過散熱板30從第一晶片21至第二晶片22的熱傳導。如此，可降低來自第一晶片21的熱於第二晶片22上的效應，且第一晶片21的熱不會增加第二晶片22的溫度。因此，例如因高溫所造成第二晶片22無法正常運作之問題的發生是被抑制。結果，半導體裝置1關於熱的可靠度是被改善。

(2)散熱板30包含開口30X(空間A2)。因此，舉例來說，如第3圖所示，當第二晶片22具有大於第一晶片21的高度時，第二晶片22是被置於開口30X中。如此，即使當第一晶片21與第二晶片22具有不同高度時，消除了根據第一晶片21與第二晶片22的不同高度而改變散熱板30的形狀之需求。再者，不需要根據第一晶片21與第二晶片22在形狀上的不同，在散熱板30中之中空部份33的端表面33A中形成階梯部份。

如第3圖所示，即使當第二晶片22具有導致部分的第二晶片22被置放於開口30X中的高度時，開口30X係大於第二晶片22。因此，第二晶片22沒有接觸散熱板30，且空間A3是被形成於第二晶片22的側壁與散熱板30之間。空間A3的空氣抑制了透過散熱板30將熱從第一晶片21傳導引至第二晶片22的情況。

第一實施例的修改範例

第一實施例可被如下所述修改。

參照第4圖，當第二晶片22具有導致部分的第二晶片被置放於散熱板30之開口30X中的高度時，隔熱樹脂35可被設置於界定開口30X的壁面上。於第4A與4B圖所示的範例中，隔熱樹脂35是被設置於開口30X之壁面與第二晶片22之間。多孔樹脂(例如海綿狀乙酯樹脂)可被使用作為隔熱樹脂35。再者，隔熱樹脂35可為糊狀樹脂或薄膜樹脂。隔熱樹脂35係藉由黏著劑或類似物而被黏附至開口30X之壁面。

隔熱樹脂35具有較空間A3的空氣為高的隔熱能力。因此，被設置於開口30X之壁面與第二晶片22之間的隔熱樹脂35在較佳的方式下抑制了從散熱板30傳導引至第二晶片22的熱。

參照第5圖，隔熱樹脂36可被設置於第一晶片21與第二晶片22之間的佈線基材10上。隔熱樹脂36將容置部份H1(其係由散熱板30與佈線基材10所界定)分隔成對應至第一晶片21的區間與對應至第二晶片22的區間。如此，可降低透過第一晶片21與第二晶片22之間的空間之熱的轉移。較佳地，隔熱樹脂36熱隔離第一晶片21與第二晶片22。於第5圖中，隔熱樹脂36是被形成以覆蓋整個開口30X之壁面且圍繞第二晶片22與底部填充樹脂24。多孔樹脂(例如海綿狀乙酯樹脂)可被使用作為隔熱樹脂36。再者，隔熱樹脂35可為糊狀樹脂或薄膜樹脂。隔熱樹脂35係藉由黏著劑或類似物而被黏附至開口30X之壁面。再者，設置於第二晶片22與底部填充樹脂24周圍的

四側處之片狀樹脂亦可被使用作為隔熱樹脂36。替代地，圍繞第二晶片22與底部填充樹脂24之四角形管的樹脂可被使用作為隔熱樹脂36。隔熱樹脂36係藉由例如黏著劑而黏附至佈線基材10之上表面及至開口30X之壁面。

依此方式，在第一晶片21與第二晶片22之間的隔熱樹脂36之設置，可透過較佳方式為水平方向(側向方向)的空間，來阻隔自第一晶片21(其產生大量的熱)至第二晶片22之熱的轉移。隔熱樹脂36在至少第一晶片21與第二晶片22之間的佈置可獲得如上所述的相同優點。因此，隔熱樹脂36不需要圍繞整個第二晶片22。

第二實施例

現在將參考第6圖來說明第二實施例。與第1至5圖中的元件類似或相同的那些組件係給予類似或相同的元件符號。此等組件將不會詳細說明。

如第6A圖所示，半導體裝置2包含針柵陣列(pin grid array; PGA)類型的佈線基材10、第一晶片21、第二晶片22、散熱板30、散熱板40、及隔熱樹脂41。第一晶片21與第二晶片22是被設置於佈線基材10上且彼此相鄰。散熱板30是被設置於第一晶片21上。散熱板40是被設置於第二晶片22上。隔熱樹脂41是被設置於散熱板30及40之間。

導熱元件25將第一晶片21之上表面熱耦合至散熱板30(第一散熱板)中之中空部份33的端表面33A。散熱板30包含相對於第二晶片22之位置處的開口30X。開口30X係大於第二晶片22，如從上方觀看。導熱元件25將從第一晶片21產生的熱逸散至散熱板30。

導熱元件26將第二晶片22之上表面熱耦合至散熱板40(第二散熱板)之底表面。散熱板40(其為平面的)是被設置於散熱板30之開口30X中且與散熱板30隔開。散熱板40可由例如銅、銀、鋁、或這些金屬的合金、或類似物來形成。導熱元件26可被與樹脂粘著劑一起形成為例如銦(In)之高導熱物質、矽(或煙)潤滑脂(silicone (or hydrocarbon) grease)、金屬充填劑、或石墨的膜。

如第6B圖所示，隔熱樹脂41是被設置於散熱板40與散熱板30之界定開口30X的壁面之間。多孔樹脂(例如海綿狀乙酯樹脂)可被使用作為隔熱樹脂41。再者，隔熱樹脂41可為糊狀樹脂或薄膜樹脂。隔熱樹脂41係藉由黏著劑或類似物而被黏附至開口30X之壁面。

依此方式，於本實施例中，第一晶片21是被單獨地熱耦合至散熱板30，而第二晶片22是被單獨地熱耦合至散熱板40。散熱板30與散熱板40係彼此隔開。由第一晶片21所產生的熱係逸散至散熱板30，而由第二晶片22所產生的熱係逸散至散熱板40。依此方式，於本實施例之半導體裝置2中，第一晶片21之散熱通道係與第二晶片22之散熱通道隔開。再者，隔熱樹脂41是被設置於散熱板30與40(其形成散熱通道)之間。隔熱樹脂41以較佳方式阻隔透過散熱板30從第一晶片21至第二晶片22的熱傳導。

本實施例具有下述優點。

(1) 第一晶片21之散熱通道與第二晶片22之散熱通道隔開，且隔熱樹脂41是被設置於散熱板30與40(其形成第一與第二晶片21及22之散熱通道)

之間。如此，可以較佳方式抑制透過散熱板30從第一晶片21至第二晶片22的熱傳導。因此，第一晶片21的熱不會增加第二晶片22的溫度。如此，例如因高溫所造成第二晶片22無法正常運作之問題的發生是被抑制。結果，半導體裝置2關於熱的可靠度是被改善。

(2)第一晶片21是被熱耦合至散熱板30。因此，由第一晶片21所產生的熱是被轉移至散熱板30。如此，可有效率地將來自第一晶片21的熱逸散且可抑制第一晶片21的溫度增加。再者，第二晶片22是被熱耦合至散熱板40。因此，由第二晶片22所產生的熱是被轉移至散熱板40。如此，可有效率地將來自第二晶片22的熱逸散且可抑制第二晶片22的溫度增加。

第二實施例之修改範例

第二實施例可如下述修改。

參照第7圖，隔熱樹脂42(其係形成於散熱板40與散熱板30之界定開口30X的壁面之間)可從第一晶片21與第二晶片22之間的佈線基材10延伸。隔熱樹脂42將容置部份H1(參照第1圖)(其係由散熱板30與佈線基材10所界定)分隔成對應至第一晶片21的區間與對應至第二晶片22的區間。較佳地，隔熱樹脂42熱隔離第一晶片21與第二晶片22。隔熱樹脂42是被形成圍繞第二晶片22與底部填充樹脂24。隔熱樹脂42係藉由例如黏著劑而黏附至佈線基材10之上表面及至開口30X之壁面。

依此方式，在第一晶片21與第二晶片22之間的隔熱樹脂42之設置，

可透過較佳方式為水平方向(側向方向)的空間，來阻隔自第一晶片21(其產生大量的熱)至第二晶片22之熱的轉移。

應了解的是，對於所屬技術領域中具有通常知識者而言，本發明可在不超出本發明之精神與範疇的情況下以許多其他特定形式來實現。特別地，應了解的是，本發明可以下列形式來實現。

在以上實施例中，散熱片可被設置於散熱板30之上。散熱片可藉由例如導熱結構直接連接或間接連接至散熱板30之上表面。第8圖顯示第一實施例之修改範例。如第8圖所示，散熱鰭50是被設置於例如導熱元件51(其是被設置於散熱板30之上表面上)之上表面上。導熱元件51將散熱板30與散熱鰭50熱耦合。因此，由第一晶片21所產生的熱首先被轉移至散熱板30。接著，導熱元件51將熱傳導引至散熱鰭50，其將熱轉移至外界(典型地，空氣)。於此情形中，導熱元件52可將第二晶片22之上表面與散熱鰭50熱耦合。如此，可將第二晶片22所產生的熱轉移至外界。於此情形中，第一晶片21之熱轉移通道係藉由散熱鰭50連接至第二晶片22之熱轉移通道。由第一晶片21所產生的熱首先被轉移至散熱板30，接著被傳導引至散熱鰭50。因此，從散熱鰭50轉移至第二晶片22的熱之量是小於當散熱板30與第二晶片22是被熱耦合之時。因此，即使在此種結構中，因來自第一晶片21的熱而使第二晶片22的溫度增加的情形可被抑制。再者，第二晶片22與散熱鰭50的熱耦合係有效率地將從第二晶片22所產生的熱逸散。

於第二實施例之半導體裝置2中，散熱鰭50亦可被設置於散熱板30與40之上。

散熱鰭50可被藉由對無氧銅施加鍍鎳或由具有高熱導之材料(例如鋁)而形成。不同的冷卻或散熱部(例如熱管或氣室)可被提供以取代散熱鰭50。再者，多種類型的冷卻或散熱部(例如熱管或氣室)可被設置於散熱板30與散熱鰭50之間。

於以上各實施例中，散熱板30(其包含中空部份33)是被接合至佈線基材10。再者，佈線基材10與散熱板30形成容置部份H1，其容置第一晶片21與第二晶片22。然而，本發明並不限於此種結構。舉例來說，如第9圖所示，包含基材主體14之佈線基材10A可具有中空部份14A(其提供一設置表面以設置第一晶片21與第二晶片22)。平面散熱板30A可被接合至基材主體14之周圍部分，使得基材主體14與散熱板30A形成可容置第一晶片21與第二晶片22之容置部份H2。接合元件37接合佈線基材10A及散熱板30A。接合元件37可由例如矽聚合物樹脂來形成。

第9圖顯示第一實施例之半導體裝置1的修改範例。然而，第二實施例之半導體裝置3可以相同方式修改。

以上各實施例是被應用至PGA類型的佈線基材10，但亦可被應用至例如底板柵陣列(land grid array；LGA)類型的佈線基材或球柵陣列(ball grid array)類型的佈線基材。

於以上各實施例中，第一晶片21與第二晶片22是被覆晶接合至佈線基材10上。然而，第一晶片21與第二晶片22可被例如透過引線接合而設置於佈線基材10上。再者，覆晶設置與引線接合設置可被同時執行。

於以上各實施例中，兩個半導體晶片是被設置於佈線基材10上。然而，舉例來說，三或更多半導體晶片可被設置於佈線基材10上。

本範例與實施例僅為例示用而非限制用，且本發明並不受限於此處所載說明，但可在後附申請專利範圍的範疇及其等效內進行修改。

【圖式簡單說明】

本發明及其目的與優點可藉由參考較佳實施例的說明及所附圖式而清楚易懂，其中：

- 第1圖為顯示半導體裝置之第一實施例之剖面圖；
- 第2圖為顯示第1圖之半導體裝置的平面圖；
- 第3圖為顯示第1圖之半導體裝置的第一修改範例之剖面圖；
- 第4A圖為顯示第1圖之半導體裝置的第二修改範例之剖面圖；而
- 第4B圖為平面圖；
- 第5圖為顯示半導體裝置的第三修改範例之剖面圖；
- 第6A圖為顯示半導體裝置的第二實施例之剖面圖；而
- 第6B圖為平面圖；
- 第7圖為顯示第6A圖之半導體裝置的修改範例之剖面圖；
- 第8圖為顯示第1圖之半導體裝置的第四修改範例之剖面圖；
- 第9圖為顯示第1圖之半導體裝置的第四修改範例之剖面圖；及
- 第10圖為顯示先前技術之半導體裝置的剖面圖。

【主要元件符號說明】

1,3	半導體裝置	10,10A,6	佈線基材	11,14	基材主體
12	接觸墊	13	針腳	21,61	第一晶片
22,62	第二晶片	21a,22a	電極凸塊	23,24	底部填充樹脂
25,26,51,52,64	導熱元件	30,40,63	散熱板	30X	開口

31	平面部分	32	壁部分	33,14A	中空部分
33A	端表面	34,37	接合元件	A1,A2,A3	空間
H1,H2	容置部份	35,36,41,42	隔熱樹脂	50	散熱鰭

七、申請專利範圍：

1. 一種半導體裝置，包含：

一佈線基材；

一第一半導體晶片，設置於該佈線基材上；

一第二半導體晶片，設置於該佈線基材上，其中該第二半導體晶片

產生的熱量少於該第一半導體晶片所產生的；以及

一散熱板，設置於該佈線基材上且一部分地比該第一半導體晶片及該第二半導體晶片的位置為高，其中

該散熱板是被連接至該第一半導體晶片，

該散熱板包含一開口，該開口是被形成於該第二半導體晶片之一上表面所對應的一位置處，及

透過該開口，該第二半導體晶片之上表面是由該散熱板完全的暴露出來，該第二半導體晶片的上表面與該散熱板在其之間界定出一空間。

2. 如請求項1之半導體裝置，其中該空間隔開該第二半導體與該散熱板。

3. 如請求項1之半導體裝置，其中該第二半導體晶片是被置放於該開口中，且該半導體裝置更包含一隔熱樹脂，隔熱樹脂係形成於該第二半導體晶片與界定該開口之一壁面之間。

4. 如請求項1之半導體裝置，更包含一隔熱樹脂，其是被設置於該第一半導體晶片及該第二半導體晶片之間的佈線基材上。

5. 如請求項3之半導體裝置，更包含一隔熱樹脂，其是被設置於該第

一半導體晶片及該第二半導體晶片之間的佈線基材上。

6. 如請求項1之半導體裝置，其中該第二半導體晶片沒有接觸到界定該開口之一壁面。

7. 如請求項6之半導體裝置，其中一空氣通道是被形成於該第二半導體晶片與界定該開口之該壁面之間。

8. 如請求項6之半導體裝置，其中一隔熱樹脂是被形成於該第二半導體晶片與界定該開口之該壁面之間。

9. 一種半導體裝置，包含：

一佈線基材；

一第一半導體晶片，設置於該佈線基材上；

一第二半導體晶片，設置於該佈線基材上，其中該第二半導體晶片產生的熱量少於該第一半導體晶片所產生的；以及

一散熱板，設置於該佈線基材上且局部比該第一半導體晶片及該第二半導體晶片的位置為高，其中

該散熱板是被連接至該第一半導體晶片，

該散熱板包含一開口，該開口是被形成於該第二半導體晶片之一上表面所對應的一位置處，及

該第二半導體晶片是被置放於該開口中，且

該第二半導體晶片之上表面是透過該開口由該散熱板完全的暴露

出來；及

一散熱部，其是被設置於該散熱板上且與該散熱板及該第二半導體晶片連接。

10. 一種半導體裝置，包含：

一佈線基材；

一第一半導體晶片，設置於該佈線基材上；

一第二半導體晶片，設置於該佈線基材上，其中該第二半導體晶片產生的熱少於該第一半導體晶片所產生的熱；

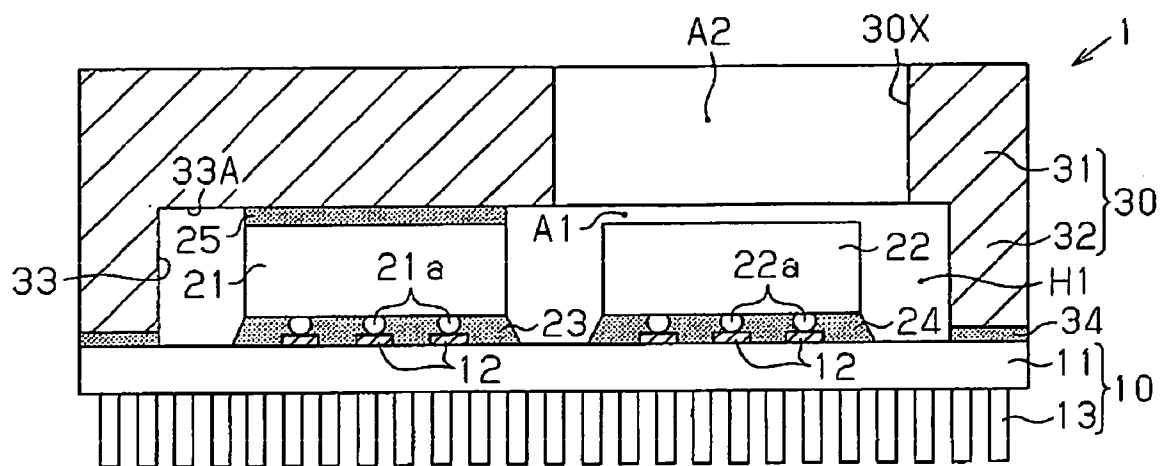
一第一散熱板，設置於該佈線基材上且一部分地比該第一半導體晶片及該第二半導體晶片之位置為高，其中該第一散熱板是被連接至該第一半導體晶片且包含一開口，該開口是被形成於該第二半導體晶片之一上表面所對應的位置處；

一第二散熱板，設置於該開口中且與該第二半導體晶片連接；及

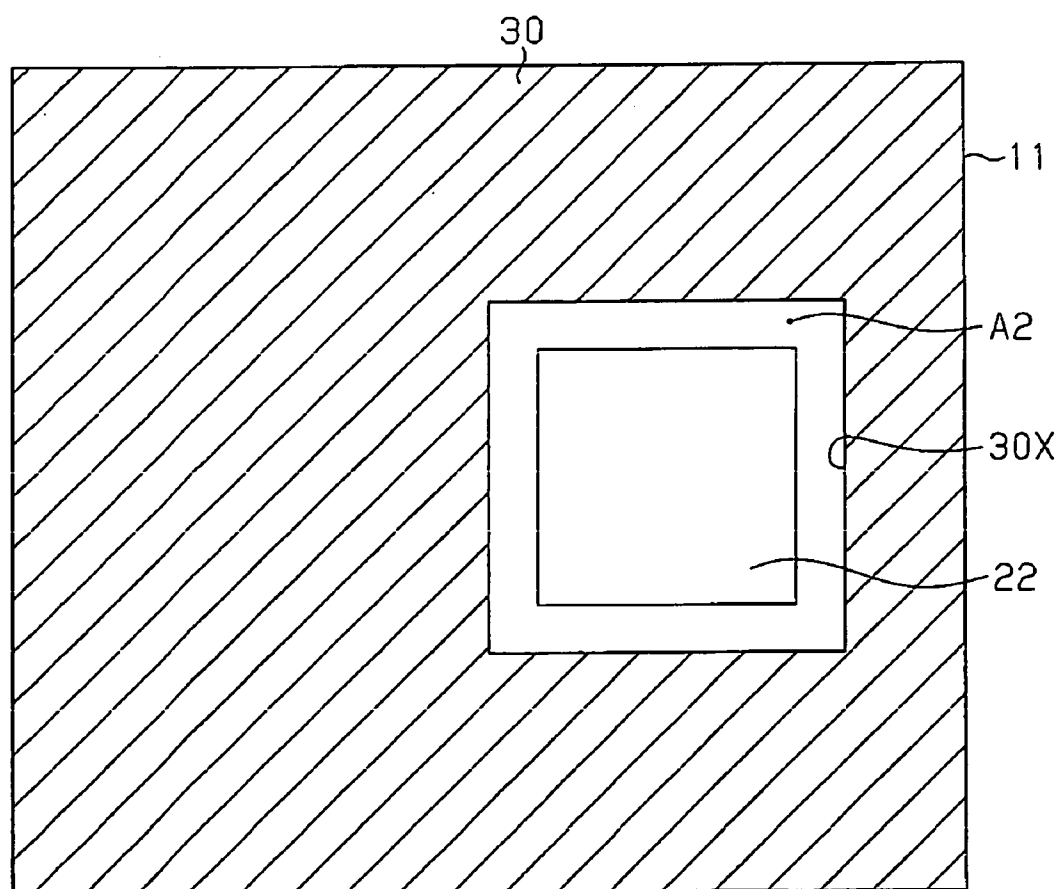
一隔熱樹脂，形成於該第二散熱板與界定該開口之一壁面之間。

11. 如請求項10之半導體裝置，其中該隔熱樹脂是被設置於該第一半導體晶片及該第二半導體晶片之間的佈線基材上。

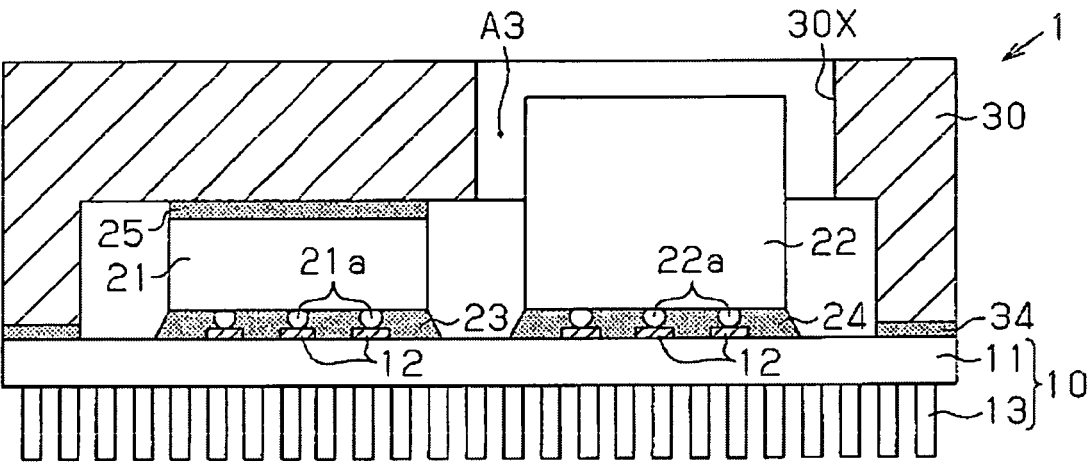
第 1 圖



第 2 圖



第 3 圖



A cross-sectional view of a semiconductor device 1. The device features a substrate 10 with a base layer 11 and a bottom electrode layer 13. A central cavity is formed in the substrate. On the left side of the cavity, there is a structure 21 consisting of a bottom electrode 21a and a top layer 25. On the right side, there is a structure 22 consisting of a bottom electrode 22a and a top layer 24. Both structures 21 and 22 are connected to the bottom electrode layer 13 via contact points 12. A vertical layer 35 is located on the left side of the cavity, and a vertical layer 30X is on the right side. A horizontal layer A2 is positioned above the cavity. The entire device is enclosed in a protective layer 30. A reference numeral 1 points to the entire device.

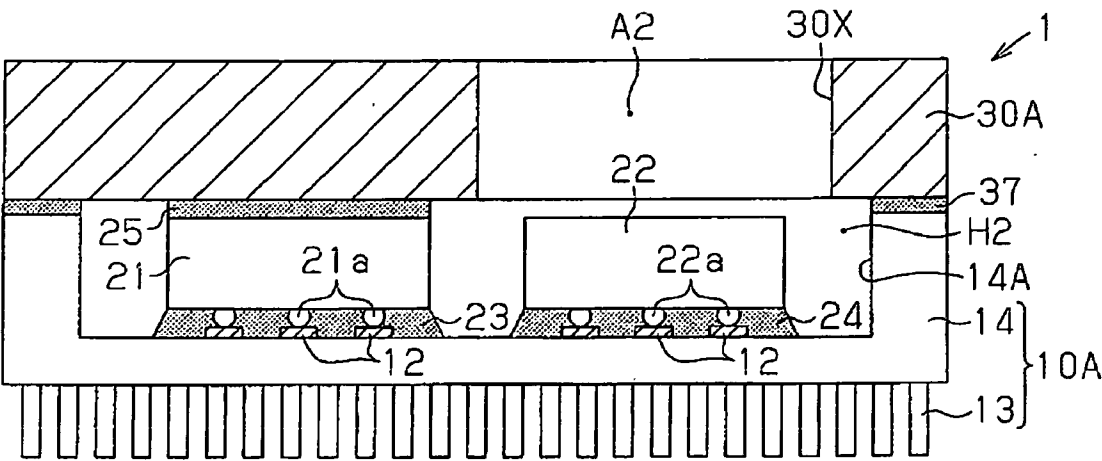
Figure 1 is a schematic diagram of a substrate 11. The substrate 11 is represented by a large rectangle filled with diagonal hatching lines. Within the substrate 11, there is a square region 30. This square region 30 is composed of a central square area 22 and a surrounding square frame 35. The frame 35 is filled with a stippled pattern. A label 30X points to the frame 35.

Figure 1 is a schematic diagram of a substrate 11. The substrate 11 is represented by a large rectangle with diagonal hatching. A central square region 30 is defined by a thick border 40 with a dotted pattern. Inside this border is a smaller square region 30X with a diagonal hatching pattern. A label 41 points to the dotted border 40.

Figure 1 is a cross-sectional view of a semiconductor device 30X. The device is formed on a substrate 10, which includes a base layer 11 and a passivation layer 13. A protective layer 23 is formed on the substrate 10. Two semiconductor elements, 21a and 22a, are formed on the protective layer 23. Each element consists of a semiconductor layer 21 and 22, respectively, and a contact layer 25 and 26, respectively. The elements are connected to a common bus 12 and a power supply line 40. The device is labeled 30X.

A cross-sectional view of a semiconductor device 10. The device features a substrate 11 with a bottom layer 13. A central region 30 contains a large cavity 52. This cavity is flanked by side walls 30X and a bottom layer 34. The side walls 30X are composed of a lower portion 22 and an upper portion 24, separated by a horizontal layer 23. The bottom layer 34 is also composed of a lower portion 21 and an upper portion 25, separated by a horizontal layer 22a. The top surface of the device is covered by a layer 50, which is patterned into a series of rectangular blocks. A layer 51 is located between the top surface 50 and the side walls 30X. A layer 12 is located between the bottom layer 34 and the substrate 11. A layer 13 is located between the substrate 11 and the bottom layer 34. A layer 10 is located between the substrate 11 and the bottom layer 34.

第 9 圖



第 10 圖

