



(12) 发明专利申请

(10) 申请公布号 CN 103762216 A

(43) 申请公布日 2014.04.30

(21) 申请号 201410055662.9

(22) 申请日 2009.03.05

(30) 优先权数据

12/062,354 2008.04.03 US

(62) 分案原申请数据

200980112123.1 2009.03.05

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 沃纳·云林

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

(51) Int. Cl.

H01L 27/105(2006.01)

H01L 27/108(2006.01)

H01L 21/8232(2006.01)

权利要求书2页 说明书14页 附图61页

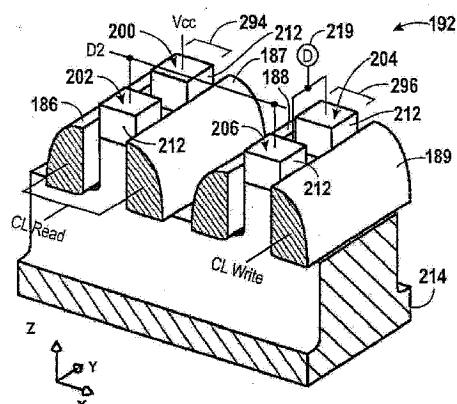
(54) 发明名称

具有驱动器的数据单元及其制造方法和操作

方法

(57) 摘要

本发明涉及具有驱动器的数据单元及其制造方法和操作方法。本发明揭示方法及装置，其中装置包括：第一半导体鳍状物，其具有第一栅极；第二半导体鳍状物，其邻近于所述第一半导体鳍状物且具有第二栅极；以及第三栅极，其在所述第一半导体鳍状物与所述第二半导体鳍状物之间延伸。在一些实施例中，所述第三栅极可不电连接到所述第一栅极或所述第二栅极。



1. 一种电路,其包含:

多个数据单元,其各自包含:

数据元件;以及

驱动器,其连接到所述数据元件。

2. 根据权利要求 1 所述的电路,其中所述数据元件包含电容器。

3. 根据权利要求 1 所述的电路,其包含:

读取存取装置,其耦合到所述数据元件;以及

数据线,其耦合到所述读取存取装置。

4. 根据权利要求 3 所述的电路,其包含:

读取控制线,其连接到所述驱动器;以及

写入控制线,其连接到所述读取存取装置的晶体管栅极。

5. 根据权利要求 1 所述的电路,其中所述驱动器包含:

写入存取装置;以及

放大晶体管。

6. 根据权利要求 5 所述的电路,其中所述放大晶体管的栅极连接到所述数据元件。

7. 根据权利要求 6 所述的电路,其中所述写入存取装置包含通过所述放大晶体管彼此连接的两个晶体管。

8. 一种方法,其包含:

通过改变电容器的电压来存储数据;

将所述电容器的所述电压施加到第一鳍式场效应晶体管的第一栅极;

至少部分根据所述第一栅极的所述电压来控制流经所述第一鳍式场效应晶体管的电流;以及

通过测量所述电流或由所述电流产生的电压的改变来读取所述所存储的数据。

9. 一种方法,其包含:

在衬底中形成多个绝缘沟槽;

在所述绝缘沟槽之间形成多个沟槽片段;

形成多个鳍状物以分别包含多个支脚,其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸。

10. 根据权利要求 9 所述的方法,其中所述沟槽片段不在两个以上的邻近鳍状物之间延伸。

11. 根据权利要求 9 所述的方法,其包含在形成所述多个鳍状物之前在所述沟槽片段中形成列栅极。

12. 一种存储器装置,其包含:

存储器单元的阵列,每一存储器单元包含:

电容器板;以及

第一晶体管,其具有连接到所述电容器板的栅极。

13. 根据权利要求 12 所述的存储器装置,其中每一单元包含与所述第一晶体管串联连接的第二晶体管,其中所述第一晶体管及所述第二晶体管为鳍式场效应晶体管。

14. 一种方法,其包含:

形成进入衬底的半导体材料的多个沟槽，并在所述沟槽中形成电介质材料；

在所述沟槽中形成电介质材料之后，向所述半导体材料内进行蚀刻以形成在所述沟槽之间的所述半导体材料中的多个沟槽片段；以及

形成多个鳍状物，其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸。

15. 一种方法，其包含：

形成进入衬底的半导体材料的多个绝缘沟槽；

在所述绝缘沟槽之间形成多个沟槽片段；

形成多个鳍状物，其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸；以及

在形成所述多个鳍状物之前在所述沟槽片段中形成列栅极。

16. 一种方法，其包含：

形成进入衬底的半导体材料的多个沟槽，并在所述沟槽中形成电介质材料；

在所述沟槽中形成所述电介质材料之后，在所述沟槽之间形成进入所述半导体材料的多个沟槽片段；

形成多个鳍状物，其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸；以及

形成邻近于所述多个鳍状物的侧的栅极，其中形成所述栅极包含：在所述多个鳍状物的水平表面和邻近侧上沉积导电材料，之后，各向异性地蚀刻所述导电材料以从水平表面移除所述导电材料并留下邻近所述多个鳍状物的侧的导电材料。

17. 一种方法，其包含：

形成进入衬底的半导体材料的多个沟槽，并在所述沟槽中形成电介质材料；

在所述沟槽中形成所述电介质材料之后，在所述沟槽之间形成进入所述半导体材料的多个沟槽片段；以及

形成多个鳍状物，其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸，所述沟槽片段各自具有包含半导体材料的底部，并包含植入在所述多个沟槽片段的所述底部的半导体材料的角度离子以抑制寄生器件的形成。

18. 一种方法，其包含：

形成进入衬底的半导体材料的多个在纵向上延长、并且并行的绝缘沟槽，并在所述沟槽中形成电介质材料；

在所述沟槽中形成所述电介质材料之后，向所述半导体材料内进行蚀刻以在所述沟槽之间的所述半导体材料中形成多个在纵向上延长、并间隔开的沟槽片段；

以及

形成多个鳍状物，其中所述沟槽片段在邻近鳍状物对之间延伸但不在四个以上的鳍状物之间延伸。

## 具有驱动器的数据单元及其制造方法和操作方法

[0001] 分案申请的相关信息

[0002] 本案是分案申请。该分案的母案是申请日为 2009 年 3 月 5 日、申请号为 200980112123.1、发明名称为“具有驱动器的数据单元及其制造方法和操作方法”的发明专利申请案。

### 技术领域

[0003] 本发明的实施例大体来说涉及电子装置，且更具体来说，在某些实施例中，涉及具有具驱动器的数据单元的电子装置。

### 背景技术

[0004] 许多类型的电子装置具有多个数据单元。通常，所述数据单元各自包括一数据元件（例如，存储器元件、成像元件，或经配置以输出数据的其它装置（例如，各类传感器））及（在一些例子中）一存取装置（例如，晶体管或二极管）。大体上，存取装置控制对数据元件的存取，且数据元件输出指示所存储或所感测的数据的信号。

[0005] 在一些电子装置中，来自所述数据元件的信号过弱而不能被可靠地感测到。通常，将所述数据元件制造成相对小以增加电子装置的功能性且降低其成本。但是，此实践的一个结果是一些数据元件输出相对弱（例如，低强度）的信号。结果，可难以使用所述信号来实现有用的目的，例如指示由数据元件存储或感测的数字值（例如，0、1、00、01 等）或模拟值。

### 附图说明

[0006] 图 1 到图 29 说明用于根据本技术的一实施例形成存取装置及驱动器的过程中的步骤；

[0007] 图 30 说明可以图 1 到图 29 所说明的存取装置及驱动器形成的单一数据单元的电路示意图；

[0008] 图 31 到图 38 说明用于形成连接到图 1 到图 30 的存取装置及驱动器的数据元件的过程；

[0009] 图 39 及图 40 说明根据本技术的实施例的数据单元阵列的两个实施例；

[0010] 图 41 到图 57 说明用于根据本技术的一实施例形成存取装置及驱动器的过程的第二实施例中的步骤；以及

[0011] 图 58 到图 63 说明以通过图 41 到图 57 的过程产生的存取装置及驱动器形成的数据单元。

### 具体实施方式

[0012] 图 1 说明用于形成存取装置及驱动器的过程中的第一步骤。所述过程可开始于提供衬底 110。衬底 110 可包括半导体材料（例如，单晶或多晶硅、砷化镓、磷化铟）或具有

半导体性质的其它材料。另外或其它,衬底 110 可包括上面可构造有电子装置的非半导体主体,例如,例如塑料或陶瓷加工面等主体。术语“衬底”包含各个制造阶段中的这些结构,包括未经处理的完整晶片、部分处理的完整晶片、完全处理的完整晶片、经切割晶片的一部分,或在经封装的电子装置中经切割晶片的一部分。

[0013] 衬底 110 可包括上部掺杂区 112 及下部掺杂区 114。上部掺杂区 112 的深度在衬底 110 的实质区域上可为大体上均匀的,且上部掺杂区 112 可与下部掺杂区 114 不同地掺杂。举例来说,上部掺杂区 112 可包括 n+ 材料,且下部掺杂区 114 可包括 p- 材料,或反之亦然。

[0014] 接下来,如由图 2 所说明,可在衬底 110 上形成若干个膜。可在上部掺杂区 112 上直接形成衬垫氧化物 116。衬垫氧化物 116 可具有小于 300 Å (例如,通常接近于 80 Å) 的厚度。可在衬垫氧化物 116 上形成终止体 (例如,层) 118。终止体 118 可包括氮化物,且其可具有小于 300 Å (例如,通常接近于 95 Å) 的厚度,但如同本文所描述的其它结构,终止体 118 不限于这些尺寸或材料。可在终止体 118 上形成牺牲体 120。牺牲体 120 可由多晶硅制成,且其可具有在 500 Å 与 2,000 Å 之间 (例如,通常接近于 1000 Å) 的厚度。可在牺牲体 120 上形成下部遮蔽体 122。下部遮蔽体 122 可由氧化物制成,且其可具有在 500 Å 与 2,000 Å 之间 (例如,通常接近于 1000 Å) 的厚度。最后,可在下部遮蔽体 122 上形成上部遮蔽体 124。上部遮蔽体 124 可由碳制成,且其可具有在 1000 Å 与 3000 Å 之间 (例如,通常接近于 2000 Å) 的厚度。可通过化学气相沉积、自旋涂布或此项技术中已知的其它工艺来形成这些材料 116、118、120、122 及其它材料。

[0015] 接下来,如由图 3 所说明,可形成列掩模 126。(术语“列”不指代衬底 110 上的除了一方向 (所述方向不同于随后介绍的行延伸的方向) 之外的任何特定水平方向。) 列掩模 126 可包括一线图案,其界定具有宽度 128 的遮蔽区及具有宽度 130 的暴露区。宽度 128 与 130 可大体上彼此相等且各自大体上等于平版印刷分辨率极限 (例如,光刻分辨率极限),被称为“F”。列掩模 126 可具有大体上等于 2F 的间距 132。由列掩模 126 形成的线可大体上为直的、大体上彼此平行,且可大体上在 X 方向上延伸。这些线在 X 方向上可大体上为连续的且大体上均匀。但是,在其它实施例中,由列掩模 126 形成的线可具有其它形状,例如,其可成波浪形 (例如,上下、左右或两者皆有),其在 X 方向上宽度可改变,或其可由多个较短片段来形成。

[0016] 在形成列掩模 126 后,如由图 4 所说明,可形成列硬掩模 134。可通过大体上各向异性地蚀刻 (例如,用方向性等离子蚀刻) 安置于未由列掩模 126 覆盖的区下方的上部遮蔽体 124 的部分及下部遮蔽体 122 的部分来形成列硬掩模 134。在一些实施例中,所述蚀刻可终止于牺牲体 120 上或牺牲体 120 中。

[0017] 接下来,如由图 5 所说明,可移除列掩模 126,且可在列硬掩模 134 的侧壁上形成列间隔片 136。可通过沉积大体上共形的膜 (例如,在垂直及水平结构两者上具有大体上均匀的厚度的膜) 且接着各向异性地蚀刻所述膜以将其从水平表面移除从而在衬底 110 上留下抵靠大体上垂直的表面而安置的材料来形成列间隔片 136。列间隔片 136 可由氧化物制成,且其可具有小于 100nm (例如,小于或大体上等于 36nm) 的宽度 138。列间隔片 136 可使由

列硬掩模 134 暴露的区域变窄到宽度 140，宽度 140 小于或等于 F，例如，大体上等于或小于 3/4F、1/2F 或 1/4F。

[0018] 接下来，如由图 6 所说明，可形成列隔离沟槽 142。可通过大体上各向异性地蚀刻列间隔片 136 之间的暴露区来形成列隔离沟槽 142。列隔离沟槽 142 可具有对应于宽度 140 的宽度 141（例如，大体上等于宽度 140 或与宽度 140 成比例）。列隔离沟槽 142 可大体上在 X 方向上延伸，且可大体上彼此平行且大体上为直的。列隔离沟槽 142 的横截面形状在 X 方向上可大体上均匀。在一些实施例中，列隔离沟槽 142 可具有在 500 Å 与 5000 Å 之间（例如，大体上等于 2500 Å）的深度 144。

[0019] 如由图 7 所说明，在形成列隔离沟槽 142 后，可用电介质 146 来部分地或完全地填充列隔离沟槽 142。电介质 146 可由各种材料（例如，氧化物）制成，且其可衬有各种衬层膜（未图示），例如氧化物衬层及氮化物衬层。在一些实施例中，在形成电介质 146 之前，列隔离沟槽 142 的底部可植入或扩散有经选择以使在列隔离沟槽 142 的相对侧上的结构进一步电隔离的掺杂剂。

[0020] 接下来，如由图 8 所说明，可平坦化衬底 110。平坦化衬底 110 可包括蚀刻衬底 110 或通过化学机械平坦化来抛光所述衬底。平坦化可包括移除上部遮蔽体 124 及下部遮蔽体 122 两者，且平坦化可终止于牺牲体 120 上或牺牲体 120 中。另外，可移除电介质 146 的上部部分。

[0021] 接下来，如由图 9 所说明，可部分地或完全地移除牺牲体 120。移除此体 120 可包括通过选择性地蚀刻牺牲体 120 而不移除所暴露电介质 146 的实质部分的蚀刻（即，通过对牺牲体 120 具选择性的蚀刻）来湿式蚀刻或干式蚀刻衬底 110。如果一蚀刻移除一材料而未移除实质量的其它类型的材料，则将所述蚀刻称为对所述材料具“选择性”。在移除牺牲体 120 后，由电介质 146 形成的大体上垂直的突出物 148 可从衬底 110 延伸。

[0022] 接下来，如由图 10 所说明，可在电介质 146 的大体上垂直突出物 148 的侧壁上形成第二列间隔片 150。如同先前所述的列间隔片 136 一样，可通过在衬底 110 上沉积大体上共形的膜且各向异性地蚀刻所述膜直到大体上将所述膜从水平表面移除为止从而在衬底 110 上的垂直表面上留下所述材料来形成第二列间隔片 150。第二列间隔片 150 可由与电介质 146 相同的材料（例如，氧化物）制成，或其可由不同材料制成。第二列间隔片 150 可具有小于或大体上等于 100nm（例如，小于或大体上等于 36nm）的宽度 152。间隔片 150 可界定在邻近间隔片 150 之间的宽度 154，其大体上小于或等于 1F、3/4F、1/2F 或 1/4F。

[0023] 如由图 11 所说明，在形成第二群组列间隔片 150 后，可形成列栅极沟槽 152。可通过大体上各向异性地蚀刻第二群组列间隔片 150 之间的暴露区来形成列栅极沟槽 152。列栅极沟槽 152 可大体上彼此平行且平行于列隔离沟槽 142，且其可大体上在 X 方向上延伸。列栅极沟槽 152 可具有小于列隔离沟槽 142 的深度 144（图 6）且大于上部掺杂区 112 的深度的深度 154。

[0024] 接下来，如由图 12 所说明，可形成列分段掩模 156。如同所论述的其它掩模，列分段掩模 156 可为用光刻或其它图案化工艺来形成的软掩模或硬掩模。列分段掩模 156 可界定遮蔽区 158 及暴露区 160。遮蔽区 158 可大体上在 Y 方向上延伸，且其可大体上为直的且大体上彼此平行。但是，在其它实施例中，遮蔽区 158 可成波浪形、宽度改变或为分段的。遮

蔽区 158 可具有大体上等于或小于 F 的宽度。暴露区 160 可宽于遮蔽区 158，且暴露区 160 与遮蔽区 158 可共同大体上界定列分段掩模 156 的间距 161。列分段掩模 156 可由光致抗蚀剂形成，或其可为（例如）硬掩模。可将列分段掩模 156 的一部分安置于沟槽 152 中。

[0025] 如由图 13 所说明，接着可蚀刻衬底 110。蚀刻衬底 110 可包括用将材料从下部掺杂区 114 选择性地移除的大体上各向异性蚀刻来蚀刻衬底 110。这可形成列栅极沟槽 152 的较深部分 162。

[0026] 在形成较深部分 162 后，如由图 14 所说明，可移除列分段掩模 156，且如由图 15 所说明，可部分地或实质上平坦化衬底 110。平坦化衬底 110 可包括选择性地蚀刻第二群组列间隔片 150 及垂直突出物 148，或此过程可包括用化学机械平坦化来平坦化这些结构。在其它实施例中，第二群组列间隔片 150 及垂直突出物 148 的一部分或所有可留在衬底 110 上且在随后步骤期间被移除。

[0027] 接下来，如由图 16 所说明，可形成列栅极电介质 164。可沉积、生长或以其它方式来形成列栅极电介质 164，且其可实质上或完全覆盖上部掺杂区 112 及下部掺杂区 114 的暴露部分。举例来说，列栅极电介质 164 可包括以下各者、由以下各者组成，或基本上由以下各者组成：各种电介质材料（例如，氧化物（例如，二氧化硅）、氮氧化物）或高电介质常数材料（如二氧化铪、二氧化锆及二氧化钛）。

[0028] 在形成列栅极电介质 164 后，如由图 17 所说明，在一些实施例中，可形成列栅极 166。列栅极 166 可由导电材料（例如，金属或掺杂多晶硅）制成，且其可通过在衬底 110 上沉积所述导电材料直到形成一盖层为止且接着蚀刻所述导电材料直到列栅极 166 凹进到上部掺杂区 112 以下为止来形成。在一些实施例中，列栅极 166 不凹进到列栅极沟槽 152 的较深部分 162 中，使得列栅极 166 在 X 方向上在较深部分 162 之间大体上连续。

[0029] 接下来，如由图 18 所说明，可在衬底 110 上形成列栅极覆盖层 168。列栅极覆盖层 168 可为电介质材料，例如氧化物、氮化物或其它适当材料。在一些实施例中，可通过在衬底 110 上沉积电介质材料且接着用蚀刻或化学机械平坦化来平坦化所述电介质材料来形成列栅极覆盖层 168。

[0030] 在形成列栅极覆盖层 168 后，如由图 19 所说明，可形成行掩模 170。行掩模 170 可包括大体上在 Y 方向上延伸的多个线。在一些实施例中，这些线大体上平行、大体上为直的，且在 Y 方向上具有大体上均匀的宽度。但是，在其它实施例中，这些线可成波浪形、宽度改变或为分段的。行掩模 170 可大体上界定遮蔽区 172 及暴露区 174，其共同可在 X 方向上以间距 176 来重复。间距 176 可大体上等于列分段掩模 156 的间距 161（图 12）的一半。掩模 170 可在 X 方向上对准，使得行掩模 170 的交替暴露区 172 与列深沟槽 152 的较深部分 162 的边缘 178 重叠（由图 20 中的蚀刻后视图更清楚地说明的布置）。遮蔽区 172 的宽度可大体上等于或小于 F、3/4F 或 1/2F。行掩模 170 可由光致抗蚀剂制成，或其可为硬掩模。在一些实施例中，可通过使通过光刻形成的结构成双间距以形成亚光刻特征来形成行掩模 170，或可使用其它亚光刻技术，例如抗蚀剂回流工艺或通过湿式蚀刻来对硬掩模进行底切的抗蚀剂底切工艺。（成双间距指代在经图案化的结构上形成侧壁间隔片以使由经图案化的结构界定的结构的数目加倍的过程。）

[0031] 接下来，如由图 20 所说明，可蚀刻衬底 110 以形成通过行栅极沟槽 182 分隔的鳍状物行 180。可通过大体上各向异性地蚀刻由行掩模 170 界定的暴露区 174 来形成行栅极

沟槽 182。行栅极沟槽 182 可延伸到衬底 110 中与列栅极沟槽 152 的较深部分 162 重叠的深度处。在一些实施例中, 行栅极沟槽 182 不延伸到较深部分 162 的底部, 留下列栅极 166 的在鳍状物行 180 之间延伸的一部分。

[0032] 在形成行栅极沟槽 182 后, 如由图 21 所说明, 可形成行栅极电介质 184。可生长、沉积或以其它方式来形成行栅极电介质 184, 且其可包括在上文参考列栅极电介质 164 所描述的电介质材料中的一者或一者以上。

[0033] 在形成行栅极电介质 184 后, 如由图 22 所说明, 可形成行栅极 186、187、188 及 189。在此实施例中, 可通过侧壁间隔片方法来形成行栅极 186、187、188 及 189。可在衬底 110 上沉积导电材料 (例如, TiN、其它适当金属或掺杂多晶硅) 的膜, 且接着对其各向异性地蚀刻以在每一鳍状物行 180 的任一侧上留下导电侧壁间隔片 186 或 188。行栅极 186、187、188 及 189 可与上部掺杂区 112 重叠。在一些实施例中, 行栅极 186 与 187 可彼此耦合且处于大体上相同的电压下, 或在其它实施例中, 其可受到独立地控制。类似地, 行栅极 188 与 189 可彼此耦合, 或其可受到独立地控制。

[0034] 接下来, 如由图 23 所说明, 可在衬底 110 上形成电介质材料 190。电介质材料 190 可为氧化物、氮化物或其它适当材料, 且其可使与邻近鳍状物行 180 相关联的栅极 186、187、188 及 189 隔离。

[0035] 在形成电介质材料 190 后, 如由图 24 所说明, 可平坦化衬底 110。可通过蚀刻或化学机械平坦化来平坦化衬底 110。在一些实施例中, 平坦化使上部掺杂区 112 的顶部部分暴露以用于建立与随后形成的数据线及数据元件的电接触。

[0036] 此过程可产生各自具有三个晶体管的单元 192 的阵列: 一个晶体管由行栅极 188 及 189 控制, 一个晶体管由列片段栅极 210 (在图 24 中未在数字上指定) 控制, 且一个晶体管由行栅极 186 及 187 控制。在下文描述这些晶体管。所产生的阵列是通过图 24 的透视图说明, 且个别单元的实例通过图 25 到图 30 说明。在此实施例中每一单元的半导体部分是通过图 25 及图 26 说明, 且个别单元的其它方面是通过图 27 到图 30 说明。

[0037] 如由图 25 及图 26 所描绘, 每一单元 192 可包括通过共同空腔 198 分割的两个鳍状物 194 及 196, 所述共同空腔 198 在鳍状物 194 与 196 之间延伸。鳍状物 194 可包括可安置于空腔 198 的任一侧上的两个支脚 200 及 202, 且鳍状物 196 可包括也可安置于空腔 198 的任一侧上的两个支脚 204 及 206。在一些实施例中, 空腔 198 改变支脚 204 与 206 之间的深度以形成横跨于支脚 204 与 206 之间的升高部分 208。支脚 200、202、204 及 206 可包括一由上部掺杂区 112 形成的远端部分及一由下部掺杂区 114 形成的下部部分。如下文所解释, 鳍状物 194 可形成具有一对堆叠晶体管的“与”(AND) 门, 且鳍状物 196 可形成单一晶体管。

[0038] 图 27 为单一单元 192 的实例的部分的分解图。单元 192 可包括参看图 25 及图 26 所描述的半导体部分、列栅极片段 210, 及行栅极 186、187、188 及 189。如由图 20 所说明, 可在形成行栅极沟槽 182 期间通过分割列栅极 166 而由列栅极 166 形成列栅极片段 210。列栅极片段 210 可与由相同列栅极 166 及其它列栅极 166 形成的其它列栅极片段 210 分隔 (例如, 电隔离)。每一列栅极片段 210 可包括一内埋式部件 212 及两个上升部 214 及 216。上升部 214 及 216 可大体上垂直地且大体上成直角地从内埋式部件 212 延伸, 且内埋式部件 212 可将上升部 214 与 216 彼此电连接。上升部 216 可包括一端缘 218, 其大体上成直

角地从上升部 216 延伸且经成形以与升高部分 208 重叠。在一些实施例中，上升部 214 及 216 的顶部通常不与上部掺杂区 212 重叠。列栅极片段 210 可大体上与空腔 198 互补。

[0039] 尽管未展示于图 27 中，但单元 192 也可包括上述的绝缘部件：电介质 146、列栅极电介质 164、行栅极电介质 184 及电介质材料 190。

[0040] 图 28、图 29 及图 30 说明上述结构的一个用途。图 28 为单元 192 的部分的透视图，说明可配置单元 192 以形成数据单元的一个方法，且图 29 为可在单元 192 的操作期间形成的导电通道的透视图。图 30 为可以单元 192 或其它单元形成的数据单元的实例的电路图。

[0041] 如由图 28 及图 30 所说明，单元 192 可连接到数据元件 219、电压源 Vcc、数据线 DL、读取控制线 CL READ，及写入控制线 CL WRITE。在一些实施例中，数据线可被称为数字线，且控制线可被称为字线。在这些图式中，到单元 192 的连接以示意图形式表示以强调可通过各种技术来将单元 192 连接到其它装置。用于形成这些连接的方法的一个实例通过随后图式说明。

[0042] 如由图 28 所说明，数据线 DL/D2 可连接到支脚 202 及 206。电压源可连接到支脚 200，且数据元件 219 可连接到支脚 204 及列栅极片段 210 两者（在图 27 中可看到）。数据元件 219 可经由上升部 216 及端缘 218 连接到列栅极片段 210。读取控制线可连接到行栅极 186 及 187 或由行栅极 186 及 187 形成，且写入控制线可连接到行栅极 189 或由行栅极 189 形成。在一些实施例中，行栅极 188 在单元 192 的以下操作中的一些或全部期间可为不使用的，或其可连接到写入控制线。

[0043] 当一电压（例如，大于阈值电压或小于阈值电压的电压，此取决于上部掺杂区 112 及下部掺杂区 114 的掺杂）施加到行栅极 189 时，单元 192 可形成导电通道 220，其实例由图 29 说明。在一些实施例中，通道 220 可包括大体上垂直的部分 222 及大体上水平的部分 224，例如，这些部分 222 及 224 可大体上形成一 L 形。（下文中，这些部分被称作垂直部分 222 及水平部分 224，其不暗示这些特征或任何其它特征必定完全垂直、水平或正交）。垂直部分 222 可包括在垂直部分 222 的上部部分中的大体上不导电的凹口 226。

[0044] 在操作中，通道 220 可在支脚 204 与支脚 206 之间传导电流。在一些实施例中，支脚 204 及 206 的远端部分可被称为源极及漏极。支脚 204 与支脚 206 之间的电流通过箭头 228 表示（对应于从支脚 204 流进通道 220 中的电流），及通过箭头 230 表示（对应于经由支脚 206 离开通道 220 的电流）。在其它实施例或其它操作中，电流的方向可颠倒。当将亚阈值电压施加到行栅极 189 时，单元 192 可不建立通道 220，且电流可通常不从支脚 204 及 206 的上部掺杂区 212 经由下部掺杂区 214 流动。因此，在一些实施例中，在支脚 204 与 206 之间流动的电流可通过行栅极 189 的电压来控制。（如本文中使用，亚阈值电压为允许电流流动的电压且可为小于阈值电压的电压或大于阈值电压的电压，此取决于单元的配置，例如，PMOS 型单元或 NMOS 型单元）。

[0045] 在支脚 200 与 202 之间流动的电流可部分地或实质上完全地由两个不同电压来控制：控制读取线 CL READ 的电压及列栅极片段 210（图 27）的电压。如由图 29 所说明，可通过从行栅极 186 及 187 发出的电场来建立上部通道部分 232、234、236 及 238。这些上部通道部分 232、234、236 及 238 中的每一者可包括一大体上垂直的部分及一大体上水平的部分，例如，其可大体上具有一 L 形。上部通道部分 232 及 234 可形成于支脚 200 中，且上部

通道部分 236 及 238 可形成于支脚 202 中。

[0046] 上部通道部分 232 及 234 可通过下部通道 240 而连接到上部通道部分 236 及 238。下部通道 240 可大体上正交于上部通道部分 232、234、236 及 238 的大体上水平的部分及大体上垂直的部分两者。在一些实施例中,下部通道 240 大体上在 X 方向上延伸且大体上具有 U 形横截面。可通过从列栅极片段 210(图 27)发出的电场来形成下部通道 240。

[0047] 在操作中,当形成上部通道部分 232、234、236 及 238 及下部通道 240 两者时,电流可在支脚 200 与 202 之间流动。因此,鳍状物 194 可形成一 AND 门,所述 AND 门具有通过行栅极 186 及 187 控制的一对上部晶体管及一通过列栅极片段 210 控制的下部晶体管。电流的一实例通过箭头 242 及 244 说明,描绘流进上部通道部分 232 及 234 中的电流。如通过箭头 246 及 248 所说明,这些电流 242 及 244 可流经下部通道 240 且接着流出上部通道部分 236 及 238。上部通道部分 232 及 234 可据称通过下部通道 240 而串联地连接到上部通道部分 236 及 238。在其它实施例或其它操作中,电流的方向可颠倒。

[0048] 图 30 以电路示意图形式来说明单元 192(及根据本技术的其它单元)。所说明的单元 192 可包括数据元件 219、晶体管 250,及驱动器 252。数据元件 219 可包括各种不同类型的数据元件。举例来说,数据元件 219 可包括传感器(例如,图像传感器,例如,电荷耦合装置或光电二极管)或存储器元件。各种类型的预想存储器元件当中有易失性存储器元件(例如,动态随机存取存储器(DRAM))及非易失性存储器元件(例如,相变存储器元件(例如,双向装置)、浮动栅极存储器元件、铁电存储器元件、磁阻存储器元件及半导体-氧化物-氮化物-氧化物-半导体(SONOS)存储器元件)。

[0049] 由图 30 所说明的晶体管 250 可通过图 28 的鳍状物 196 形成,且由图 30 所说明的驱动器 252 可通过图 28 的鳍状物 194 形成。在一些实施例中,驱动器 252 可包括两个存取晶体管 254 及 256 及一放大晶体管 258。如由图 28 所说明,存取晶体管 254 及 256 可由鳍状物 194 的支脚 200 及 202 形成,且如由图 27 所说明,放大晶体管 258 可由鳍状物 194 的邻近于列栅极片段 210 的部分形成。存取晶体管 254 及 256 可被称为读取存取装置,且晶体管 250 可被称为写入存取装置。其它实施例可包括其它类型的读取存取及写入存取装置,例如二极管。

[0050] 由图 30 说明的单元 192 可输出来自数据元件 219 的数据。在操作中,数据元件 219 可将一电压施加到放大晶体管 258 的栅极,且放大晶体管 258 可放大此信号。放大晶体管 258 可经配置以在其三极管区中操作,且其可驱动其源极与其漏极之间的电流,所述电流根据来自数据元件 219 的电压而变化,例如,放大晶体管 258 可传导与其栅极的电压大体上成比例的电流。为经由放大晶体管 258 来传导电流,存取晶体管 254 及 256 可关闭电压源 Vcc 与数据线 DL 之间的路径。当在读取控制线 CL READ 上确定一读取信号时,存取晶体管 254 及 256 可进入导电状态,允许电流经由放大晶体管 258 在数据线 DL 与电压源 Vcc 之间流动。去往或来自数据线 DL 的电流的量值可部分地或实质上完全通过数据元件 219 施加到放大晶体管 258 的栅极的电压来控制。因此,在一些实施例中,在数据线 DL 与电压源 Vcc 之间流动的电流可指示从数据元件 219 输出的数据值(例如,与所述数据值大体上成比例)。

[0051] 驱动器 252 的一些实施例被认为能增加数据元件 219 经由数据线 DL 传送数据的速度及准确性。因为流进数据线 DL 中的电流是通过电压源 Vcc 而非数据元件 219 来供应,所以在读取数据时数据线 DL 改变电压的速度可至少部分地与数据元件的大小或其信号去

耦。因此，供应相对小电流的相对小的数据元件 219 仍可快速地改变数字线 DL 电压。

[0052] 在一些实施例中，数据元件 219 可经由施加到放大晶体管 258 的栅极的电压的相对小改变来传送多个位，例如，2、3、4、5 或 5 个以上的数据位。可通过驱动器 252 来放大这些相对小的电压差异且经由数据线 DL 来输出所述电压差异。因此，可通过用驱动器 252 放大信号来增加数据元件 219 的分辨率。

[0053] 在一些实施例（例如，存储器装置中的那些实施例）中，可将数据写入到数据元件 219。为写入数据，可在写入控制线 CL WRITE 上确定一信号，且此信号可接通晶体管 250。当将晶体管 250 接通时，电流可从数据线 DL 流动到数据元件 219，且此电流可改变数据元件 219 的性质，例如，所存储的电荷或结晶度的程度。数据元件 219 的性质改变可用以存储数据。

[0054] 图 31 到图 38 说明用于将图 28 的单元 192 连接到电容器存储器元件的过程的实例。如由图 31 所说明，可在衬底 110 上形成数字线 260。数字线 260 可大体上在 X 方向上延伸，且其可连接到单元 192 的支脚 206 及 202。数据线 260 可大体上为直的，但在其它实施例中，其可具有其它形状，例如，其可成波浪形、宽度改变或为分段的。在一些实施例中，数据线 260 可在支脚 202 及 206 上方间隔开，且其可经由通孔、触点或其它结构连接到支脚 202 及 206。

[0055] 接下来，如由图 32 所说明，可在数据线 260 上形成电介质体 262，且如由图 33 所说明，可经由电介质体 262 来打开通孔 264。所述通孔 264 可使单元 192 中的每一者中的支脚 200 暴露。可通过用光刻来图案化衬底 110 且接着大体上各向异性地蚀刻衬底 110 以移除电介质体 262 的暴露部分来形成通孔 264。

[0056] 在打开通孔 264 后，如由图 34 所说明，可在通孔 264 中形成触点 266，且可形成电压源连接器 268。在一些实施例中，可通过在衬底 110 上沉积大体上导电的材料（例如，上述导电材料中的一者或一者以上）及蚀刻所述导电材料直到所述导电材料主要留在通孔 264 内部为止来形成触点 266。在一些实施例中，可通过沉积大体上导电的膜及图案化且蚀刻所述导电膜来形成电源连接器 268。所说明的电压源连接器 268 大体上在 Y 方向上延伸。在其它实施例中，其可在其它方向（例如，X 方向）上延伸，或其可由导电板形成。

[0057] 接下来，如由图 35 所说明，可在衬底 110 上形成另一电介质体 270。电介质体 270 可由氧化物、氮化物、自旋电介质或其它适当材料制成。

[0058] 在形成电介质体 270 后，如由图 36 所说明，可穿过电介质体 270 及电介质体 262 形成通孔 272。可通过用光刻来图案化衬底 110 及大体上各向异性地蚀刻衬底 110 来形成通孔 272。在一些实施例中，通孔 272 可与支脚 204 及列栅极片段 210 的上升部 216 两者重叠。在一些实施例中，打开通孔 272 的蚀刻可选择性地移除列栅极覆盖层 168 的一部分以使列栅极片段 210 的部分暴露。在某些实施例中，此蚀刻可不移除覆盖行栅极 186、187、188 及 190 的保护电介质 190 的实质部分，使得这些结构大体上保持与列栅极片段 210 隔离。

[0059] 接下来，如由图 37 所说明，可在衬底 110 上形成电容器板 274。电容器板 274 可包括上部杯状部分 276 及下部触点 278。可通过沉积一牺牲层且接着在所述牺牲层中蚀刻与电容器板 274 互补的孔来形成杯状部分 276。在形成所述孔后，可在所述牺牲层上沉积一大体上共形的膜，且（例如）通过化学机械平坦化来对其进行平坦化以移除所述共形膜的安置于所述孔外的部分，借此留下杯状部分 276。电容器板 274 可由导电材料（例如，金属、掺

杂多晶硅或其它适当材料)制成。下部触点 278 可连接到支脚 204 及列栅极片段 210 的上升部 216 两者。在随后步骤中,可在电容器板 274 上沉积一电容器电介质,且可通过在衬底 110 上沉积一导电膜来形成一共同电容器板,借此形成电容器。

[0060] 在操作中,电容器板 274 可通过聚集电荷来存储数据。电荷的大小可对应于特定数据值,例如,小电荷可对应于零,且较大电荷可对应于一。在一些实施例中,所存储电荷的范围可划分成对应于多个位的数据值(例如,两个、三个、四个或四个以上位)的较小增量。

[0061] 图 38 说明连接到电容器板 274 的单一单元 192 的实例。在此实施例中,电容器板 274 为数据元件,鳍状物 196 形成通过行栅极 189 控制的存取装置,且鳍状物 194 形成通过行栅极 186 及 187 以及列栅极片段 210(图 27)两者控制的驱动器。当给行栅极 186 及 187 通电使电压超过阈值电压时,电流可从电压源连接器 268 流动到数据线 260,此取决于列栅极片段 210(图 27)上的通过电容器板 274 确定的电压的量值。来自电压源的此电流的量值可指示通过改变数据线 260 的电压由电容器板 274 存储的数据的值。举例来说,数字线 260 的电压的上升可对应于所存储的数据值 1,且数字线 260 的电压的减小可对应于所存储的数据值 0。

[0062] 图 39 说明单元 192 的阵列 280 的一个实例。所说明的阵列 280 可包括多个单元 192、一读取控制驱动器 282、一写入控制驱动器 284、一数据传感器 286、一数据驱动器 288,及一电压源 290。如上所述,单元 192 可各自包括一电容器板 274、列栅极片段 210,及支脚 200、202、204 及 206。单元 192 的支脚 202 及 206 可连接到数据驱动器 288 及数据传感器 286,且支脚 200 可经由电压源连接器 268 连接到电压源 290。

[0063] 在操作中,数据驱动器 288 可经由数据线 260 输出一电压或电流以将数据写入到电容器板 274,且数据传感器 286 可读取(例如,分类成对应于数字值的离散类别)数据线 260 上的由单元 192 输出的电流或电压。读取控制驱动器 282 可经配置以通过确定选定单元 192 的行栅极 186 及 187 上的电压来选择单元 192 以进行读取。在一些实施例中,这些行栅极 186 及 187 可被称为读取控制线或读取字线。写入控制驱动器 284 可经配置以通过确定与一单元 192 相关联的行栅极 189 上的电压来选择所述单元 192。在一些实施例中,行栅极 189 可被称为写入控制线或写入字线。

[0064] 阵列 280 中所说明的单元 192 可布置成大体上矩形的栅格(例如,其可具有大体上类似的定向且可布置于大体上正交的行及列中)。在其它实施例中,其可具有其它布置。举例来说,如由图 40 的阵列 292 所说明,单元 192 可布置于偏移行中成六角形栅格,或单元 192 可以不同定向布置于邻近行中。在此实施例中,单元 192 可定向于第一方向上,且邻近行中的单元 192' 可定向于相反方向上且偏移了单元 192 的约一半。

[0065] 图 41 到图 63 说明用于形成具有驱动器的数据单元的过程的另一实例。在本实例中,所述过程开始于获得处于由图 41 所说明的状态下的衬底 294。可通过执行(或与他人签订合同以执行)图 1 到图 10 所说明且在上文描述的步骤来获得衬底 294。因此,衬底 294 可包括先前所描述的上部掺杂区 112、下部掺杂区 114、列隔离沟槽 142、电介质 146、垂直突出物 148,及第二群组列间隔片 150。

[0066] 在一些实施例中,图 41 的衬底 294 可在至少一方面不同于图 10 的衬底 110。邻近列间隔片 150 之间的间隙 295 可宽于间隙 154(图 10)。可通过调整列掩模 126(图 3)的间隔以增加列隔离沟槽 142 对之间的距离来使较宽间隙 295 变宽。

[0067] 接下来,如由图 42 所说明,可形成第三列间隔片 296。可通过在衬底 294 上沉积一膜且接着大体上各向异性地蚀刻所述膜以将所述膜从水平表面移除来形成第三列间隔片 296。所述第三列间隔片 296 可在较宽间隙 295 中大体上界定一间隙 298。在一些实施例中,间隙 298 可大体上等于间隙 154(图 3)。第三列间隔片 296 可由与第二群组列间隔片 150 及垂直突出物 148 不同的材料制成以促进选择性地移除第三列间隔片 296。举例来说,第二群组列间隔片 150 及垂直突出物 148 可为氧化物,且第三列间隔片 296 可为多晶硅。

[0068] 在形成第三列间隔片 296 后,如由图 43 所说明,可在衬底 294 上形成遮蔽材料 300。遮蔽材料 300 可以盖层 302 形成以平坦化衬底 294。在一些实施例中,遮蔽材料 300 为与第三列间隔片 296 不同的材料以促进选择性地移除这些材料。举例来说,遮蔽材料 300 可为氧化物。

[0069] 接下来,如由图 44 所说明,可平坦化衬底 294。平坦化可包括通过在所蚀刻的材料中大体上具非选择性的蚀刻(例如,此项技术中被称为“鳄式蚀刻”的蚀刻)来蚀刻衬底 294 或通过化学机械平坦化来抛光衬底 294。

[0070] 在平坦化衬底 294 后,如由图 45 所说明,可形成列凹口掩模 302。列凹口掩模 302 可为硬掩模(例如,氧化物硬掩模),或其可由光致抗蚀剂制成。列凹口掩模 302 可大体上覆盖衬底 294,列隔离沟槽 142 对之间第三列间隔片 296 中的一者上方的空间除外。在所说明的实施例中,列凹口掩模 302 的暴露区 304 可与所留下的第三列间隔片 296 大体上对准。可使暴露区 304 宽于所留下的第三列间隔片 296 以增加 Y 方向上的对准裕度,因为邻近于所留下的第三列间隔片 296 的结构 150 及 300 可充当硬掩模。

[0071] 接下来,如由图 46 所说明,可在衬底 294 中形成列凹口 306。在一些实施例中,可通过选择性地蚀刻安置于所暴露区 304 下方的第三列间隔片 296,且接着使用第二群组列间隔片 150 及遮蔽材料 300 作为掩模以蚀刻贯通上部掺杂区 112 来形成列凹口 306。在第三列间隔片 296 是由多晶硅制成的实施例中,可通过四甲基氢氧化铵(TMAH)蚀刻来移除第三列间隔片 296。移除第三列间隔片 296 中的一者可形成间隙 308,其可大体上界定列凹口 306 的宽度。在一些实施例中,间隙 308 可窄于或大体上等于 1F、3/4F 或 1/2F。

[0072] 在形成列凹口 306 后,如由图 47 所说明,可移除列凹口掩模 302,且可用列凹口电介质 310 来部分地或完全地填充列凹口 306。可通过在列凹口 306 中沉积一电介质材料(例如,如正硅酸四乙酯(TEOS)的氧化物)直到实质上填充列凹口 306 为止来形成列凹口电介质 310。在一些实施例中,列凹口电介质 310 可包括邻近于上部掺杂区 112 及下部掺杂区 114 的一个或一个以上衬层材料,例如氧化物及氮化物衬层。

[0073] 接下来,如由图 48 所说明,在一些实施例中,可在衬底 294 上形成第二列凹口掩模 312。第二列凹口掩模 312 可为硬掩模(例如,氧化物硬掩模),或其可由光致抗蚀剂制成,且其可界定多个暴露区 314。在此实施例中,暴露区 314 可布置成大体上矩形的栅格,但在其它实施例中,其可不同地布置(例如)成大体上六角形的栅格。所说明的暴露区 314 可界定大体上立方形的体积,但在其它实施例中,其可具有其它形状,例如,其可大体上界定正椭圆圆柱体积或正圆形圆柱体积。在此实施例中,暴露区 314 大体上安置于剩余第三列间隔片 296 上方且与此结构大体上对准。为增加 Y 方向上的对准裕度,暴露区 314 可具有宽于剩余第三列间隔片 296 的宽度 318 的宽度 316。

[0074] 接下来,如由图 49 所说明,可在衬底 294 中形成列沟槽片段 319。可在两个步骤

中形成列沟槽片段 319。在一些实施例中,可(例如)通过 TMAH 湿式蚀刻或干式蚀刻来移除第三列间隔片 296 的安置于暴露区 314 下方的一部分。可通过对第三列间隔片 296 大体上具选择性且对第二列间隔片 150 或遮蔽材料 300 大体上不具选择性的蚀刻来移除第三列间隔片 296 的此部分。作为此选择性的结果,在一些实施例中,这些材料 150 及 300 的实质部分可保留在衬底 294 上,借此充当界定窄于暴露区 314 的宽度 316 的宽度 320 的硬掩模。在形成贯通第三列间隔片 296 的开口后,可形成列沟槽片段 319 的剩余物。在一些实施例中,可使用第二列凹口掩模 312 界定 X 方向上的特征及使用第二群组列间隔片 150 及遮蔽材料 300 界定 Y 方向上的特征来大体上各向异性地蚀刻上部掺杂区 112 及下部掺杂区 114。列沟槽片段 319 可具有大体上等于列凹口 306 的宽度 308 的宽度。

[0075] 虽然未展示,但列沟槽片段 319 的一侧或两侧的底部可植入有高 Vth 植入物以抑制寄生装置的 N 通道形成。举例来说,列沟槽片段 319 的右侧 321 可植入有成角的植入物。

[0076] 在形成列沟槽片段 319 后,如由图 50 所说明,可移除第二列凹口掩模 312,且可形成列栅极电介质 322。列栅极电介质 322 可包括在上文参考由图 21 所说明的列栅极电介质 164 来描述的材料中的任一者。

[0077] 在形成列栅极电介质 322 后,如由图 51 所说明,可形成列栅极片段 324。可通过(例如)通过化学气相沉积或物理气相沉积来在衬底 294 上沉积导电材料(例如,金属或掺杂多晶硅(例如, n+ 掺杂多晶硅))来形成列栅极片段 324。在一些实施例中,可接着蚀刻所述导电材料以使所述导电材料凹进到列沟槽片段 319 中。在所述过程的此阶段处,列栅极片段 324 可大体上在 X 方向上延伸且可与其它列栅极片段 324 大体上隔离。

[0078] 接下来,如由图 52 所说明,可平坦化衬底 294。平坦化可包括移除安置于上部掺杂区 112 上方的材料的一些或实质上全部。可通过化学机械平坦化或大体上非选择性的蚀刻(例如, 鳄式蚀刻)来平坦化衬底 294。

[0079] 在平坦化之后,如由图 53 所说明,可在衬底 294 上形成行掩模 326。行掩模 326 可为软掩模或硬掩模,且其可大体上界定多个遮蔽区 328 及暴露区 330,其两者可大体上在 Y 方向上延伸。在一些实施例中,可通过亚光刻技术(例如,使通过光刻形成的掩模成双间距或回流)来界定遮蔽区 328 的宽度。遮蔽区 328 可大体上彼此平行且大体上为直的,或在其它实施例中,其可具有其它形状,例如,其可左右地成波浪形,其可为不连续的,或其可沿着 Y 轴而改变宽度。在一些实施例中,遮蔽区 328 的宽度大体上等于或小于 F、3/4F 或 1/2F。宽度 330 可大于宽度 328,例如,在一些实施例中,宽度 330 可大体上等于 F。遮蔽区 328 可与列栅极片段 324 的相对末端大体上对准且部分地或实质上完全地安置于列栅极片段 324 的相对末端上方。

[0080] 接下来,如由图 54 所说明,可形成行栅极沟槽 332。可通过大体上各向异性地蚀刻遮蔽区 328 之间的衬底 294 来形成行栅极沟槽 332。行栅极沟槽 332 可界定鳍状物行 334。行栅极沟槽 332 可具有大于列凹口 306 的深度 338 的深度 336,但在一些实施例中,不如列沟槽片段 319 的深度 340 般大。

[0081] 在形成行栅极沟槽 332 后,如由图 55 所说明,可移除行掩模 326,且可在衬底 294 上形成行栅极电介质 342。行栅极电介质 341 可包括在上文参考图 21 中的列栅极电介质 164 来描述的材料中的任一者。

[0082] 接下来,如由图 56 所说明,可形成行栅极 342、344、346 及 348。可通过侧壁间隔片

方法（例如）通过沉积一导电材料的毯覆式膜且接着大体上各向异性地蚀刻所述导电材料以将所述导电材料从水平表面移除同时留下邻近于大体上垂直的表面的一些导电材料来形成行栅极 342、344、346 及 348。行栅极 342、344、346 及 348 可由各种导电材料（例如，金属（例如，TiN）或掺杂多晶硅）制成或包括各种导电材料（例如，金属（例如，TiN）或掺杂多晶硅）。所说明的行栅极 342、344、346 及 348 大体上在 X 方向上延伸，且可与列栅极片段 324 大体上成直角。

[0083] 图 56 说明单元 350 的阵列，且由图 57 更详细地说明个别单元 350 的部分。具体来说，图 57 说明单元 350 的行栅极 342、344、346 及 348、列栅极片段 324，及半导体部分 358 的分解图，半导体部分 358 可由上部掺杂区 112 及下部掺杂区 114 形成。为清楚地显示这些特征，图 57 中不展示单元 350 的绝缘部分。单元 350 可消耗大体上等于或小于  $30F^2$ 、 $25F^2$  或  $18F^2$  的水平表面积。

[0084] 列栅极片段 324 可大体上对称且可包括通过内埋式部件 356 接合的上升部 352 及 354。在一些实施例中，上升部 352 及 354 可安置于内埋式部件 356 的相对远端部分处或附近。上升部 352 及 354 可与内埋式部件 356 大体上成直角，所述内埋式部件 356 可在 X 方向上大体上水平地延伸。在一些实施例中，可将列栅极片段 324 表征为大体上具有 U 形。除了随后形成的连接外，列栅极片段 324 可与其它单元 350 中的其它列栅极片段大体上电隔离。另外，在一些实施例中，再次除了一些随后形成的连接外，列栅极片段 324 也可与行栅极 342、344、346 及 348 大体上电隔离。

[0085] 半导体部分 350 可包括两个鳍状物 360 及 362 以及一空腔 364。鳍状物 360 及 362 中的每一者可包括三个支脚 366、368、370、372、374 及 376。在其它实施例中，鳍状物 360 及 362 可在单一单元 350 内包括更多或更少的支脚。支脚 366 与 368 及支脚 372 与 374 可通过凹口 378 及 380 而彼此分隔。这些凹口 378 及 380 可比上部掺杂区 112 深，但在一些实施例中，不如鳍状物 360 及 362 的高度 382 般深。其它支脚 368 与 370 及 374 与 376 可通过空腔 364 而彼此分隔，空腔 364 可延伸超过鳍状物 360 及 362 的高度 382。空腔 364 的形状可与列栅极片段 324 的形状大体上互补。

[0086] 图 58 到图 63 说明可将单元 350 连接到数据元件（例如，电容器板 274）的一个方法。在一些实施例中，可通过上文参看图 31 到图 38 来描述的方法的经修改型式来将单元 350 连接到电容器板 274、数字线 260 及电压源连接器 268。在此实施例中，触点 266 及下部触点 278 的位置可相对于数据线 260 移位以使触点 266 及 278 与单元 350 的某些部分对准。具体来说，数据线 260 可连接到支脚 366 及 372，且触点 266 可将电压源连接器 268 连接到支脚 370。下部触点 278 可将电容器板 274 的杯状部分 276 连接到支脚 374 及 376 以及列栅极片段 324 的上升部 354 两者。虽然未展示于图 58 到图 63 中，但单元 350 还可包括电介质体 262 及 270 以及由图 37 所说明的其它绝缘体。

[0087] 在操作中，单元 350 可与由图 30 所说明的电路表现得类似或相同。行栅极 342 及 344 可充当读取控制线 CL READ，且行栅极 346 及 348 可充当写入控制线 CL WRITE。鳍状物 360 可充当驱动器 252，且鳍状物 362 可充当晶体管 250。

[0088] 图 61 到图 63 的横截面图说明流经单元 350 的电流。如由图 61 所说明，为将数据写入到单元 350，可给行栅极 346 及 348 通电，且可对电容器板 274 充电或放电。可通过电容器板 274 与数据线 260 之间的电流（如通过箭头 360 指示）来调整电容器板 274 的电

荷。电流 360 可从支脚 372 的上部掺杂部分 112 经由下部掺杂部分 114 中的通道流动到支脚 374 的上部掺杂部分 112。

[0089] 可通过从行栅极 346 及 348(图 58)发出的电场来形成下部掺杂部分 114 中的通道。在一些实施例中,单元 350 可形成各自邻近于鳍状物 362 的任一侧上的行栅极 346 及 348 中的一者的两个大体上平行的通道。如由图 61 中的箭头 360 所指示,这些通道可大体上具有 U 形,且其可在列凹口电介质 310 周围形成一导电路径,接合支脚 372 及 374 的上部掺杂区 112。

[0090] 电流 360(图 61)可朝向或远离电容器板 274 流动,此取决于实施例、正写入到电容器板 274 的数据值,和先前写入到电容器板 274 的数据值。在一些实施例中,此电流 360 的一部分也可对列栅极片段 324 充电或放电。一旦调整电容器 274 的电荷以反映正写入的数据值,便可对行栅极 346 及 340 断电,从而关闭支脚 372 与 374 之间的导电通道,且阻碍电容器板 274 上的电荷改变。

[0091] 现将参看图 62 及图 63 来描述读取操作的实例。为读取数据,可将电压源连接器 268 与数据线 260 之间的电流(或由此电流产生的电压改变)分类为对应于一数据值,例如,0、1 或多位数字值。此电流的量值可受由电容器板 274 存储的数据影响。电容器板 274 的电压可对应于(例如,大体上相当于)列栅极片段 324 的电压,因为此电压可传播经过电容器板 274 的下部触点部分 278、经过列栅极片段 324 的上升部 354、跨过内埋式部件 356 且进入上升部 352 中。通过图 63 的横截面图来说明此路径。

[0092] 从列栅极片段 324 且更具体来说从上升部 352 发出的电场可建立一导电通道,所述通道在支脚 372 的上部掺杂区 112 与支脚 368 的上部掺杂区 112 之间延伸。如由图 62 所说明,如由箭头 362 所指示,此导电通道可载运电压源连接器 268 与支脚 368 之间的电流。

[0093] 当读取数据时,可给行栅极 342 及 344 通电,且来自使用或行栅极 342 及 344 的电场可建立一通道,所述通道载运支脚 368 与支脚 366 之间的电流,如由箭头 364 所说明。在一些实施例中,给行栅极 342 及 344 通电可在鳍状物 360 的任一侧上建立两个导电通道,且这些导电通道可通过在列凹口电介质 310 周围延伸来连接支脚 366 及 368 的上部掺杂区 112。来自行栅极 342 及 344 的通道及来自列栅极片段 324 的通道可均大体上具有 U 形,且来自行栅极 342 及 344 的通道可大体上正交于来自列栅极片段 324 的通道。

[0094] 在读取操作期间,电流可在电压源连接器 268 与数据线 260 之间流动,此部分取决于电容器板 274 的电荷。如果对电容器板 274 充电,那么也可对列栅极片段 324 充电,且来自列栅极片段 324 的电场可形成用于电流 362 的导电通道。如果不对电容器板 274 充电,那么在一些实施例中,列栅极片段 324 可不在支脚 368 与 370 之间建立导电通道,且电流不可在电压源连接器 268 与数据线 260 之间流动。在读取操作期间的电流流动也可部分取决于由支脚 368 及 370 形成的晶体管,因为其可建立电压源连接器 268 与数据线 260 之间的导电路径的载运电流 364 的部分。

[0095] 由图 58 到图 63 所说明的结构可为由图 30 所说明的电路的一个实例。列栅极片段 324 可基于电容器板 274 的电压来驱动电流 362(图 62),充当由图 30 所说明的驱动器 215 中的放大晶体管 258。类似地,由支脚 366 及 368 以及行栅极 342 及 344 形成的晶体管可充当由图 30 所说明的驱动器 252 中的存取晶体管 254 及 256。其共同可形成 AND 门。

[0096] 如上所述,使用驱动器电路来传输指示一数据值的信号被认为促进了较小数据元

件的使用、允许更快地检测来自数据元件的信号，及允许来自存储多位数据值的数据元件的信号的更细的分辨率。在一些实施例中，读取为非破坏性的，例如，电荷及对应数据即使在读取后也保留于电容器上。另外，一些实施例可以类似于 SRAM 的速度来操作。所添加的信号强度也可用于使数字线变长，其可减少晶片上读出放大器的数目且减少裸片大小。在一些实施例中，多个位可存储于单一存储器元件上，且驱动器可放大对应于不同数据值的信号的较小差异。并非所有实施例将提供所有这些益处，且一些实施例可因其它原因为有用的且可能不提供这些益处中的任一者。

[0097] 虽然本发明可易于进行各种修改及替代形式，但已在图式中以举例方式来展示特定实施例且在本文中对其加以详细描述。然而，应理解，本发明不希望限于所揭示的特定形式。实情为，本发明将涵盖属于由所附权利要求书所界定的本发明的精神及范围内的所有修改、均等物及替代例。

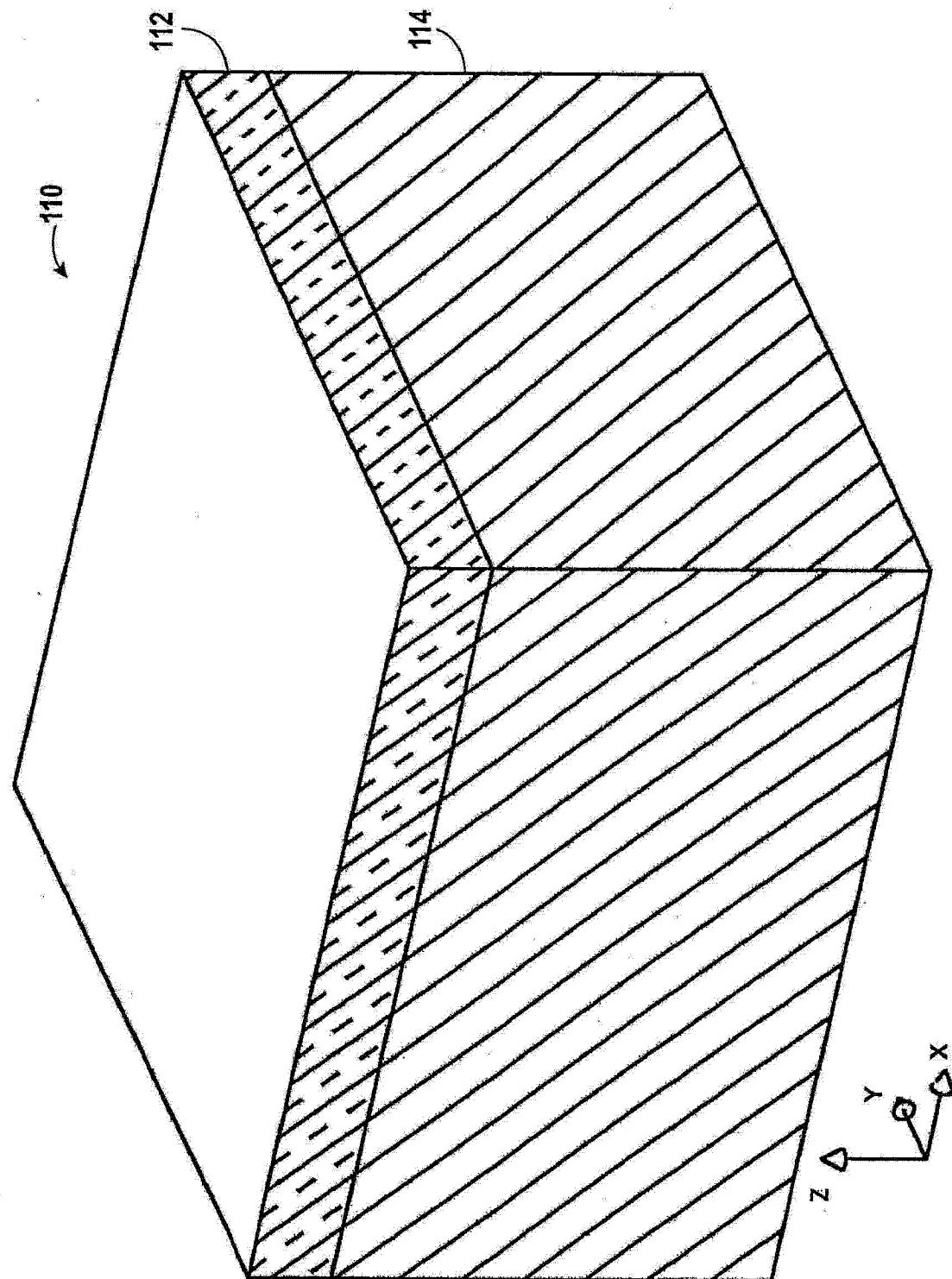


图 1

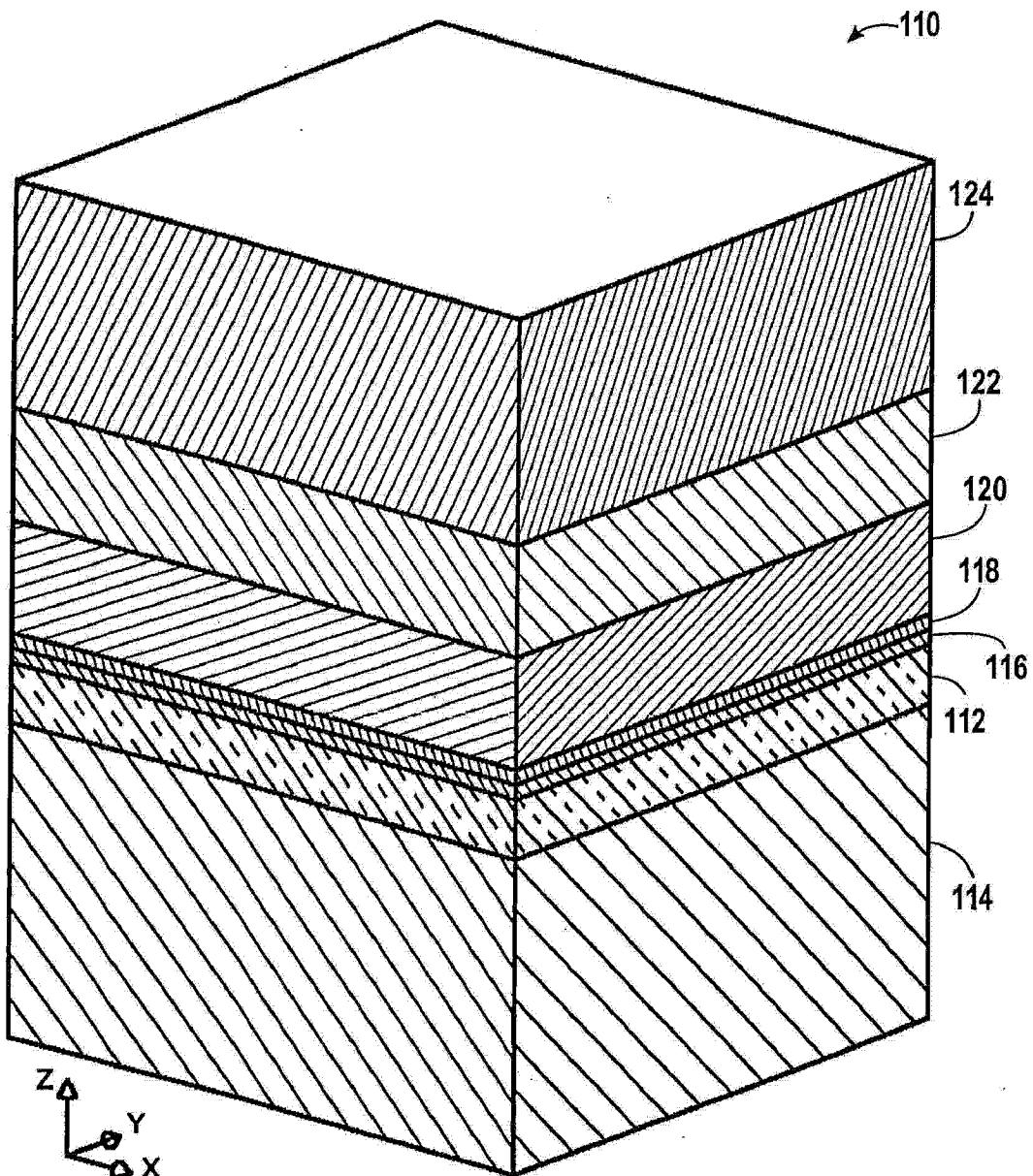


图 2

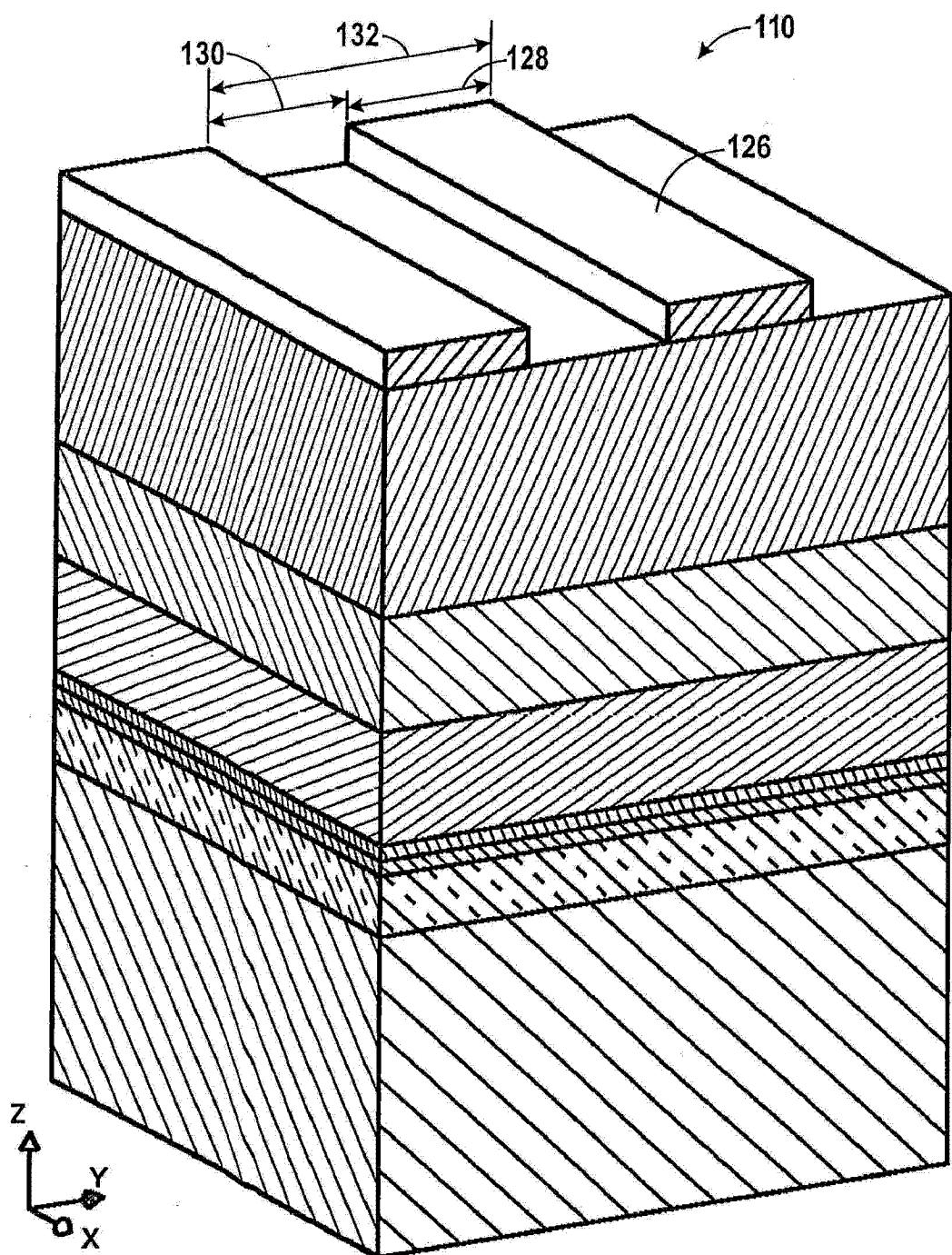


图 3

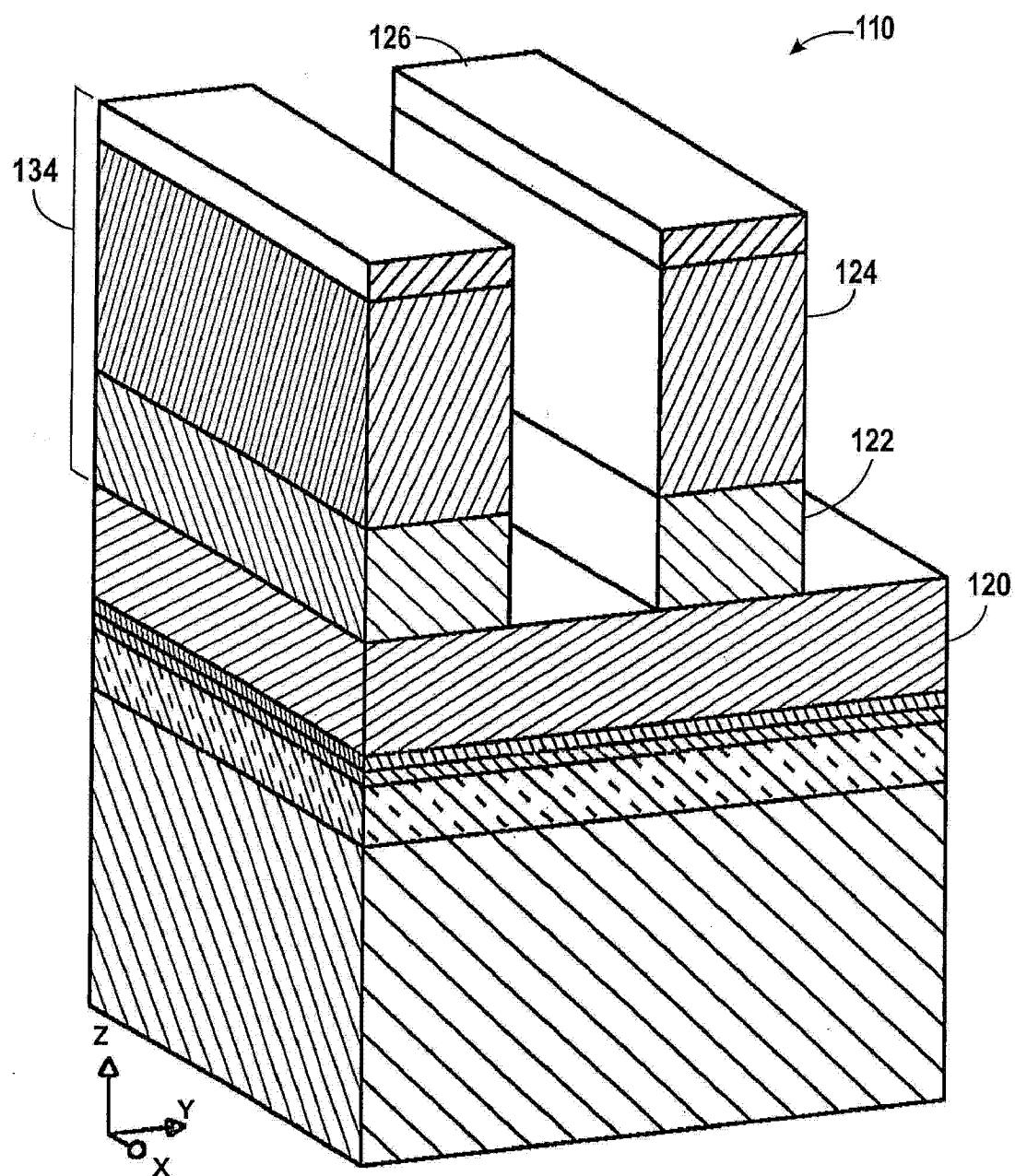


图 4

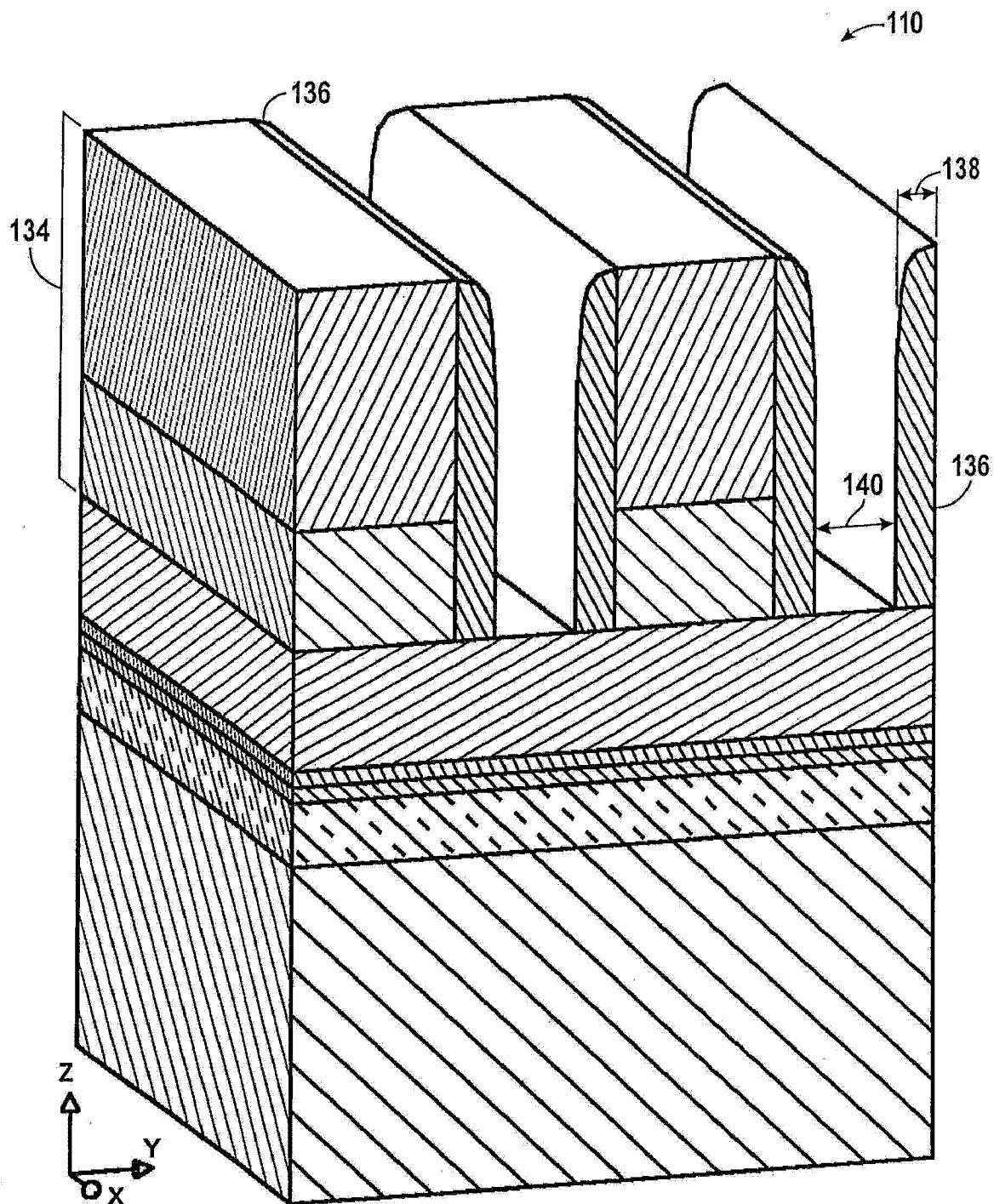


图 5

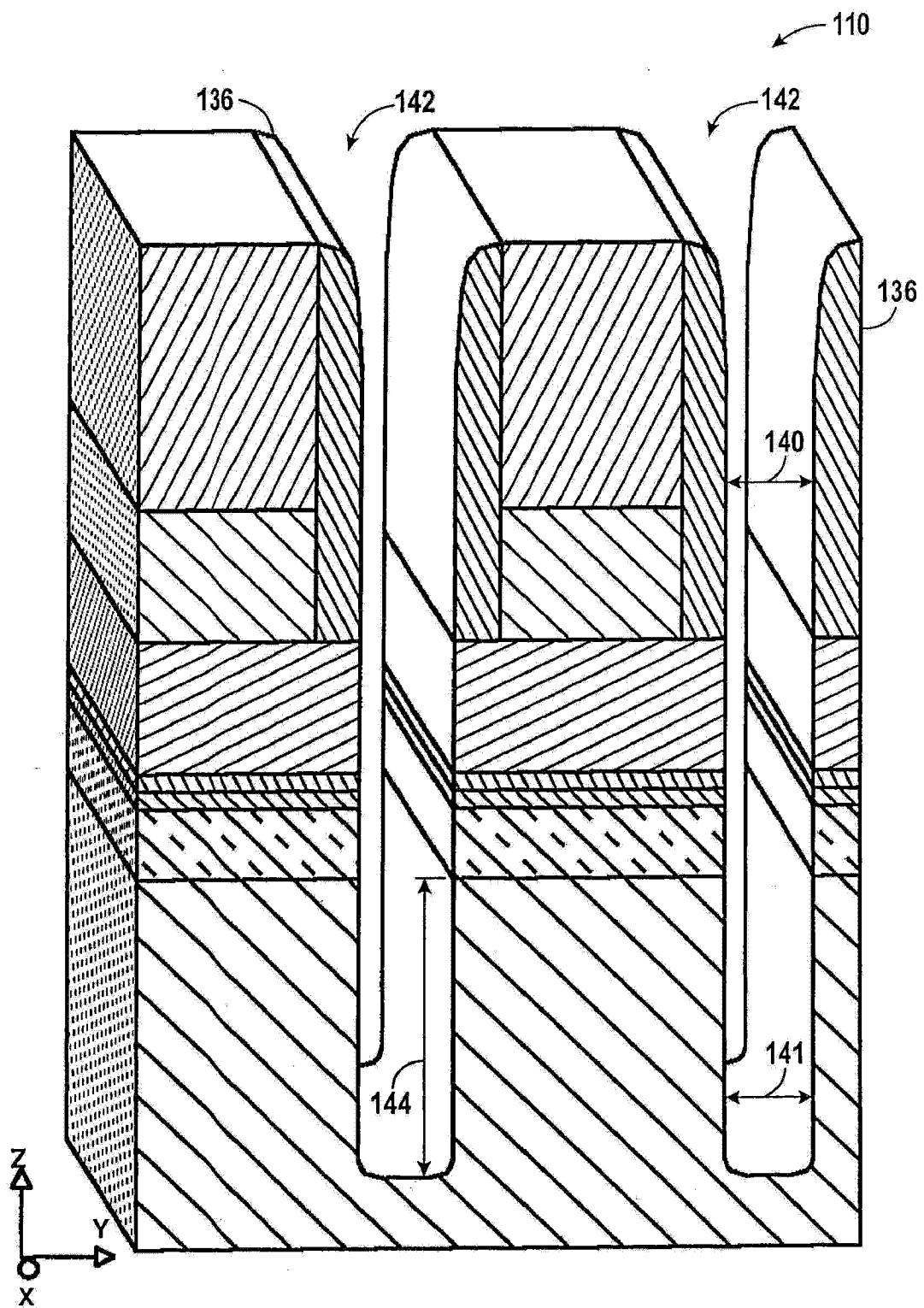


图 6

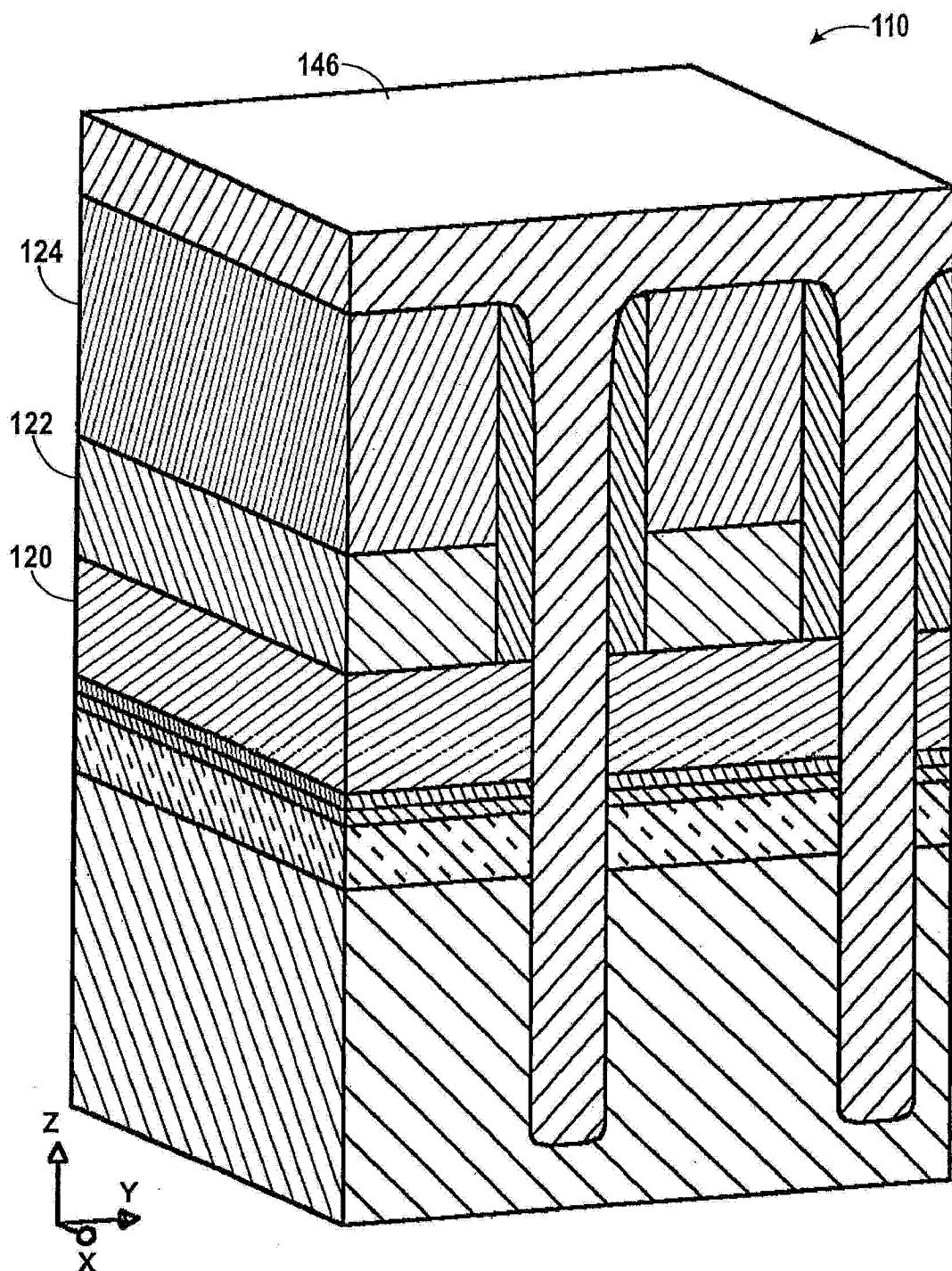


图 7

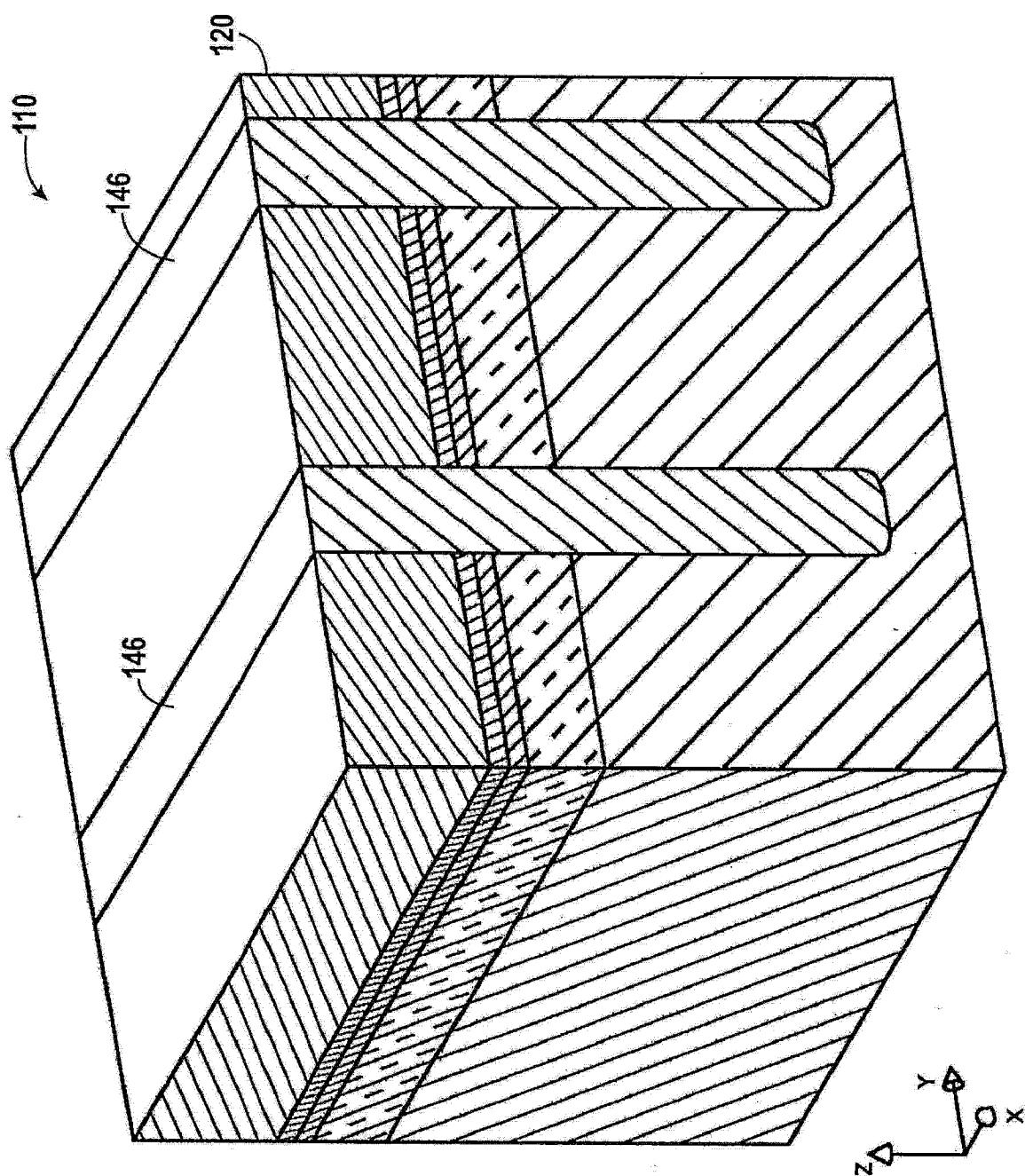


图 8

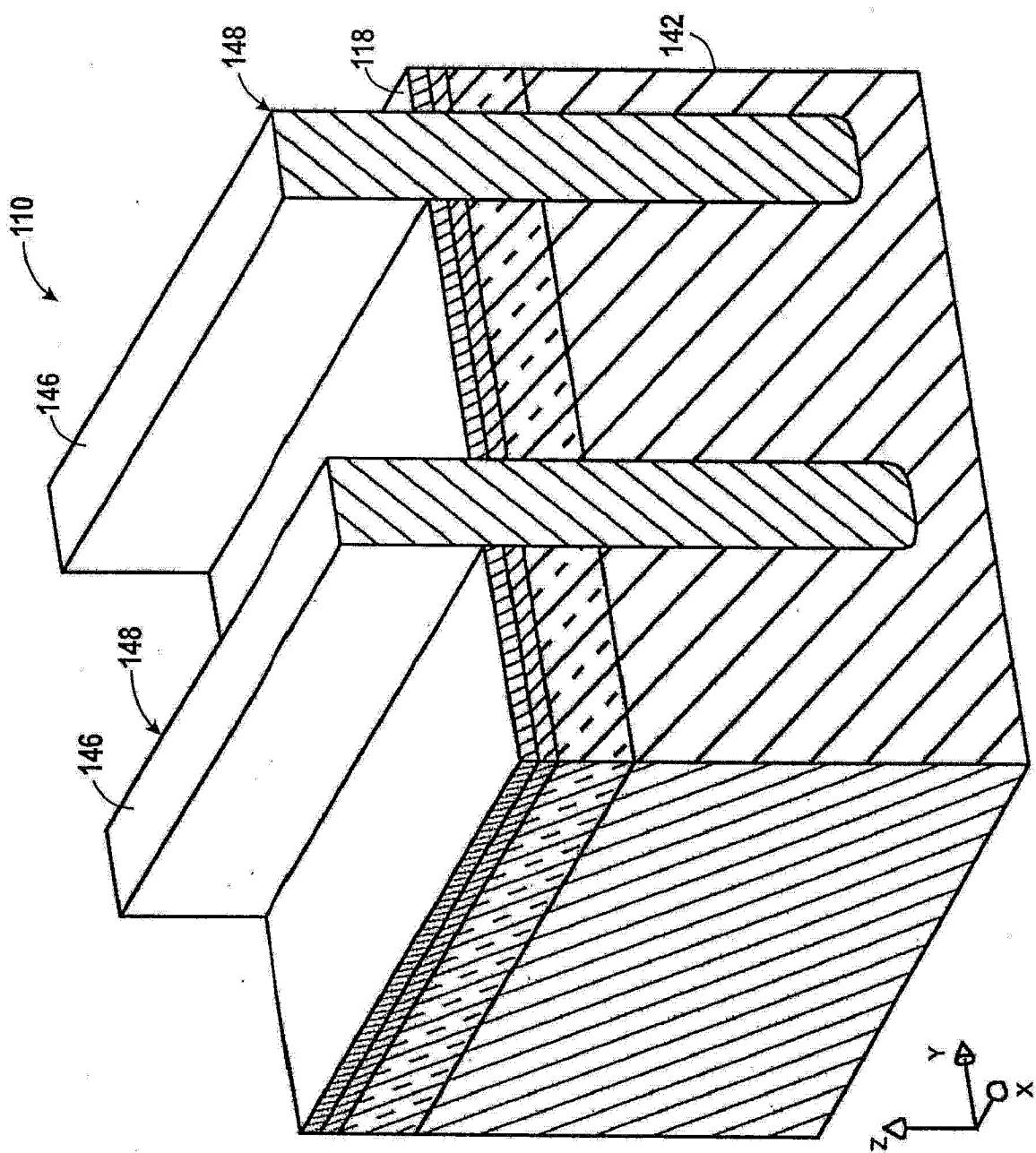


图 9

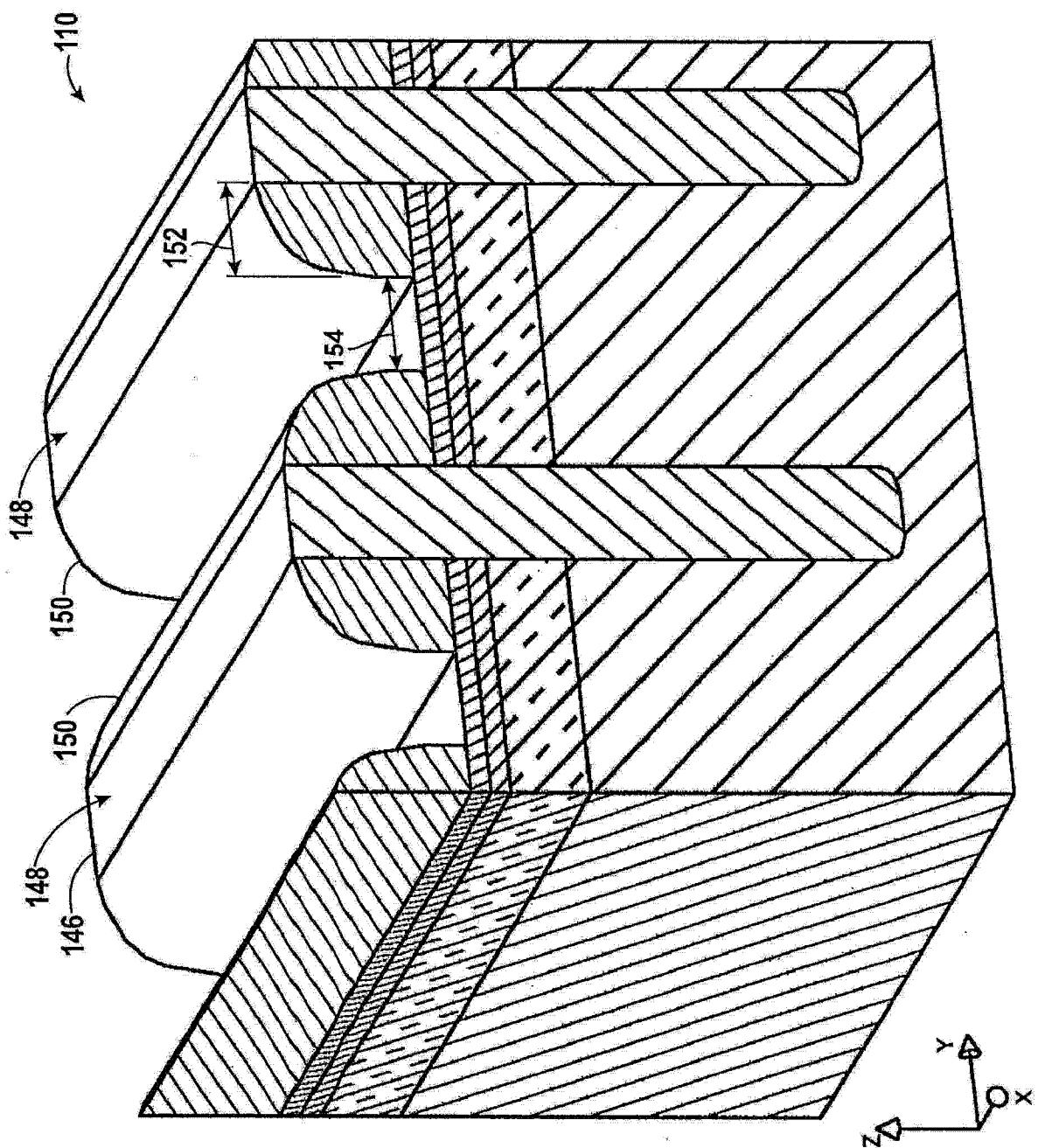


图 10

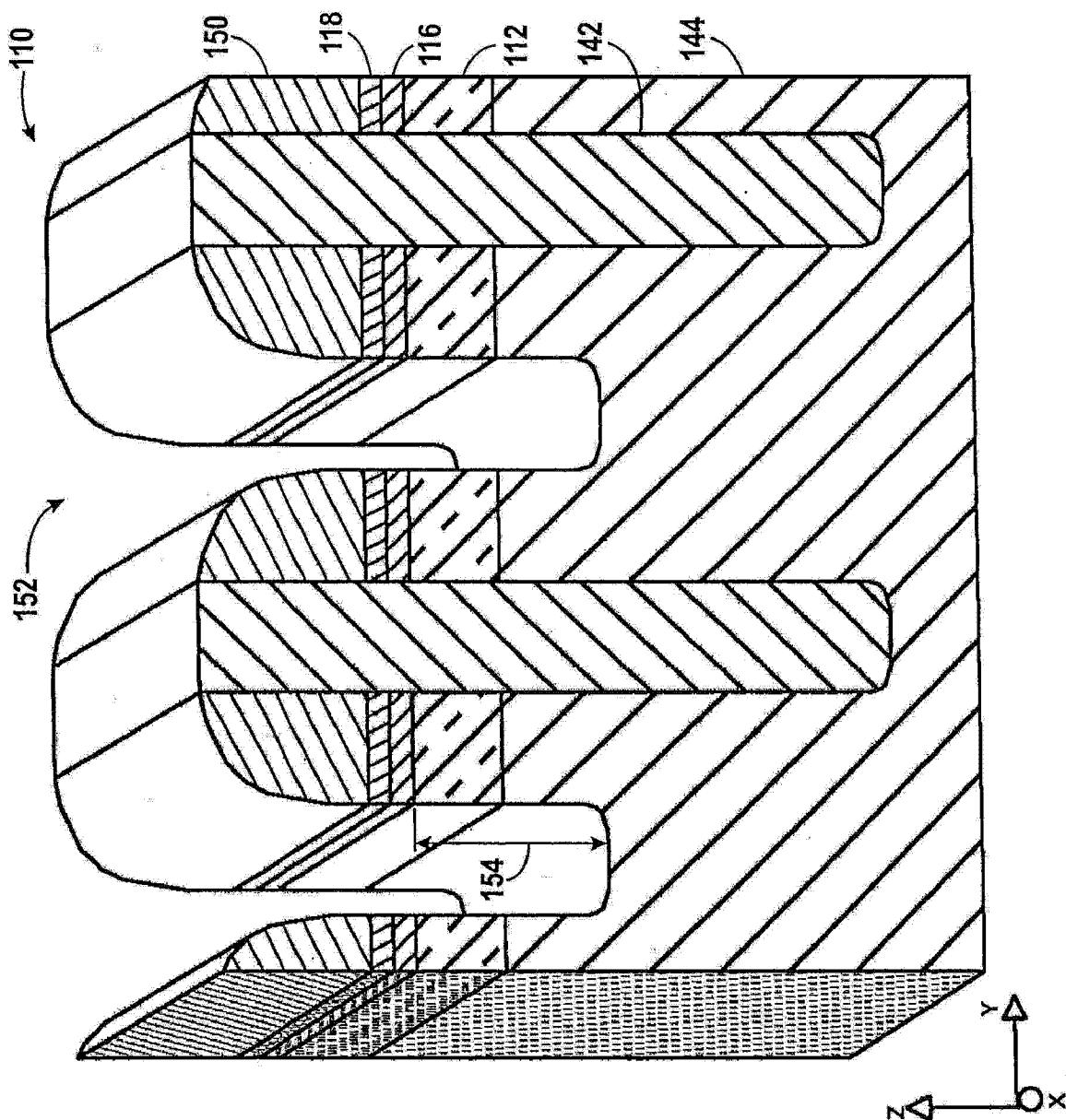


图 11

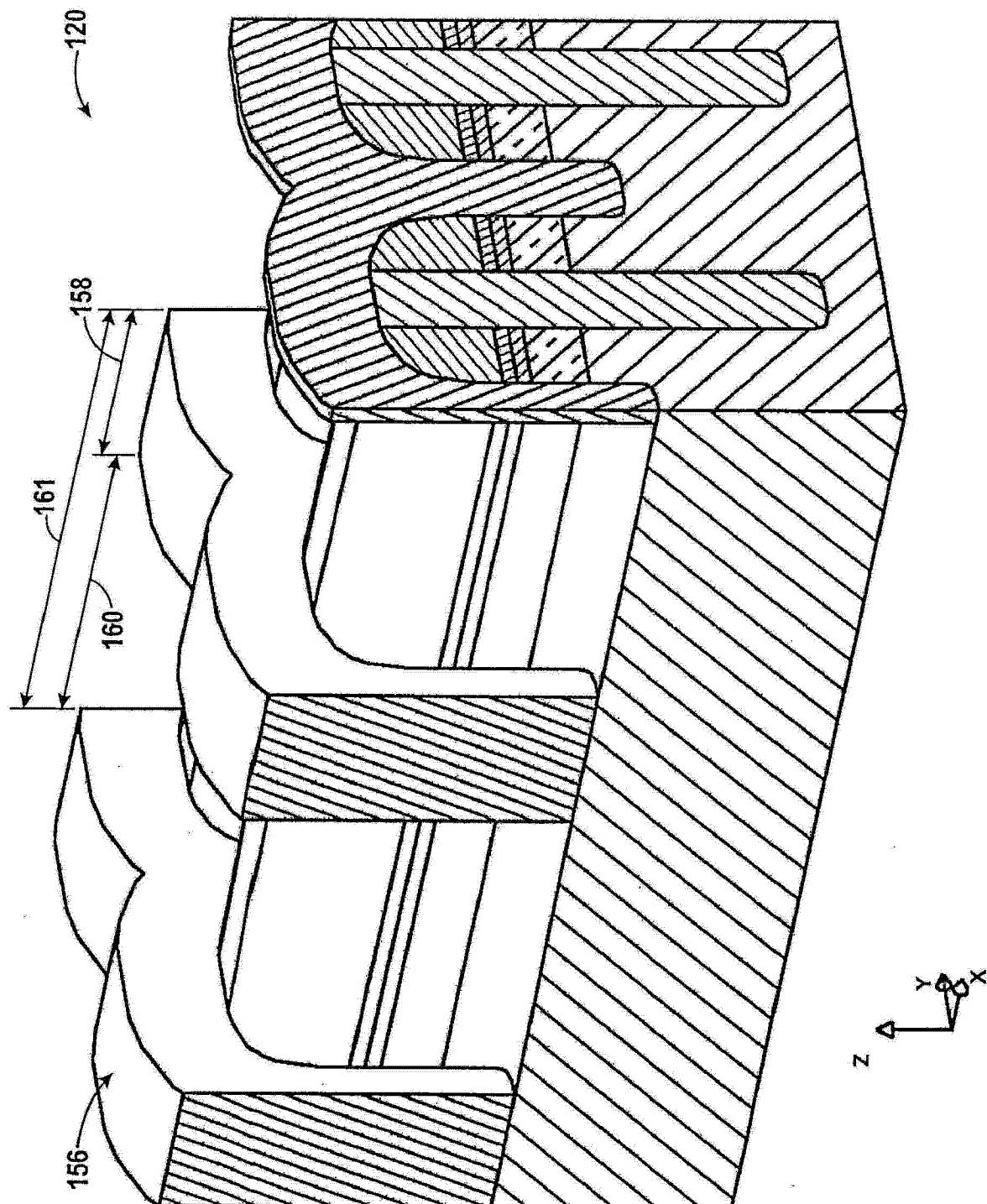


图 12

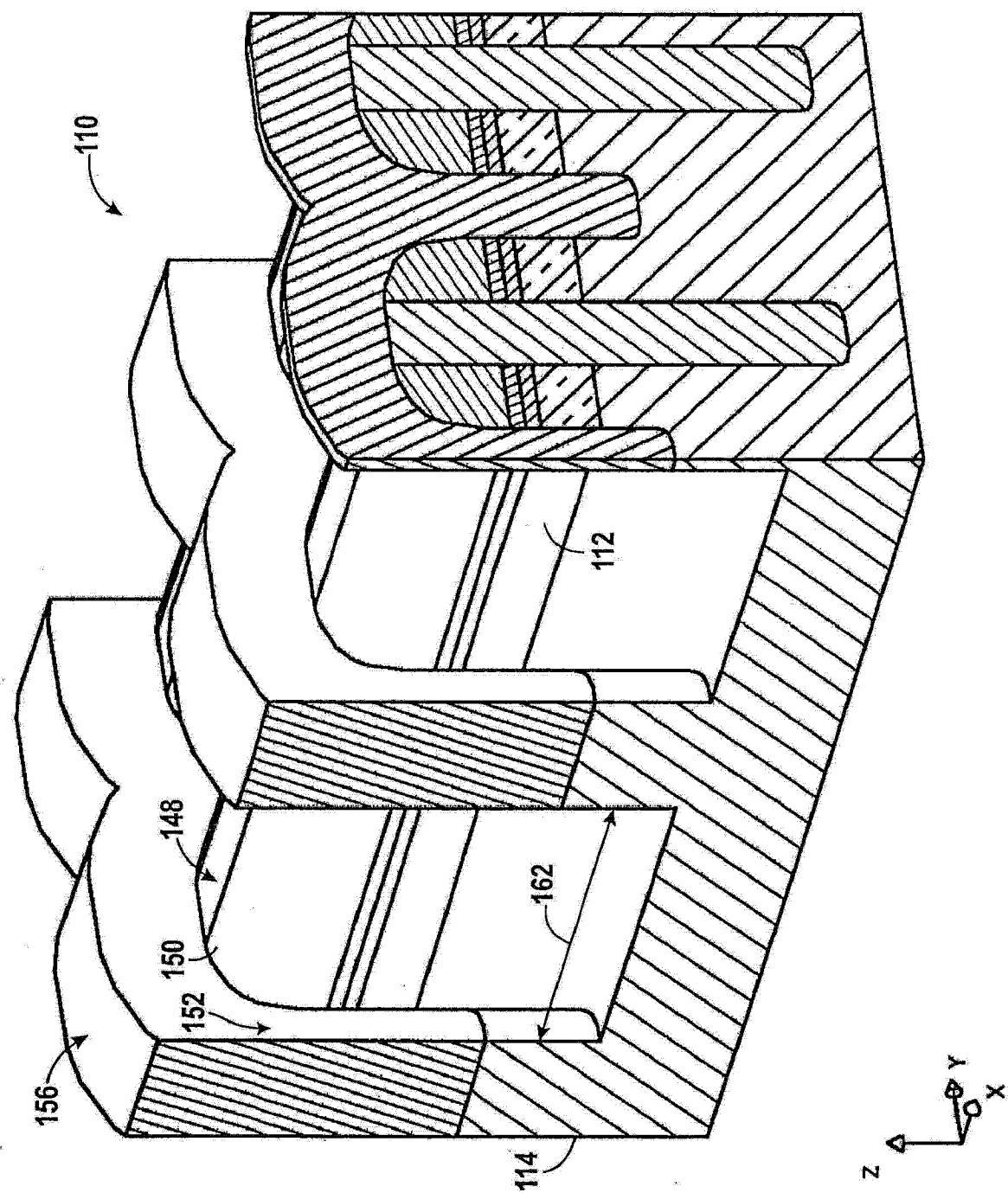


图 13

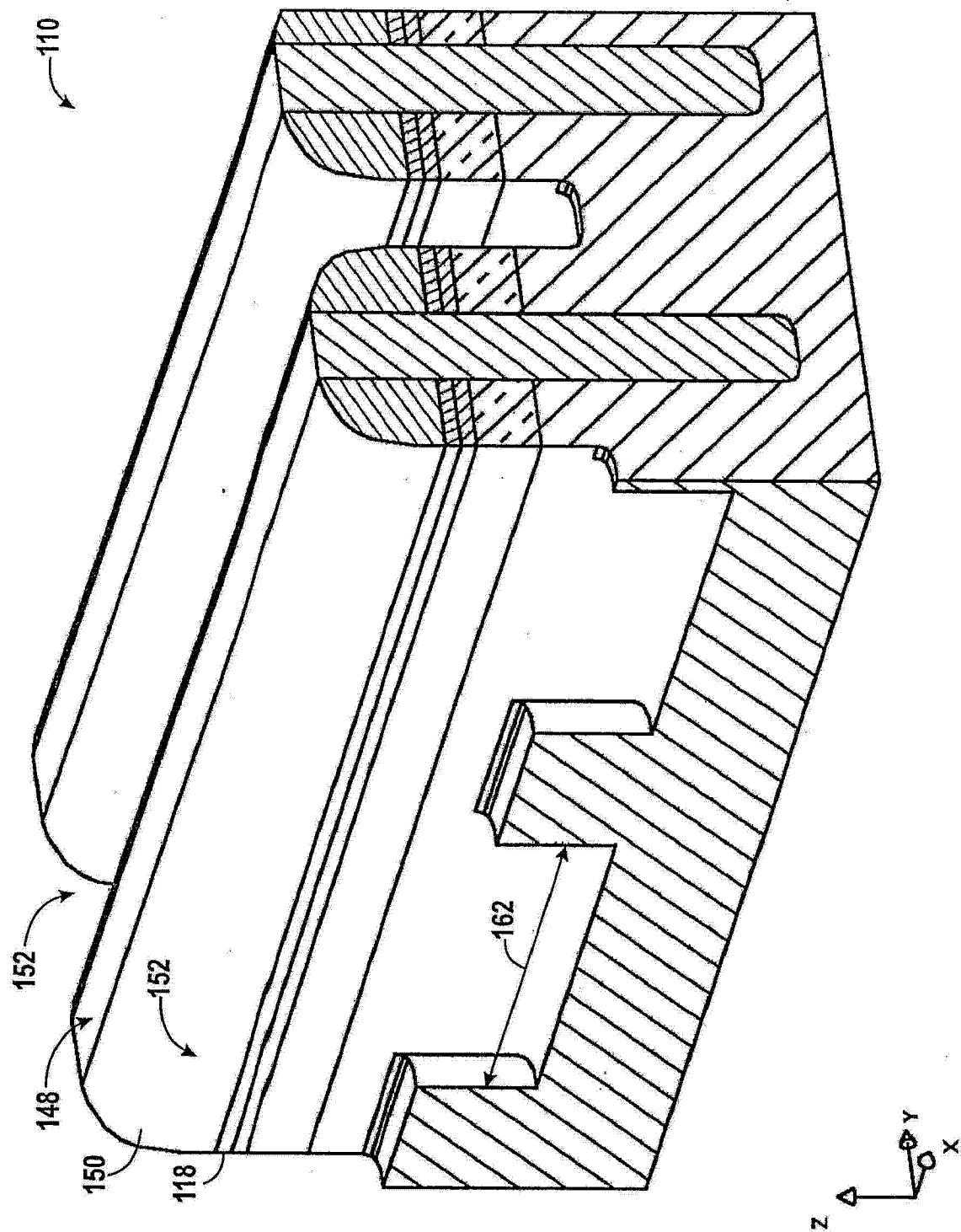


图 14

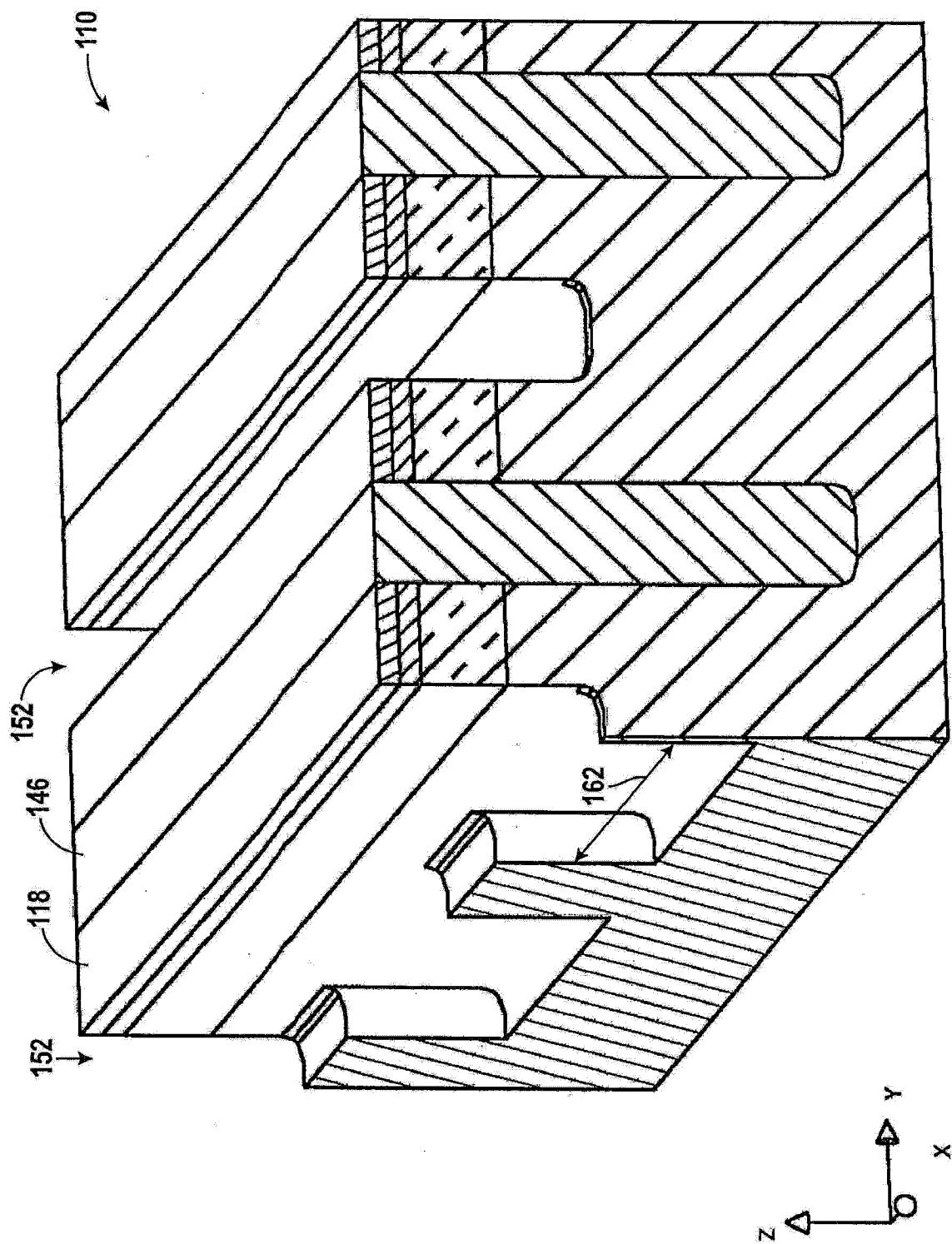


图 15

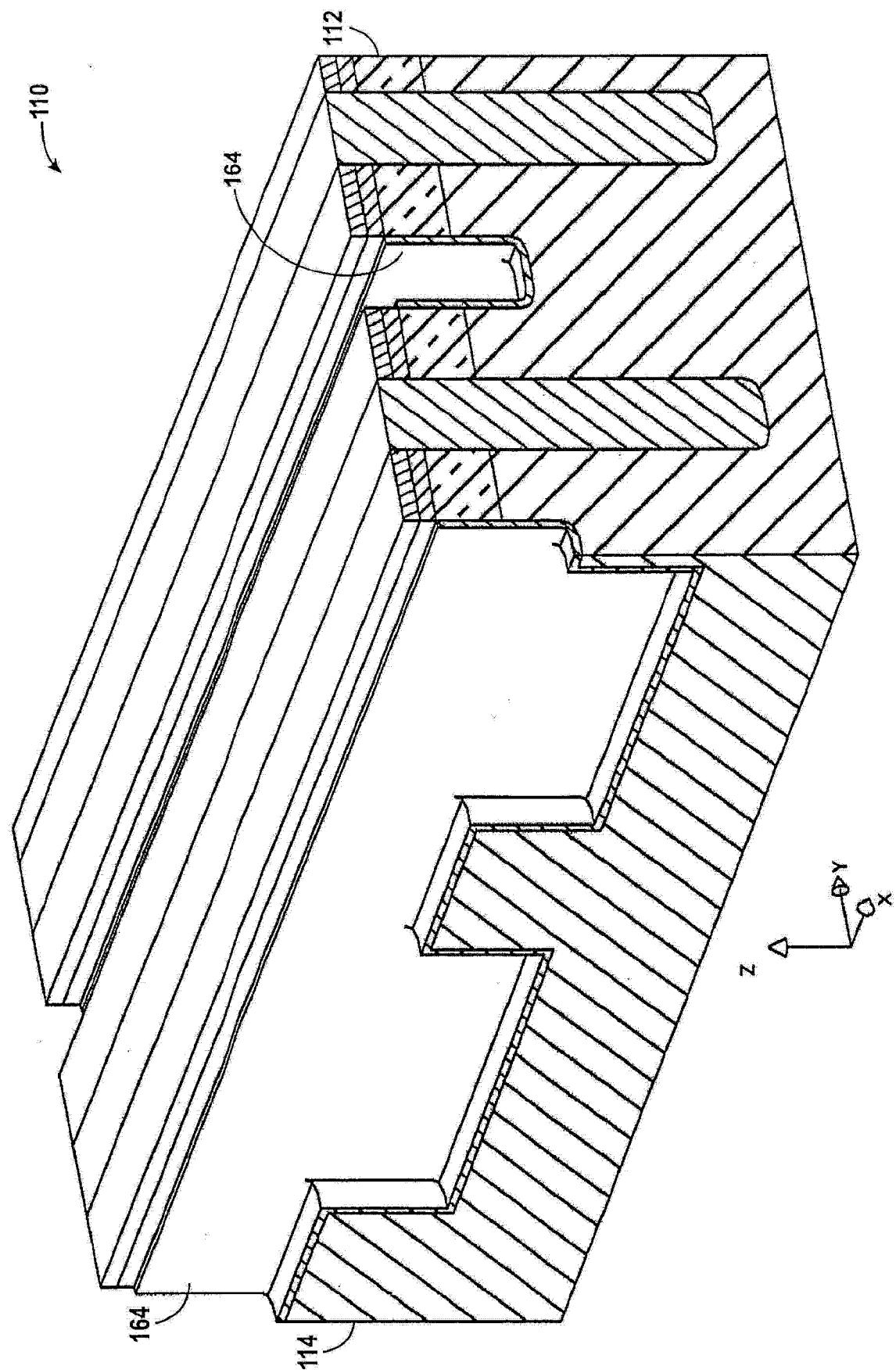


图 16

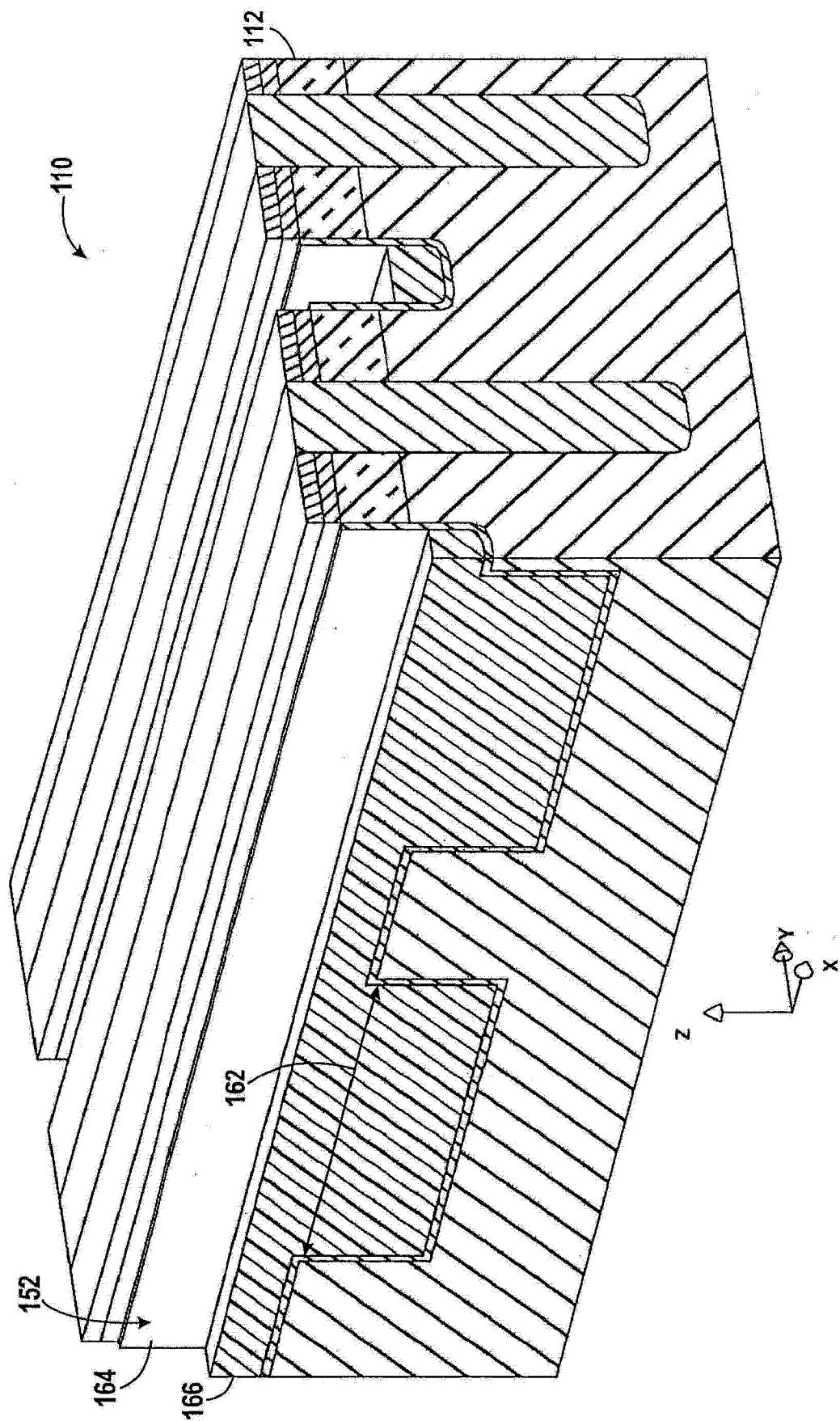


图 17

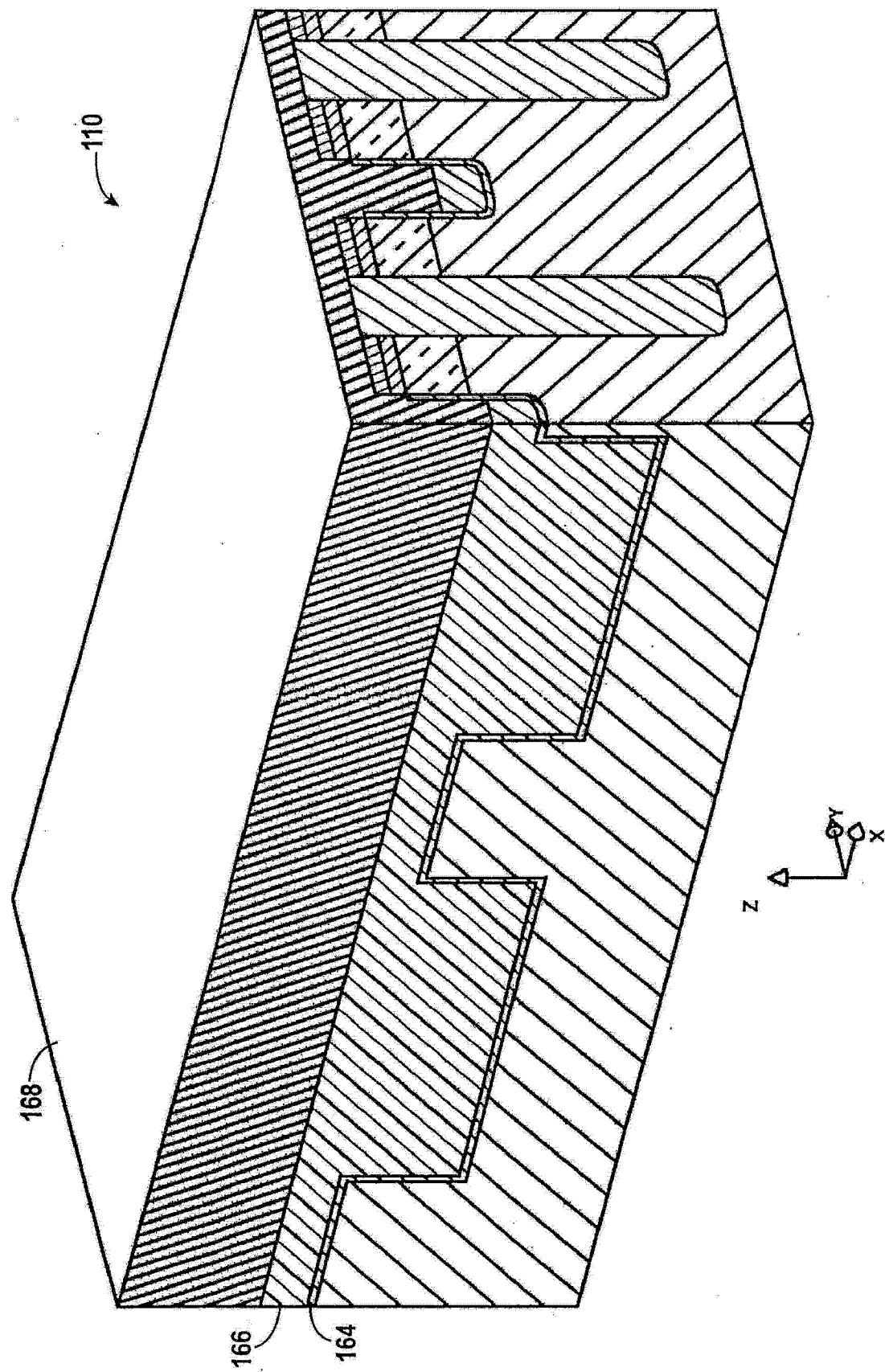


图 18

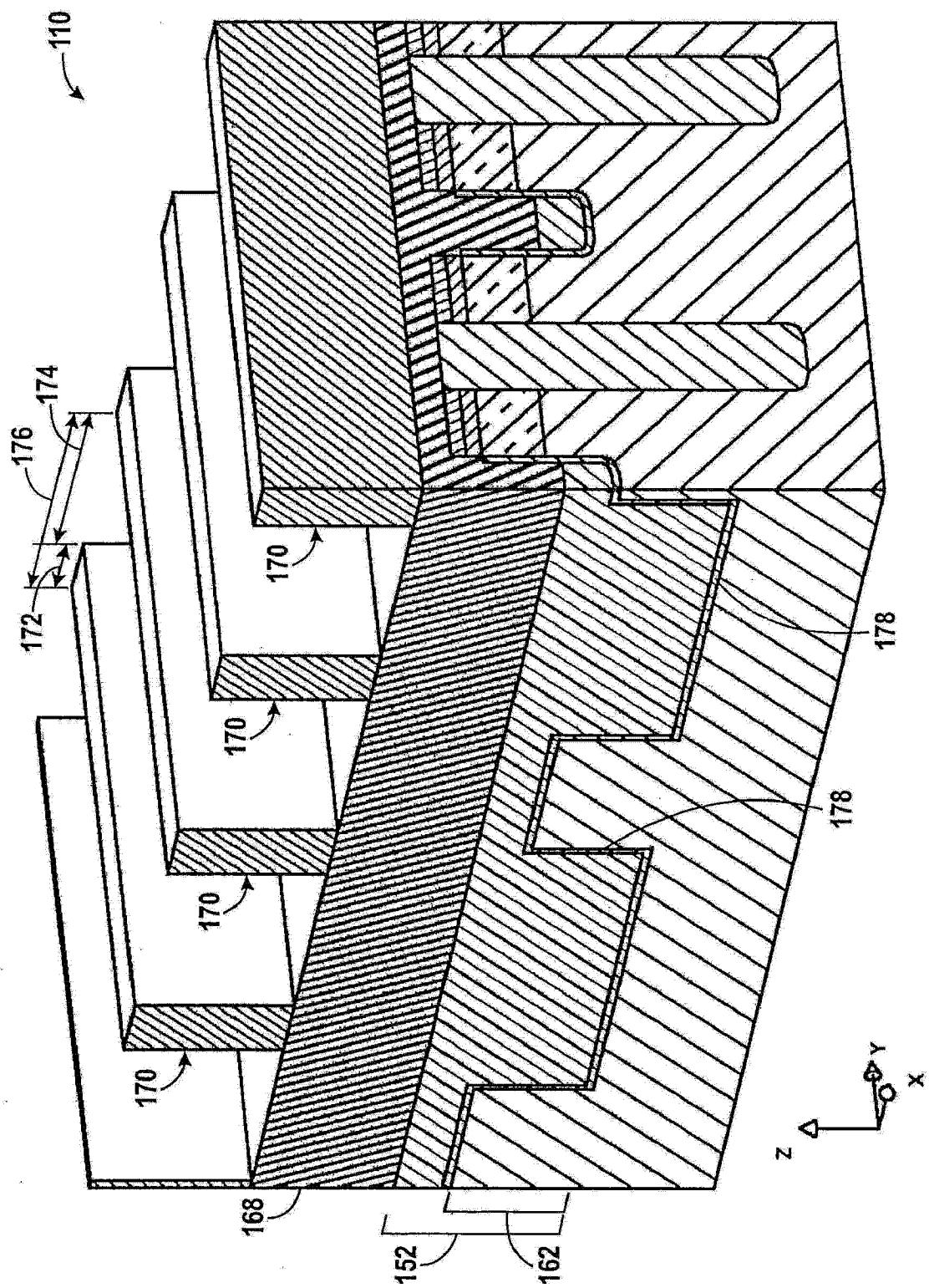


图 19

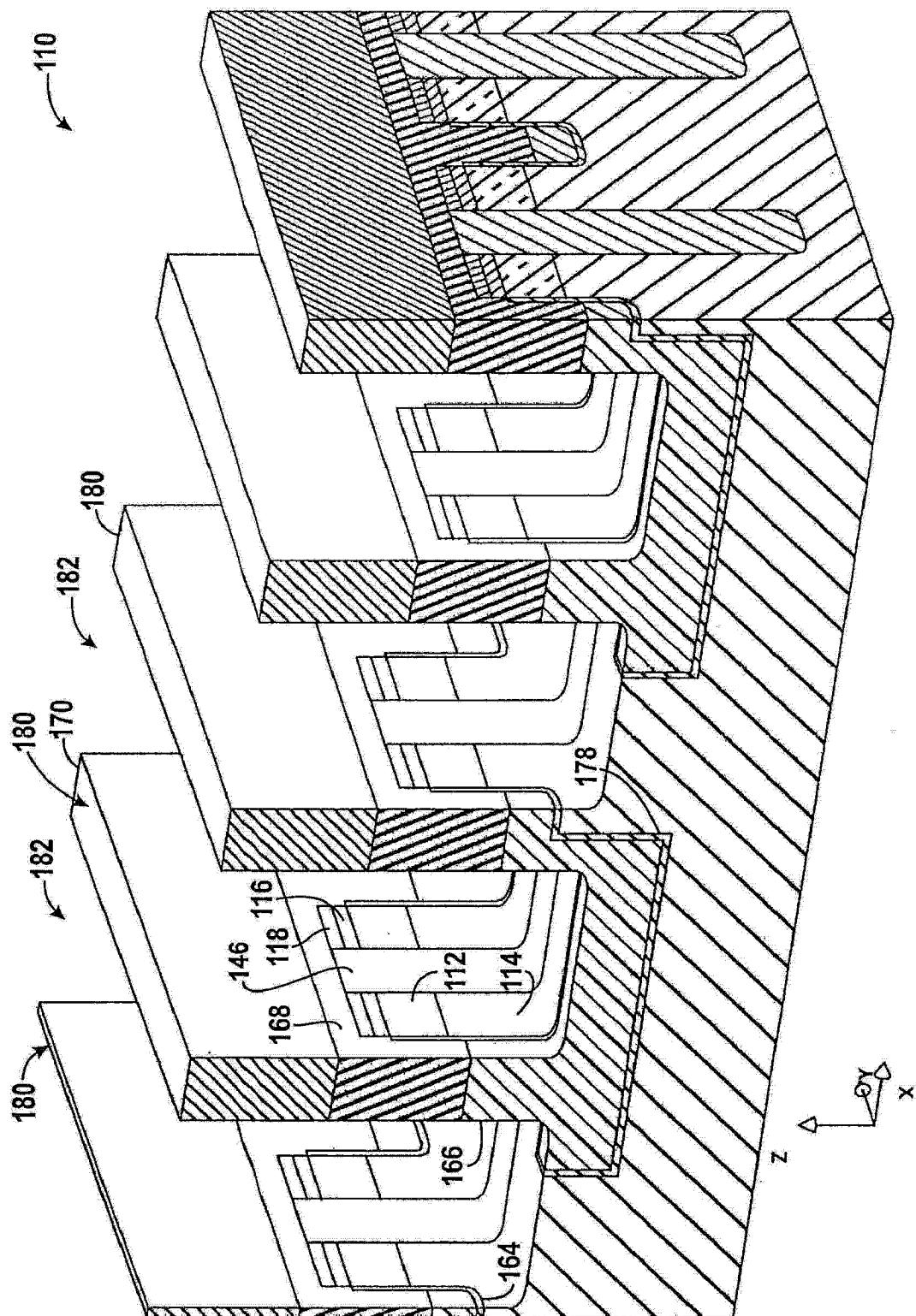


图 20

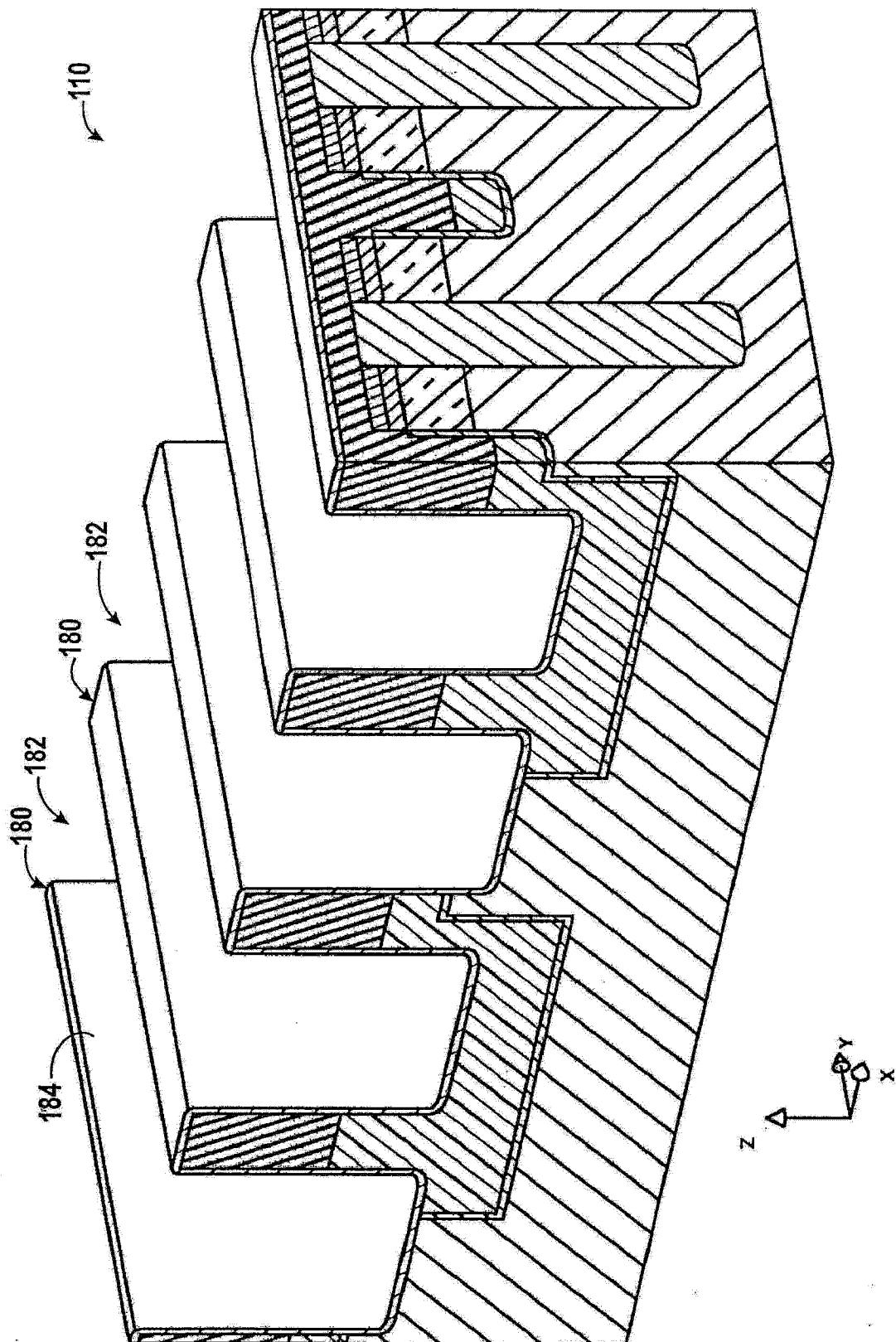


图 21

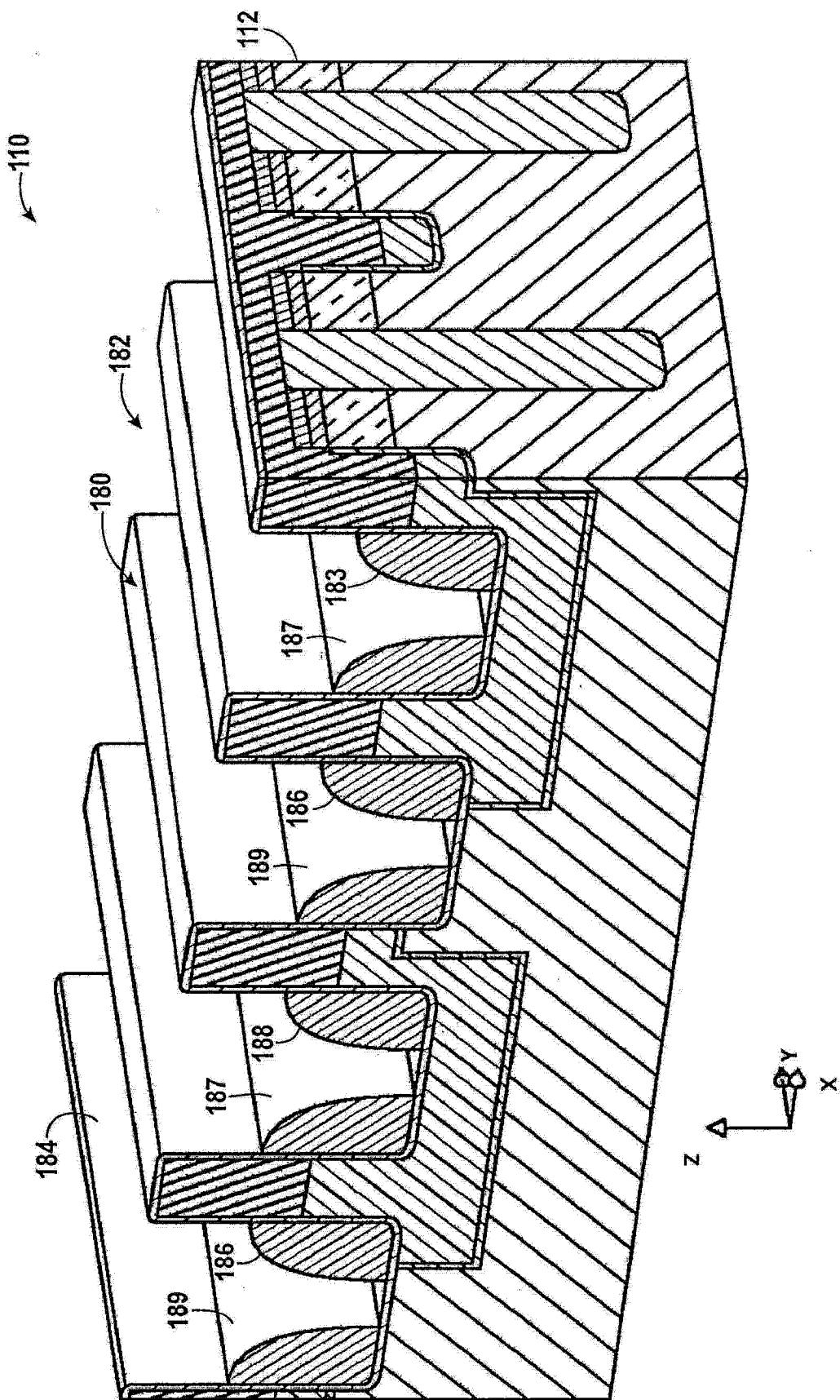


图 22

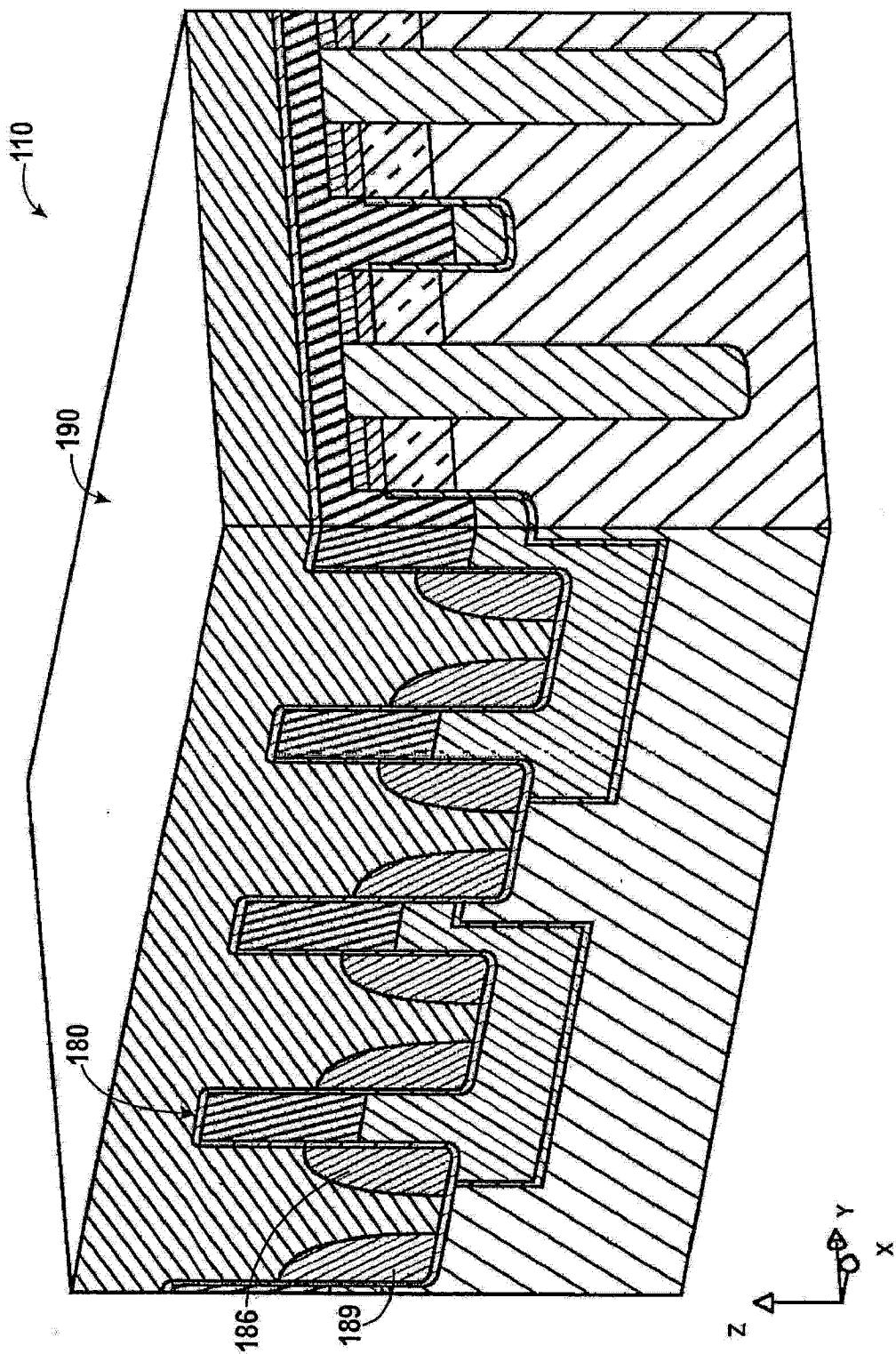


图 23

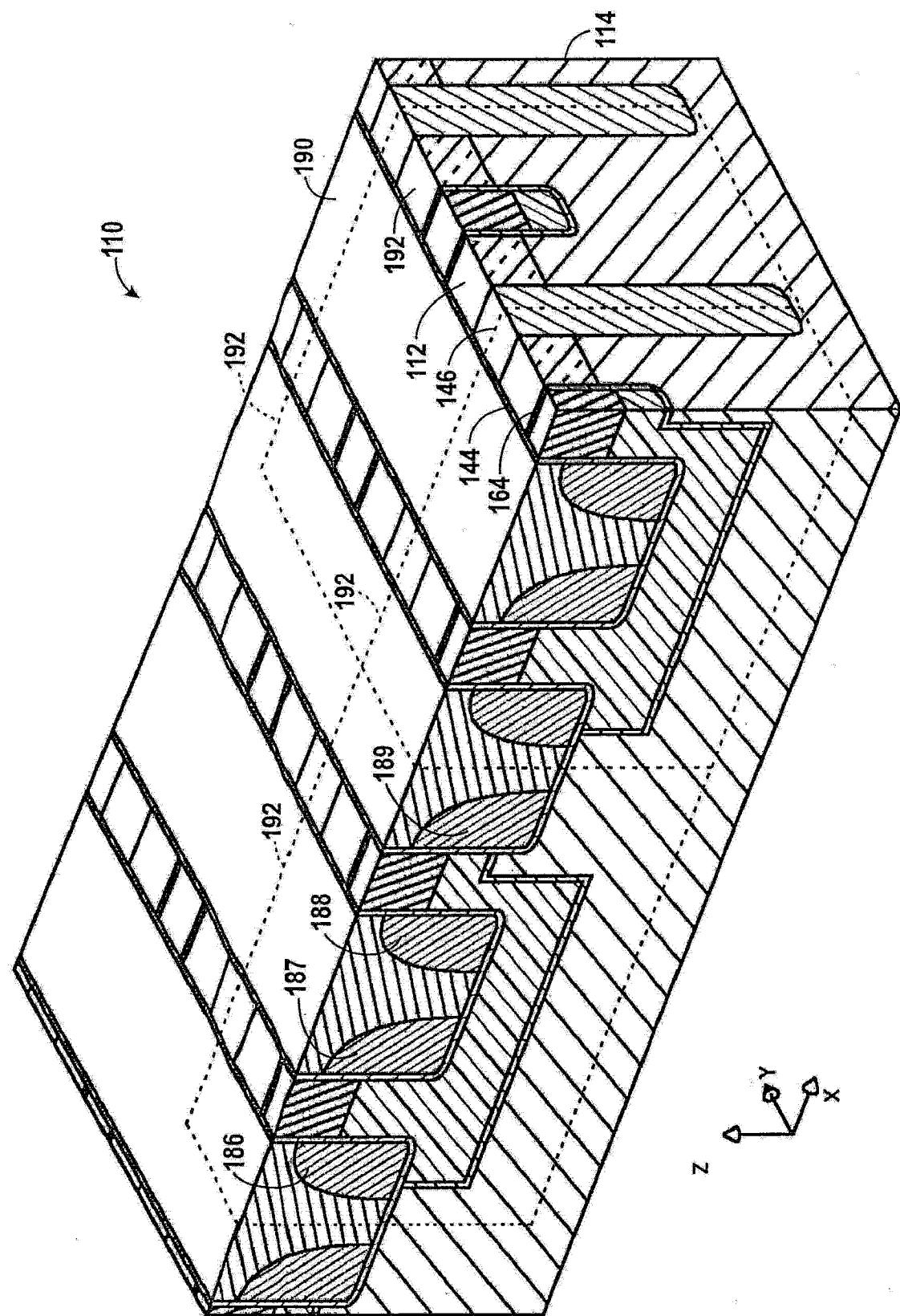


图 24

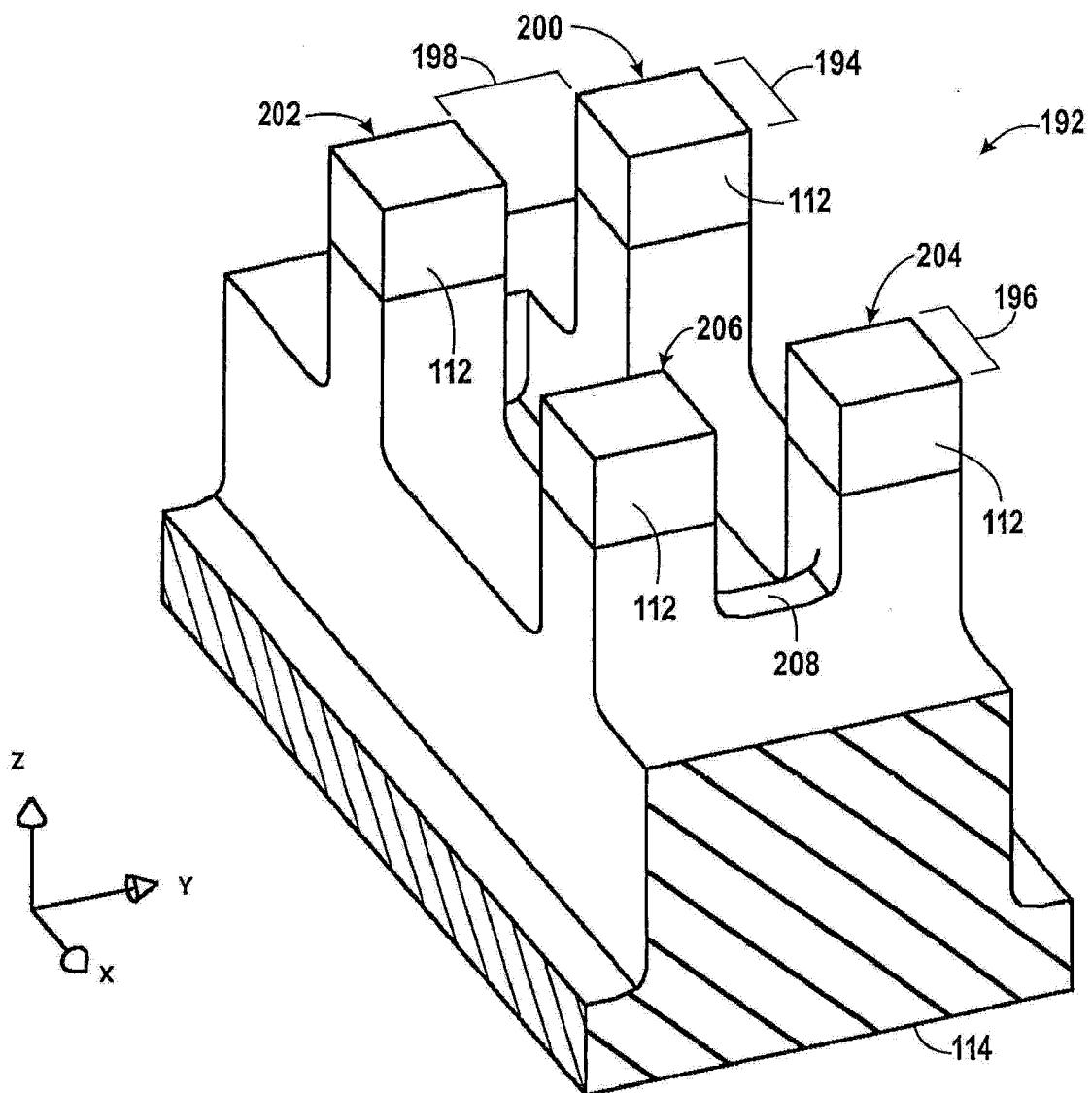


图 25

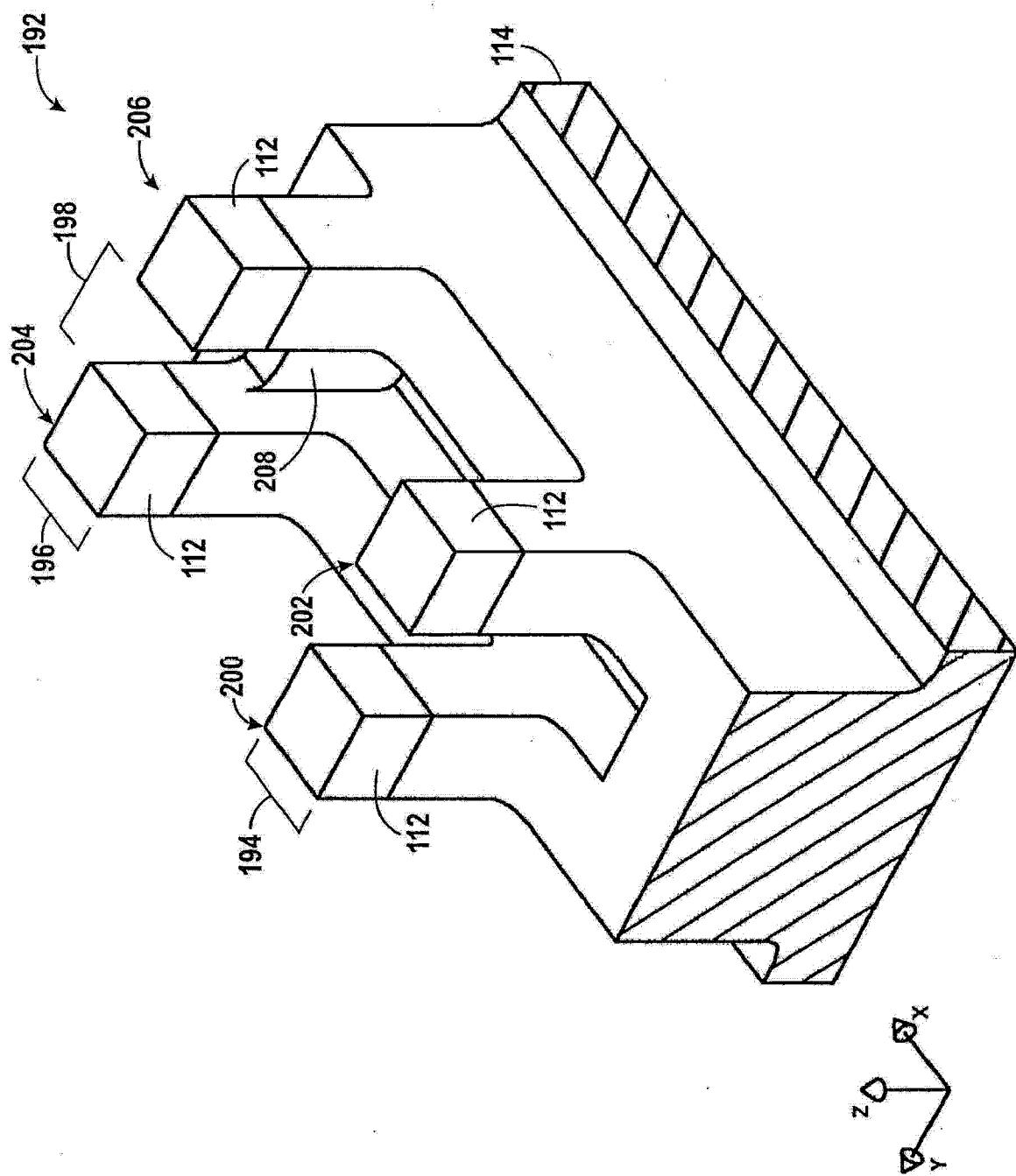


图 26

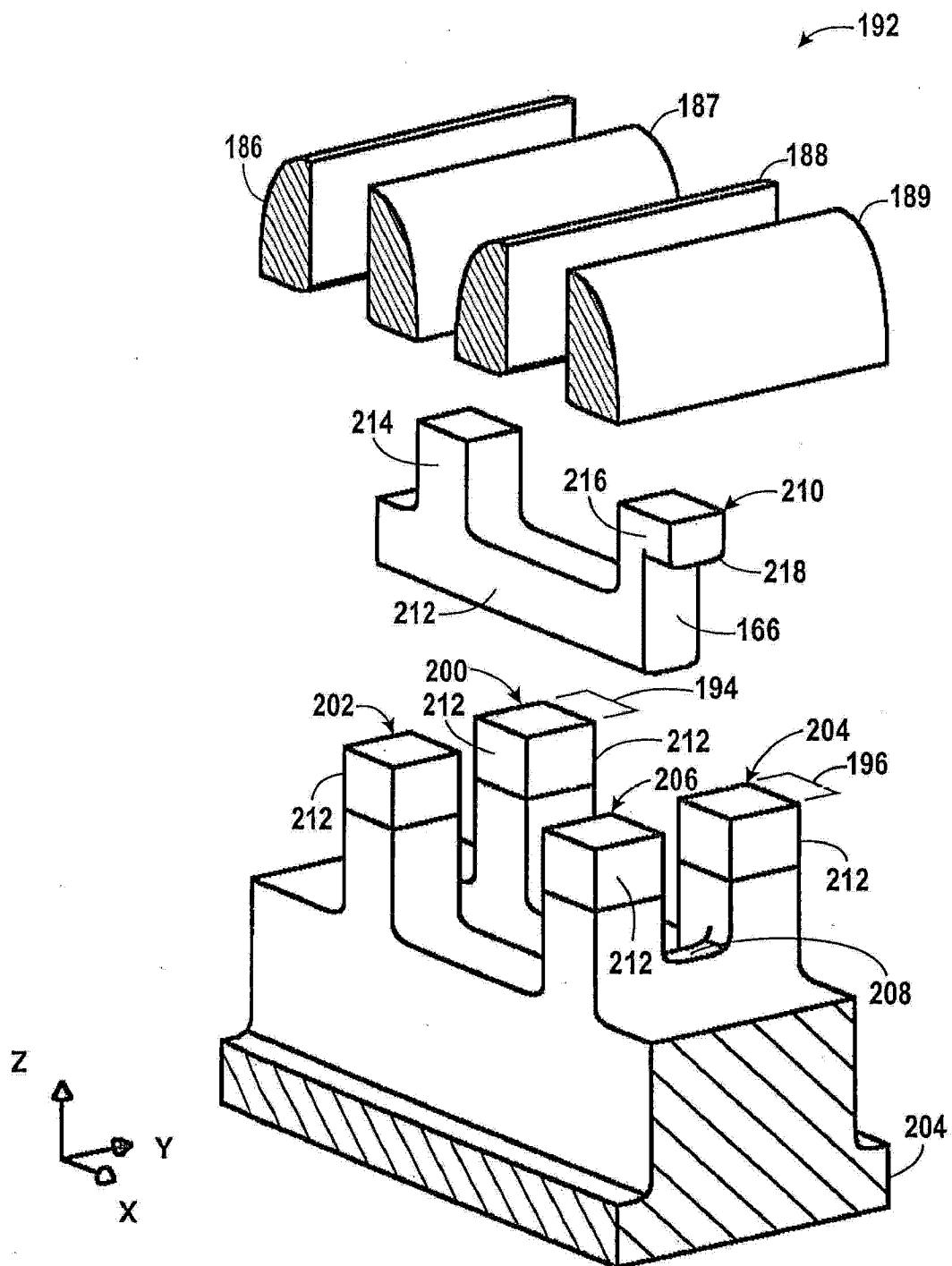


图 27

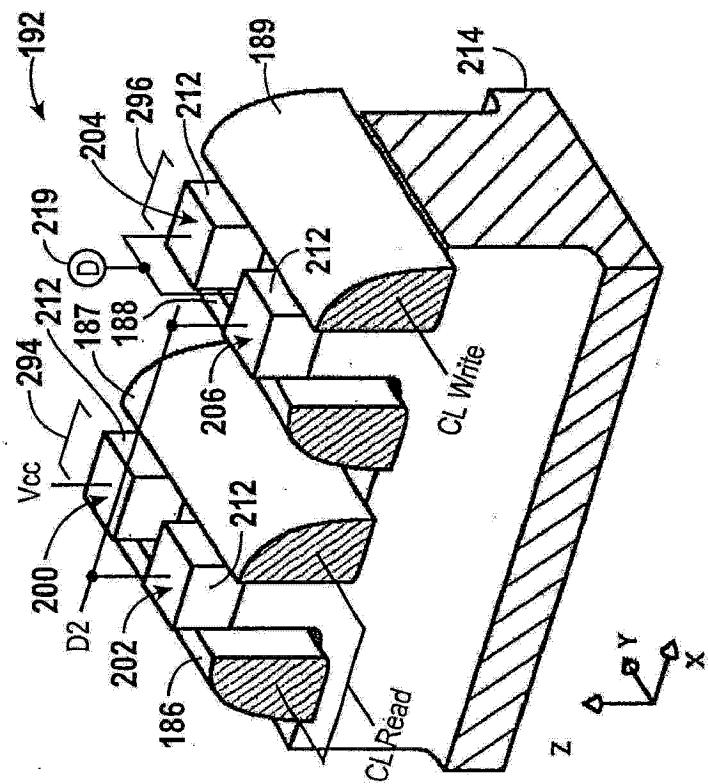


图 28

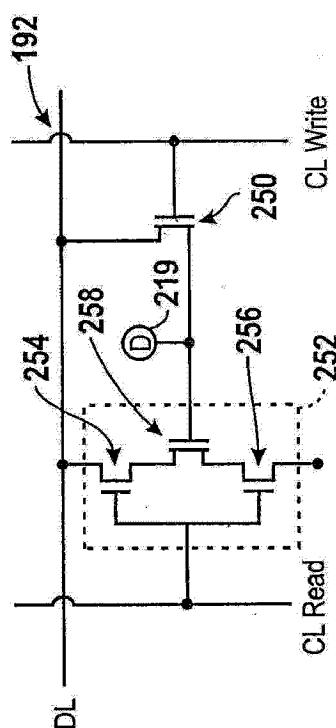
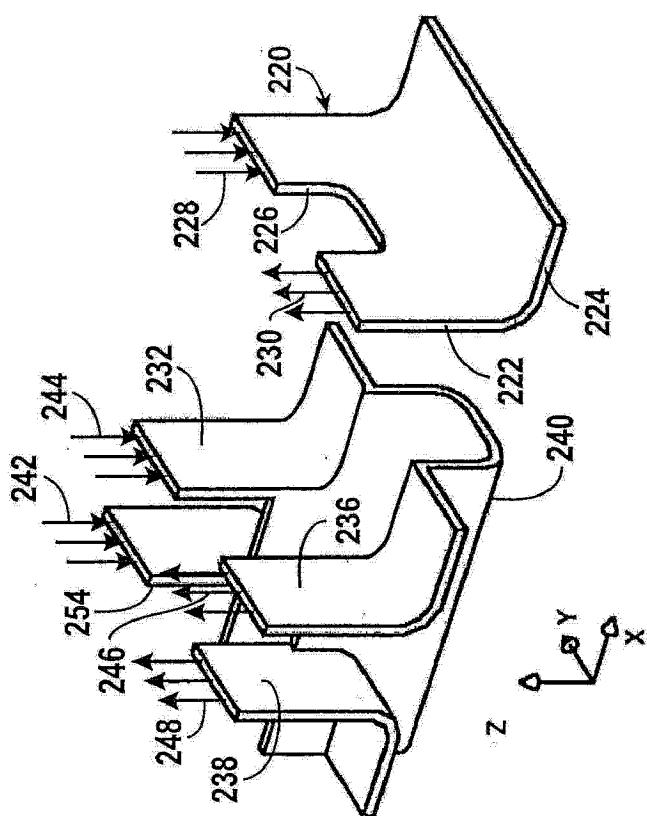


图 30

图 29

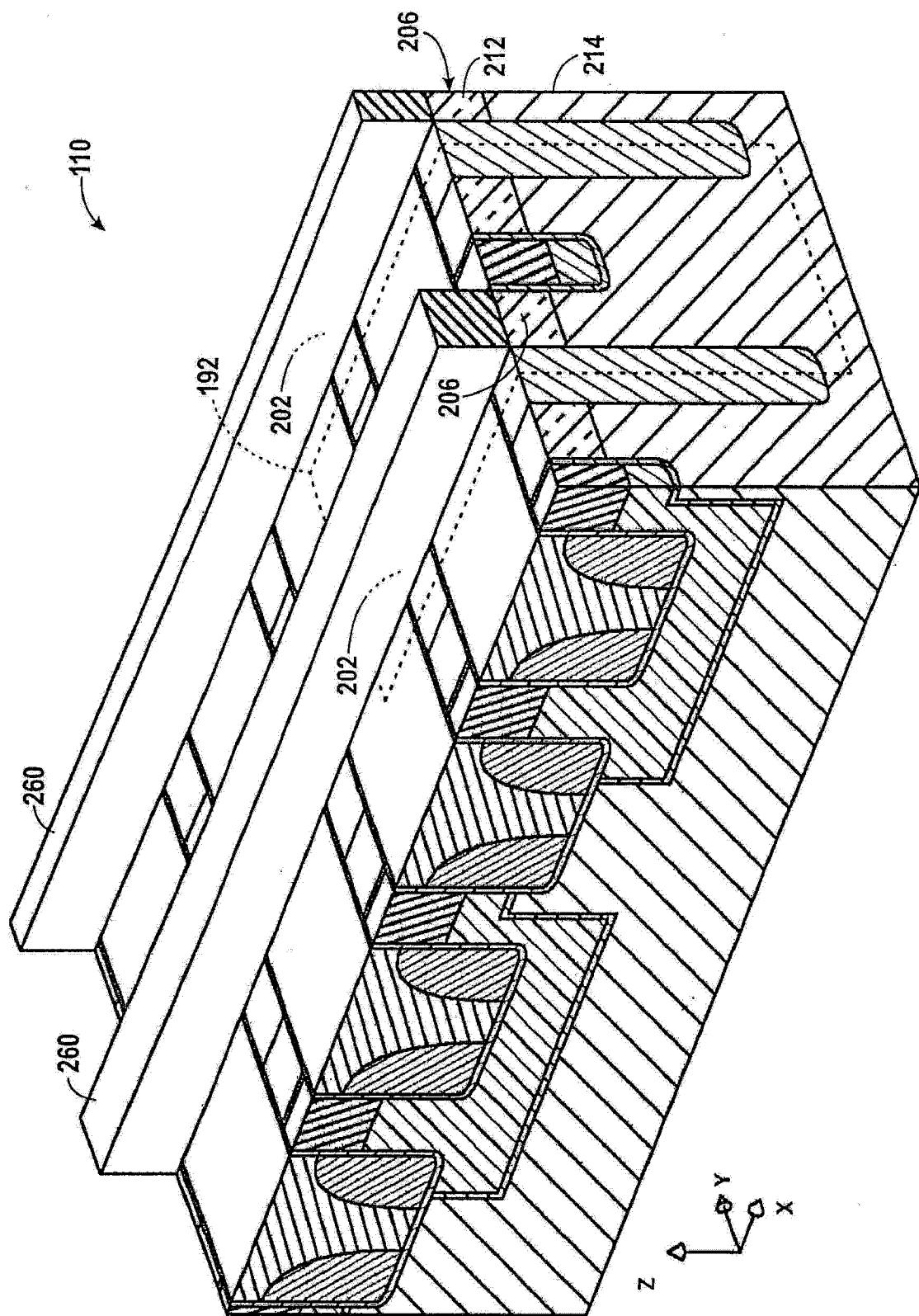


图 31

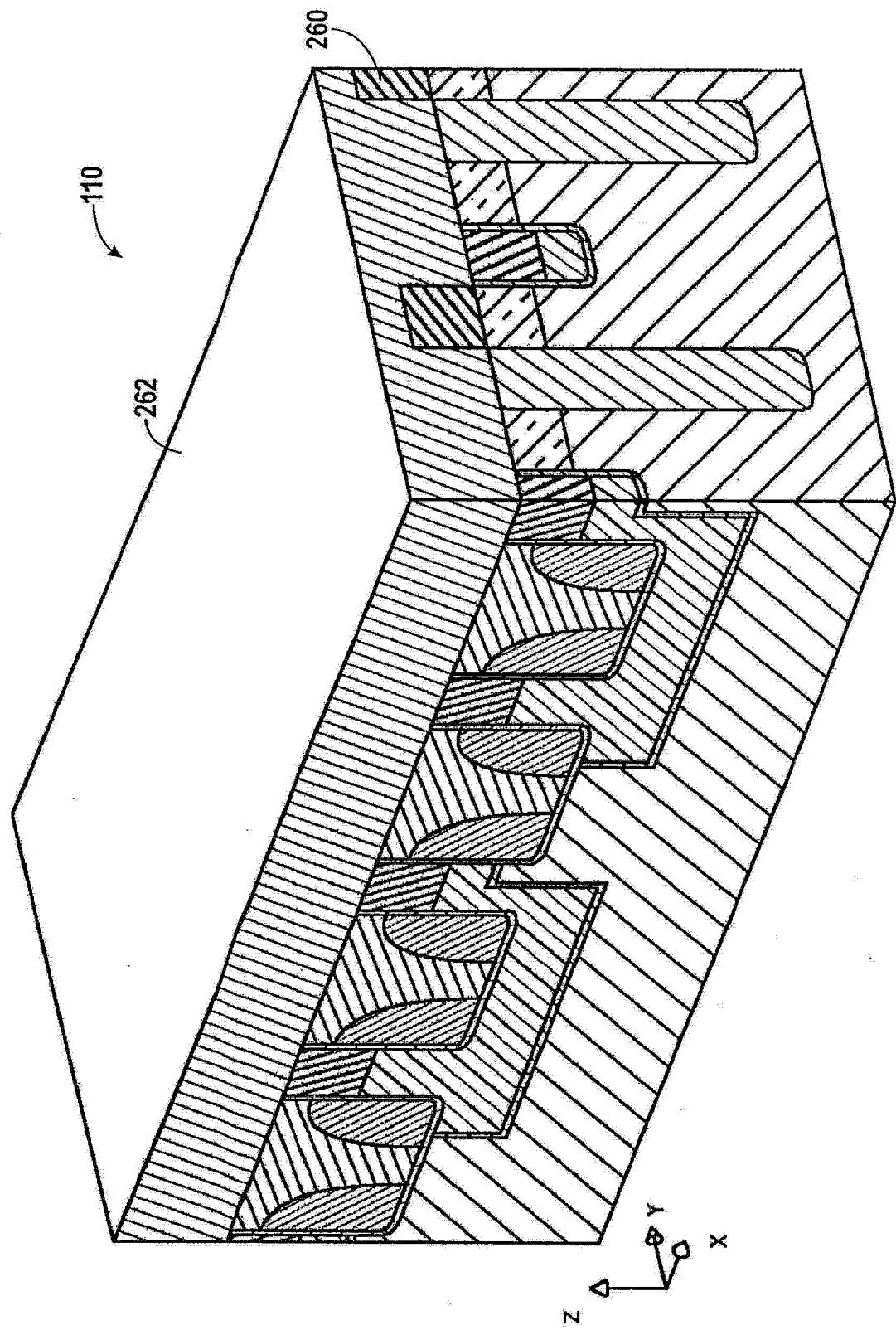


图 32

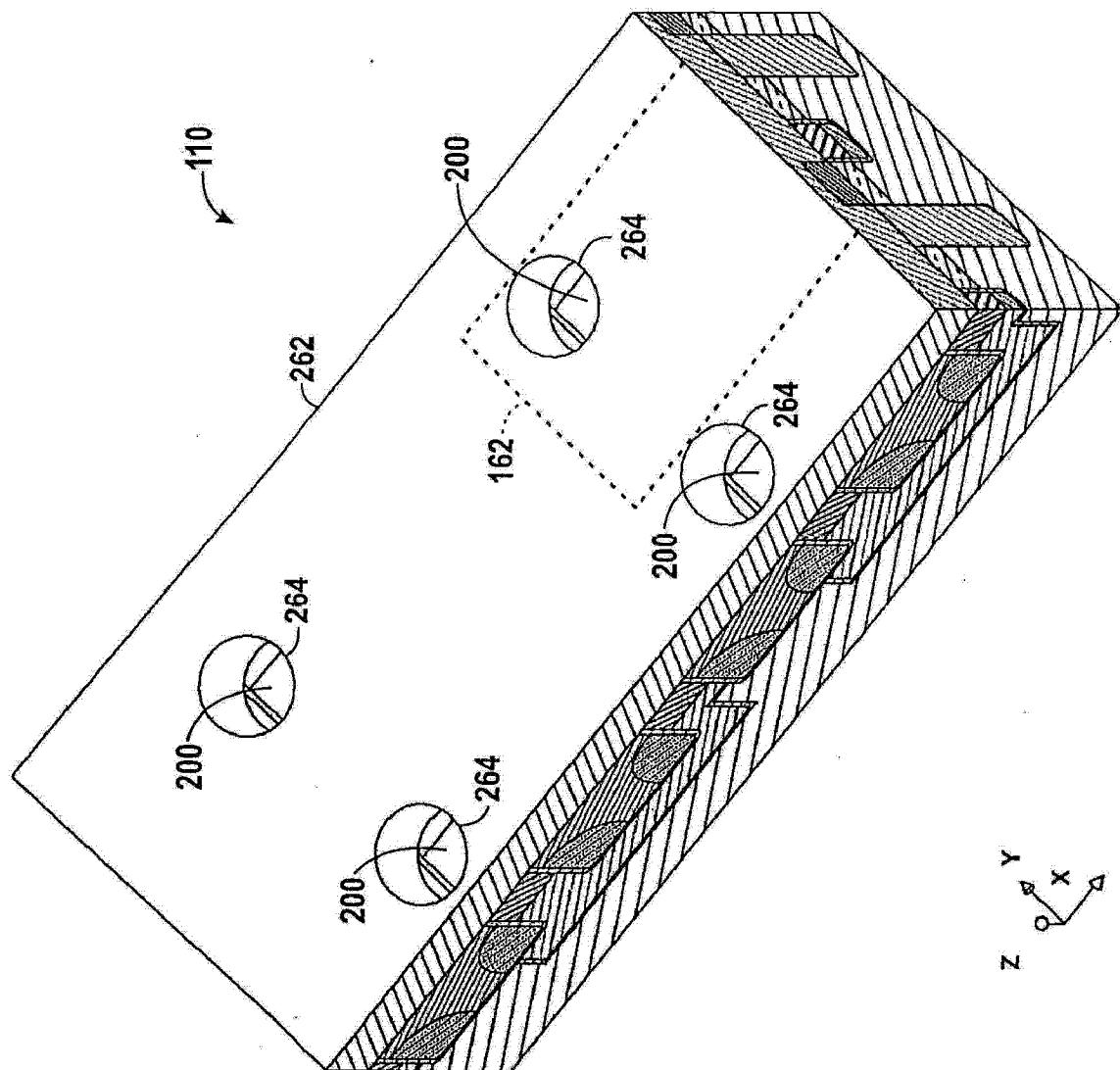


图 33

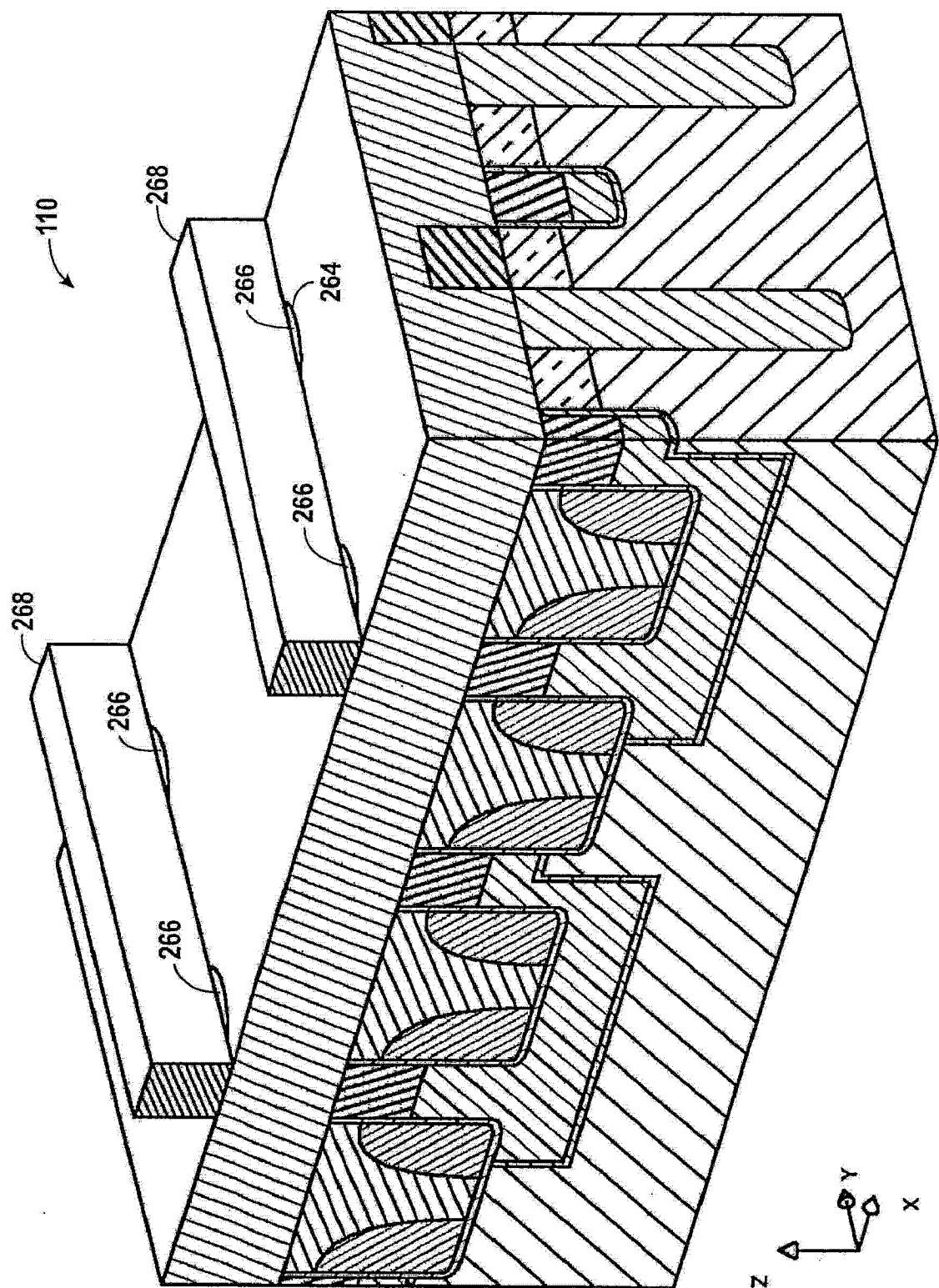


图 34

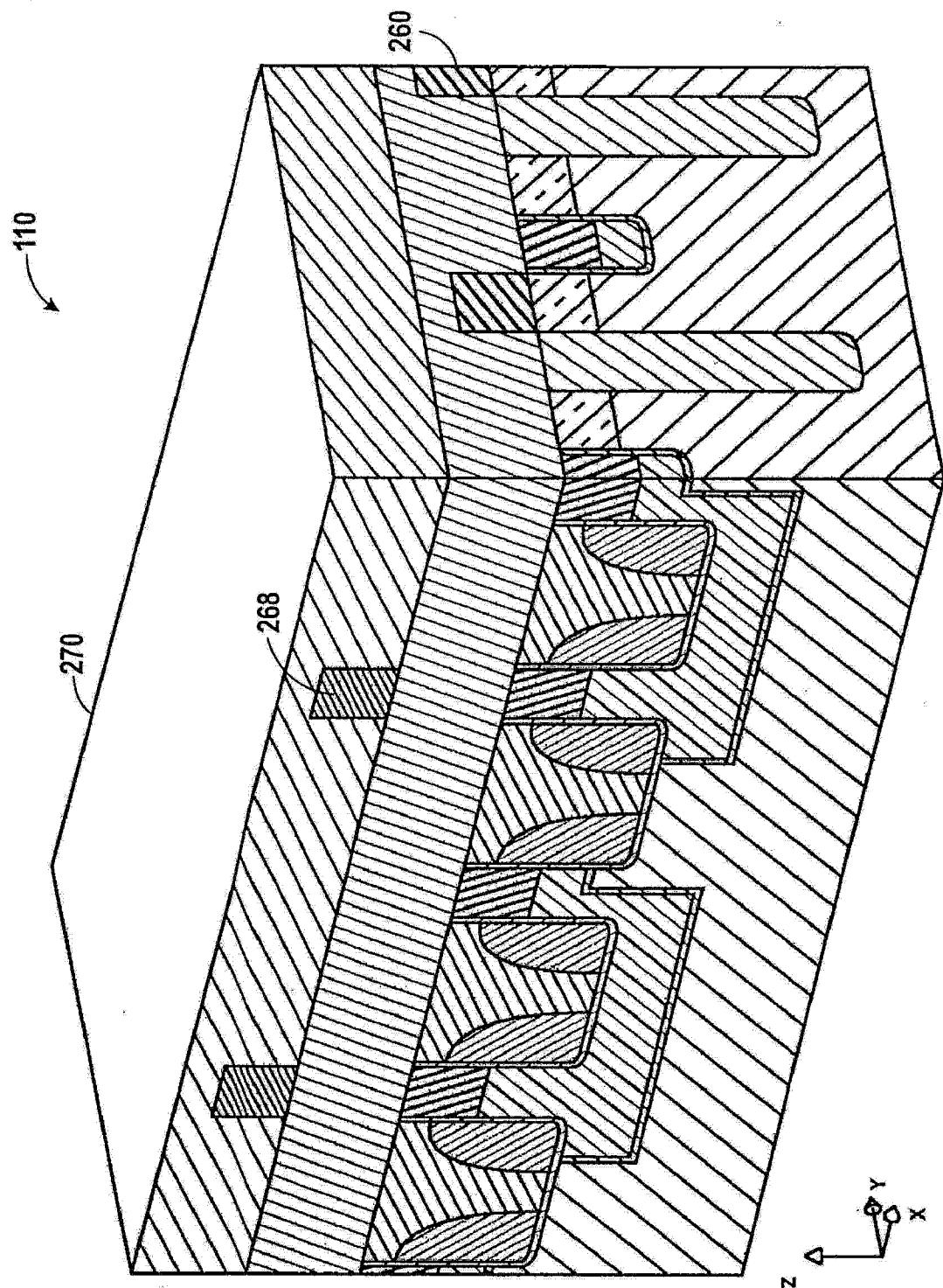


图 35

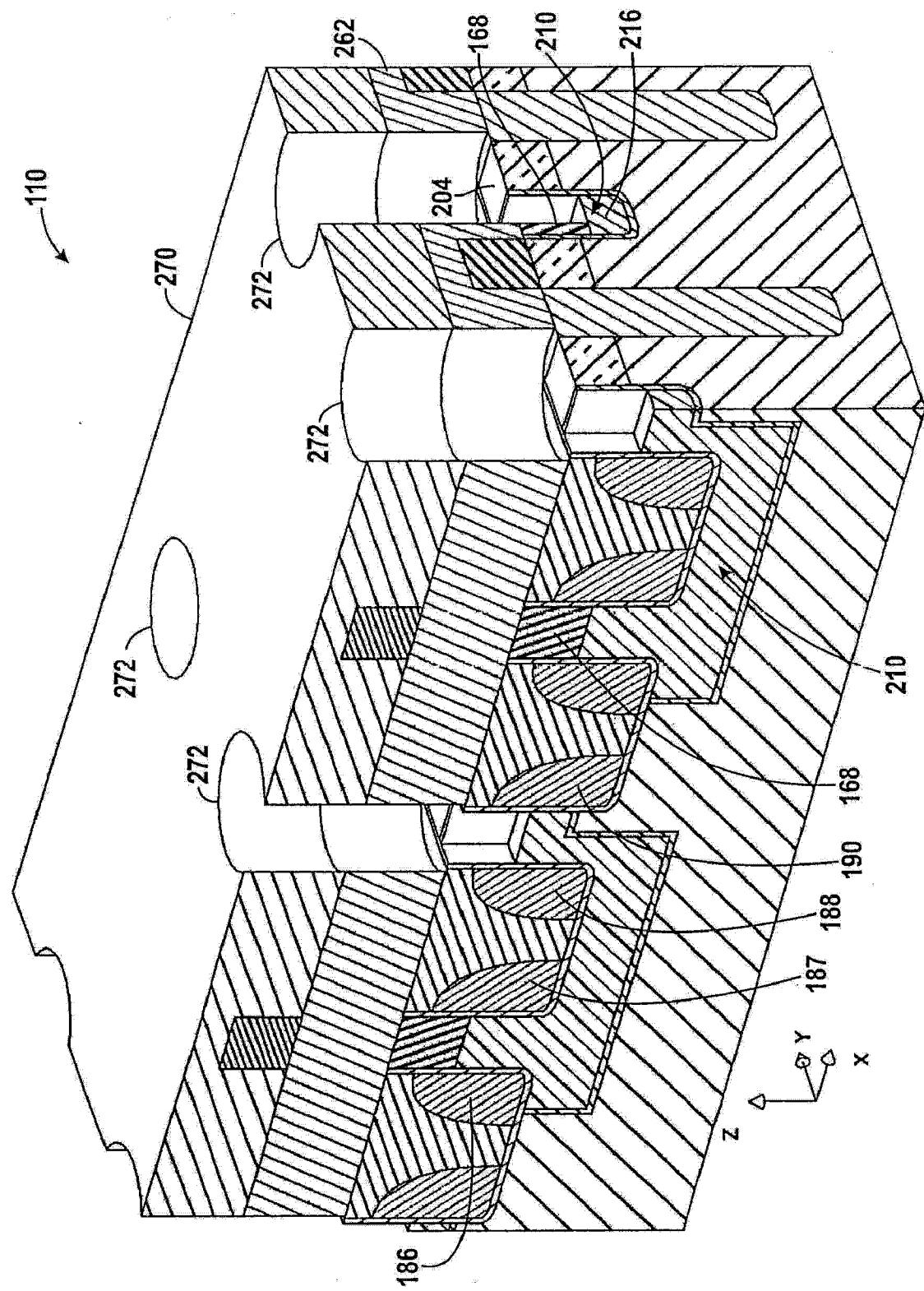


图 36

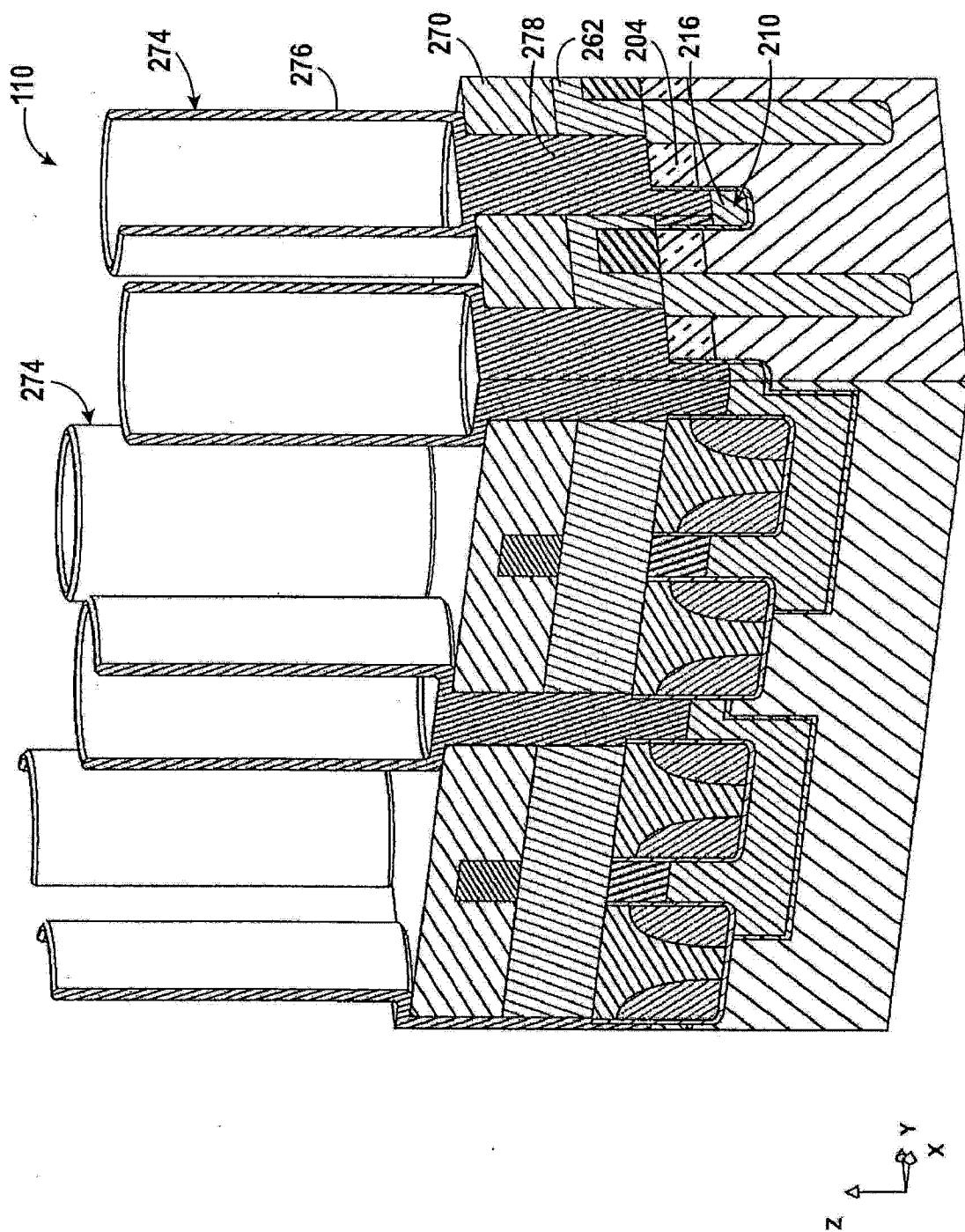


图 37

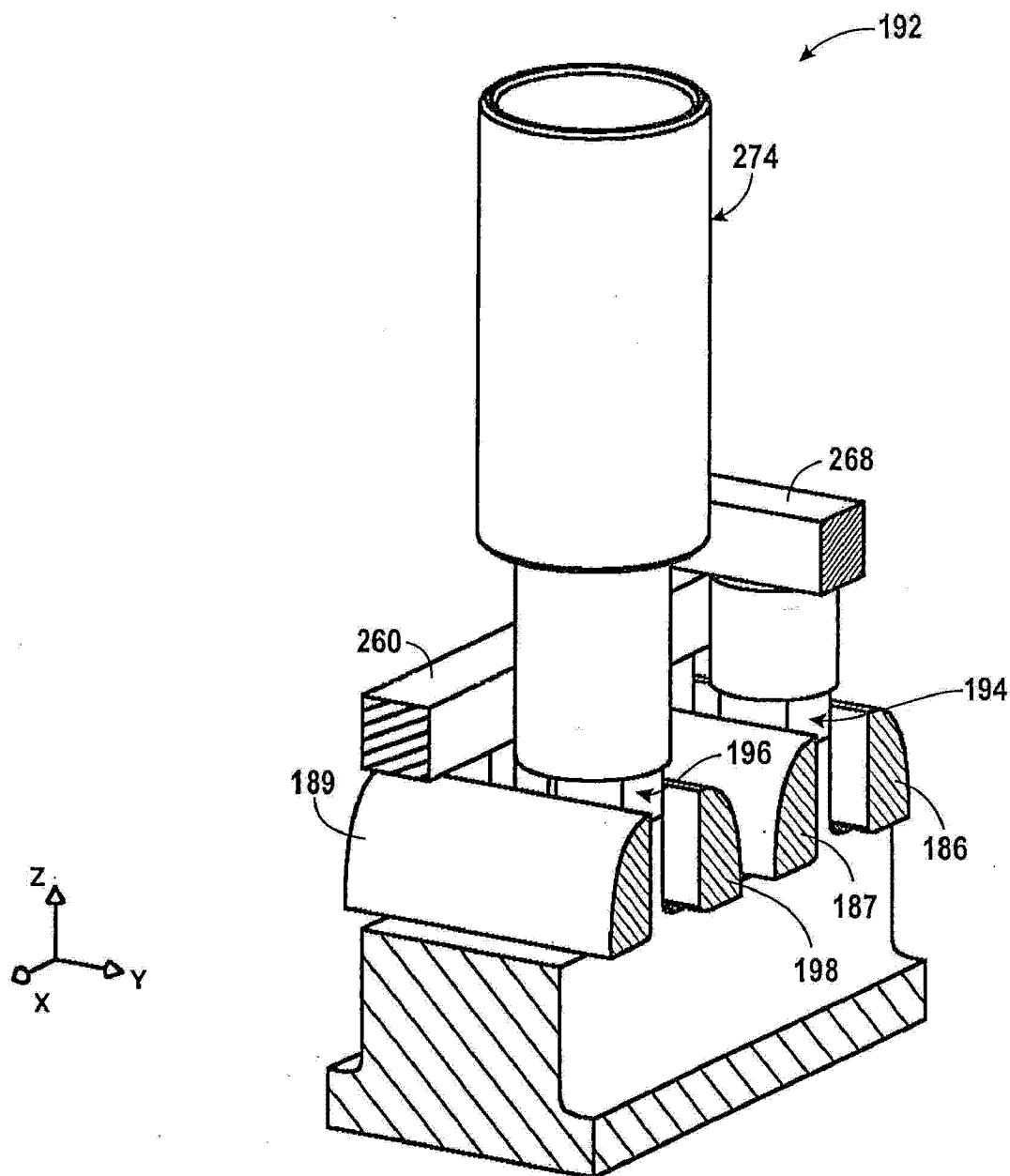


图 38

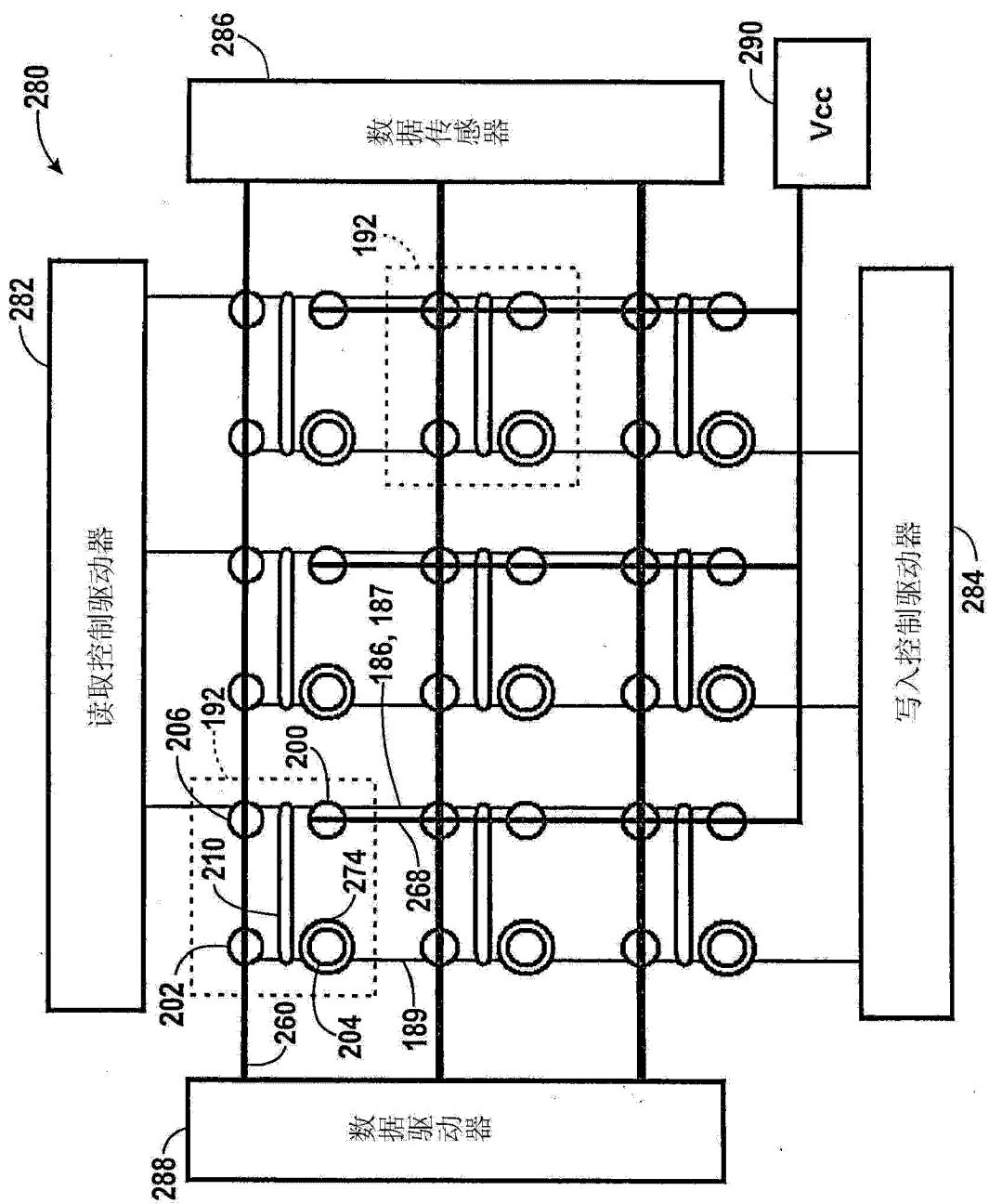


图 39

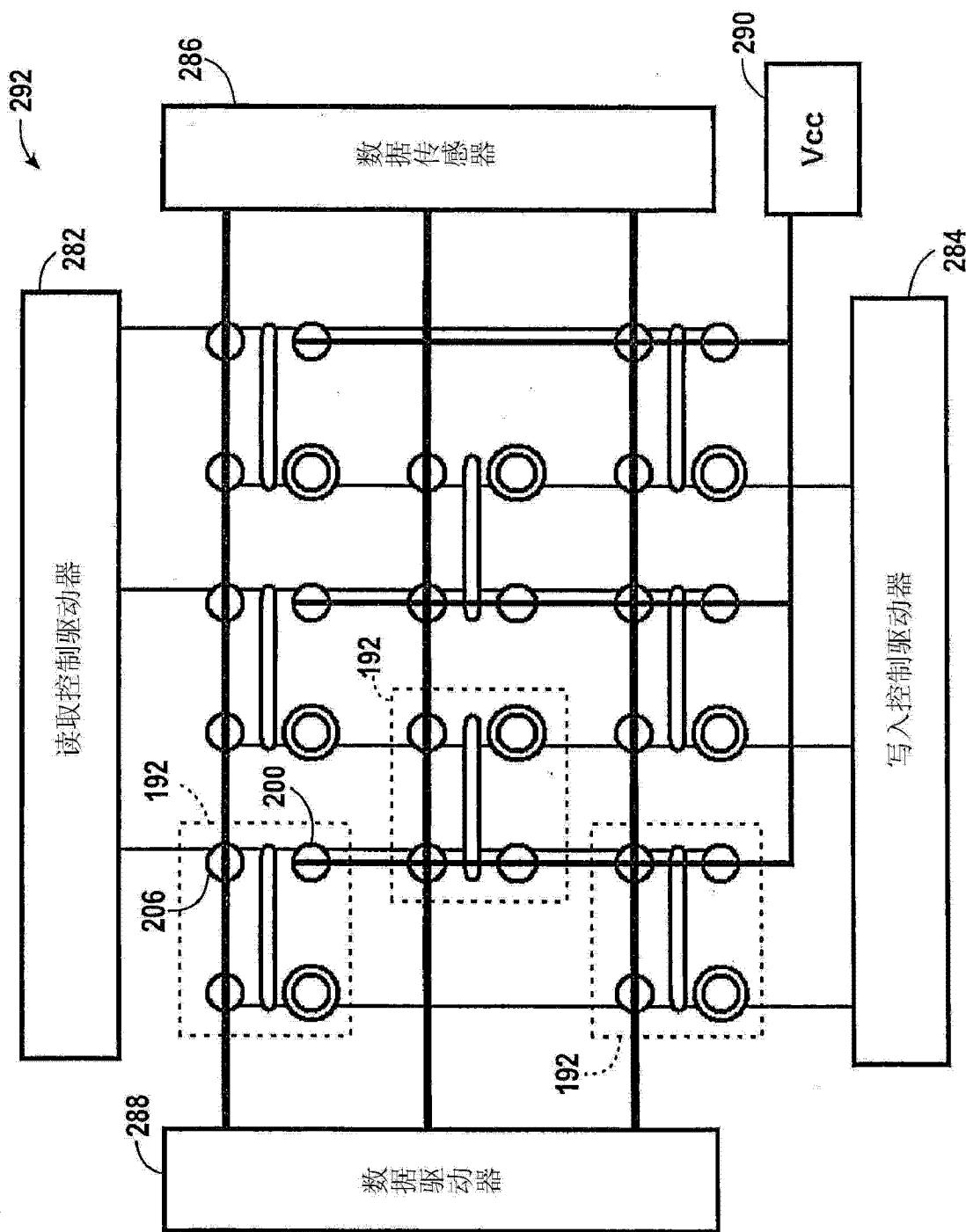


图 40

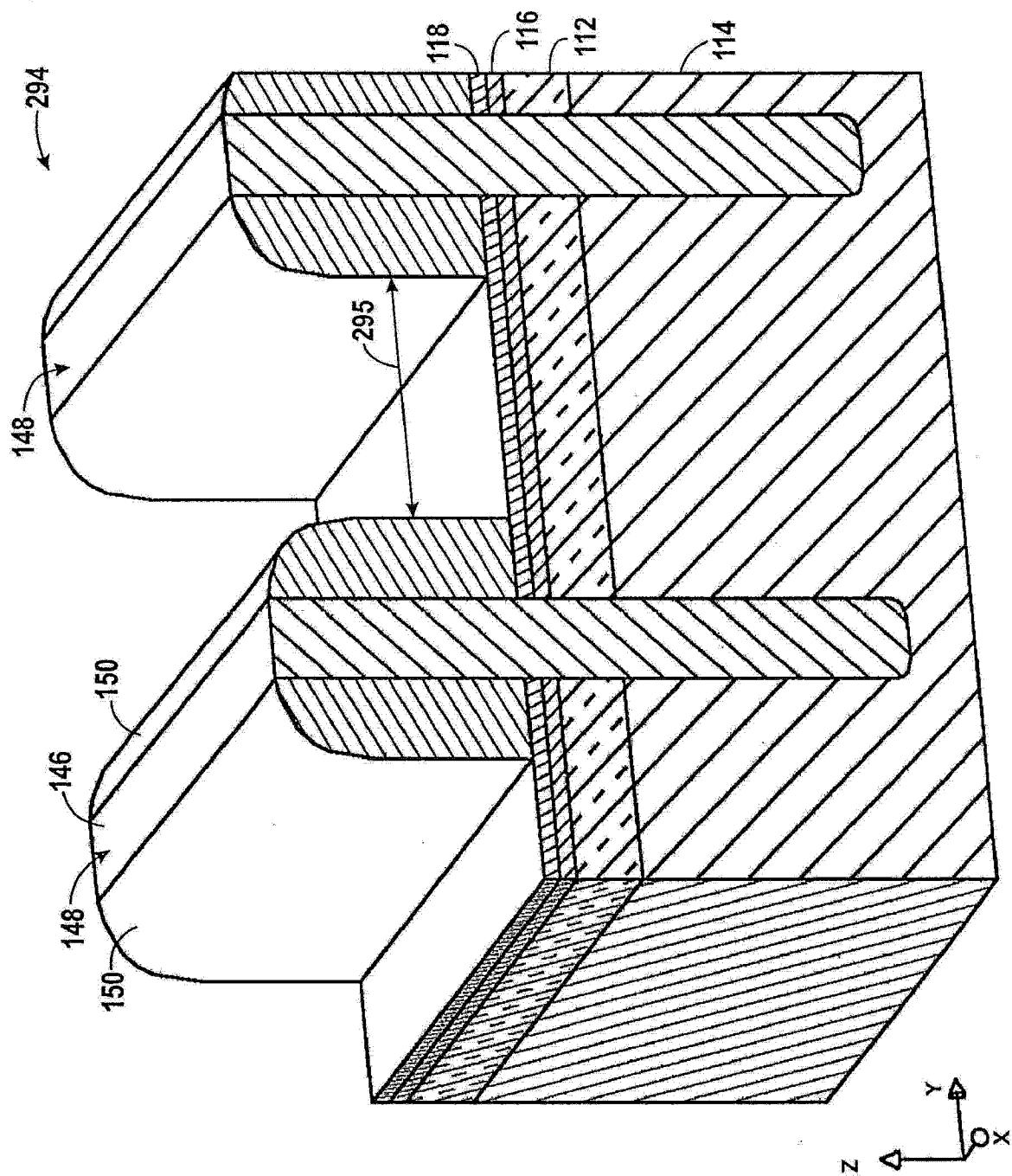


图 41

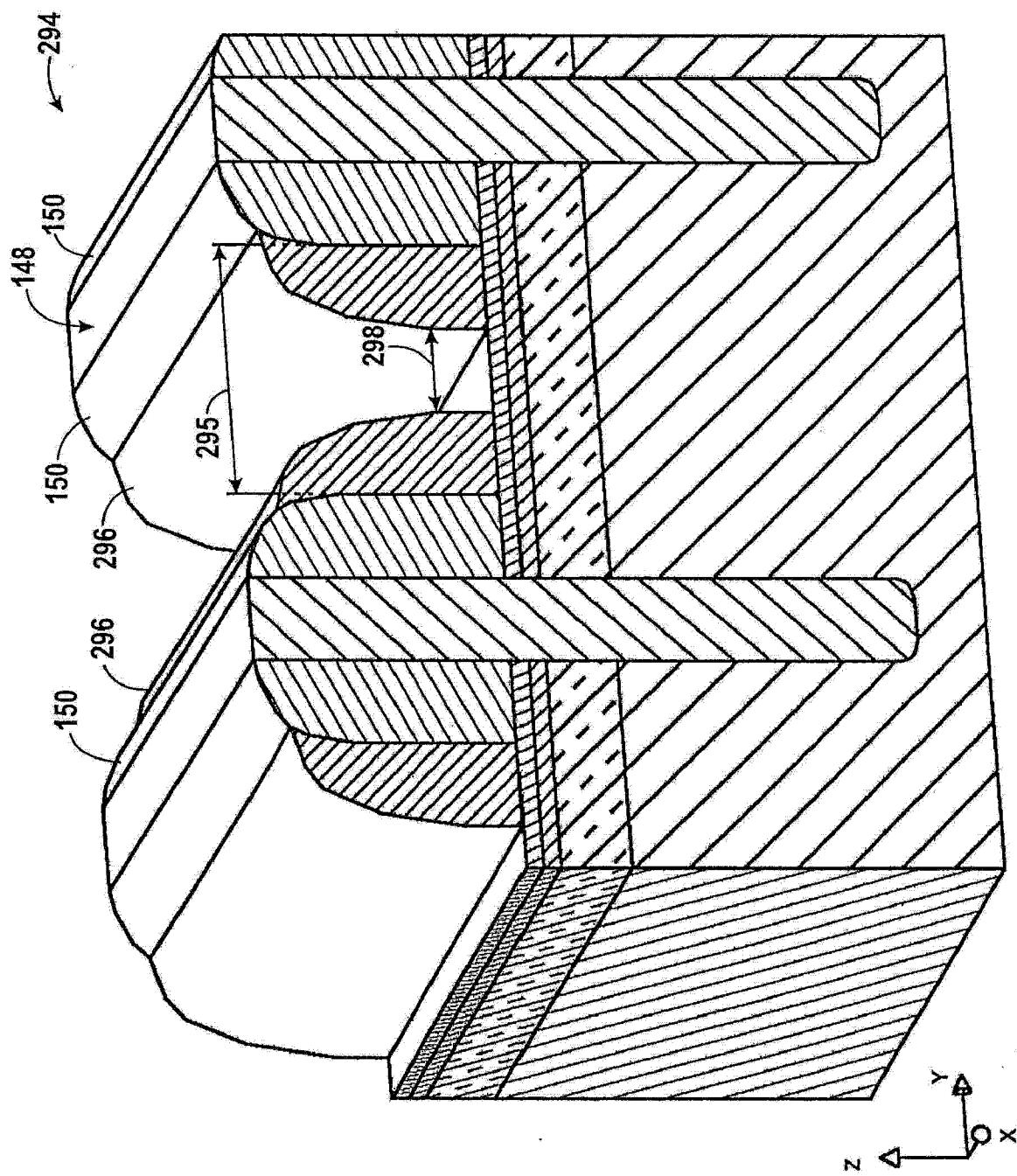


图 42

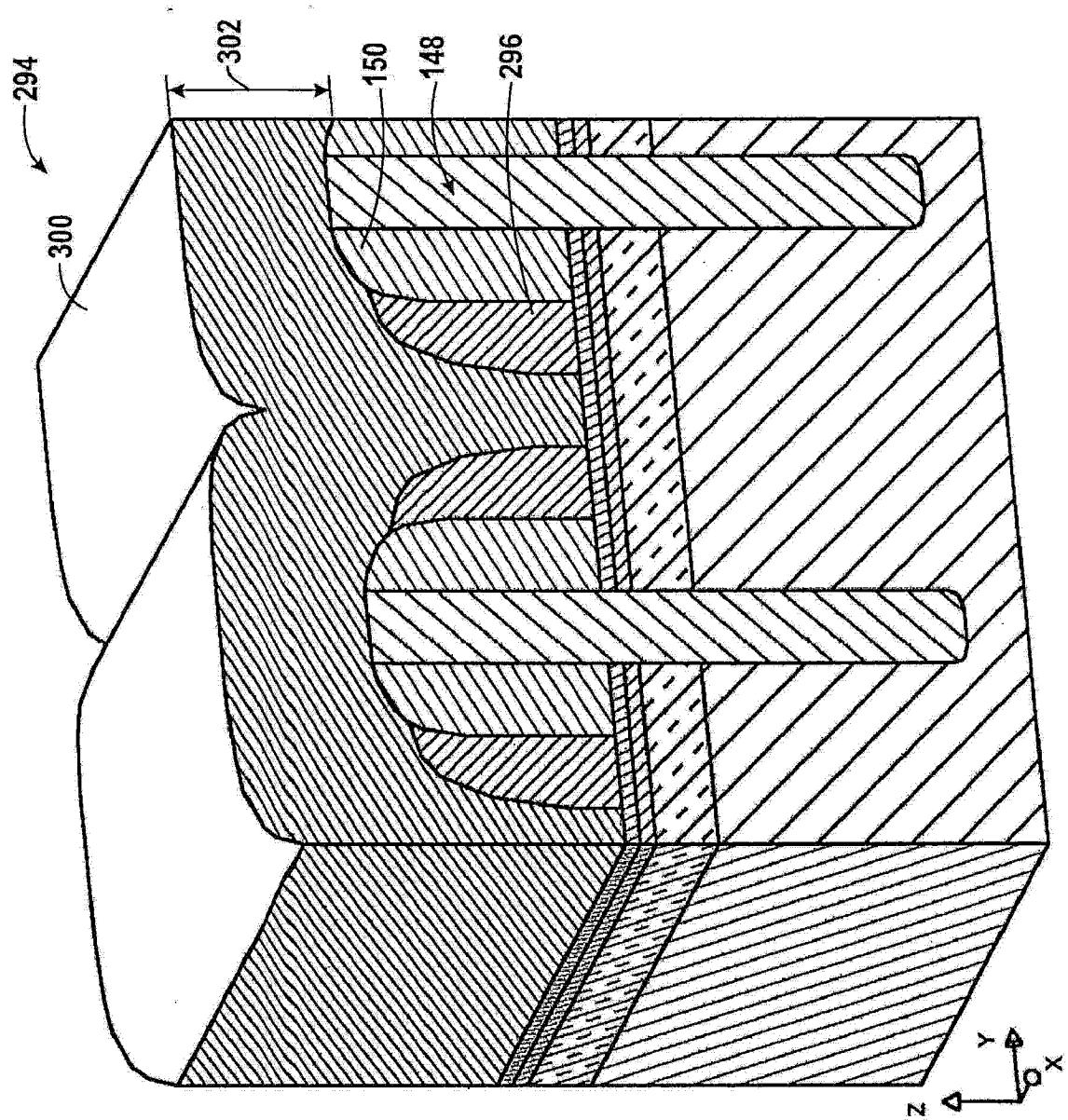


图 43

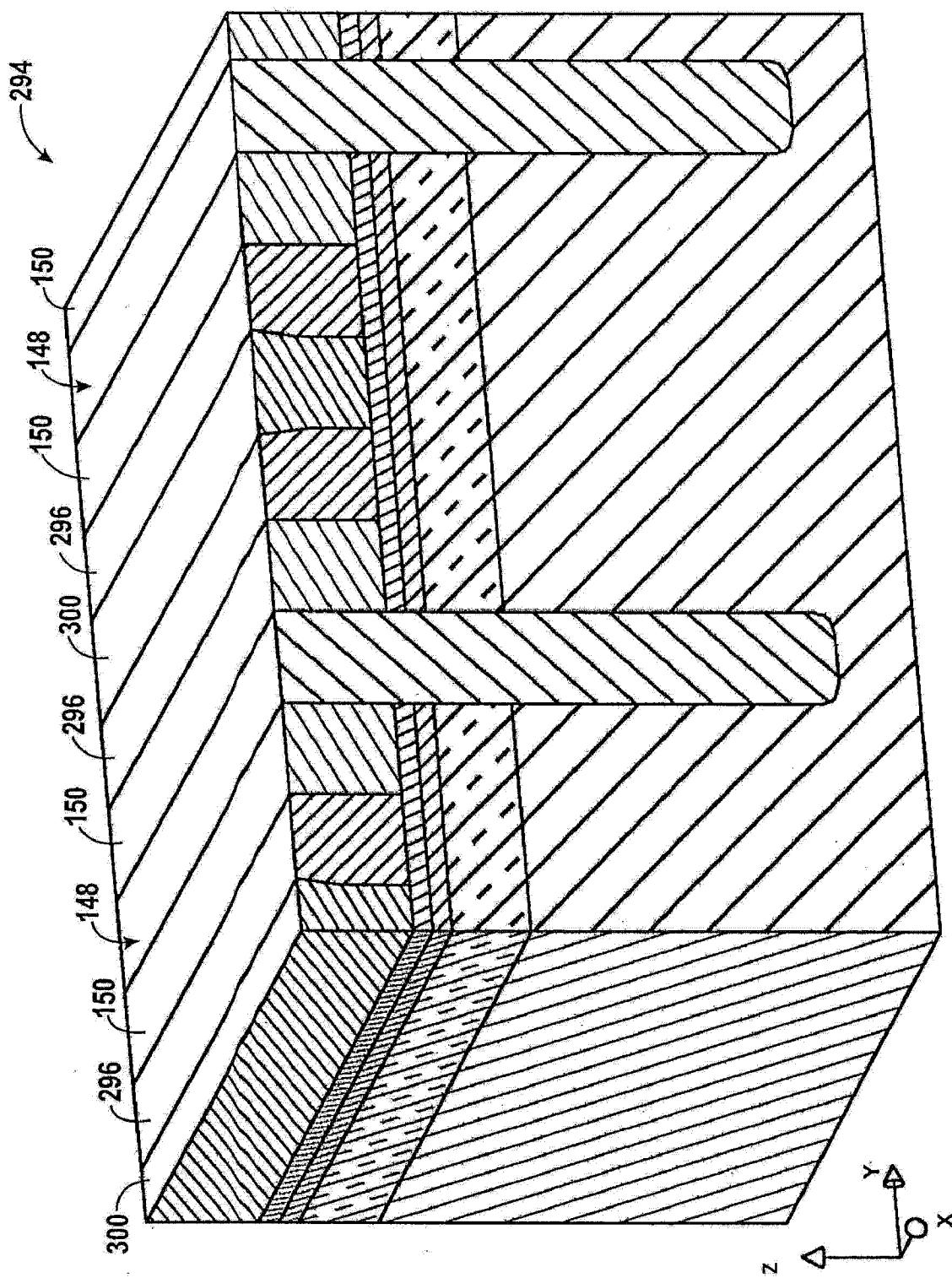


图 44

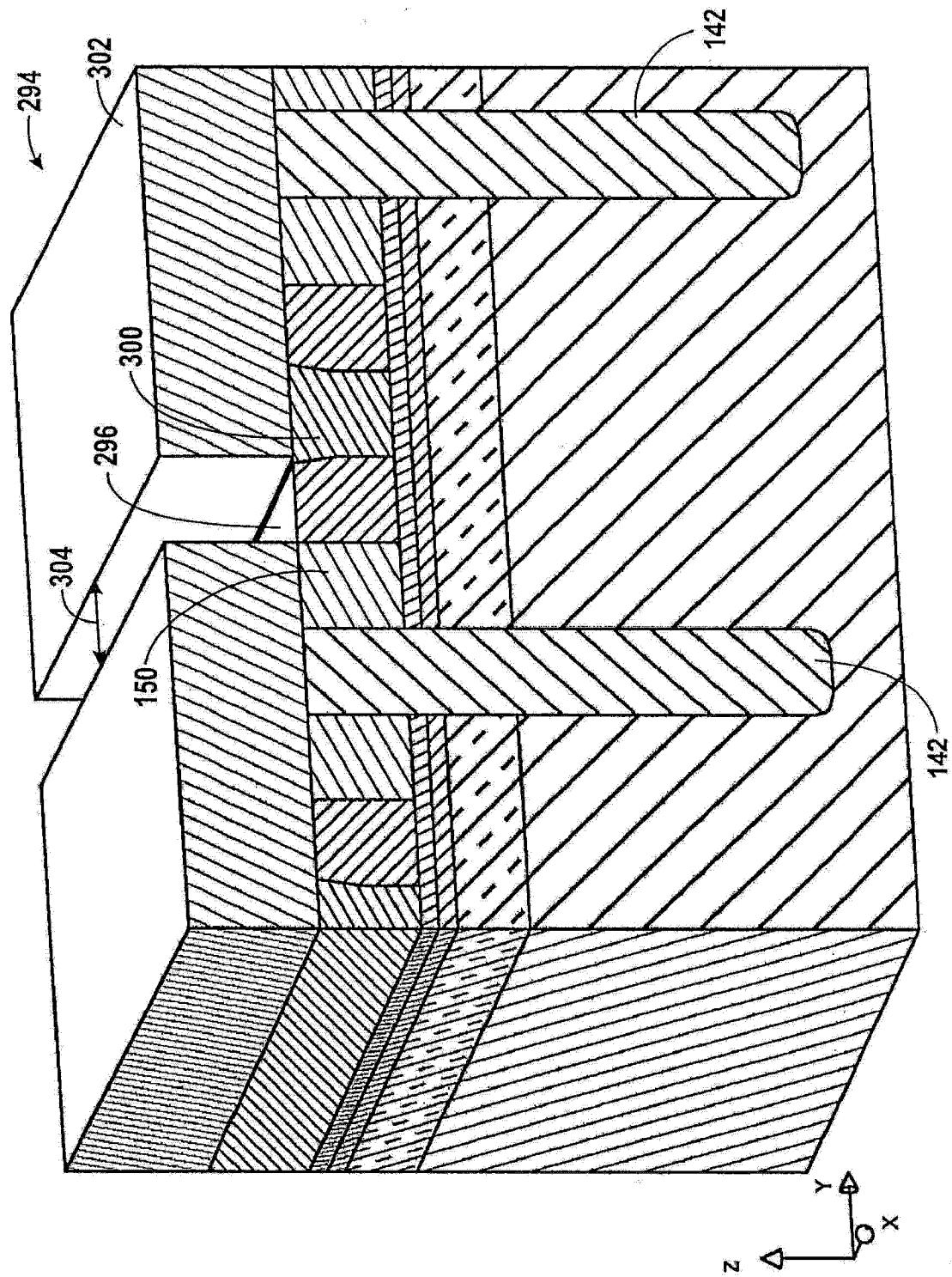


图 45

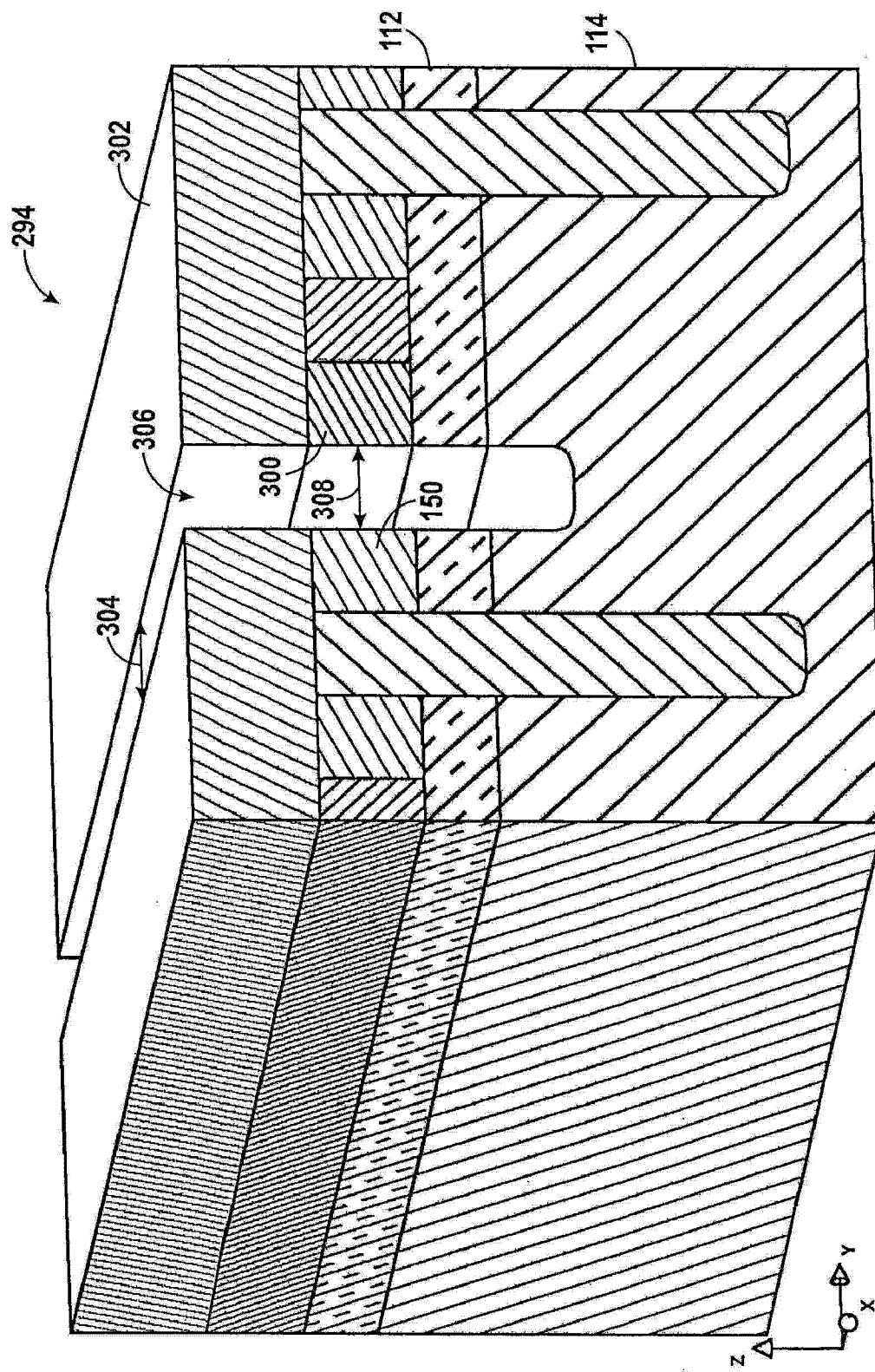


图 46

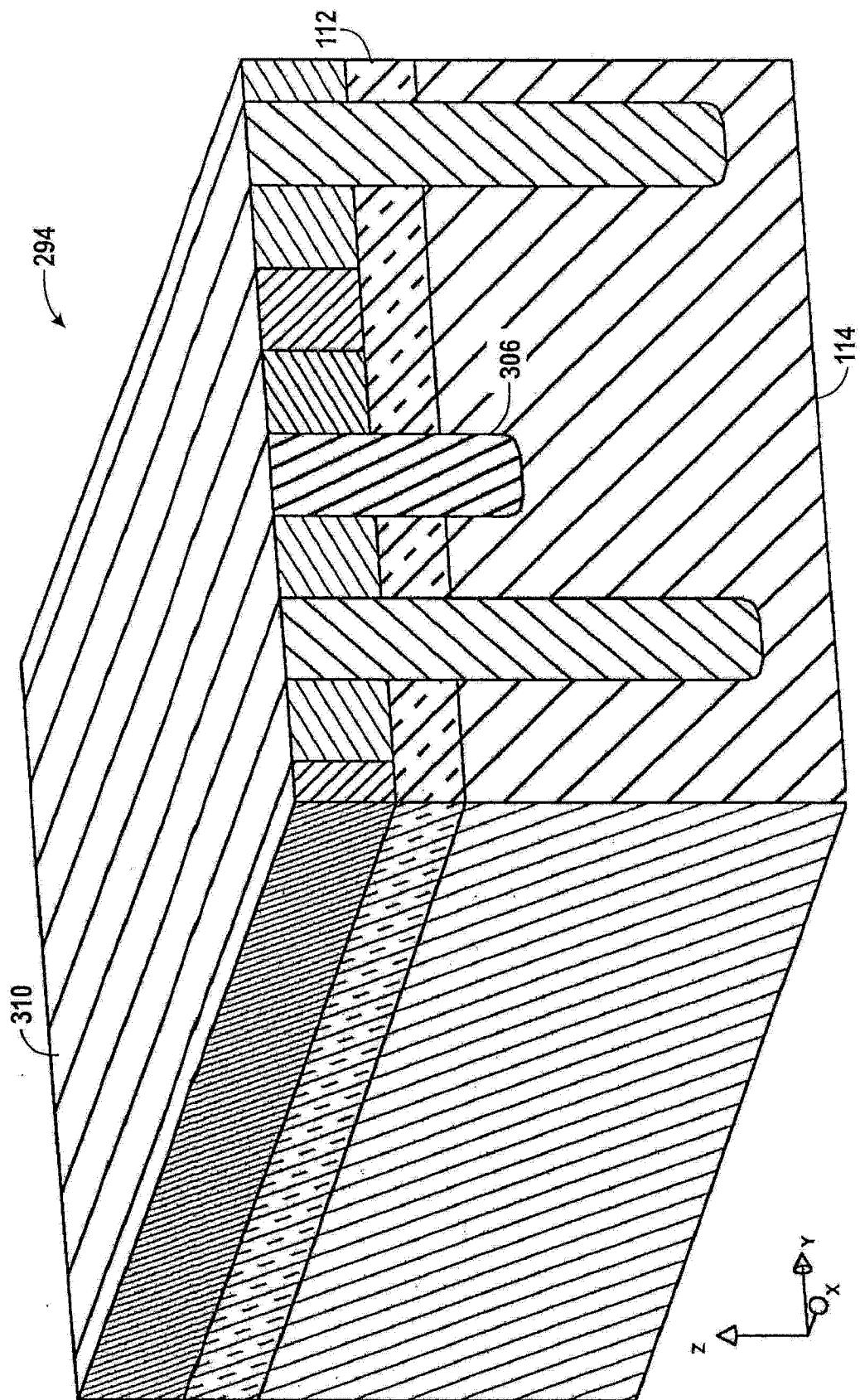


图 47

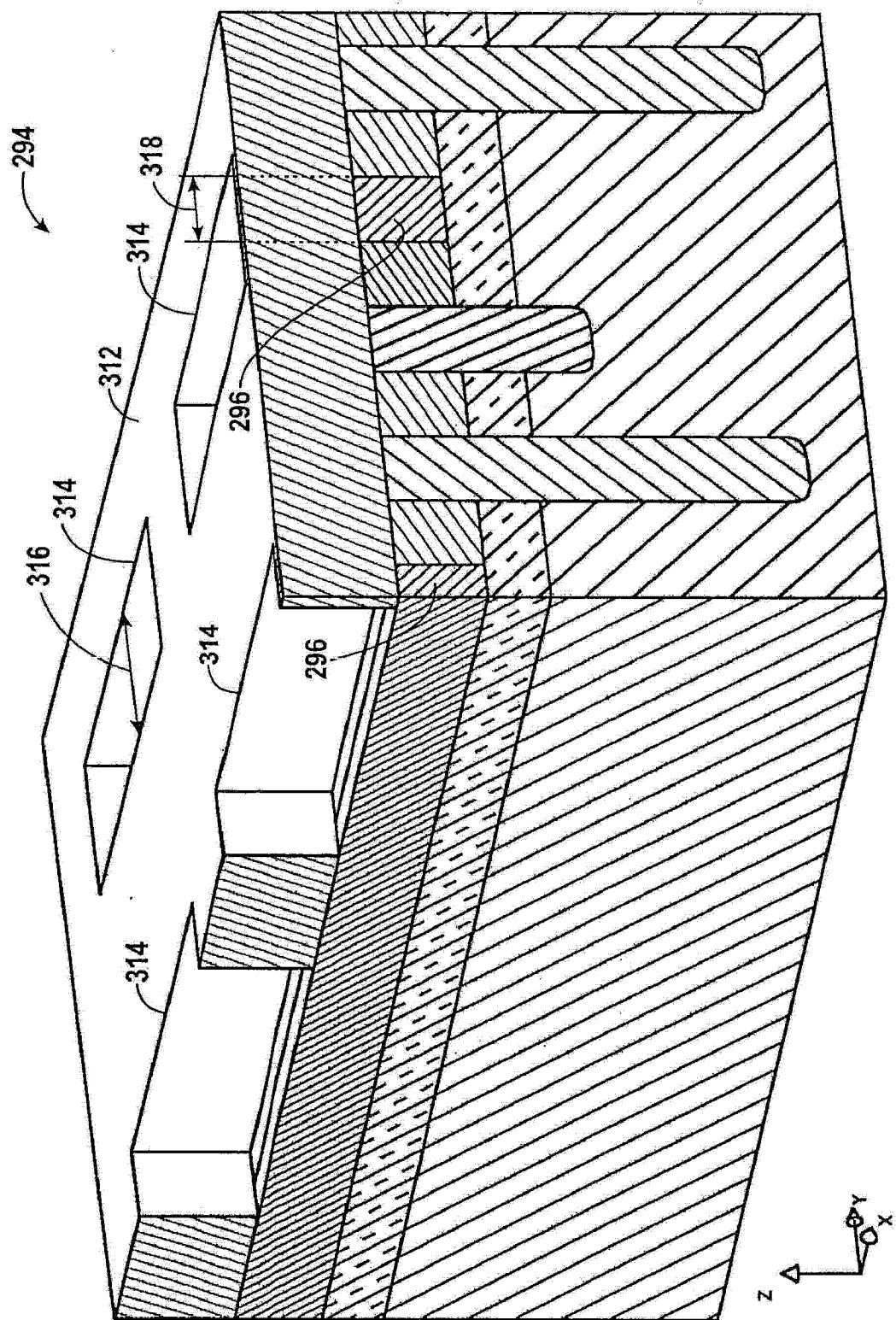


图 48

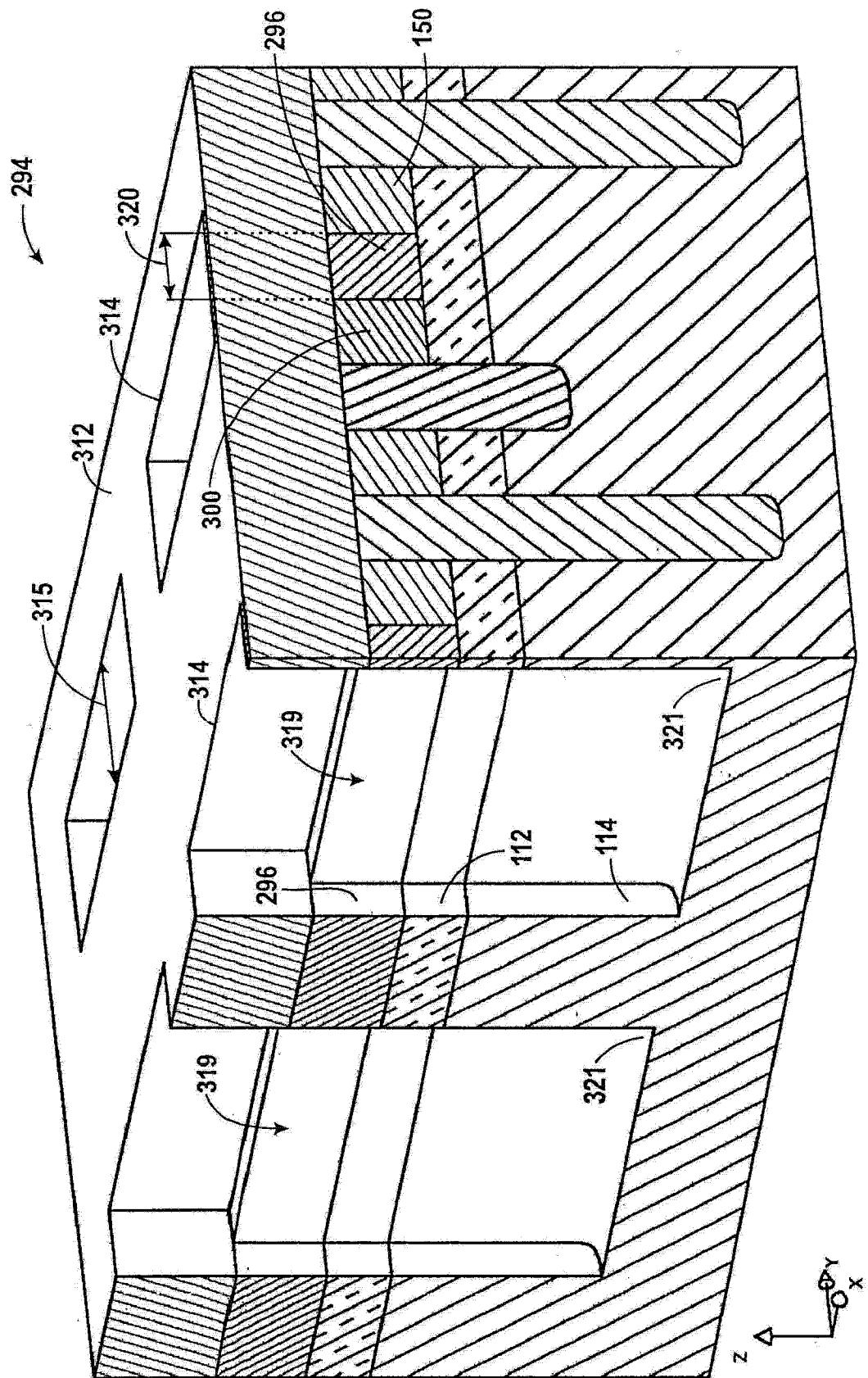


图 49

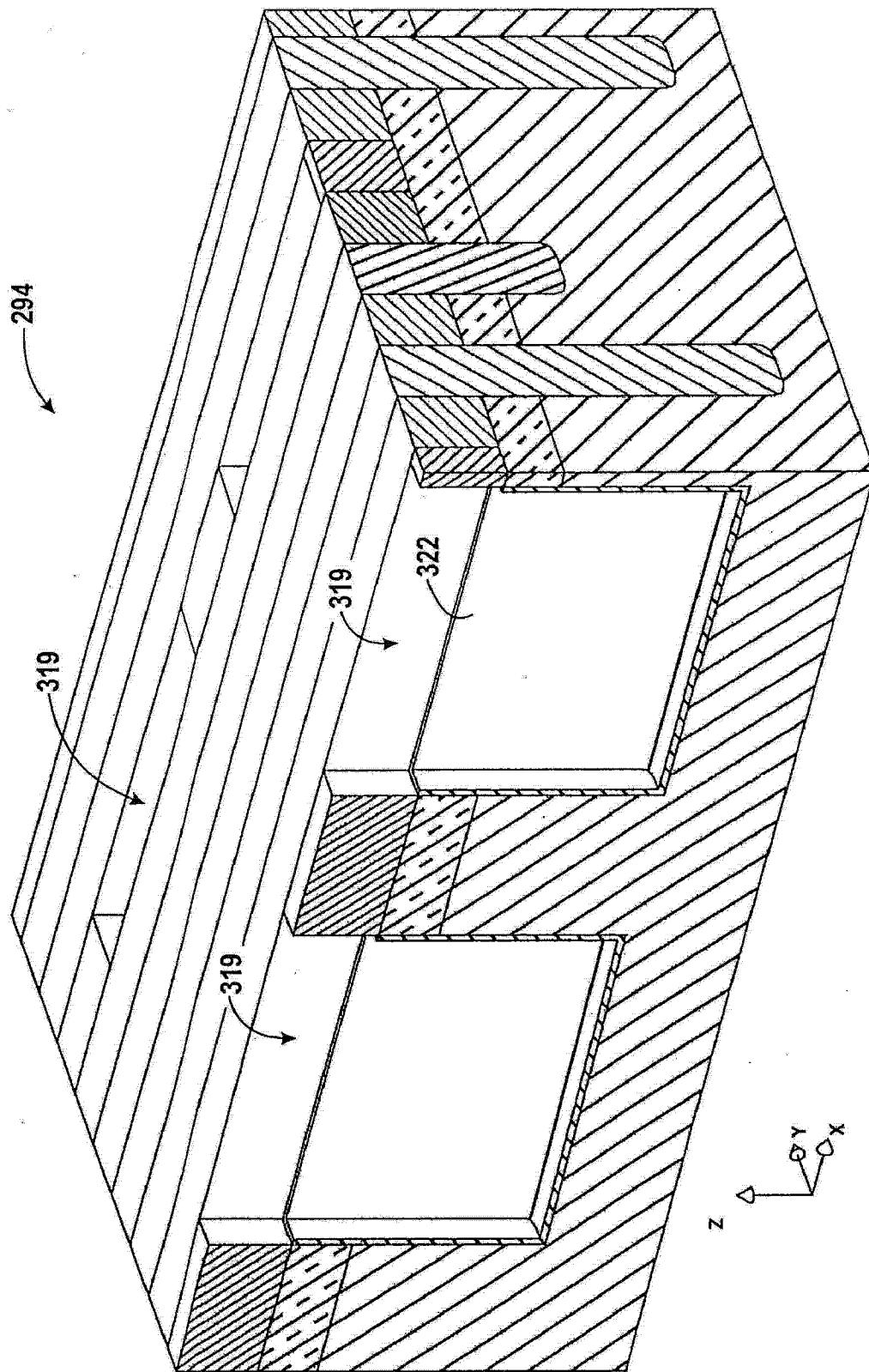


图 50

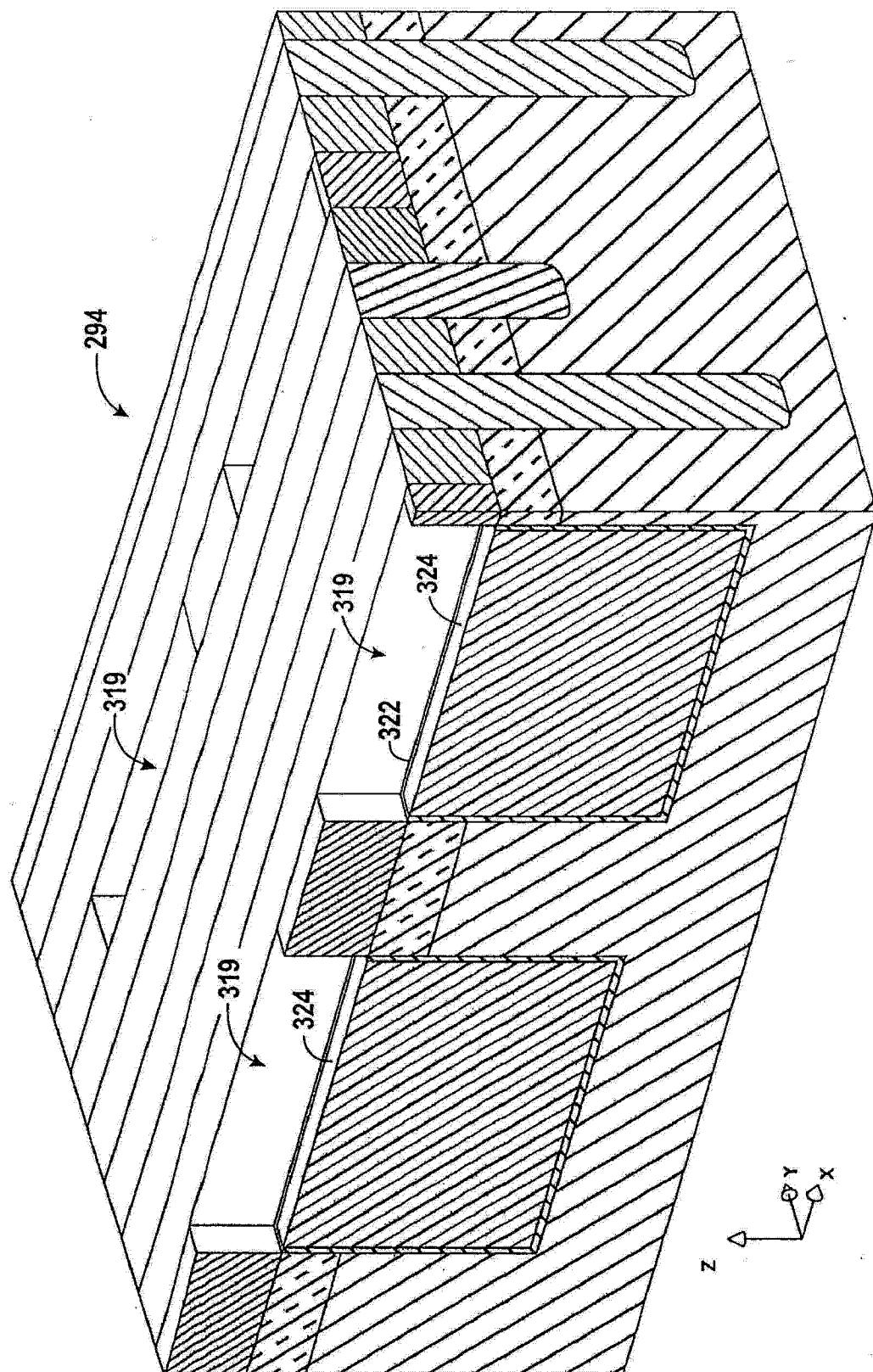


图 51

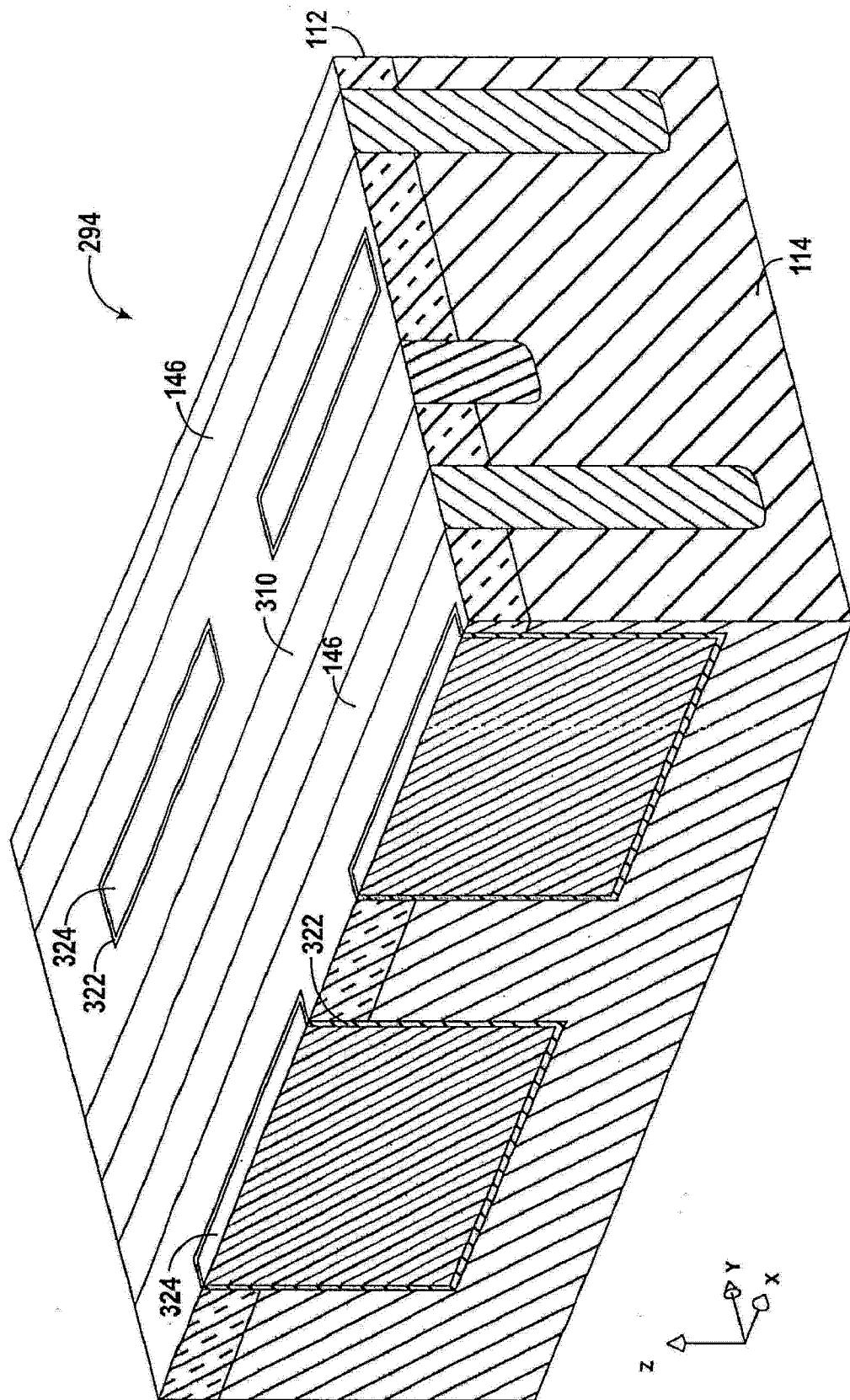


图 52

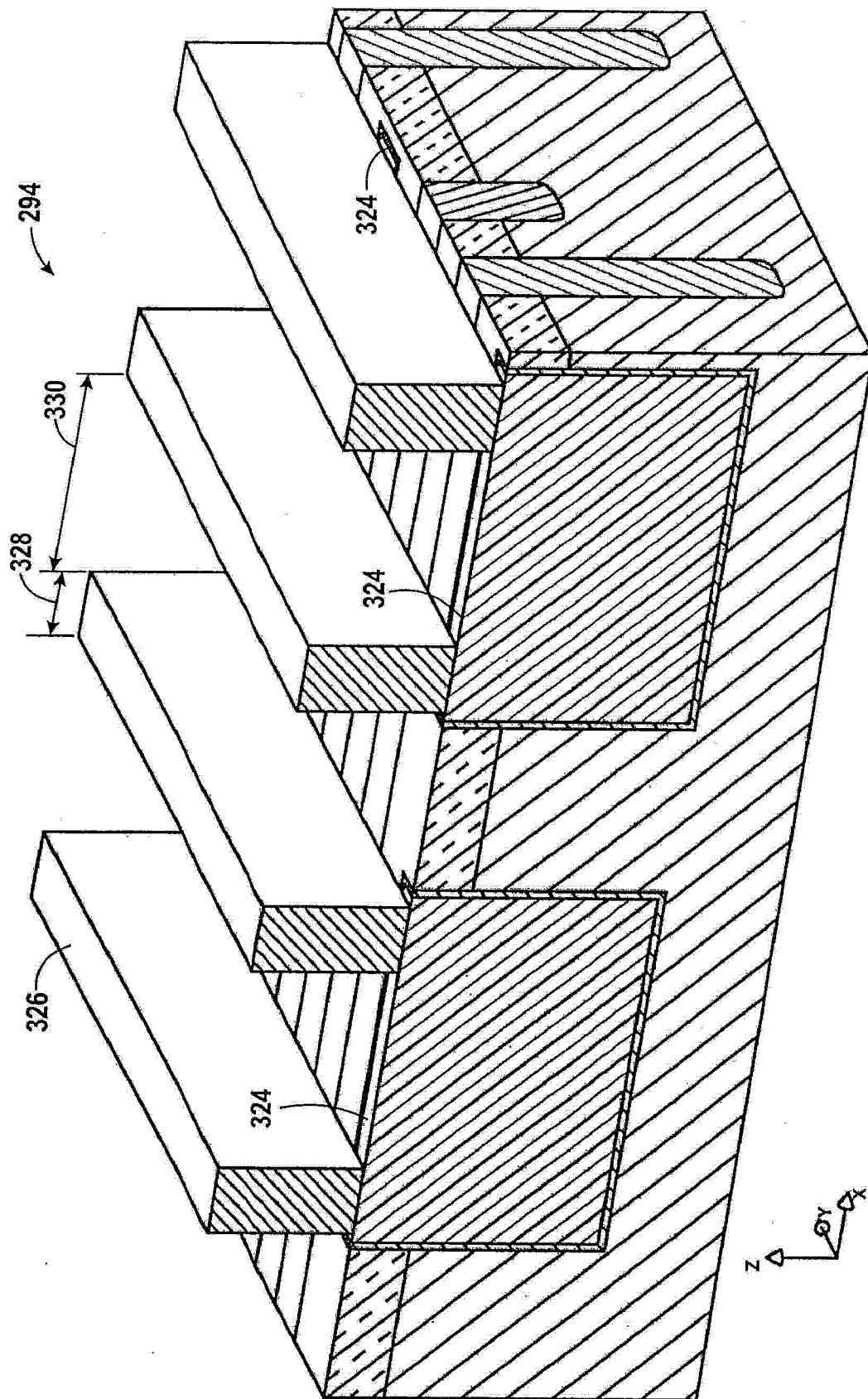


图 53

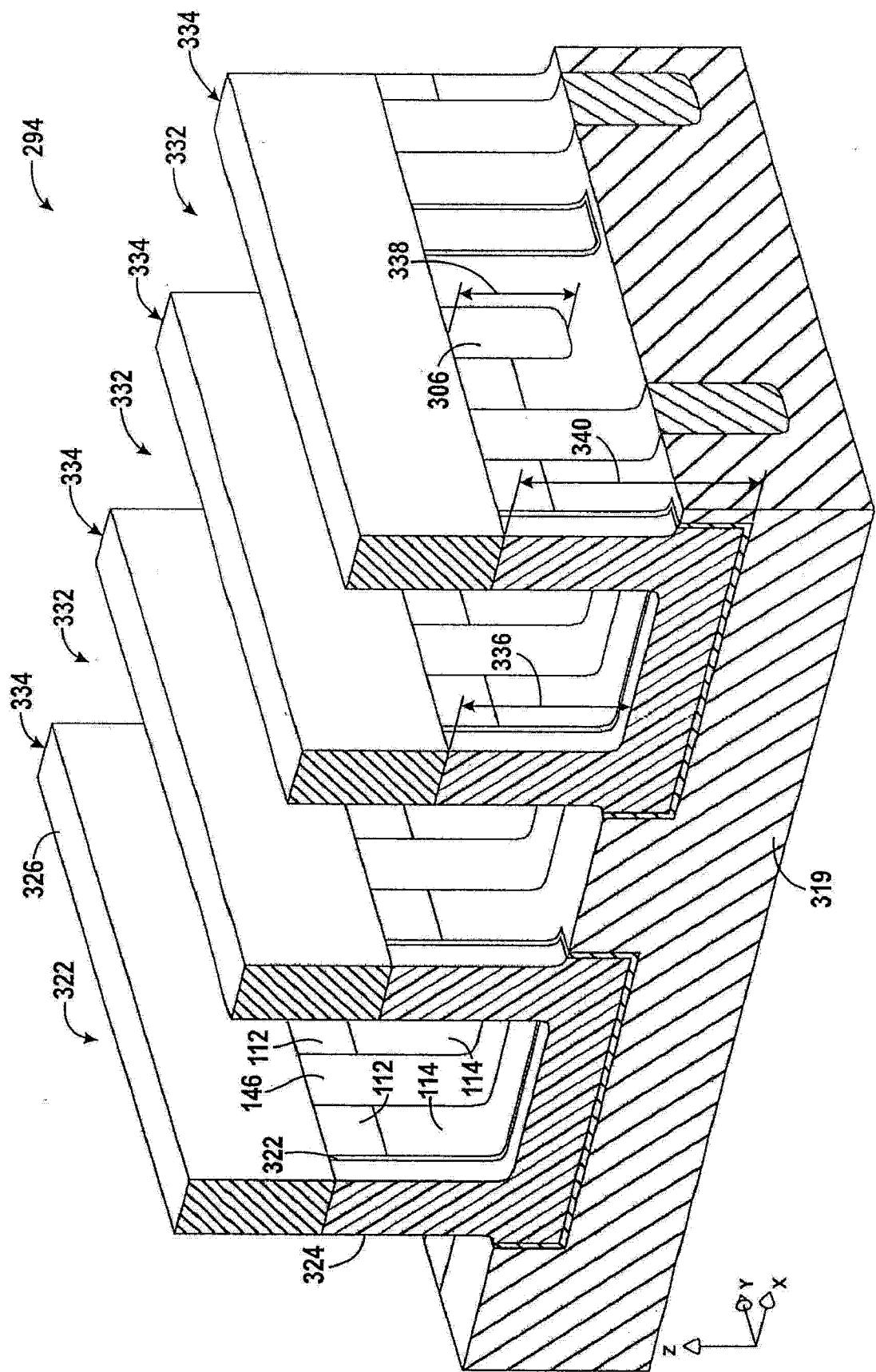


图 54

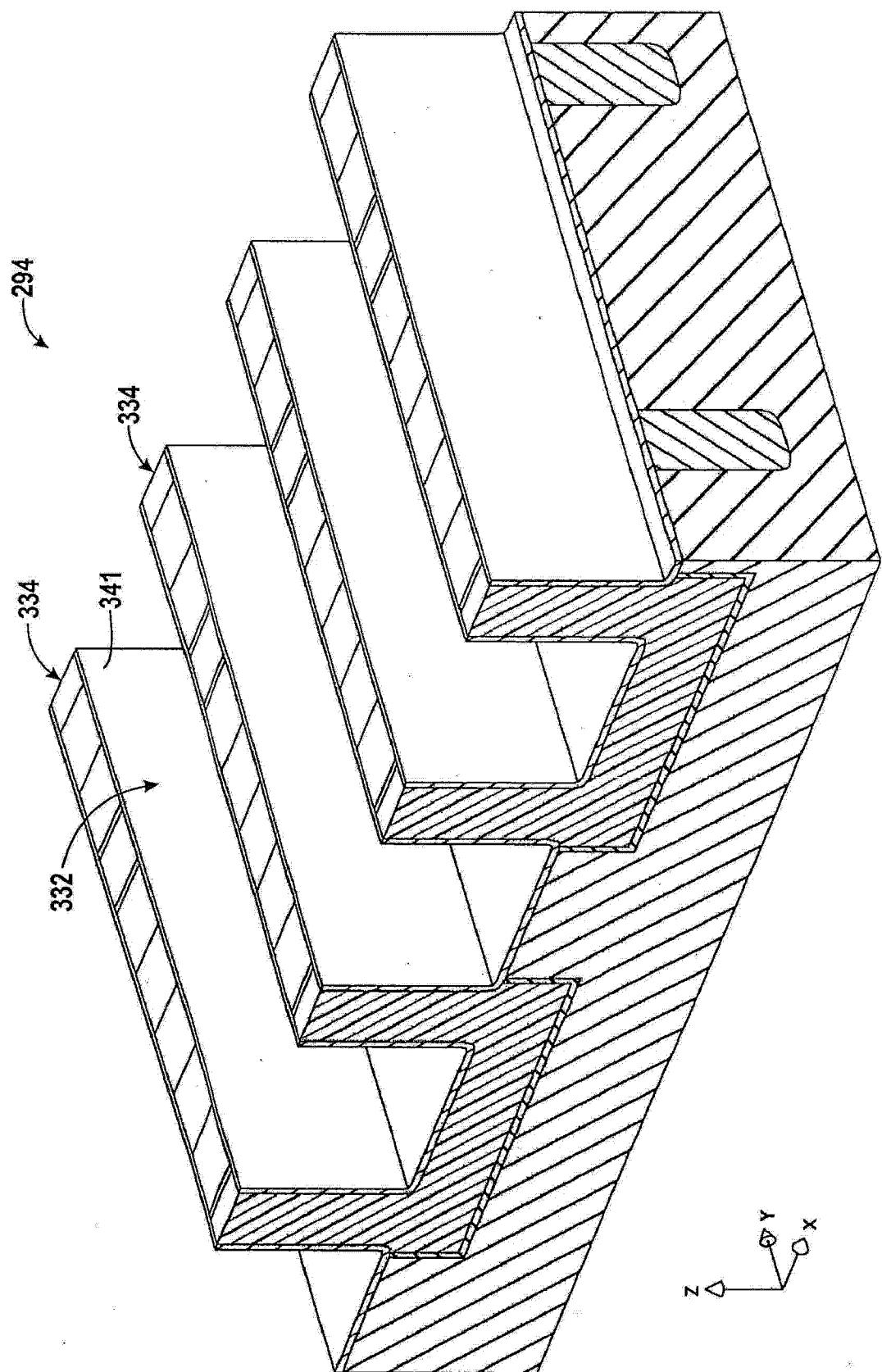


图 55

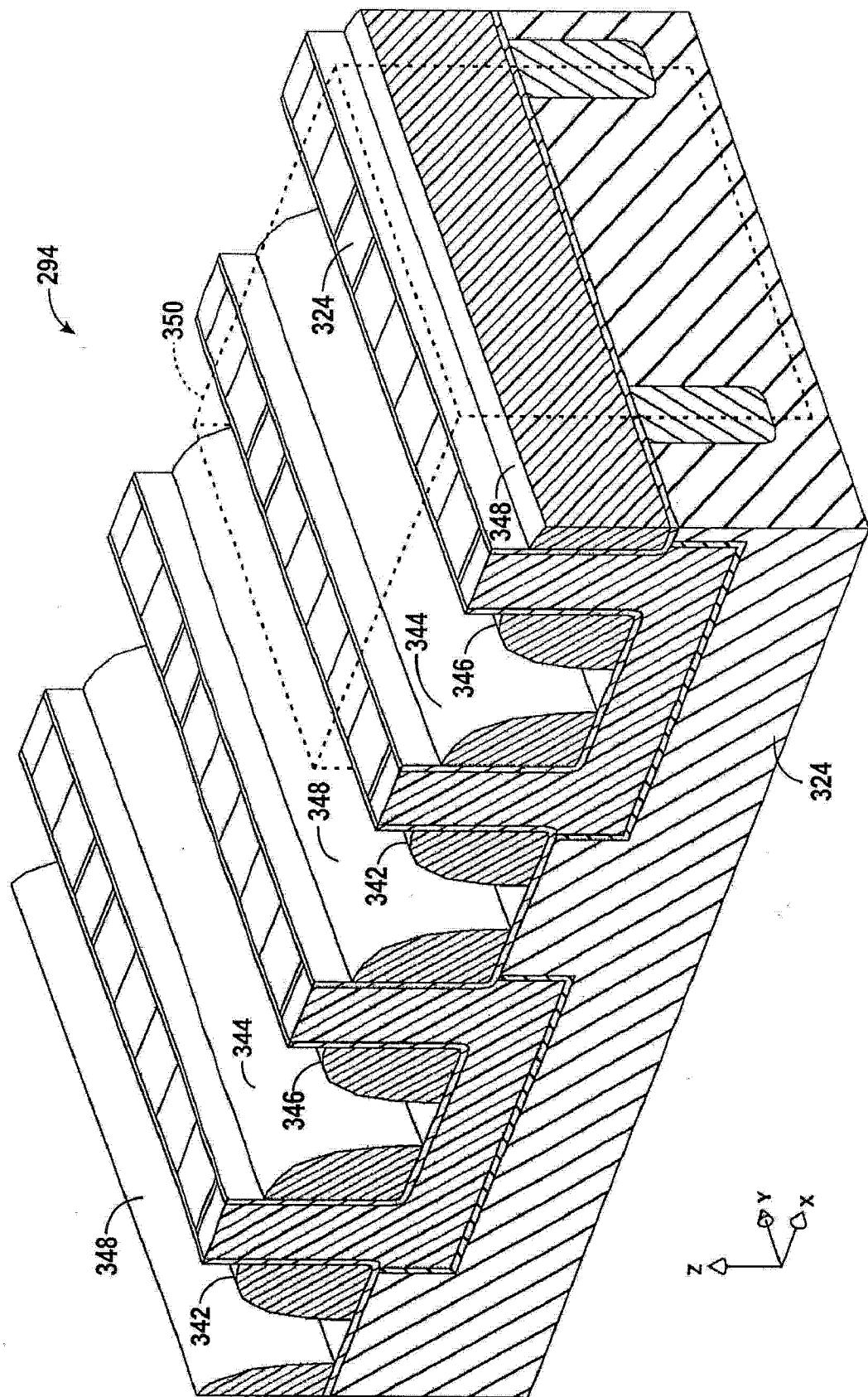


图 56

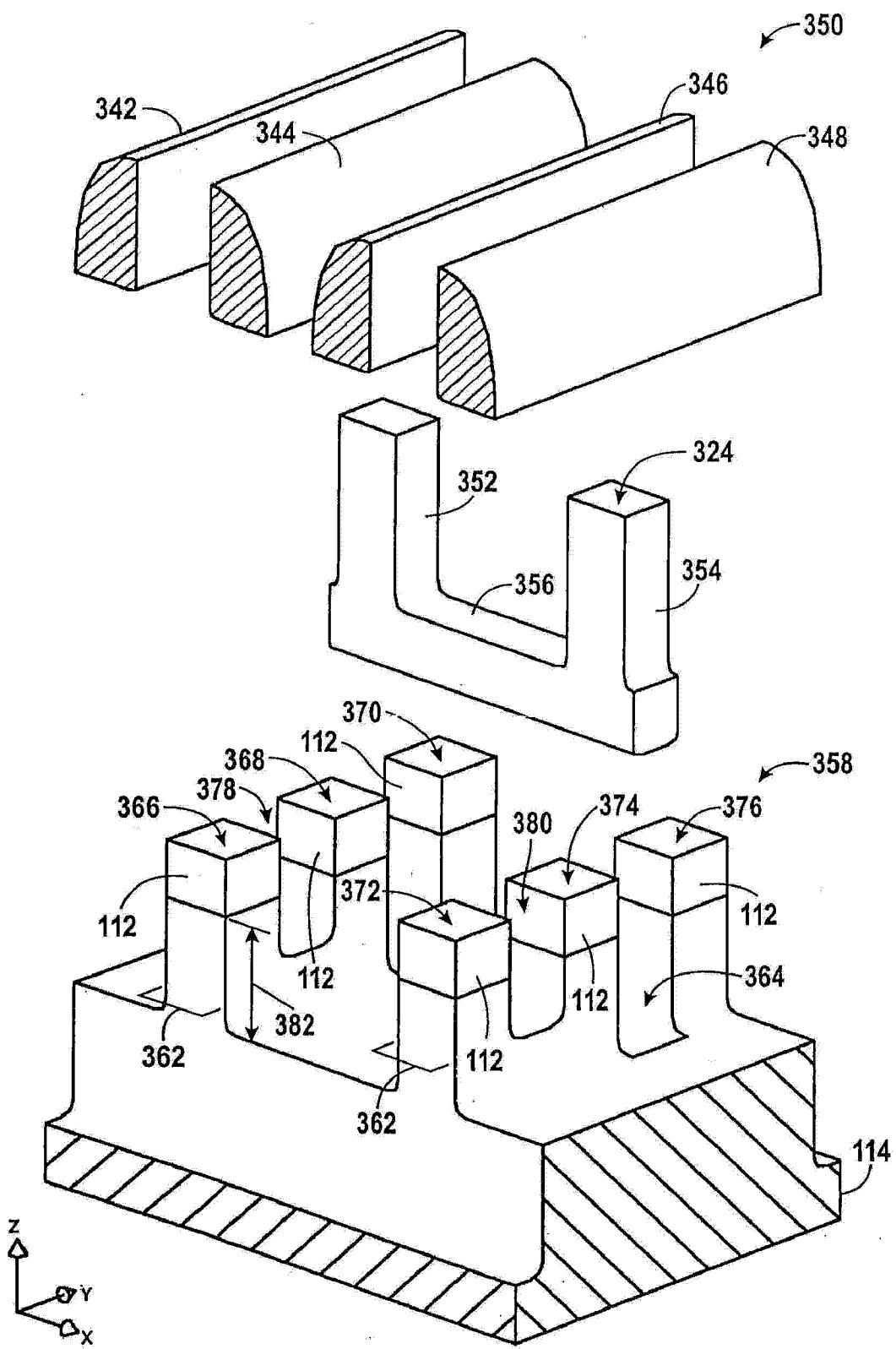


图 57

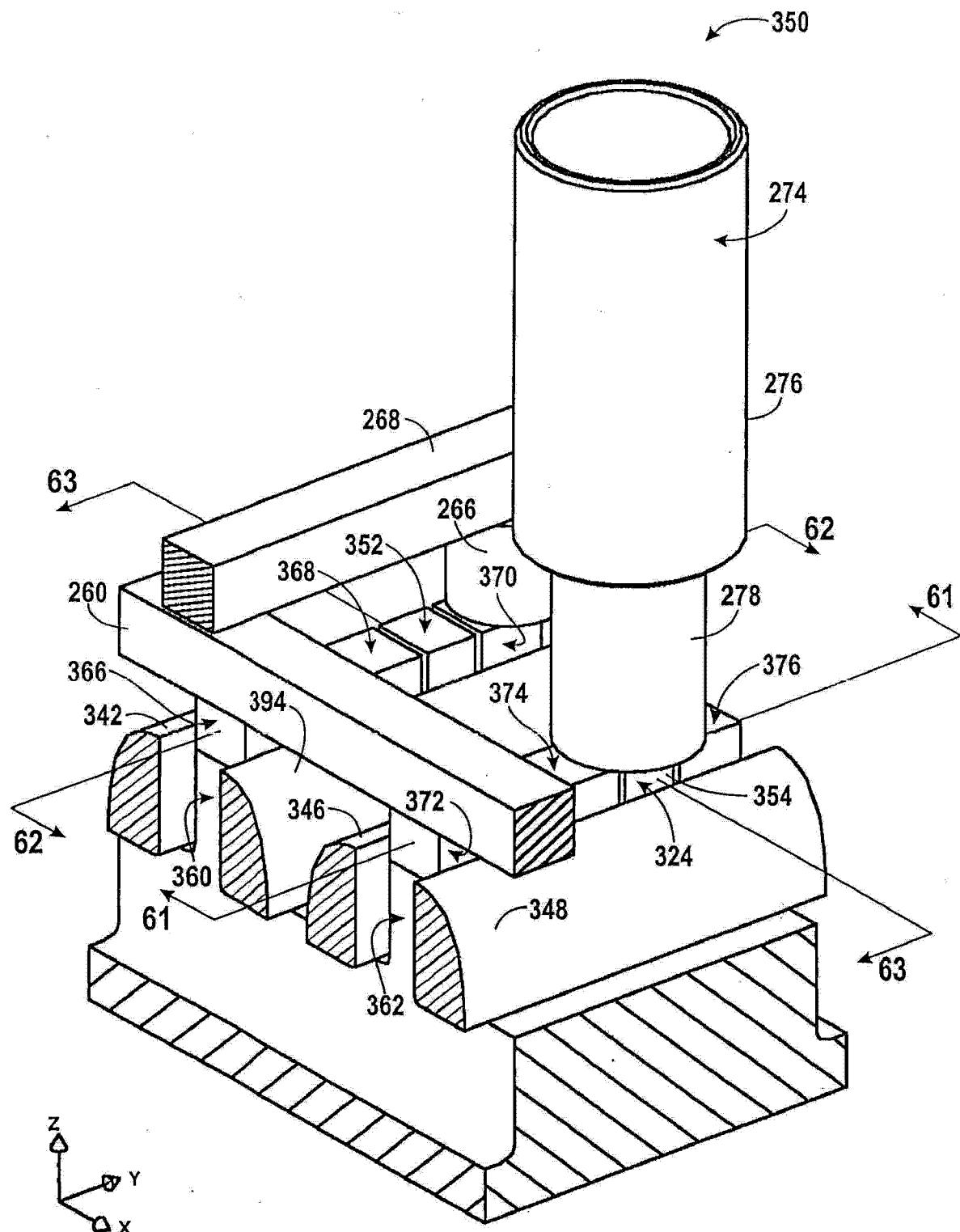


图 58

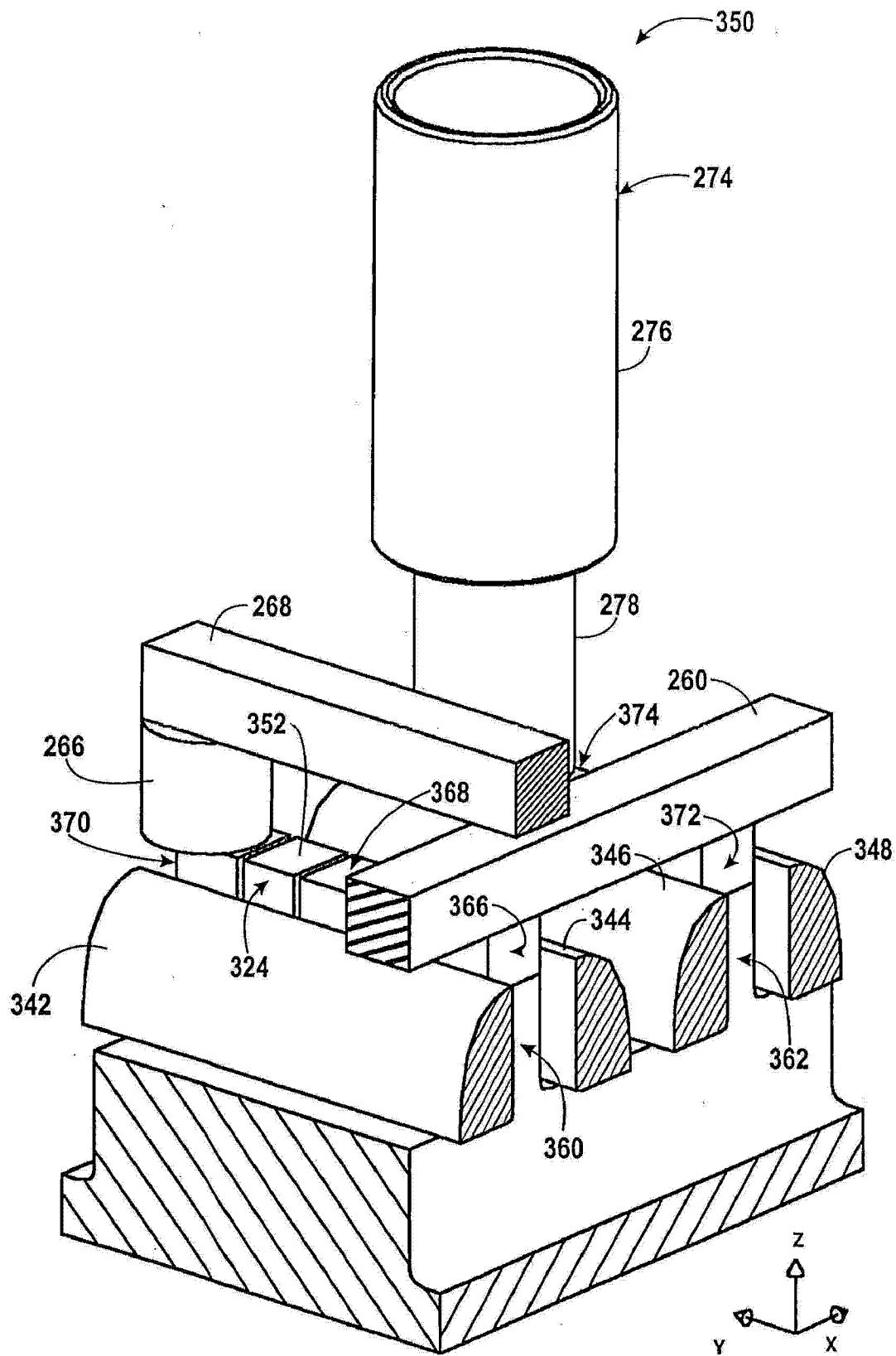


图 59

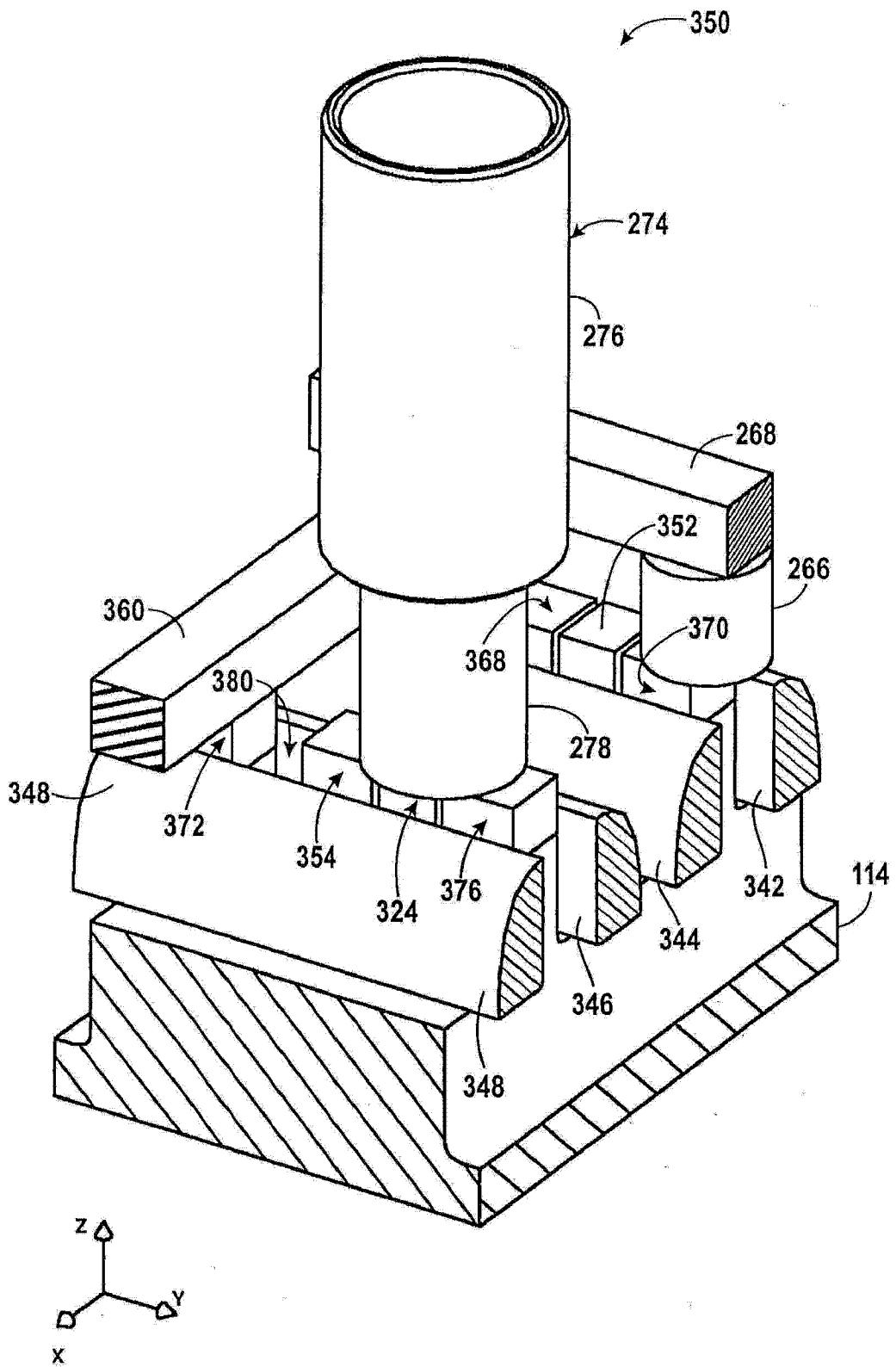


图 60

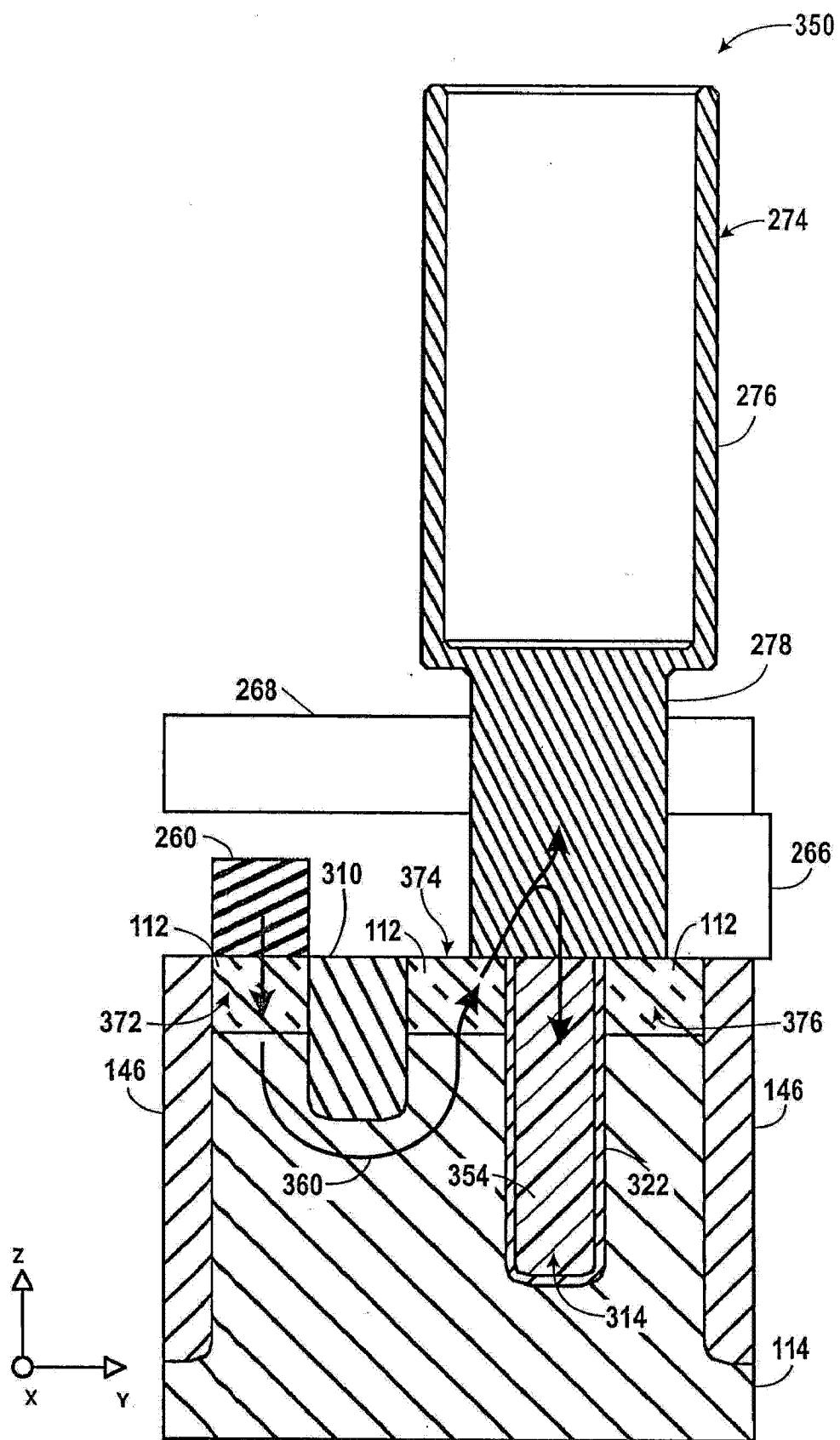


图 61

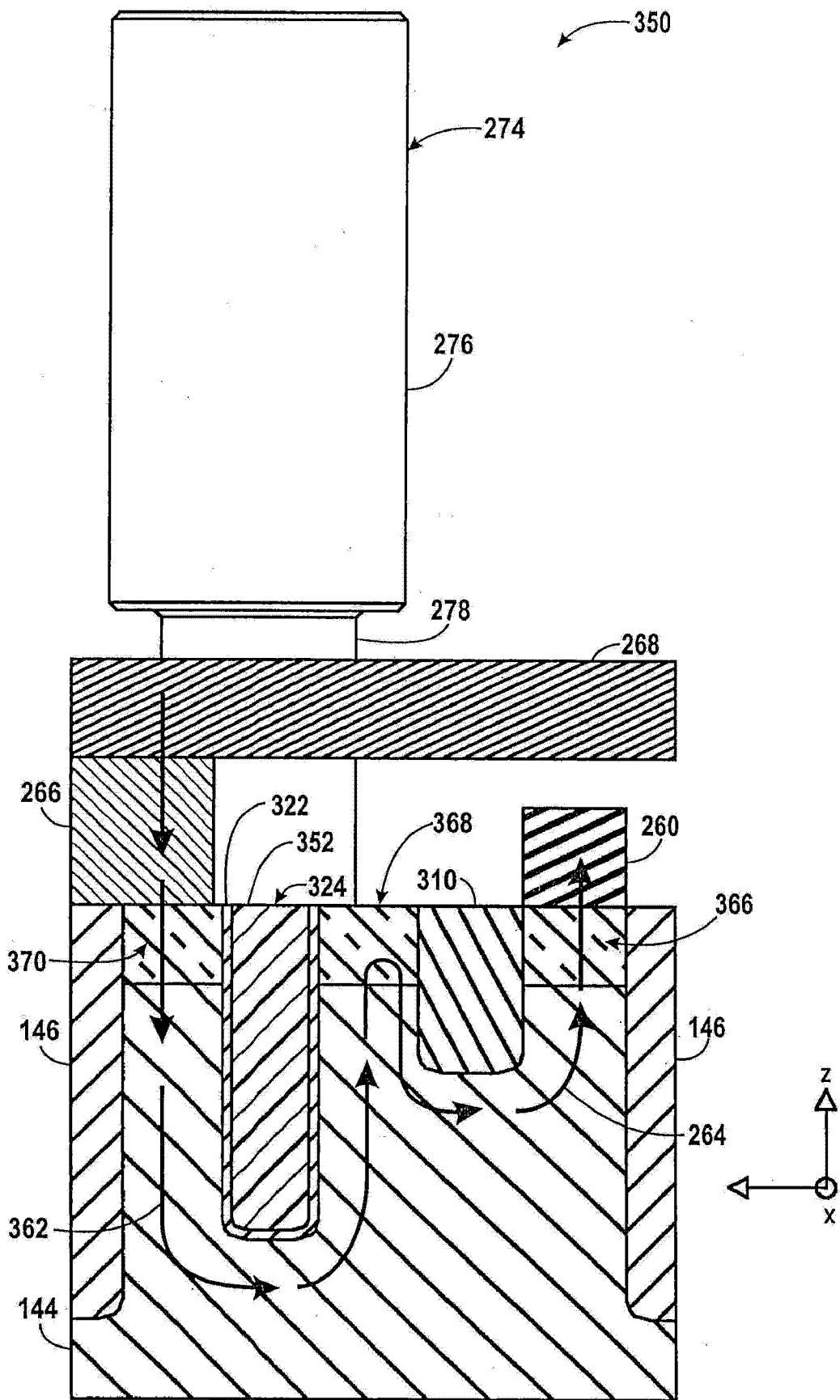


图 62

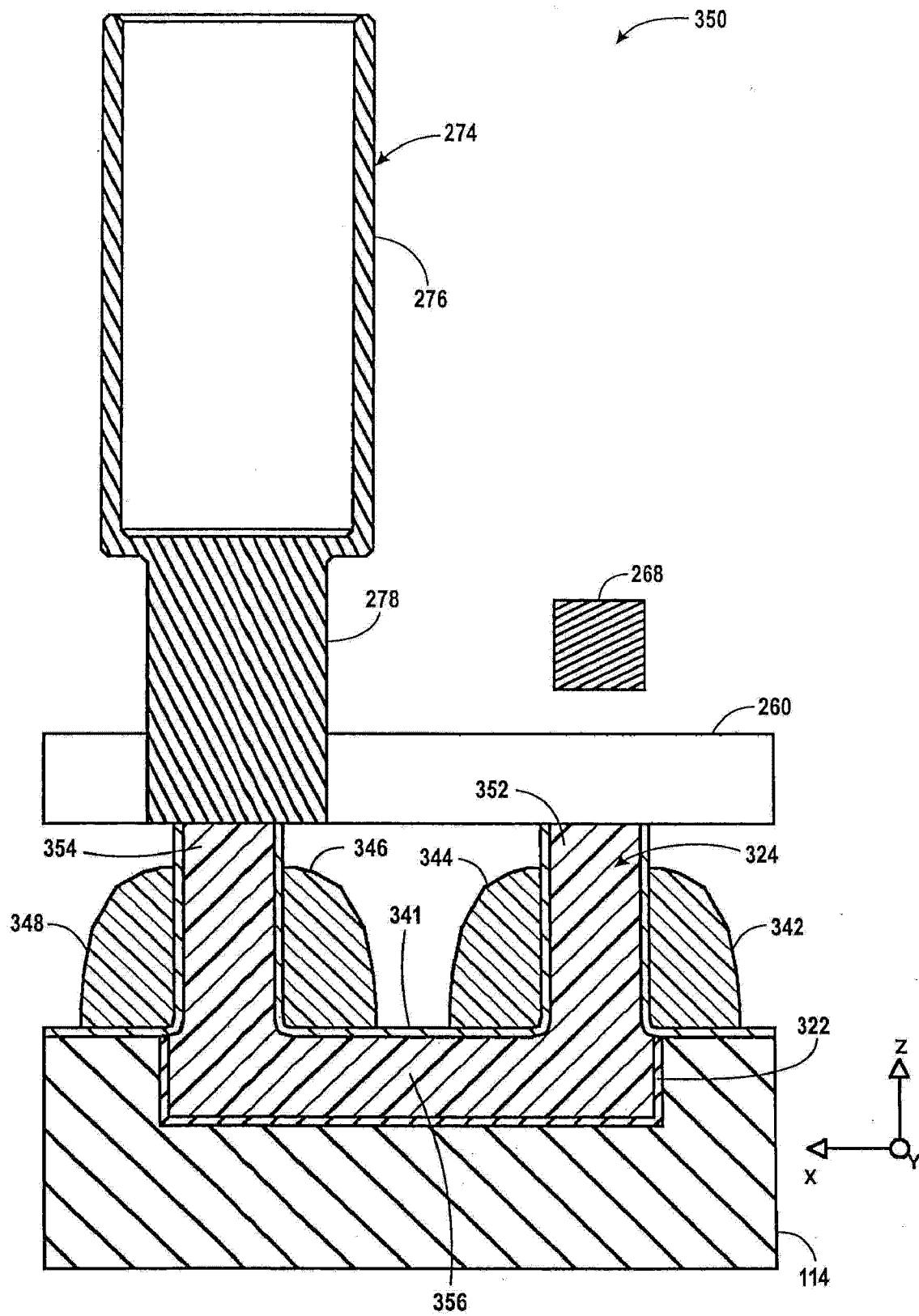


图 63