



(21)申請案號：102109164

(22)申請日：中華民國 102 (2013) 年 03 月 15 日

(51)Int. Cl. : **H01L21/306 (2006.01)**(71)申請人：欣興電子股份有限公司 (中華民國) UNIMICRON TECHNOLOGY CORP. (TW)
桃園市桃園區龜山工業區興邦路 38 號

(72)發明人：程石良 CHENG, SHIH LIAN (TW)；簡瑞榮 CHIEN, JUI JUNG (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 200816508A

TW 201011874A

US 2004/0017007A1

US 2007/0087473A1

審查人員：黃尹珊

申請專利範圍項數：10 項 圖式數：2 共 15 頁

(54)名稱

封裝基板之製法

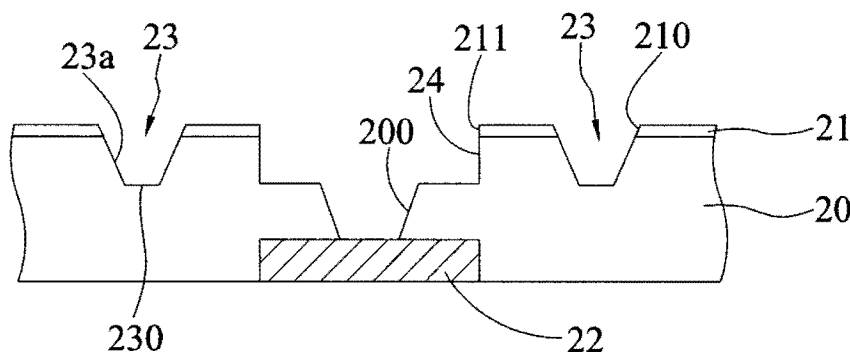
METHOD FOR MANUFACTURING PACKAGE SUBSTRATE

(57)摘要

一種封裝基板之製法，係蝕刻一板體以形成凹槽，且該凹槽具有緩衝部，再於該凹槽中形成線路。本發明藉由蝕刻方式形成凹槽，以取代習知準分子雷射方式形成凹槽，故能增加凹槽之高寬比，而避免金屬層厚度不足之問題，以達到提高線路良率及高製程能力指數之目的。

Disclosed is a method of manufacturing a package substrate, including etching a board body to form a groove having a buffering portion and forming a circuit in the groove. The groove is formed by etching instead of molecule laser to increase the height and width ratio of the groove, thereby eliminating the problem of an insufficient height of the metallic layer to achieve objectives of high circuit good yield and efficient production capability.

指定代表圖：



第2D圖

符號簡單說明：

20 . . . 板體

200 . . . 盲孔

21 . . . 阻層

210, 211 . . . 開口區

22 . . . 線路層

23 . . . 第一凹槽

23a . . . 側壁

230 . . . 緩衝部

24 . . . 第二凹槽

特徵化學式：

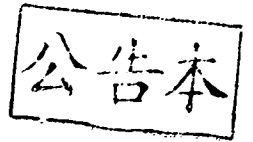
I527112

TW I527112 B

圖檔
尚未匯入



發明摘要

申請日:
IPC分類:

102. 3. 15

【發明摘要】**【中文發明名稱】** 封裝基板之製法

H01L 21/306

(2006.01)**【英文發明名稱】** METHOD FOR MANUFACTURING PACKAGE SUBSTRATE**【中文】**

一種封裝基板之製法，係蝕刻一板體以形成凹槽，且該凹槽具有緩衝部，再於該凹槽中形成線路。本發明藉由蝕刻方式形成凹槽，以取代習知準分子雷射方式形成凹槽，故能增加凹槽之高寬比，而避免金屬層厚度不足之問題，以達到提高線路良率及高製程能力指數之目的。

【英文】

Disclosed is a method of manufacturing a package substrate, including etching a board body to form a groove having a buffering portion and forming a circuit in the groove. The groove is formed by etching instead of molecule laser to increase the height and width ratio of the groove, thereby eliminating the problem of an insufficient height of the metallic layer to achieve objectives of high circuit good yield and efficient production capability.

【指定代表圖】 第(2D)圖。

【代表圖之符號簡單說明】

20 板體

200 盲孔

21 阻層

210,211 開口區

22 線路層

23 第一凹槽

23a 側壁

230 緩衝部

24 第二凹槽

【特徵化學式】

圖檔 本案無化學式。
尚未匯入

發明專利說明書

【發明說明書】**【中文發明名稱】** 封裝基板之製法**【英文發明名稱】** METHOD FOR MANUFACTURING PACKAGE SUBSTRATE**【技術領域】**

【0001】 本發明係有關一種封裝基板之製法，尤指一種可提升線路品質之封裝基板之製法。

【先前技術】

【0002】 隨著電子產品趨於輕薄短小及功能不斷提昇之需求，半導體晶片之佈線密度愈來愈高，以奈米尺寸作單位，因而該封裝基板之焊墊之間距更小。因此，遂發展出矽穿孔(Through-silicon via, TSV)的晶片立體堆疊技術，藉此使封裝基板可結合具有高佈線密度電極墊之半導體晶片，而達到整合高佈線密度之半導體晶片之目的，且不會改變IC產業原本之供應鏈(supply chain)及基礎設備(infrastructure)。

【0003】 第1A及1C圖係為習知封裝基板1之製法之剖面示意圖。

【0004】 如第1A圖所示，於一板體10上形成一圖案化阻層11，且形成該板體10之材質係為介電材，而形成該阻層11之方式係為覆蓋光阻薄膜或濺鍍銅層。

【0005】 如第1B圖所示，於該板體10之外露處上以準分子雷射(Excimer Laser)方式形成凹槽(trech)13，再移除該阻層。

【0006】 如第1C圖所示，於該凹槽13中形成金屬層15，以作為嵌埋式線路。

【0007】 隨著電子產品輕、薄、短、小之設計趨勢，封裝基板1之嵌埋式線路須滿足細線路及細間距之需求，亦即線寬與線距小於10 μ m，且高寬比(Aspect ratio)需大於1，而於此需求下，以準分子雷射方式形成該凹槽13，會因錐角(Taper angle)過大，而使該凹槽13之側壁13a,13b於底處直接相接成一線，如第1B圖所示，使該凹槽

13之剖面呈V字形。

【0008】 惟，當該凹槽13之剖面呈V字形時，會使線寬與線距小於10um之線路的高寬比至多為1.2（常常小於1.2，甚至小於1），例如，線寬與線距為5um的線路之深度至多為6um，而線寬與線距為3um的線路之深度至多3.6um，因而造成該金屬層15之厚度不足之問題，導致線路良率損失及製程能力指數（Process capability index, Cpk）極低。

【0009】 再者，以半導體雷射陣列(laser diode array; LDA)方式加工細線路，其成本過高。

【0010】 因此，如何克服上述習知技術中之種種問題，實已成目前亟欲解決的課題。

【發明內容】

【0011】 鑑於上述習知技術之缺失，本發明遂提供一種封裝基板之製法，係包括：提供一板體；以及蝕刻該板體以形成第一凹槽，且該第一凹槽具有緩衝部。

【0012】 前述之製法中，復包括於該板體上形成阻層，且於該阻層上形成開口區，以令該板體之部分表面外露於該開口區，再於該開口區中形成該第一凹槽，之後移除該阻層。

【0013】 前述之製法中，形成該第一凹槽之製程係包括：先於該板體上以雷射方式形成開孔，且該開孔係無緩衝部，再移除該開孔中之部分板體材質以形成該第一凹槽。

【0014】 前述之製法中，該蝕刻方式係為電漿蝕刻、乾蝕刻或濕蝕刻。

【0015】 前述之製法中，該板體內具有線路層，且於該板體上形成盲孔，以令該線路層之部分表面外露於該盲孔。又包括於該板體上形成第二凹槽，且該第二凹槽連通該盲孔，其中，形成該第二凹槽之方式係為雷射方式或蝕刻方式，例如，電漿蝕刻、乾蝕刻或濕蝕刻。復包括於該第二凹槽與該盲孔中形成金屬層，使該金屬層連結該

線路層。

- 【0016】 前述之製法中，該緩衝部係為該第一凹槽之側壁於底處所銜接之彎折面。
- 【0017】 前述之製法中，復包括形成於該第一凹槽中之金屬層。
- 【0018】 由上可知，本發明之封裝基板之製法中，主要藉由蝕刻方式形成第一凹槽，使該第一凹槽具有緩衝部，而不會呈V形剖面，故可克服習知技術之種種缺失。

【圖式簡單說明】

- 【0019】 第1A至1C圖係為習知封裝基板之製法的剖視示意圖；以及
- 【0020】 第2A至2G圖係為本發明封裝基板之製法的剖視示意圖；其中，第2C'圖係為第2C圖之另一實施例。

【實施方式】

- 【0021】 以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。
- 【0022】 須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“第一”、“第二”、“底”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。
- 【0023】 第2A至2G圖係為本發明封裝基板2之製法之剖視示意圖。
- 【0024】 如第2A圖所示，於一板體20上形成一阻層21。於本實施例中，該板體20內具有

至少一線路層22，且形成該板體20之材質係為介電材。

- 【0025】 再者，形成該阻層21之方式係為覆蓋光阻薄膜或濺鍍銅層。
- 【0026】 另外，有關板體之種類及其內部結構繁多，並不限於圖示。
- 【0027】 如第2B圖所示，於該板體20上形成至少一盲孔200，以令該線路層22之部分表面外露於該盲孔200。
- 【0028】 於本實施例中，形成該盲孔200之方式係利用雷射方式貫穿該阻層21與板體20。
- 【0029】 如第2B-1圖所示，於該阻層21上形成一遮蔽層21a，以遮蔽部分該阻層21。於本實施例中，該遮蔽層21a係為光罩。
- 【0030】 如第2B-2圖所示，進行圖案化製程，以半導體雷射陣列(laser diode array; LDA)方式移除該阻層21外露於該遮蔽層21a之部分，以於該阻層21上形成複數開口區210,211，而令該板體20之部分表面與該盲孔200外露於該開口區210,211。
- 【0031】 如第2C圖所示，移除該遮蔽層21a。於其它實施例中，該圖案化製程亦可採用曝光顯影方式。
- 【0032】 如第2D圖所示，蝕刻該開口區210,211中之板體20以形成第一凹槽23及第二凹槽24，且該第一凹槽23具有緩衝部230，而該第二凹槽24連通該盲孔200。
- 【0033】 於本實施例中，該蝕刻方式係為電漿蝕刻、非等向性的乾蝕刻或等向性的濕蝕刻。
- 【0034】 再者，該第一凹槽23之寬度係朝底處漸縮，故所述之緩衝部230係指該第一凹槽23之側壁23a於底處所銜接之彎折面，亦即該第一凹槽23之側壁23a不會於底處直接相接成一線。

- 【0035】 於另一實施例中，如第2C'圖所示，可先於該開口區210,211中之板體20上以準分子雷射方式形成開孔23'及第二凹槽24，且該開孔23'係無緩衝部（即該開孔23'之側壁23a'於底處直接相接成一線，其剖面呈V字形），再如第2D圖所示，蝕刻移除該開孔23'中之部分板體20材質以形成該第一凹槽23。
- 【0036】 再者，若以雷射方式形成該第二凹槽24時，該阻層21於對應該盲孔200之處可不需形成該開口區211。
- 【0037】 又，若該阻層21之結構係為2um之濕膜（如壓克力），其可止擋LDA及電漿達1分鐘，以於1分鐘內製成該第一凹槽23，因而能縮短製程時間。
- 【0038】 如第2E圖所示，於該阻層21上、該第一凹槽23、第二凹槽24與盲孔200中形成金屬層25，且該第二凹槽24與盲孔200中之金屬層25係連結該線路層22。
- 【0039】 於本實施例中，係藉由導電層25a電鍍銅材以製成該金屬層25。
- 【0040】 如第2F圖所示，移除該阻層21上方之金屬層25及其下之導電層25a，以令剩餘之金屬層25作為嵌埋式線路26。
- 【0041】 於本實施例中，係以蝕刻、刷磨或拋光（buffing）之方式移除該阻層21上方之金屬層25。
- 【0042】 如第2G圖所示，移除該阻層21。
- 【0043】 於本實施例中，係藉由整平製程或剝除製程，一併移除該阻層21與部分金屬層25，使該金屬層25（即該線路26）之表面與該板體20齊平。
- 【0044】 再者，藉由該阻層21作為保護膜，可避免刮傷該板體20表面，且能有效移除該板體20上之塊狀殘銅。
- 【0045】 本發明之封裝基板2之製法中，主要藉由蝕刻方式形成第一凹槽23，使該第一凹槽23具有緩衝部230，而避免形成如習知之V形凹槽，因而本發明之第一凹槽23沒

有錐角過大之問題，亦即能增加該第一凹槽23之深度，故當該線路26之線寬與線距小於10um時，該線路26之高寬比會大於2，因而能避免金屬層厚度不足之問題。因此，本發明之製法能有效提高線路良率，且能大幅提高製程能力指數（Process capability index, Cpk）。

【0046】 再者，相較於習知以習知準分子雷射製作線路之封裝基板，本發明之線路26品質較佳，故封裝基板2之產量（Throughput）較高，因而能降低成本。

【0047】 綜上所述，本發明之封裝基板之製法，係藉由蝕刻方式形成凹槽，以取代習知準分子雷射方式形成凹槽，故能增加凹槽之高寬比（至少大於2），因而避免金屬層厚度不足之問題，以達到提高線路良率及高製程能力指數之目的。

【0048】 上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

【0049】 1,2 封裝基板

【0050】 10,20 板體

【0051】 11,21 阻層

【0052】 13 凹槽

【0053】 13a,13b,23a,23a' 側壁

【0054】 15,25 金屬層

【0055】 200 盲孔

【0056】 21a 遮蔽層

【0057】 22 線路層

【0058】 210,211 開口區

【0059】 23 第一凹槽

【0060】 23' 開孔

【0061】 230 緩衝部

【0062】 24 第二凹槽

【0063】 25a 導電層

【0064】 26 線路

【主張利用生物材料】

【0065】

【發明申請專利範圍】

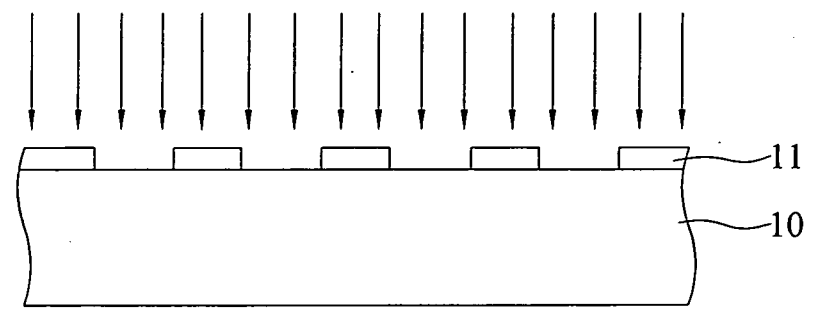
1. 一種封裝基板之製法，係包括：
提供一板體，且於該板體上以雷射方式形成開孔，
且該開孔之剖面係呈 V 字形；以及
蝕刻移除該開孔中之部分板體材質以形成第一凹槽，並使該第一凹槽具有緩衝部。
2. 如申請專利範圍第 1 項所述之封裝基板之製法，其中，該板體內具有線路層，且於該板體上形成盲孔，以令該線路層之部分表面外露於該盲孔。
3. 如申請專利範圍第 2 項所述之封裝基板之製法，復包括於該板體上形成第二凹槽，且該第二凹槽連通該盲孔。
4. 如申請專利範圍第 3 項所述之封裝基板之製法，其中，形成該第二凹槽之方式係為雷射方式或蝕刻方式。
5. 如申請專利範圍第 4 項所述之封裝基板之製法，其中，該蝕刻方式係為電漿蝕刻、乾蝕刻或濕蝕刻。
6. 如申請專利範圍第 3 項所述之封裝基板之製法，復包括於該第二凹槽與該盲孔中形成金屬層，使該金屬層連結該線路層。
7. 如申請專利範圍第 1 項所述之封裝基板之製法，復包括於該板體上形成阻層，且於該阻層上形成開口區，以令該板體之部分表面外露於該開口區，再於該開口區中形成該第一凹槽，之後移除該阻層。
8. 如申請專利範圍第 1 項所述之封裝基板之製法，其中，該蝕刻方式係為電漿蝕刻、乾蝕刻或濕蝕刻。

9. 如申請專利範圍第 1 項所述之封裝基板之製法，其中，該緩衝部係為該第一凹槽之側壁於底處所銜接之彎折面。
10. 如申請專利範圍第 1 項所述之封裝基板之製法，復包括於該第一凹槽中形成金屬層。

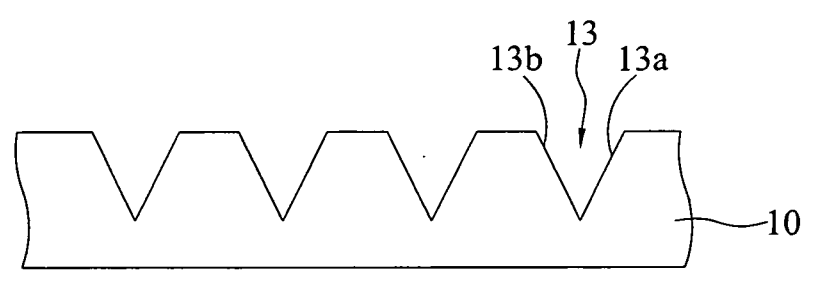
【發明圖式】

圖式

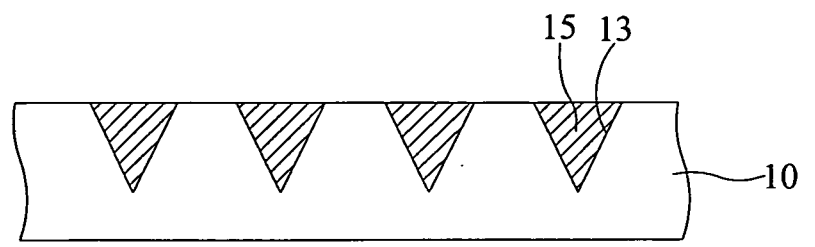
圖式



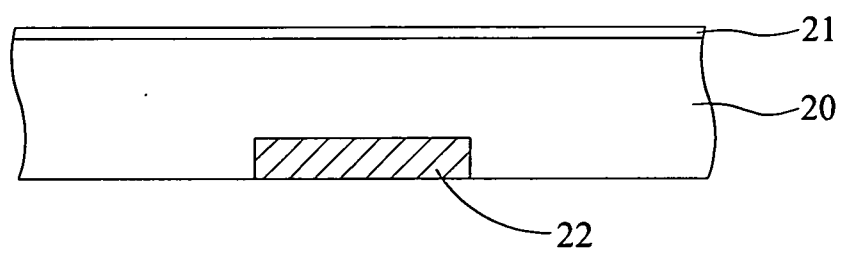
第1A圖



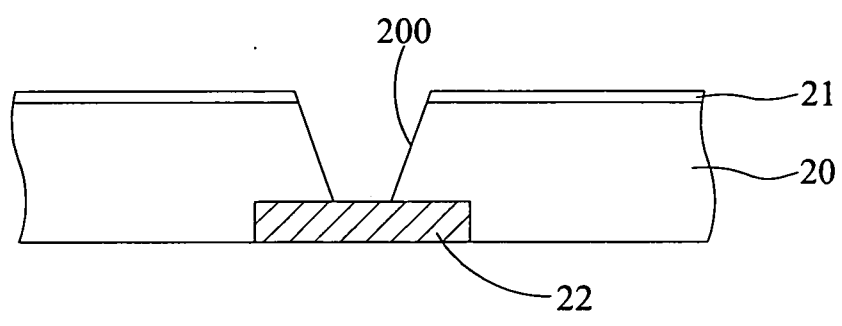
第1B圖



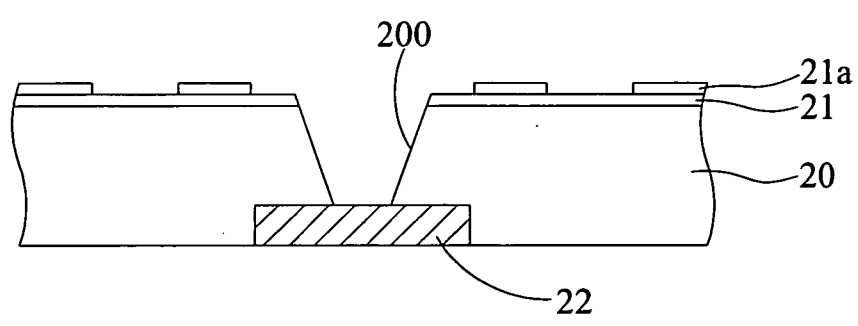
第1C圖



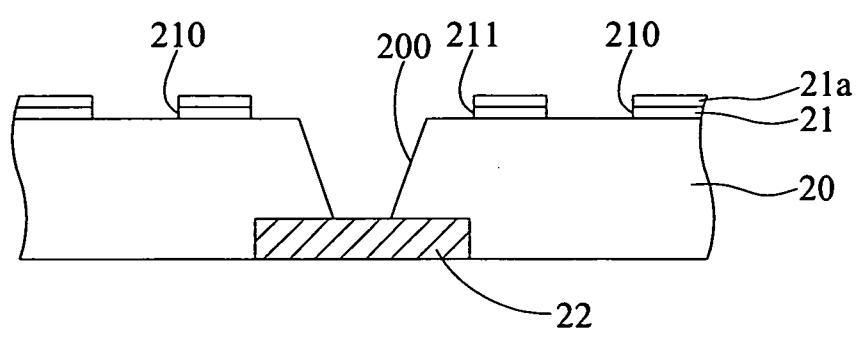
第2A圖



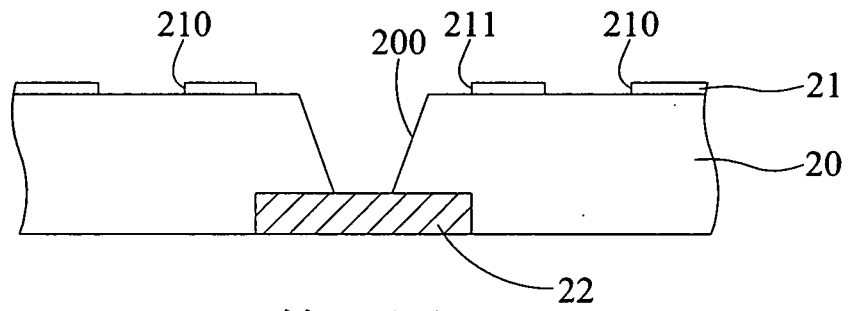
第2B圖



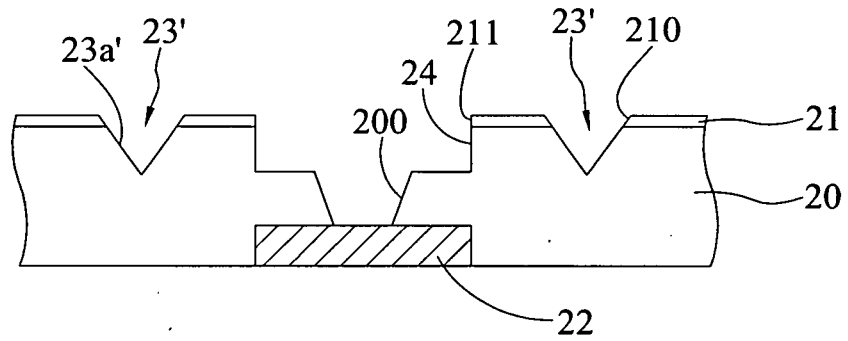
第2B-1圖



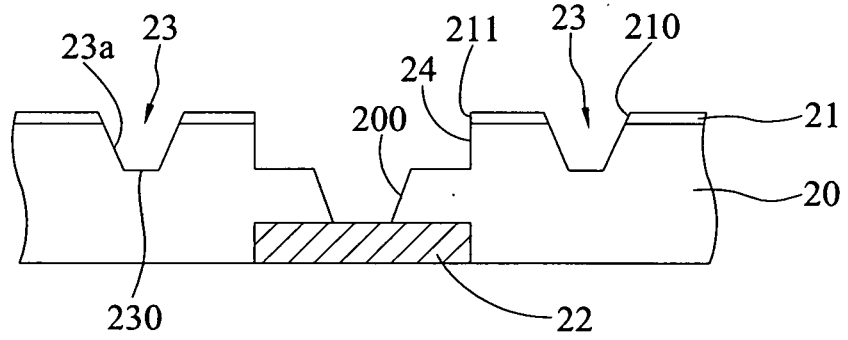
第2B-2圖



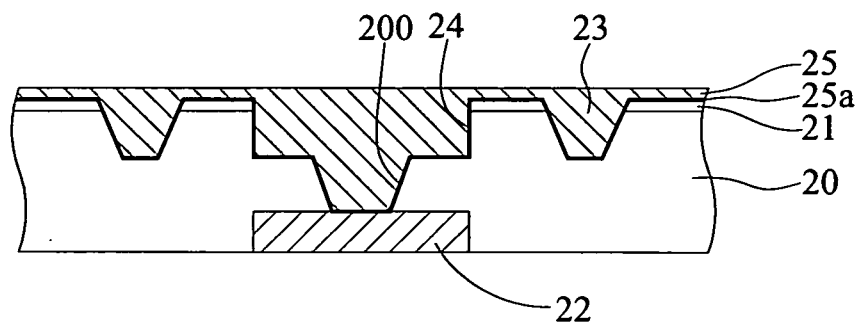
第2C圖



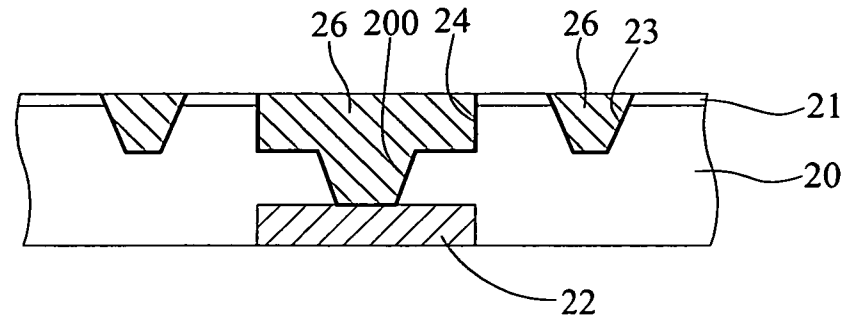
第2C'圖



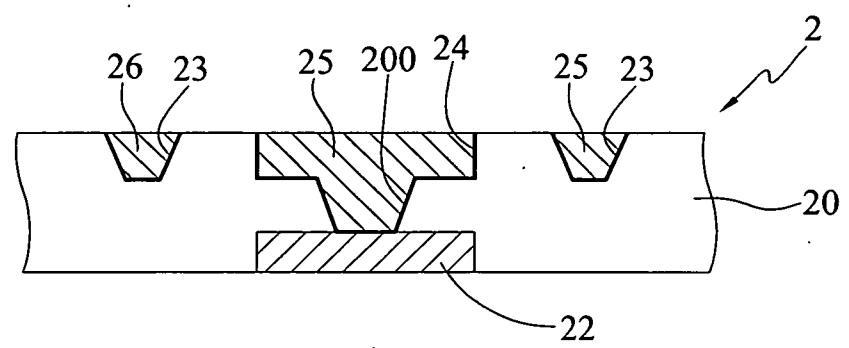
第2D圖



第2E圖



第2F圖



第2G圖