



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I667661 B

(45)公告日：中華民國 108 (2019) 年 08 月 01 日

(21)申請案號：103108630

(22)申請日：中華民國 103 (2014) 年 03 月 12 日

(51)Int. Cl. : **H01B13/00 (2006.01)****H01B5/14 (2006.01)****H01B1/22 (2006.01)**

(30)優先權：2013/03/15 美國

61/787,141

(71)申請人：德商羅伯特博斯奇股份有限公司 (德國) ROBERT BOSCH GMBH (DE)  
德國

(72)發明人：菲 安道 拉斯 FEYH, ANDO LARS (DE)；波爾克 法比昂 PURKL, FABIAN (DE)；薩瑪勞 阿許文 K SAMARAO, ASHWIN K. (IN)；亞馬 蓋瑞 YAMA, GARY (US)；歐布琳恩 蓋瑞 O'BRIEN, GARY (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 06946336B2

US 20110186799A1

US 2004/0209497A1

US 2008/0296650A1

審查人員：曾尚成

申請專利範圍項數：10 項 圖式數：11 共 25 頁

(54)名稱

各向異性導體及其之製造方法

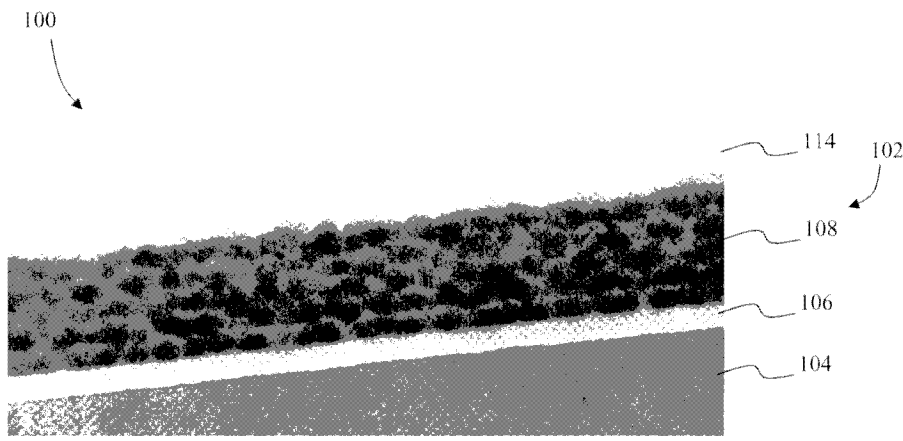
ANISOTROPIC CONDUCTOR AND METHOD OF FABRICATION THEREOF

(57)摘要

本發明提供一種各向異性導體及其之製造方法。該各向異性導體包含一絕緣基質以及被設置在其中的複數個奈米顆粒。該複數個奈米顆粒中的一第一部分在受到一電壓及/或電流脈衝作用時提供一導體。該複數個奈米顆粒中的一第二部分在該電壓及/或電流脈衝被施加至該第一部分時不會形成一導體。該各向異性導體會在電子裝置、器件以及系統的導體之間提供一導體性路徑，該些電子裝置、器件以及系統包含微機電系統(MicroElectroMechanical System, MEMS)裝置、器件以及系統。

An anisotropic conductor and a method of fabrication thereof. The anisotropic conductor includes an insulating matrix and a plurality of nanoparticles disposed therein. A first portion of the plurality of nanoparticles provides a conductor when subjected to a voltage and/or current pulse. A second portion of the plurality of the nanoparticles does not form a conductor when the voltage and or current pulse is applied to the first portion. The anisotropic conductor forms a conductive path between conductors of electronic devices, components, and systems, including microelectromechanical system (MEMS) devices, components, and systems.

指定代表圖：



符號簡單說明：

- 100 . . . 電子裝置
- 102 . . . 鈍化層
- 104 . . . 基底部分
- 106 . . . 基底層
- 108 . . . 基質
- 110 . . . 貴金屬奈米顆粒
- 114 . . . 蓋層

圖1

I667661

# 發明摘要

※ 申請案號 **103108630**

※ 申請日：**103年3月12日**

※IPC 分類：**H01B 13/00** (2006.01)

**H01B 5/14** (2006.01)

**H01B 1/22** (2006.01)

## 【發明名稱】(中文/英文)

各向異性導體及其之製造方法

ANISOTROPIC CONDUCTOR AND METHOD OF FABRICATION

THEREOF

## 【中文】

本發明提供一種各向異性導體及其之製造方法。該各向異性導體包含一絕緣基質以及被設置在其中的複數個奈米顆粒。該複數個奈米顆粒中的一第一部分在受到一電壓及/或電流脈衝作用時提供一導體。該複數個奈米顆粒中的一第二部分在該電壓及/或電流脈衝被施加至該第一部分時不會形成一導體。該各向異性導體會在電子裝置、器件以及系統的導體之間提供一導體性路徑，該些電子裝置、器件以及系統包含微機電系統 (MicroElectroMechanical System, MEMS) 裝置、器件以及系統。

## 【英文】

An anisotropic conductor and a method of fabrication thereof. The anisotropic conductor includes an insulating matrix and a plurality of nanoparticles disposed therein. A first portion of the plurality of nanoparticles provides a conductor when subjected to a voltage and/or current pulse. A second portion of the plurality of the nanoparticles does not form a conductor when the voltage and or current pulse is

applied to the first portion. The anisotropic conductor forms a conductive path between conductors of electronic devices, components, and systems, including microelectromechanical system (MEMS) devices, components, and systems.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 100 電子裝置
- 102 鈍化層
- 104 基底部分
- 106 基底層
- 108 基質
- 110 貴金屬奈米顆粒
- 114 蓋層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

各向異性導體及其之製造方法

ANISOTROPIC CONDUCTOR AND METHOD OF FABRICATION  
THEREOF

## 【技術領域】

【0001】 本揭示內容關於電子裝置，且更明確地說，關於微機電系統(MEMS)裝置以及用於 MEMS 裝置的導體。

本申請案主張 2013 年 3 月 15 日提申的美國臨時申請案第 61/787,141 號的權利，本文以引用的方式將其完整揭示內容併入。

## 【先前技術】

【0002】 包含二或更多個部件或器件的電子裝置在該些部件的至少兩者之間需要電連接。這些電連接雖然為眾所理解並且可靠地達成；但是，微型化裝置(例如，藉由半導體製造技術所建構的裝置)的部件或器件之間的電連接卻需要越來越複雜的技術方能將一部件電連接至另一部件。為製造 MEMS 裝置，部件之間的電連接變得特別關鍵，因為 MEMS 裝置包含尺寸介於 1 至 100 微米(也就是，0.001 至 0.1mm)的電器件與機械器件，其中，已完成的 MEMS 裝置的尺寸範圍通常從二十(20)微米(一米的百萬分之 20)至一毫米(也就是，0.02 至 1.0mm)。

【0003】 於具有明顯不同垂直配向層的 MEMS 裝置中(其通常係由一基板(例如，矽)所構成)，一或更多個局部電接點會被形成在該兩個垂直配

向且明顯不同的層之間。因為該些層被分開，所以，在該兩層之間通常藉由沉積一或更多個金屬膜於一第一基板的一表面上來達成連接，該第一基板的該表面介接一第二基板的一表面或是介接相同基板上的一第二垂直層。該些一或更多個金屬膜被沉積在該些基板或裝置上並且被圖樣化，以便提供彼此電分離的多個局部導電區域。

【0004】 該些金屬膜(它們會變成導體)之形成涉及數道製程步驟，其包含：沉積一第一層金屬膜；圖樣化該第一層；以及接著沉積額外層並且於必要時作進一步圖樣化。要被連接的每一層需要有自己的導體，且因此，為形成一器件或裝置，每一層上的導體的位置相當關鍵。此多步驟製程會增加成本並且在兩個水平相鄰接點之間需要特定的安全邊限。

【0005】 於其中一種類型的導體形成製程中，一各向異性材料會先被沉積在一基底基板(例如，矽)上。此形成能夠藉由沉積一膜利用層疊製程來完成。接著，該材料會於必要時被圖樣化。一第二基板接著會被放置在該基底基板上方的正確位置處以及該兩塊基板會被擠壓在一起。於某些情況中會施加少許熱量讓該兩塊介接基板相互黏著。

【0006】 一旦該兩塊基板配接之後，該兩塊基板會以可能高達 100°C 的溫度加熱而被黏接，其中，該熱被施加維持一段相對短的時間週期，其長短為一秒或更短。溫度、加熱時間以及外加壓力會相依於基板的類型以及所使用的各向異性材料而改變。

【0007】 於另一種類型的導體形成製程中，一第一導體層會先被形成在一基板上，接著則沉積一隔離材料。該介電材料會在要進行連接的多個位置中被蝕除。接著，一第二導體性材料會被沉積並且在該些選定區域中

和該一第一層進行連接。

【0008】 因此，本技術需要降低用以在裝置、器件、以及基板上形成導體層的製程的複雜性。

#### 【發明內容】

【0009】 本揭示內容和電子裝置的領域有關，且明確地說，和微機電系統與裝置(其包含微加工系統與裝置)的領域有關，其包含被配置成用以感測各式各樣條件的微機電系統與裝置，該些條件包含壓力、聲音以及環境條件(例如，濕度)。MEMS 裝置包含感測器以及啟動器，其通常被形成在一基板(例如，矽)上或裡面。

【0010】 感測器以外的裝置同樣受惠於使用本文所述的各向異性導體以及製造各向異性導體的方法。舉例來說，微加工機械裝置(例如，微加工馬達)可利用本文所述的各向異性導體來製造。微加工加速度計同樣受惠。此外，此方法亦能夠用於選擇性連接一積體電路的不同部件。

【0011】 本揭示內容提供一種各向異性導體層及其之製造方法，於其中一實施例中，其消除用於在系統、裝置、或是器件中圖樣化導體的部分或全部需求。此外，要被沉積以形成一已知導體的多層材料層的數量亦會減少，並且於某些情況中會達到大幅減少層數的目的。再者，於某些實施例中，電互連線之間的密度也會急遽下降。

【0012】 於本發明的其中一實施例中提供一種形成電子裝置的方法，其包含：形成一基底部分，其包含一基底層；於該基底層的一表面上形成至少一第一電極；利用原子層沉積(Atomic Layer Deposition, ALD)於該基底層的該表面上與該至少一第一電極上形成一第一絕緣層；於該第一

絕緣層的一上表面上沉積第一複數個奈米顆粒；藉由 ALD 於該第一絕緣層的該上表面的多個部分上與該第一複數個奈米顆粒上形成一第二絕緣層；以及在該第二絕緣層上方形成至少一第二電極並且對齊該至少一第一電極。

【0013】 根據上述實施例中的方法，其中：形成至少一第一電極包括於該基底層的該上表面上形成複數個第一電極；以及形成至少一第二電極包括於該第二絕緣層上方形成複數個第二電極，該複數個第二電極中的每一者對齊該複數個第一電極中的一個別第一電極。

【0014】 範例上述實施例中的方法，其中，該第二絕緣層的絕緣材料類型不同於該第一絕緣層的絕緣材料類型。

【0015】 範例上述實施例中的方法，其中，沉積該第一複數個奈米顆粒包括：沉積第一複數個奈米顆粒至厚度小於該第一複數個奈米顆粒的聚結厚度。

【0016】 範例上述實施例中的方法，其進一步包括：於該第二絕緣層的一上表面上沉積第二複數個奈米顆粒；以及藉由 ALD 於該第二絕緣層的該上表面的多個部分上與該第二複數個奈米顆粒上形成一第三絕緣層。

【0017】 範例上述實施例中的方法，其中，該第二複數個奈米顆粒的材料類型不同於該第一複數個奈米顆粒的材料類型。

【0018】 範例上述實施例中的方法，其中，該鈍化層係在小於 300°C 的沉積溫度處被形成。

【0019】 範例上述實施例中的方法，其中：形成該第一絕緣層包括在小於 300°C 的沉積溫度處形成該第一絕緣層；沉積該第一複數個奈米顆粒包

括在小於 300°C 的沉積溫度處沉積該第一複數個奈米顆粒；以及形成該第二絕緣層包括在小於 300°C 的沉積溫度處形成該第二絕緣層。

【0020】 範例上述實施例中的方法，其中：沉積該第一複數個奈米顆粒包括沉積第一複數個貴金屬奈米顆粒。

【0021】 範例上述實施例中的方法，其中：形成該第一絕緣層包括利用 ALD 在該基底層的該上表面上形成由三氧化二鋁( $\text{Al}_2\text{O}_3$ )、二氧化鈦( $\text{HfO}_2$ )或是二氧化鋯( $\text{ZrO}_2$ )所製成的一第一絕緣層；以及形成該第二絕緣層包括藉由 ALD 於該上表面的該些多個部分上與該第一複數個奈米顆粒上形成由三氧化二鋁( $\text{Al}_2\text{O}_3$ )、二氧化鈦( $\text{HfO}_2$ )或是二氧化鋯( $\text{ZrO}_2$ )所製成的一第二絕緣層。

【0022】 範例上述實施例中的方法，其中：形成該第一絕緣層包括形成厚度介於 0.05 與 1 nm 之間的一第一絕緣層；以及形成該第二絕緣層包括形成厚度介於 0.05 與 1 nm 之間的一第二絕緣層。

【0023】 範例上述實施例中的方法，其進一步包括：決定一鈍化層所希望的厚度；以及交錯沉積額外奈米顆粒與形成額外絕緣層在該第三絕緣層上方，直到該第一絕緣層、該第一複數個奈米顆粒、該第二絕緣層、該些額外奈米顆粒以及該些額外絕緣層的組合厚度為所希望的厚度為止。

【0024】 於本發明的其中一實施例中提供一種電子裝置，其包含：一基底部分；一第一電極，其在該基底部分的一表面上；一鈍化層，其在該基底部分上，該鈍化層包含：一絕緣基底層，其藉由原子層沉積(ALD) 形成在該基底部分的該表面上；一基質，其係利用 ALD 由絕緣材料與多個貴金屬奈米顆粒形成在該基底層上；以及一絕緣蓋層，其係藉由 ALD 被形成

在該基質上；以及一第二電極，其對齊該第一電極並且被定位在和該第一電極反向的該鈍化層的一側上。

【0025】 範例上述實施例中的電子裝置，其進一步包括：一第三電極，其在該基底部分的該表面上；以及一第四電極，其對齊該第三電極並且被定位在和該第三電極反向的該鈍化層的一側上。

【0026】 範例上述實施例中的電子裝置，其中，該基質包括：第一複數個奈米顆粒，其在該基底層上；一第一絕緣層，其介於該第一複數個奈米顆粒與該蓋層之間；以及一第二絕緣層，其介於該第一絕緣層與該蓋層之間。

【0027】 範例上述實施例中的電子裝置，其中，該第二複數個奈米顆粒的材料類型不同於該第一複數個奈米顆粒的材料類型。

【0028】 範例上述實施例中的電子裝置，其中，該第一絕緣層的絕緣材料類型不同於該基底層的絕緣材料類型。

【0029】 範例上述實施例中的電子裝置，其中，該些奈米顆粒被沉積在一層之中，該層的厚度在該些奈米顆粒的聚結厚度以下。

【0030】 範例上述實施例中的電子裝置，其中，該些奈米顆粒為貴金屬奈米顆粒。

【0031】 範例上述實施例中的電子裝置，其中，該基底層係利用選自包括下面的群之中的絕緣材料所形成：三氧化二鋁( $\text{Al}_2\text{O}_3$ )；二氧化鈦( $\text{HfO}_2$ )；以及二氧化鋯( $\text{ZrO}_2$ )。

#### 【圖式簡單說明】

【0032】

圖 1 所示的係一電子裝置的穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)影像，該電子裝置包含一具有第一厚度之基質的鈍化層。

圖 2 所示的係圖 1 的 TEM 影像的放大圖，圖中顯示該基質的一絕緣材料部分與一奈米顆粒部分。

圖 3 所示的係另一電子裝置的 TEM 影像，該電子裝置包含一具有第二厚度之基質的鈍化層。

圖 4 所示的係圖 3 的 TEM 影像的放大圖，圖中顯示該基質的一絕緣材料部分與一奈米顆粒部分。

圖 5 至 8 所示的係用於在一電子裝置的一基底部分上形成一鈍化層的製程。

圖 9 所示的係在一鈍化層內製造一各向異性導體的製程中的初始條件。

圖 10 所示的係利用被施加在電極處的電流脈衝及/或電壓脈衝而被形成在該鈍化層上的一第一電極對與一第二電極對。

圖 11 所示的係響應於電流脈衝及/或電壓脈衝而被形成在垂直方向中的鈍化層的最終導電路徑或導電性。

### 【實施方式】

【0033】 為達促進理解本揭示內容之原理的目的，現在將參考圖式中所示及下面書面說明書中所述的實施例。應該瞭解的係，其並沒有限制本揭示內容之範疇的意圖。應該進一步瞭解的係，本揭示內容包含對本文中圖解的實施例的任何變更與修正並且包含熟習本揭示內容相關技術的人士通常可進行的本揭示內容之原理的進一步應用。

【0034】 圖 1 至 4 所示的係一電子裝置 100 的 TEM 影像，該電子裝

置包含一鈍化層 102。電子裝置 100 包含一基底部分 104，於該基底部分上會形成該鈍化層 102。圖中所示的鈍化層 102 雖然被形成在基底部分 104 的一上表面上；但是，除此之外及/或替代地，該鈍化層 102 亦可被形成在基底部分 104 的側邊。

【0035】 鈍化層 102 包含一基底層 106，該基底層 106 雖然係利用諸如 ALD 的製程以一絕緣材料所形成；不過，於另一實施例中亦可利用 PVD。於圖 1 至 2 的實施例中，該基底層 106 係由所形成  $Al_2O_3$ ，用以提供大小為 5 至 6nm 的厚度。於其它實施例中，該基底層的厚度為數個埃。

【0036】 一基質 108 位於基底層 106 的上方，該基質 108 包含多個貴金屬奈米顆粒 110(明確地說，在圖 2 至 4 中以大型的暗圓形物體來呈現)與絕緣材料 112(其外觀雷同於基底層 106)。在圖 2 中能夠分辨出五層的貴金屬奈米顆粒 110。每一層奈米顆粒皆藉由一層絕緣材料而與相鄰的奈米顆粒層分離，從而導致有四個中間絕緣材料層。本實施例中的貴金屬奈米顆粒 110 為直徑約 4nm 的鉑貴金屬奈米顆粒。基質 108 的總厚度為約 24.2nm。據此，每一層絕緣材料(如同層 16)的厚度為約 1nm。

【0037】 在圖 3 與 4 中能夠分辨出近似七層的貴金屬奈米顆粒 110。雷同於圖 2 中所示的奈米顆粒層，圖 3 與 4 中所示的每一層奈米顆粒皆藉由一層絕緣材料而與相鄰的奈米顆粒層分離，從而導致有六個中間絕緣材料層。本實施例中的貴金屬奈米顆粒 110 同樣為直徑約 4nm 的鉑貴金屬奈米顆粒。據此，圖 3 與 4 中所示的基質 108 的總厚度大於 24.2nm。

【0038】 於圖 1 至 4 的實施例中在最上方的貴金屬奈米顆粒層上方提供一由絕緣材料製成的蓋層 114。於此些實施例中，蓋層 114 的厚度遠大於

基底層 106。於其它實施例中，蓋層 114 和中間的絕緣層有大約相同或更薄的厚度。

【0039】 鈍化層 102 防止不同的感測器/裝置區的電短路現象。前面範例中的說明雖然以鉑作為貴金屬奈米顆粒；但是，已知的係，其它貴金屬(例如，金(Au))亦有極端的惰性，而不會受到嚴酷或破壞性的環境(例如，有化學侵略性的環境)影響。據此，於其它實施例中會使用其它貴金屬的奈米顆粒。於利用其它貴金屬的其它實施例中，該些奈米顆粒較佳的係和圖 1 至 4 的鉑奈米顆粒有實質上相同的尺寸。同樣已知有貴金屬以外的材料可以抗拒嚴酷或破壞性的環境。據此，於其它實施例中可以使用貴金屬以外的材料的奈米顆粒，例如，鋁、鈦、氮化鈦、鎢以及鈦。此外，本文中的說明雖然以  $\text{Al}_2\text{O}_3$  作為絕緣材料；但是，於其它實施例中可以使用其它絕緣材料，其包含二氧化鈦( $\text{HfO}_2$ )、二氧化鋯( $\text{ZrO}_2$ )或是它們的組合。「電子裝置(electronic device)」一詞的意義並不限於任何特定裝置並且包含諸如感測器、積體電路以及內插件(interposer)的裝置。據此，如本文中使用的「基底部分(base portion)」一詞會包含其上形成一鈍化層的感測器、積體電路、內插件、或是類似物的任何部分。

【0040】 圖 5 至 8 所示的係用以在一基底部分 150 上形成一鈍化層的製程，於其中一實施例中，其包含一由矽製成的外層。首先，參考圖 5，一基底層 152 被沉積在該基底部分 150 上。於其中一實施例中，該基底部分 150 係根據任何所希望的製程來形成。於某些實施例中，該基底部分 150 係該感測器區域的外層，或甚係一感測器區域的薄膜。

【0041】 基底層 152 係一絕緣材料層。於其中一實施例中，該基底層

152 係一薄的  $\text{Al}_2\text{O}_3$  層，其具有數埃的厚度。於某些實施例中，該基底層 152 有數奈米厚。基底層 152 可以被沉積在一由諸如矽的材料所構成的基底部分上，相鄰於被形成在該基底部分上的一或更多個導體。基底層 152 提供一由絕緣材料製成的基底層，其會實質上防止正在被形成的裝置(其包含 MEMS 感測器與加速度計)的不同區域發生電短路現象。

【0042】 該鈍化層之形成會藉由使用原子層沉積(ALD)的交換製程而繼續進行。在該由絕緣材料(例如，三氧化二鋁( $\text{Al}_2\text{O}_3$ ))製成的基底層被沉積在而形成基底層 152 之後，一貴金屬奈米顆粒層 154(例如，鉑(Pt))會被沉積在該基底層 152 上，如圖 6 中所示。該貴金屬奈米顆粒層 154 的沉積製程會被控制為使得單獨的奈米顆粒 154 會被形成。於其中一實施例中，該些奈米顆粒 154 為 Pt 晶體。圖 6 僅係為達解釋之目的，而且代表奈米顆粒 154 的圓形並不代表和膜 152 之厚度有關的該些奈米顆粒的真實尺寸，該些奈米顆粒的個別位置也不代表奈米顆粒之間的距離。

【0043】 該貴金屬奈米顆粒層 154 雖然可以厚過基底層 152；不過，該貴金屬奈米顆粒層 154 的厚度會被控制為小於貴金屬聚結的厚度，舉例來說，對 Pt 來說為約四(4)奈米。因此，一旦用於沉積該奈米顆粒層 154 的製程完成後，其會實現單獨的奈米顆粒，而非一連續層。因為貴金屬奈米顆粒層 154 的厚度受到限制；所以，倘若一鈍化層希望有不同厚度的話，必要時可以重複進行上面的步驟，用以達成所希望的厚度。

【0044】 舉例來說，如圖 7 中所示，一第二絕緣材料層 156 會被沉積在層 152 與該些奈米顆粒 154 上。倘若希望較厚的鈍化層的話，一第二奈米顆粒層 158(例如，鉑奈米顆粒)會被沉積在該第二層 156 上(參見圖 8)。該些

步驟因此會在必要時重複進行，用以達成所希望的厚度。於某些實施例中會使用一由四至五十層或更多層絕緣材料與貴金屬所組成的堆疊。於其中一實施例中，最終的絕緣材料層會被形成為厚過任何中間的絕緣層，用以形成一蓋層，例如，蓋層 114。

【0045】 因為該鈍化層中各層的形成方式的關係，必要時可在一特殊應用中混合多種材料。舉例來說，該些不同的絕緣材料層可以利用不同的材料來形成，而且該些不同的貴金屬層可以利用不同的金屬來形成。

【0046】 上面製程雖然提供一絕緣與保護下方裝置的鈍化層；但是，有時候會希望經由該鈍化層提供電連接。圖 9 所示的係在一鈍化層(例如，鈍化層 102)內製造一各向異性導體的製程中的初始條件。在圖 9 中，一鈍化層 200 包含一下絕緣層 202 與一上絕緣層 204。該鈍化層 200 進一步包含兩層貴金屬奈米顆粒層 206/208 以及一中間絕緣層 210。在該些貴金屬奈米顆粒層 206/208 裡面描繪數個奈米顆粒 212。該鈍化層 200 可以根據上面討論的製程來形成。

【0047】 接著，一或更多個電極對會被形成在希望經由該鈍化層 200 進行導電的多個位置處。圖 10 顯示一第一電極對 214(其包含電極 216 與 218)與一第二電極對 220(其包含電極 222 與 224)。電極 218 與 224 被形成在下方的基底部分上，而電極 216 與 222 被形成在上絕緣層 204 的一上表面上。

【0048】 一旦該些電極對 214/220 在正確的位置，一電流脈衝及/或電壓脈衝會如箭頭 226 所示般被施加在該些電極處。響應於該或該些脈衝的施加，該鈍化層 200 的該些區域或部分中的電突穿會在該鈍化層 200 內達成並且穿過反向電極對之間的奈米顆粒 212。因為絕緣基質材料的數量在如箭

頭 226 所示的垂直膜方向中非常少，所以，電突穿發生在該垂直方向中而不會發生在水平方向中，因為鈍化層 200 的絕緣特性對該些脈衝來說太強，使得該些脈衝無法經由  $\text{Al}_2\text{O}_3$  層從其中一個導體對 214 移至另一個導體對 220。於某些實施例中，被施加用以強制隧穿發生的電壓及/或電流會大於該裝置在正常操作期間所經歷的電壓及/或電流。

【0049】 圖 11 所示的係當反向電極對 216/218 與 222/224 之間的奈米顆粒 212 如圖示般瘦長時因為上述隧穿的結果而形成在該垂直方向中的鈍化層 200 的最終導電路徑或導電性。然而，鈍化層 200 在水平方向中呈現高電絕緣性。因此，一各向異性導體 230 與一各向異性導體 232 會被形成在第一導體對 214 與第二導體對 220 處。於另一實施例中，該隧穿效應係被用來實現各向異性導電性。垂直方向中的有效隧穿屏障遠低於水平方向，因為隧穿屏障的數量不同。所以，於此替代實施例中，不需要擊穿該些氧化物。

【0050】 本文所述的導體有許多應用，其包含 MEMS 感測器，舉例來說，其包含有不同感應性之多個絕緣陣列的氣體感測器。熟習本技術的人士便會瞭解，於其它實施例中可以修正本文中所述的製程，用以提供針對特殊實施例所設計的各式各樣配置。

【0051】 包含本發明之導體的裝置、器件、以及基板能夠被具現在數種不同的類型與配置中並且能夠根據數種不同的製造方法來形成。本發明提供下面實施例作為範例並且沒有限制的意圖。

【0052】 於其中一實施例中，一種用於製造各向異性導電材料的方法被用來為感測器(其包含 MEMS 感測器)提供電連接。於其中一實施例中，一各向異性導電材料係由一導電材料製成的一或更多層奈米顆粒所形成，

其被具現在一絕緣基質之中並且因而為全面性絕緣。於其中一實施例中，一種用於製造各向異性導電材料的方法包含使用原子層沉積。於其中一實施例中，一種用於製造各向異性導電材料的方法包含使用物理氣相沉積 (Physical Vapor Deposition, PVD) 製程。

【0053】 於其中一實施例中，一種用於製造各向異性導電材料的方法包含藉由在該膜上施加一電流及/或電壓脈衝而形成一局部導電路徑，並且因而產生一絕緣基質的電突穿作用。於其中一實施例中，一種用於製造各向異性導電材料的方法包含提供一水平距離小於微影致能製程的接點。於其中一實施例中，一種用於製造各向異性導電材料的方法包含使用大小約一至十奈米(1 至 10nm)的導體奈米顆粒。於其中一實施例中，一種用於製造各向異性導電材料的方法包含形成一在該些奈米顆粒之間的距離為 0.05 至 5nm 的絕緣膜。

【0054】 於其中一實施例中，一種用於製造各向異性導電材料的方法包含藉由施加一雷射脈衝或是其它形式的能量至該導電材料來形成一局部導電路徑。於其中一實施例中，一種用於製造各向異性導電材料的方法包含形成沒有任何局部導電路徑的絕緣材料區域。於其中一實施例中，一種用於製造各向異性導電材料的方法包含使用隧穿效應來克服垂直方向中的導電屏障，而不需要施加電壓及/或電流脈衝來達成一導電路徑的局部突穿。

【0055】 於其中一實施例中，一種用於連接一第一接點至一第二接點的電導體包含複數個第一薄膜層以及複數個第二層，該複數個第一層中的每一層和該複數個第二層中的每一層交錯，該複數個第二層中的每一層包含和相鄰奈米顆粒有非接觸關係的多個分離的奈米顆粒，其中，一部分的

相鄰第一層與第二層被配置成用以形成一導體性部分。於其中一實施例中，一種電導體包含一具有複數個非分離奈米顆粒的導體性部分。於其中一實施例中，一種電導體包含被設置在該複數個非分離奈米顆粒的一第一部分與一第二部分之間的一部分分離的奈米顆粒。

【0056】 圖式及前面的說明中雖然已經詳細圖解與說明過本揭示內容；但是，其應該僅被視為解釋性，而沒有限制的性質。應該瞭解的係，本發明僅提出較佳實施例並且希望保護落在本揭示內容的精神裡面的所有改變、修正以及進一步應用。

#### 【符號說明】

##### 【0057】

100	電子裝置
102	鈍化層
104	基底部分
106	基底層
108	基質
110	貴金屬奈米顆粒
112	絕緣材料
114	蓋層
150	基底部分
152	基底層
154	貴金屬奈米顆粒層
156	第二絕緣材料層

158	第二奈米顆粒層
200	鈍化層
202	下絕緣層
204	上絕緣層
206	貴金屬奈米顆粒層
208	貴金屬奈米顆粒層
210	中間絕緣層
212	奈米顆粒
214	第一電極對
216	電極
218	電極
220	第二電極對
222	電極
224	電極
226	電流脈衝及/或電壓脈衝施加方向
230	各向異性導體
232	各向異性導體

## 申請專利範圍

1.一種形成電子裝置的方法，其包括：

形成一基底部分，其包含一基底層；

於該基底層的一上表面上形成至少一第一電極；

利用原子層沉積(ALD)於該基底層的該上表面與該至少一第一電極上形成一第一絕緣層；

於該第一絕緣層的一上表面上沉積第一複數個奈米顆粒，該複數個奈米顆粒由導電材料所組成；

藉由原子層沉積於該第一絕緣層的該上表面的多個部分上與該第一複數個奈米顆粒上形成一第二絕緣層，該第一絕緣層、該第一複數個奈米顆粒和該第二絕緣層形成了鈍化層；

在該第二絕緣層上方形成至少一第二電極並且對齊該至少一第一電極；以及

在該第一電極和該第二電極處施加電性脈衝而經由電突穿於該第一電極和該第二電極之間形成導電路徑。

2.根據申請專利範圍第1項的方法，其中：

形成至少一第一電極包括於該基底層的該上表面上形成複數個第一電極；以及

形成至少一第二電極包括於該第二絕緣層上方形成複數個第二電極，該複數個第二電極中的每一者對齊該複數個第一電極中的一個別第一電極。

3.根據申請專利範圍第1項的方法，其中，該第二絕緣層的絕緣材料類

型不同於該第一絕緣層的絕緣材料類型。

4.根據申請專利範圍第 1 項的方法，其中，沉積該第一複數個奈米顆粒包括：

沉積第一複數個奈米顆粒至厚度小於該第一複數個奈米顆粒的聚結厚度。

5.根據申請專利範圍第 1 項的方法，其進一步包括：

於該第二絕緣層的一上表面上沉積第二複數個奈米顆粒；以及

藉由原子層沉積於該第二絕緣層的該上表面的多個部分上與該第二複數個奈米顆粒上形成一第三絕緣層。

6.根據申請專利範圍第 5 項的方法，其中，該第二複數個奈米顆粒的材料類型不同於該第一複數個奈米顆粒的材料類型。

7.根據申請專利範圍第 1 項的方法，其中，該鈍化層係在小於 300°C 的沉積溫度處被形成。

8.根據申請專利範圍第 1 項的方法，其中：

形成該第一絕緣層包括在小於 300°C 的沉積溫度處形成該第一絕緣層；

沉積該第一複數個奈米顆粒包括在小於 300°C 的沉積溫度處沉積該第一複數個奈米顆粒；以及

形成該第二絕緣層包括在小於 300°C 的沉積溫度處形成該第二絕緣層。

9.根據申請專利範圍第 1 項的方法，其中：

沉積該第一複數個奈米顆粒包括沉積第一複數個貴金屬奈米顆粒。

10.根據申請專利範圍第 1 項的方法，其中：

形成該第一絕緣層包括利用原子層沉積在該基底層的該上表面上形成

由三氧化二鋁( $\text{Al}_2\text{O}_3$ )、二氧化鈦( $\text{HfO}_2$ )或是二氧化鋯( $\text{ZrO}_2$ )所製成的一第一絕緣層；以及

形成該第二絕緣層包括藉由原子層沉積於該上表面的該些多個部分上與該第一複數個奈米顆粒上形成由三氧化二鋁( $\text{Al}_2\text{O}_3$ )、二氧化鈦( $\text{HfO}_2$ )或是二氧化鋯( $\text{ZrO}_2$ )所製成的一第二絕緣層。