(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2025-512715
(P2025-512715A)
(43)公表日　令和7年4月22日(2025.4.22)

(51)国際特許分類		FI			テーマコード（参考）
Ｇ０６Ｆ　12/00　(2006.01)		Ｇ０６Ｆ	12/00	５６０Ａ	５Ｂ１６０
Ｇ０６Ｆ　12/1009(2016.01)		Ｇ０６Ｆ	12/1009		５Ｂ２０５
Ｇ０６Ｆ　12/02　(2006.01)		Ｇ０６Ｆ	12/02	５７０Ａ	

審査請求　未請求　予備審査請求　未請求　（全35頁）

(21)出願番号　特願2024-553454(P2024-553454)
(86)(22)出願日　令和4年12月20日(2022.12.20)
(85)翻訳文提出日　令和6年9月11日(2024.9.11)
(86)国際出願番号　PCT/GB2022/053304
(87)国際公開番号　WO2023/175289
(87)国際公開日　令和5年9月21日(2023.9.21)
(31)優先権主張番号　2203646.1
(32)優先日　令和4年3月16日(2022.3.16)
(33)優先権主張国・地域又は機関
英国(GB)
(81)指定国・地域　AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV
最終頁に続く

(71)出願人　500395107
アーム・リミテッド
グレート・ブリテン及び北部アイルランド連合王国、イングランド、 シー・ビー１、９エヌ・ジェイ、ケンブリッジ、フルボーン・ロード １１０
(74)代理人　110000855
弁理士法人浅村特許事務所
(72)発明者　バーンズ、グレアム ピーター
イギリス国 シービー１ ９エヌジェイ ケンブリッジシャー ケンブリッジ フルボーン ロード １１０ アーム リミテッド 宛
(72)発明者　クラスケ、サイモン ジョン
イギリス国 シービー１ ９エヌジェイ
最終頁に続く

(54)【発明の名称】　メモリアドレス空間のページに対するＸとして読み取られるプロパティ

(57)【要約】
処理回路（４）は、命令に応答してデータ処理を実施する。メモリ管理回路２８は、メモリアドレス空間の所与のページを、メモリアドレス空間の所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、メモリへのアクセスを制御する。メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために発行された読み取り要求に対して、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路（２８）は、指定された値Ｘを読み取りターゲット値の少なくとも一部として処理回路（４）に返すように制御する。これは、メモリアドレス空間の大きな領域が、それらの領域のために物理メモリをコミットする必要なく、指定された値を記憶するものとして扱われることを可能にする。

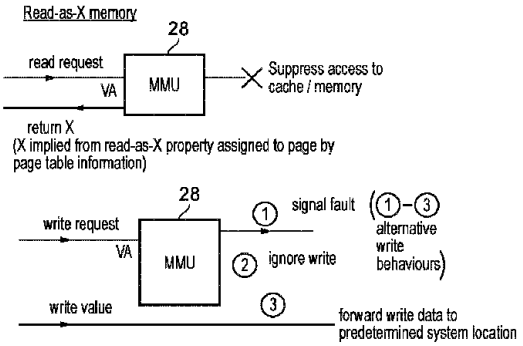


FIG. 3

【特許請求の範囲】
【請求項１】
装置であって、
命令に応答してデータ処理を実施するための処理回路と、
メモリアドレス空間の所与のページを、前記メモリアドレス空間の前記所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、メモリへのアクセスを制御するためのメモリ管理回路と、を備え、
前記メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために前記処理回路によって発行された読み取り要求に対して、前記読み取りターゲットブロックの少なくとも一部が、前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記メモリ管理回路が、前記指定された値Ｘを前記読み取りターゲット値の少なくとも一部として前記処理回路に返すように制御するように構成されている、装置。
【請求項２】
前記Ｘとして読み取られるプロパティの少なくとも１つの変形例について、前記読み取りターゲットブロックの全てが前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記メモリ管理回路が、キャッシュ又は前記メモリから前記読み取りターゲット値を読み取るためのキャッシュアクセス要求又はメモリアクセス要求の発行を抑制するように構成されている、請求項１に記載の装置。
【請求項３】
メモリアクセス要求のターゲットアドレスと関連付けられたアドレスタグが、前記ターゲットアドレスに対応するメモリシステムロケーションと関連付けられた割り振りタグに対応するかどうかを決定するためにタグチェック動作を実施し、前記アドレスタグと前記割り振りタグとの間の不一致を前記タグチェック動作が検出することに応答してタグエラー処理応答をトリガするためのタグチェック回路を備える、請求項１又は２に記載の装置。
【請求項４】
前記メモリ管理回路が、前記タグチェック動作においてチェックされる所与の割り振りタグを取得するためのタグ読み取り要求について、前記所与の割り振りタグに対応するページが前記Ｘとして読み取られるプロパティと関連付けられていると決定したことに応答して、
前記メモリ管理回路が、前記指定された値Ｘを前記所与の割り振りタグとして返すように制御するように構成されており、
前記タグチェック回路が、前記所与の割り振りタグに対して、前記指定された値Ｘを使用して前記タグチェック動作を実施するように構成されている、請求項３に記載の装置。
【請求項５】
前記Ｘとして読み取られるプロパティが、
データを記憶するために使用される前記メモリアドレス空間のページ、及び
割り振りタグを記憶するために使用される前記メモリアドレス空間のページの両方に対して指定することが可能である、請求項３に記載の装置。
【請求項６】
前記Ｘとして読み取られるプロパティの少なくとも１つの変形例について、前記読み取りターゲットブロックが前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記メモリ管理回路が、前記指定された値Ｘを前記読み取りターゲット値の一部として前記処理回路に返すように制御し、キャッシュ又は前記メモリから前記読み取りターゲット値の別の部分を読み取るためにキャッシュアクセス要求又はメモリアクセス要求が発行されることを可能にするように構成されている、請求項１～５のいずれか一項に記載の装置。
【請求項７】

前記Ｘとして読み取られるプロパティの少なくとも１つの変形例について、前記指定された値Ｘが０である、請求項１～６のいずれか一項に記載の装置。
【請求項８】
前記Ｘとして読み取られるプロパティの少なくとも１つの変形例について、前記指定された値Ｘが、全てのビットが１に設定された値である、請求項１～７のいずれか一項に記載の装置。
【請求項９】
前記メモリ管理回路が、前記指定された値Ｘについての異なる値に対応する前記Ｘとして読み取られるプロパティの複数の変形例をサポートするように構成されている、請求項１～８のいずれか一項に記載の装置。
【請求項１０】
前記メモリ管理回路が、前記Ｘとして読み取られるプロパティのアドレス依存型変形例をサポートするように構成されており、前記アドレス依存型変形例の場合、所与のページが、前記Ｘとして読み取られるプロパティの前記アドレス依存型変形例と関連付けられているとき、前記指定された値Ｘが、前記所与のページのアドレスに依存し、その結果、前記メモリ管理回路が、前記Ｘとして読み取られるプロパティの同一の符号化と関連付けられた前記メモリアドレス空間の異なるページに対して、前記指定された値Ｘを前記読み取りターゲット値として返すときに異なる値を選択することができる、請求項１～９のいずれか一項に記載の装置。
【請求項１１】
メモリアドレス空間の書き込みターゲットブロックに書き込み値を書き込むために前記処理回路によって発行された書き込み要求について、前記書き込みターゲットブロックの少なくとも一部が、前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記メモリ管理回路が、Ｘとして読み取られる書き込み挙動に従って前記書き込み要求を処理するように構成されており、
前記Ｘとして読み取られる書き込み挙動が、
障害のシグナリングをトリガすること、
前記書き込み要求を無視すること、及び
前記書き込み値の少なくとも一部を所定のシステムロケーションに転送することのうちの１つを含む、請求項１～１０のいずれか一項に記載の装置。
【請求項１２】
前記所定のシステムロケーションが、
診断トレース情報を記憶するためのトレースバッファ、
前記処理回路を備えるプロセッサ以外の別のプロセッサ、及び
周辺装置のうちの１つを備える、請求項１１に記載の装置。
【請求項１３】
前記メモリ管理回路が、異なるＸとして読み取られる書き込み挙動に対応する、前記Ｘとして読み取られるプロパティの複数の変形例をサポートするように構成されている、請求項１１又は１２に記載の装置。
【請求項１４】
前記メモリ管理回路が、前記所与のページに対応するページテーブルエントリのフィールドが前記Ｘとして読み取られるプロパティを示す符号化を有するときに、前記所与のページが前記Ｘとして読み取られるプロパティを有すると決定するように構成されている、請求項１～１３のいずれか一項に記載の装置。
【請求項１５】
前記メモリ管理回路が、前記所与のページに対応するページテーブルエントリが間接テーブルの選択されたエントリを示す間接テーブルエントリ選択値を指定し、かつ前記間接テーブルの前記選択されたエントリが前記Ｘとして読み取られるプロパティを識別する符号化を有するときに、前記所与のページが前記Ｘとして読み取られるプロパティを有すると決定するように構成されている、請求項１～１３のいずれか一項に記載の装置。

【請求項１６】
前記メモリ管理回路が、前記Ｘとして読み取られるプロパティの異なる変形例に対応する前記間接テーブルの前記選択されたエントリのための少なくとも２つの異なる符号化をサポートするように構成されている、請求項１５に記載の装置。
【請求項１７】
前記メモリ管理回路が、更なる間接テーブル内の更なるエントリの符号化に基づいて、前記所与のページに対する前記指定された値Ｘを決定するように構成されており、前記更なるエントリが、前記間接テーブルの前記選択されたエントリの符号化によって示される、請求項１６に記載の装置。
【請求項１８】
前記メモリアドレス空間の所与のページに対応する所与のページテーブルエントリが、アドレスマッピングフィールドを指定し、
前記所与のページが前記Ｘとして読み取られるプロパティと関連付けられていないとき、前記メモリ管理回路が、アドレス変換を実施するために、前記所与のページテーブルエントリの前記アドレスマッピングフィールドを使用するように構成されており、
前記所与のページが前記Ｘとして読み取られるプロパティと関連付けられているとき、前記メモリ管理回路が、アドレス変換以外の目的のために、前記所与のページテーブルエントリの前記アドレスマッピングフィールドを使用するように構成されている、請求項１～１７のいずれか一項に記載の装置。
【請求項１９】
前記所与のページが前記Ｘとして読み取られるプロパティと関連付けられているとき、前記メモリ管理回路が、前記アドレスマッピングフィールドを使用して、前記指定された値Ｘを示すように構成されている、請求項１８に記載の装置。
【請求項２０】
方法であって、
命令に応答してデータ処理を実施することと、
メモリアドレス空間の所与のページを、前記メモリアドレス空間の前記所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、メモリへのアクセスを制御することと、を含み、
前記メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために前記処理回路によって発行された読み取り要求に対して、前記読み取りターゲットブロックの少なくとも一部が、前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記指定された値Ｘを前記読み取りターゲット値の少なくとも一部として前記処理回路に返す、方法。
【請求項２１】
ターゲットコードを実行するための命令実行環境を提供するようにホストデータ処理装置を制御するためのコンピュータプログラムであって、前記コンピュータプログラムが、前記ターゲットコードの命令に応答して、データ処理を実施するように前記ホストデータ処理装置を制御するために、前記ターゲットコードの前記命令を復号するための命令復号プログラムロジックと、
シミュレートされたメモリアドレス空間の所与のページを、前記シミュレートされたメモリアドレス空間の前記所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、前記シミュレートされたメモリアドレス空間へのアクセスを制御するためのメモリ管理プログラムロジックと、を備え、
前記シミュレートされたメモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るための読み取り要求に対して、前記読み取りターゲットブロックの少なくとも一部が、前記Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、前記メモリ管理プログラムロジックが、前記指

定された値Ｘを前記読み取りターゲット値の少なくとも一部として返すように制御するように構成されている、コンピュータプログラム。
【請求項２２】
請求項２１に記載のコンピュータプログラムを記憶する記憶媒体。
【発明の詳細な説明】
【技術分野】
【０００１】
本出願は、データ処理の分野に関する。
【０００２】
メモリアドレス空間のそれぞれのページに対するページテーブル情報に基づいてメモリアドレス空間へのアクセスを制御するために、メモリ管理回路が処理システム内に提供され得る。例えば、ページテーブル情報は、アクセス許可、アドレス変換マッピング、及び所与のページと関連付けられた他の属性を指定し得る。
【０００３】
少なくともいくつかの実施例は、装置であって、
命令に応答してデータ処理を実施するための処理回路と、
メモリアドレス空間の所与のページを、メモリアドレス空間の所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、メモリへのアクセスを制御するためのメモリ管理回路と、を備え、
メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために処理回路によって発行された読み取り要求に対して、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路は、指定された値Ｘを読み取りターゲット値の少なくとも一部として処理回路に返すように制御するように構成されている、装置を提供する。
【０００４】
少なくともいくつかの実施例は、方法であって、
命令に応答してデータ処理を実施することと、
メモリアドレス空間の所与のページを、メモリアドレス空間の所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、メモリへのアクセスを制御することと、を含み、
メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために処理回路によって発行された読み取り要求に対して、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、指定された値Ｘを読み取りターゲット値の少なくとも一部として処理回路に返す、方法を提供する。
【０００５】
少なくともいくつかの実施例は、ターゲットコードを実行するための命令実行環境を提供するようにホストデータ処理装置を制御するコンピュータプログラムであって、コンピュータプログラムが、
ターゲットコードの命令に応答して、データ処理を実施するようにホストデータ処理装置を制御するために、ターゲットコードの命令を復号する命令復号プログラムロジックと、
シミュレートされたメモリアドレス空間の所与のページを、シミュレートされたメモリアドレス空間の所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能なページテーブル情報に基づいて、シミュレートされたメモリアドレス空間へのアクセスを制御するためのメモリ管理プログラムロジックと、を備え、

シミュレートされたメモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るための読み取り要求に対して、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理プログラムロジックが、指定された値Ｘを読み取りターゲット値の少なくとも一部として返すように制御するように構成されている、コンピュータプログラムを提供する。

【０００６】

コンピュータプログラムは、コンピュータ可読記憶媒体に記憶され得る。記憶媒体は、一時的又は非一時的であり得る。

【図面の簡単な説明】

【０００７】

本技法の更なる態様、特徴、及び利点は、添付の図面と併せて読まれる以下の例の説明から明らかとなる。

【図１】データ処理装置の例を示す。

【図２】メモリへの読み取り要求及び書き込み要求の処理を示す。

【図３】Ｘとして読み取られるプロパティと関連付けられているものとしてページテーブル情報によって指定されたメモリアドレス空間の領域への読み取り要求及び書き込み要求の処理を示す。

【図４】読み取り要求の処理を示すフロー図である。

【図５】書き込み要求の処理を示すフロー図である。

【図６】ページテーブル情報において直接的に符号化され得るよりも多数の許可タイプをサポートするための許可間接テーブルの使用を示す。

【図７】Ｘとして読み取られるプロパティを有するメモリアドレス領域への読み取りのために返される指定された値Ｘを指定するために使用される更なる間接テーブルの使用を示す。

【図８】Ｘとして読み取られるプロパティのアドレス依存型変形例を示す。

【図９】タグチェック動作を示す。

【図１０】シミュレータの実施例を示す。

【０００８】

装置は、命令に応答してデータ処理を実施するための処理回路と、メモリアドレス空間の所与のページを、メモリアドレス空間の所与のページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを示すＸとして読み取られるプロパティと関連付けることが可能な符号化を有するページテーブル情報に基づいて、メモリへのアクセスを制御するためのメモリ管理回路とを有する。メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために処理回路によって発行された読み取り要求に対して、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路は、指定された値Ｘを読み取りターゲット値の少なくとも一部として処理回路に返すように制御する。これは、メモリアドレス空間の比較的大きい領域が、メモリアドレス空間のそれらの領域のために物理メモリをコミットする必要なく、指定された値Ｘを記憶するものとして扱われることを可能にする。

【０００９】

指定された値Ｘを有することが知られているメモリアドレス空間の領域のために使用される物理メモリの量を低減するための代替手法は、指定された値Ｘを記憶するために物理メモリの単一ページを割り振ること、及びメモリアドレス空間の対応する領域の各々の仮想アドレスを同じ物理ページにマッピングするためにページテーブル情報を使用することであり得る。この手法では、ソフトウェアがページテーブル情報のアドレス変換マッピングフィールドを使用して、この挙動を提供することができるので、指定された値Ｘに設定された仮想メモリのより大きい領域を表すためにより少量の物理メモリを使用する能力をサポートするために、アーキテクチャレベルで特別なアクセス許可又は属性タイプをサポ

ートする必要はない。しかしながら、この手法は、複数の欠点を有する。第一に、物理メモリの少なくとも１つのページサイズブロックは、たとえその物理メモリがいくつかの異なる仮想ページにマッピングされ得るとしても、指定された値Ｘを有するデータを物理的に記憶するために依然として割り振られなければならない。より大きいページサイズ（例えば、４ｋＢよりも大きいページサイズ）を有する、又は階層構造のより高いレベルにおけるページテーブルが、階層の最終レベルにおいてマッピングされる１ページに対応する領域のサイズよりも大きいメモリ領域に対して属性の同じセットを定義するブロック記述子を定義するための能力をサポートする実装形態では、この手法は、指定された値Ｘを表すためにコミットされるべき比較的大量の物理メモリを依然として必要とする場合がある（例えば、ブロック記述子は、数ＭＢ又はＧＢのメモリをカバーすることができる）。指定された値Ｘ（多くの場合、ソフトウェアにとって関心のない０などのデフォルト値であり得る）を記憶するために物理ストレージを確保することは、指定された値Ｘを有することが知られていないより有用なデータを記憶するために利用可能である、ハードウェアにおいて実装される利用可能な物理メモリの割合を低減する。意味のあるデータのためにより少ない物理ストレージが利用可能である場合、他のデータは、外部ストレージにページアウトされる必要があり得、これは、そのデータを必要とするアクセスのための性能に影響を及ぼす。また、指定された値Ｘを有するデータへの読み取りに関して、それらの読み取りは、キャッシュから、又は基礎となる物理メモリストレージからデータにアクセスする必要があるため、依然として比較的長い待ち時間を受ける可能性がある。

【００１０】

対照的に、以下で説明する手法では、メモリアドレス空間のページは、ページテーブル情報によってＸとして読み取られるプロパティと関連付けることができ、これは、そのページ内のアドレスへの読み取りが、指定された値Ｘを返すものとして扱われるべきであることを意味する。これは、メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値を読み取るために処理回路によって読み取り要求が発行され、メモリ管理回路が、読み取りターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると（読み取り要求のターゲットアドレスに基づいて）決定した場合に、メモリ管理回路が、指定された値Ｘを読み取りターゲット値の少なくとも一部として処理回路に返すように制御することができることを意味する。メモリ管理回路は、単にページテーブル情報から指定された値を識別することができるので、これにより、指定された値Ｘが割り当てられたメモリアドレス空間の領域に対して物理メモリをコミットする必要がなくなる。したがって、これにより、システム内に実装された残りの物理メモリストレージのより良好な利用を可能にし、その大部分を、指定された値Ｘを有していない他のデータに使用することができ、そうでなければ外部ストレージに送出されなければならない他のデータの性能を改善する。また、この手法は、メモリ管理回路が通常、物理メモリに記憶されたデータを読み取るためにキャッシュ又はメモリへのアクセスよりも早くページテーブル情報をルックアップし、それゆえ、処理のより早いステージで値Ｘを返すことができるので、指定された値Ｘ自体の読み取りの性能を改善し得る。

【００１１】

メモリ管理回路によってサポートされるＸとして読み取られるプロパティの少なくとも１つの変形例について、読み取りターゲットブロックの全てがＸとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路は、キャッシュ又はメモリから読み取りターゲット値を読み取るためのキャッシュアクセス要求又はメモリアクセス要求の発行を抑制するように構成されている。したがって、Ｘとして読み取られるプロパティの使用は、値Ｘがキャッシュ又はメモリから読み取られる必要性を回避することができる（代わりに、値Ｘは、ページテーブル情報内で表される検出されたＸとして読み取られるプロパティに基づいてメモリ管理回路内で生成され得る）。キャッシュアクセスの待ち時間をなくすことによって、これは、読み取り要求の処理をスピードアップし、かつまた、他のデータのためにキャッシュ容量を解放する。

【００１２】
この変形例では、読み取り要求によって指定された読み取りターゲットブロックが、Ｘとして読み取られるプロパティを有する１つのページとＸとして読み取られるプロパティを有していない別のページとのページ境界を跨ぐ可能性がある。この場合、処理回路に返される読み取りターゲット値の一部のみが指定された値Ｘを指定し得、他の部分は、通常の読み取りアクセス要求と同様にキャッシュ又はメモリから読み取られ得る。実際には、ページ境界を横切るアクセスは、通常、２つの別個のキャッシュルックアップを必要とするが、それは、それらがキャッシュライン境界も横切る可能性があるからであり、したがって、アクセスは、一方が第１のページ内の部分に対するものであり、他方が第２のページ内の部分に対するものである２つの別個のアクセスとして効果的に扱うことができる。したがって、メモリアドレス空間のＸとして読み取れないページに対応するこれらのアクセスのうちの１つは、通常通りメモリにアクセスするためにキャッシュルックアップをトリガし得、一方で、Ｘとして読み取られるページに対応するアクセスのうちの他の１つは、キャッシュルックアップを抑制し、指定された値Ｘを、読み取りターゲットブロックのその部分に対して返される値として返し得る。実際には、アクセスがページ境界を横切る可能性を低減するためにメモリアクセスのアドレスアライメントを使用することが一般的であり、かつまた所与のアクセスについてページ境界を横切る可能性が低くなるように、ページサイズが読み取りターゲットブロックのサイズと比較して比較的大きい場合があることを考慮すると、読み取りアクセスがＸとして読み取られるページに部分的にのみ対応するシナリオは比較的まれであり得る。

【００１３】
Ｘとして読み取られるプロパティは、メモリアドレス空間の比較的大きいブロックが特定の値を記憶するものとして設定される必要がある広範囲のシナリオに有用であり得る。例えば、仮想アドレス空間の領域を最初に初期化するときに、それらの領域の以前の内容をクリアして、それらの領域への書き込みが実施される前に、それらの仮想アドレスに対して以前に記憶されたデータとは無関係に、介在する読み取りが既知の値（例えば、０）を返すことを確実にすることが望ましい場合がある。したがって、仮想アドレス空間の新たに初期化された領域には、それらの領域への最初の書き込み動作に遭遇するまで、Ｘとして読み取られるプロパティを割り当てることができる。例えば、コピーオンライト手法をソフトウェアによって使用することができ、この手法では、最初の割り当て時に、新たに初期化されたページの属性を、Ｘとして読み取られることを示すように設定することができ、その結果、そのページへの最初の書き込みは、例外ハンドラに物理メモリの新しいブロックを割り振らせ得る障害をトリガし、ページテーブル情報内のアドレス変換マッピングを使用してその物理メモリを仮想ページにマッピングし、次いで、後で仮想ページを通常のメモリとして扱うように、Ｘとして読み取られるプロパティをクリアする。Ｘとして読み取られるプロパティをサポートするアーキテクチャを提供することによって、ソフトウェアによって所望されるこのコピーオンライト手法は、物理ストレージのより高い利用率でサポートされ、上述のように指定された値Ｘを記憶するためにコミットされた物理メモリの単一ページにマッピングするためにアドレス変換マッピングを使用することによってコピーオンライトを制御する代替形態と比較して性能を改善し得る。

【００１４】
もちろん、このコピーオンライト手法は一実施例にすぎず、ソフトウェアが、物理メモリストレージをコミットすることなく、仮想アドレス空間の領域が指定された値Ｘを有するものとして扱われることを表すことができることが有用であると考える多くの他のケースが存在し得る。

【００１５】
Ｘとして読み取られるプロパティが有用であり得る別の実施例は、メモリアクセス要求のターゲットアドレスと関連付けられたアドレスタグが、ターゲットアドレスに対応するメモリシステムロケーションと関連付けられた割り振りタグに対応するかどうかを決定するためにタグチェック動作を実施するタグチェック回路をサポートするシステムにおける

ものである。タグチェック回路は、タグチェック動作がアドレスタグと割り振りタグとの間の不一致を検出することに応答して、タグエラー処理応答をトリガする。以下でより詳細に説明されるように、そのようなタグチェック動作は、ソフトウェアがアクセスできてはならないメモリの領域にソフトウェアをアクセスさせることを望む攻撃者によって悪用され得るセキュリティ脆弱性を引き起こす可能性がある特定のメモリ使用エラーを検出するためのアーキテクチャサポートを提供するのに有用であり得る。メモリアドレス空間の領域が最初に割り振られるときに、対応する割り振りタグを割り当てることができ、メモリアドレス空間のその領域を参照するために使用されることが意図されたポインタに、対応するアドレスタグを割り当てることができる。ポインタが、その後、メモリにアクセスするためのアドレスを生成するために使用されるときに、タグチェック回路は、（少なくともタグチェックモードにあるときに）メモリアクセス要求のターゲットアドレスのアドレスタグを、アドレス指定されたメモリシステムロケーションと関連付けられた割り振りタグと比較し、次いで、任意の検出不一致に応答してタグエラー処理応答をトリガすることができる。タグエラー処理応答は、障害をトリガすること、エラーログ又は他の記憶ロケーションにエラーをログ記録することなどの一連のアクションであり得る。

【００１６】

タグチェック動作をサポートするシステムでは、メモリのブロックに対する割り振りタグ自体が、メモリアドレス空間の特定のブロックへの読み取りアクセスによってアクセスされる場合があり、したがって割り振りタグ自体が物理ストレージを消費する場合がある。ある特定のタグ値は、１ページよりも大きいサイズのメモリアドレス空間の比較的大きい領域が同じタグ値を有するものとしてソフトウェアによって設定されることが一般的であり得るほど一般的であり得る。例えば、ソフトウェアは、より大きなセキュリティ要件が存在するメモリアドレス空間の領域に対する割り振りタグの特定の値を設定することを選択し、次いで、メモリの任意の他の領域に対する割り振りタグを、ある特定のデフォルトタグ値（例えば、０）を有するものとして残すことができる。より大きなセキュリティ要件を有する領域の割り振りタグに対する非デフォルトタグ値の使用を優先することによって、これは、これらの領域のうちの１つにアクセスするように意図されていないメモリアクセスが、偶然に、アドレス指定されたメモリシステムロケーションの割り振りタグに一致するアドレスタグを有する可能性を低減する。これは、ソフトウェアが、全てが同じタグ値（例えば、０）を有するようなメモリの比較的大きな領域のための割り振りタグを構成することを望む場合があることが比較的一般的であり得ることを意味する。したがって、Ｘとして読み取られるプロパティのサポートがない場合、特定のセキュリティ要件がないメモリ領域のデフォルト割り振りタグ値を記憶するためだけに、比較的大量の物理メモリストレージを使用することができる。指定された値Ｘを有する割り振りタグ値を保持するように意図されたメモリアドレス空間のページとＸとして読み取られるプロパティを関連付けることによって、これは、メモリタグ付けをサポートするシステム内の利用可能な物理メモリストレージの利用効率を大幅に改善することができる。

【００１７】

したがって、メモリ管理回路が、タグチェック動作においてチェックされるべき所与の割り振りタグを取得するためのタグ読み取り要求について、所与の割り振りタグに対応するページがＸとして読み取られるプロパティと関連付けられていると決定したことに応答して、メモリ管理回路は、指定された値Ｘを所与の割り振りタグとして返すように制御するように構成されており、タグチェック回路は、所与の割り振りタグについての指定された値Ｘを使用してタグチェック動作を実施するように構成されている。したがって、タグチェック動作は、指定された値Ｘを取得するためにキャッシュ又は物理メモリストレージにアクセスする必要なく、メモリ管理回路によって提供される指定された値Ｘを使用して実施され得、これは、利用可能な物理メモリの性能及び利用率を改善し得る。

【００１８】

メモリタグ付けをサポートするシステムでは、Ｘとして読み取られるプロパティは、データを記憶するために使用されるメモリアドレス空間のページ、及び割り振りタグを記憶

するために使用されるメモリアドレス空間のページの両方に対して指定することが可能である。したがって、Ｘとして読み取られる機構は、データ固有又はタグ固有のプロパティである必要はないが、メモリアドレス空間のページと関連付けられる任意の情報に使用するために利用可能な汎用アーキテクチャ機構であり得る。

【００１９】

一部の実施例では、Ｘとして読み取られるプロパティの少なくとも１つの変形に対して、読み取りターゲットブロックがＸとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路は、指定された値Ｘを読み取りターゲット値の一部として処理回路に返すように制御し、キャッシュ又はメモリから読み取りターゲット値の別の部分を読み取るためにキャッシュアクセス要求又はメモリアクセス要求が発行されることを可能にする。この場合、指定された値Ｘは、読み取りターゲット値の一部に対してのみ返され、他の部分は、通常のメモリアクセスと同様にキャッシュ又はメモリから返される。これは、物理メモリに実際に記憶されたデータが、物理メモリに記憶される必要がないＸとして読み取られるプロパティに基づいて暗示された追加ビットを用いて、より広い形式に拡張されることを可能にするために有用であり得る。例えば、メモリタグ付けをサポートするシステムの場合、読み取り値の一部に対して返される指定された値Ｘは、物理メモリに記憶された対応するデータと関連付けて暗黙的に定義される割り振りタグを示すことができ、それにより、デフォルト割り振りタグ値が割り当てられるメモリ領域に対する割り振りタグは、それらのタグを記憶するために物理メモリがコミットされることを必要とせずに、Ｘとして読み取られるプロパティに基づいて暗黙的に決定され得る。

【００２０】

任意のデータ値又はビットのパターンが、Ｘとして読み取られるプロパティを有するページに対する指定された値Ｘとして割り当てられ得る。

【００２１】

例えば、Ｘとして読み取られるプロパティの少なくとも１つの変形例について、指定された値Ｘは０である。０を含むものとしてＸとして読み取られるプロパティを有するページを処理することは、他の非０値の場合よりも、メモリの大きな領域が０を記憶するものとして処理されるソフトウェア使用ケースの数が多くなり得るので、特に有用であり得る。例えば、上述したコピーオンライト及びメモリタグ付け使用ケースは、両方とも、他の非０値よりも０をＸとして読み取られるページに割り当てる可能性が高い。

【００２２】

しかしながら、非０値を有する指定された値Ｘを有するＸとして読み取られるプロパティの少なくとも１つの変形例を実装することも可能である。例えば、Ｘとして読み取られるプロパティの少なくとも１つの変形例について、指定された値Ｘは、全てのビットが１に設定された値である。例えば、メモリタグ付けの実施例では、全てのビットが１に設定された割り振りタグ値（例えば、タグが任意のアドレスタグ値と一致するものとして扱われることを示す「全て一致」タグ値を意味し得る）を特別な目的のために確保することができる。したがって、Ｘ＝１１１１１１．．．はまた、ページへの読み取りが１に等しい全てのビットを返すものとして扱われるべきであることを表すページテーブル情報の符号化のためのアーキテクチャサポートを正当化するように、メモリアドレス空間の大きい領域に割り当てるための良好な候補であり得る。

【００２３】

また、指定された値Ｘは、０及び１のビット値が混在した値であり得る。指定された値Ｘは、ページ全体にわたる単一の値であると考えることができ、あるいは、Ｘは、Ｘとして読み取られるプロパティを有するページに対応するメモリ範囲を満たすために何回も繰り返される、より少ない数のビットを有すると考えることができる。

【００２４】

指定された値Ｘを定義するためのアーキテクチャにおいてサポートされる異なるオプションの数と、ページテーブル情報又は他の構成情報においてこれらの異なるオプションを

表すために必要とされる符号化空間の量との間にはトレードオフがあることが理解されよう。一部の実装形態は、指定された値Ｘ（例えば、Ｘ＝０）の単一の変形例に対応するＸとして読み取られる符号化をサポートし得る。他の実施例では、メモリ管理回路は、指定された値Ｘに対する異なる値に対応するＸとして読み取られるプロパティの２つ以上の変形例をサポートして、物理メモリを消費することなく仮想メモリの領域に割り当てられる異なる値の範囲に対するＸとして読み取られる挙動の使用を可能にするように構成されている。

【００２５】

一実施例では、メモリ管理回路は、Ｘとして読み取られるプロパティのアドレス依存型変形例をサポートし、アドレス依存型変形例の場合、所与のページがＸとして読み取られるプロパティのアドレス依存型変形例と関連付けられているとき、指定された値Ｘは、所与のページのアドレスに依存し、その結果、メモリ管理回路は、Ｘとして読み取られるプロパティの同一の符号化と関連付けられたメモリアドレス空間の異なるページに対して、指定された値Ｘを読み取りターゲット値として返すときに異なる値を選択することができる。例えば、指定された値Ｘは、アドレスの少なくとも１ビットに依存して選択され得る。例えば、いくつかのアーキテクチャは、アクセスがユーザアドレス空間又はカーネルアドレス空間から行われているかどうかを示すために、アドレスの１つ以上の最上位ビット（メモリロケーションを選択するために使用されない任意の上位アドレスビットを除く）を使用し得、ユーザ又はカーネルアクセスが要求されているかどうかに応じて、Ｘとして読み取られるプロパティのための指定された値Ｘとして異なる値を返すことが有用であり得る。この手法は、ページテーブル情報ではなくアドレス自体から来る指定された値Ｘとしてどの値を返すかを選択するための追加情報を用いて、単一タイプのＸとして読み取られるプロパティが両方の目的を果たすことができるので、この挙動をサポートするためにページテーブル情報の２つの異なる符号化を消費する必要を回避する。

【００２６】

Ｘとして読み取られるプロパティを有するものとして指定されたページへの書き込みの場合、様々な異なる挙動を実装することができる。１つのオプションは、Ｘとして読み取られるページへの書き込みが障害のシグナリングをトリガすることであり、これは、上記で説明したコピーオンライト手法をサポートするのに有用であり得、障害は、そのページのＸとして読み取られるプロパティを除去する前に、例外ハンドラを実行させ、書き込まれるページの何らかの物理メモリを割り振ることができる。

【００２７】

代替的に、Ｘとして読み取られるページへの書き込み要求は、障害を発生させることによって処理回路上の処理を中断することなく、単に無視することができる。この場合、コピーオンライト挙動を実装するために、ソフトウェアはまた、書き込みアクセスが許可されないことを示すために、Ｘとして読み取られるページについてのアクセス許可を設定し得、それにより、ページへの最初の書き込み時に障害を生成し得、指定された値以外の何らかのデータを記憶するために実際に必要とされると、物理メモリの動的割り振りを可能にする。

【００２８】

別のオプションは、Ｘとして読み取られるものとして指定されたページへの書き込みが、書き込み値（アドレス空間の書き込みターゲットブロックに書き込まれるように書き込み要求によって指定された値）の少なくとも一部が所定のシステムロケーションに転送されることを要求するものとして解釈され得ることである。例えば、所定のシステムロケーションは、ランダムアクセスメモリストレージ以外のロケーションであり得る。例えば、所定のシステムロケーションは、診断トレース情報を記憶するためのトレースバッファ、書き込み要求を発行した処理回路を備えるプロセッサ以外の別のプロセッサ、及び周辺装置（入力／出力デバイス）、のうちの１つであり得る。アドレス空間の仮想アドレス指定されたページに対するＸとして読み取られるプロパティの使用は、仮想アドレスを物理アドレスに変換し、その物理アドレスを指定する通常の書き込み要求をメモリシステムに発

行し、次いで、メモリシステム内の物理アドレスマッピングコンポーネントを使用して、アドレスが所定のシステムロケーションに対応することを決定し、書き込みデータをそのロケーションに転送することと比較して、書き込みデータとともに転送されるべきターゲットロケーションを識別するより高速な方法であり得る。したがって、所定のシステムロケーションからデータを読み取る必要はないが、所定のシステムロケーションにデータを書き込む加速された手段が望まれるシステムロケーションでは、Ｘとして読み取られるプロパティが有用であり得る。例示の使用ケースは、以下を含み得る。

・特定のソフトウェアプログラムがプロセッサ上で実行されるときに生じる挙動及び性能問題を調査するための後続の分析のために診断情報を送信することができるトレースバッファ。計測されたソフトウェアコードは、トレースバッファに書き込まれるべきトレース情報を指定するコードのある特定のポイントにおける書き込みメモリアクセスを含み得、そのメモリアクセスのアドレスがＸとして読み取られるページにマッピングされるときに、これは、通常のアクセス機構を使用するよりも速くトレース情報をトレースバッファに転送させることができる。

・ネットワーク又は他の通信インターフェースの入力／出力バッファへの加速されたアクセス。

・標準メモリシステムバスインターフェースが提供できるよりも多くの情報を必要とし得る共有コンポーネントへのアクセス（例えば、現在の実行コンテキストに関する情報を渡すことが有利であり得るＤＭＡへのアクセス、又は、ページテーブル属性が、例えば、特定のハードウェアＦＩＦＯ（先入れ、先出しバッファ）が使用されることを示すために使用され得る、プロデューサ－コンシューマモードで動作する埋め込まれた密結合マルチＣＰＵシステムへのアクセス）。

【００２９】

処理システム設計者は、メモリアドレス空間のＸとして読み取られるメモリページに対するそのような書き込み挙動の他の使用法を見出すことができることが理解されよう。

【００３０】

したがって、メモリアドレス空間の書き込みターゲットブロックに書き込み値を書き込むために処理回路によって発行された書き込み要求について、書き込みターゲットブロックの少なくとも一部が、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定したことに応答して、メモリ管理回路は、Ｘとして読み取られる書き込み挙動に従って書き込み要求を処理するように構成されている。Ｘとして読み取られる書き込み挙動は、障害のシグナリングをトリガすることと、書き込み要求を無視することと、書き込み値の少なくとも一部を所定のシステムロケーション（例えば、トレースバッファ、別のプロセッサ又は周辺装置）に転送することと、のうちの１つを含む。

【００３１】

命令セットアーキテクチャの一部の実装形態では、単一タイプのＸとして読み取られる書き込み挙動（例えば、Ｘとして読み取られるメモリへの書き込みに失敗すること）が実装され得、ソフトウェアが異なるＸとして読み取られる書き込み挙動を選択することが可能でない場合がある。

【００３２】

他の実施例では、メモリ管理回路は、異なるＸとして読み取られる書き込み挙動に対応するＸとして読み取られるプロパティの２つ以上の変形例をサポートし得る。この場合、特定の書き込み要求に使用される特定のＸとして読み取られる書き込み挙動は、ソフトウェア構成可能制御情報に依存し得、ソフトウェア構成可能制御情報は、ページテーブル情報自体において、又は制御レジスタ若しくは他の構成可能ストレージ素子において別個に指定され得る。例えば、Ｘとして読み取られる書き込み挙動は、ページテーブル情報内で、又は特定のページのページテーブル情報から参照される他の情報内で、ページごとに指定され得、あるいは、例えば、Ｘとして読み取られる書き込み挙動を決定することを可能にする情報（例えば、値を指定するＸとして読み取られる書き込みモード）を示す制御レジスタを使用して、装置全体のグローバル設定セットとすることができる。

【００３３】
アドレス空間の所与のページのＸとして読み取られるプロパティは、異なる方法で符号化され得る。一実施例では、メモリ管理回路は、所与のページに対応するページテーブルエントリのフィールドがＸとして読み取られるプロパティを示す符号化を有するときに、所与のページがＸとして読み取られるプロパティを有すると決定する。したがって、この場合、ページテーブルエントリ符号化は、所与のページがＸとして読み取られるプロパティを有するかどうかを直接的に指定し得る。
【００３４】
別の手法は、所与のページに対応するページテーブルエントリが間接テーブルの選択されたエントリを示す間接テーブルエントリ選択値を指定し、かつ間接テーブルの選択されたエントリがＸとして読み取られるプロパティを識別する符号化を有するときに、メモリ管理回路が、所与のページがＸとして読み取られるプロパティを有すると決定することであり得る。これは、ページテーブルエントリフォーマット内に、プログラマによる選択に利用可能な全てのタイプのメモリ属性／許可を符号化することができるスペア符号化空間が不十分である場合に有用であり得る。間接テーブルはページごとのエントリを含む必要がないので、所与のページに対して選択されるプロパティのためのオプションのより広いセットを表すために、ページテーブルエントリ自体において実用的であるよりも多くの空間が存在し得る（間接テーブルエントリの総数は、単一の間接テーブルエントリに対して選択可能なプロパティタイプの総数よりも少なくてもよく、その結果、ページテーブルエントリ内の値を選択する間接テーブルエントリは、１つの間接テーブルエントリ内のビット数よりも少ないビットを有する。したがって、一部の実施例では、Ｘとして読み取られるプロパティは、ページテーブル情報内で直接的に符号化されるのではなく、間接テーブルの参照されるエントリ内で符号化され得る。
【００３５】
間接テーブルは、メモリに記憶された構造であり得るし、又は例えば、システムレジスタ命令によってアクセスされる制御レジスタを使用して実装されるハードウェア構造であり得る。
【００３６】
間接テーブルをサポートする手法では、メモリ管理回路は、Ｘとして読み取られるプロパティの異なる変形例に対応する間接テーブルの選択されたエントリのための少なくとも２つの異なる符号化をサポートし得る。例えば、Ｘとして読み取られるプロパティの異なる変形例は、指定された値Ｘに対する異なる値、異なるＸとして読み取られる書き込み挙動に対応し得、又はＸとして読み取られるプロパティと組み合わせて示される他のアクセス許可若しくは属性によって区別され得る。
【００３７】
１つの手法では、メモリ管理回路は、更なる間接テーブル内の更なるエントリの符号化に基づいて、所与のページに対する指定された値Ｘを決定し得、更なるエントリは、間接テーブルの選択されたエントリの符号化によって示される。これは、ソフトウェアが指定された値Ｘに対して指定することを望み得る異なる値の数が、Ｘとして読み取られるプロパティに対して定義される異なるプロパティ変形例又は挙動（指定された値Ｘの値以外の特徴によって区別される）の数よりもはるかに大きい可能性があり、したがって、Ｘ（指定された値Ｘ以外）として読み取られる属性／挙動変形を定義するための間接テーブルと、指定された値Ｘを定義するための更なる間接テーブルとを定義することは、Ｘとして読み取られるプロパティに対するプロパティ／挙動／指定された値の各所望の組み合わせを表すための符号化を有する単一のテーブルよりも効率的であり得ることを認識する。
【００３８】
Ｘとして読み取られるメモリとして指定されていないページへの通常のメモリアクセスをサポートするために、メモリアドレス空間の所与のページに対応する所与のページテーブルエントリは、所与のページがＸとして読み取られるプロパティと関連付けられていないときにアドレス変換を実施するために使用されるアドレスマッピングフィールドを指定

し得る。アドレスマッピングフィールドは、しばしばページテーブルエントリの最大のフィールドであり得、ページテーブルエントリのビットの全体数のかなりの部分を占める。

【００３９】

しかしながら、ページがＸとして読み取られるプロパティと関連付けられているとき、物理メモリがそのページに割り振られていないので、アドレス変換は必要とされず、したがって、アドレスマッピングフィールドは使用されなくてもよい。

【００４０】

一部の実施例では、Ｘとして読み取られるプロパティと関連付けられたページについて、他の情報を符号化するために更なる符号化空間を使い果たす必要を回避するために、メモリ管理回路は、アドレス変換以外の目的のために所与のページテーブルエントリのアドレスマッピングフィールドを使用し得る。したがって、Ｘとして読み取られるページの場合、そうでなければ通常のメモリに対して可能であるよりも、ページテーブルエントリにおいて利用可能な符号化空間の量が多くなり得る。例えば、指定された値Ｘは、アドレスマッピングフィールドを使用して示され得る。アドレスマッピングフィールドを使用して、Ｘとして読み取られるプロパティの他の変形例（異なるＸとして読み取られる書き込み挙動、又はＸとして読み取られるプロパティと組み合わされる他の属性など）を示すことがまた可能である。そのような情報を符号化するためにアドレスマッピングフィールドを再利用することによって、ページテーブルエントリフォーマットを拡張する必要性、又はこの情報を符号化するために間接テーブルなどの他の構造を使用する必要性が少なくなる。

【００４１】

他の実装形態は、規定されたアーキテクチャ的に定義された意味を有するようにメモリ管理回路によって理解されるＸとして読み取られるプロパティに関する情報を符号化するためにアドレスマッピングフィールドを使用しないことを好む場合がある。代わりに、Ｘとして読み取られるプロパティと関連付けられたページテーブルエントリのアドレスマッピングフィールドは、処理回路によってサポートされる命令セットアーキテクチャによって規定されない任意のソフトウェア定義の目的のためにソフトウェアが使用するために空いたままにされ得る。

【００４２】

ここで、具体的な実施例について、図を参照して説明する。請求項はこれらの具体的な実施例に限定されないことが理解されよう。

【００４３】

図１は、データ処理装置２の例を概略的に示す。データ処理装置は、処理パイプライン４（例えば、ＣＰＵ（Central Processing Unit、中央処理ユニット）の一部を形成し得る処理回路の一実施例）を有する。処理回路４は、命令セットアーキテクチャ（instruction set architecture、ＩＳＡ）において定義された命令を実行して、命令によって表されるデータ処理動作を実行するためのものである。処理パイプライン４は、いくつかのパイプラインステージを含む。この例では、パイプラインステージは、命令キャッシュ８から命令をフェッチするためのフェッチステージ６と、パイプラインの残りのステージによって処理されるマイクロオペレーション（復号命令）を生成するために、フェッチされたプログラム命令を復号するための復号ステージ１０と、マイクロオペレーションに必要なオペランドがレジスタファイル１４内で利用可能であるかどうかをチェックし、所与のマイクロオペレーションに必要なオペランドが利用可能になると、実行するためのマイクロオペレーションを発行する発行ステージ１２と、結果値を生成するためにレジスタファイル１４から読み取られたオペランドを処理することによって、マイクロオペレーションに対応するデータ処理動作を実行するための実行ステージ１６と、処理の結果をレジスタファイル１４に書き戻すための書き戻しステージ１８と、を含む。これは、可能なパイプラインアーキテクチャの単なる一例にすぎず、他のシステムは追加のステージ又は異なる構成のステージを有してもよいことが理解されるであろう。例えば、アウトオブオーダプロセッサでは、プログラム命令又はマイクロオペレーションによって指定されたア

ーキテクチャレジスタを、レジスタファイル１４内の物理レジスタを識別する物理レジスタ指定子にマッピングするためのレジスタリネームステージが含まれ得る。一部の実施例では、復号ステージ１０によって復号されるＩＳＡで定義されたプログラム命令と、実行ステージによって処理される対応するマイクロオペレーションとの間に１対１の関係が存在し得る。また、プログラム命令とマイクロオペレーションとの間に１対多又は多対１の関係があってもよく、例えば、単一のプログラム命令を２つ以上のマイクロオペレーションに分割してもよいし、２つ以上のプログラム命令を融合して単一のマイクロオペレーションとして処理してもよい。

【００４４】

実行ステージ１６は、異なるクラスの処理動作を実行するためのいくつかの処理ユニットを含む。例えば、実行ユニットは、レジスタ１４から読み取られたスカラオペランドに対して算術演算又は論理演算を実施するためのスカラ算術／論理ユニット（arithmetic/logic unit、ＡＬＵ）２０と、浮動小数点値に対して演算を実施するための浮動小数点ユニット２２と、分岐動作の結果を評価し、それに応じて現在の実行点を表すプログラムカウンタを調節するための分岐ユニット２４と、メモリシステム８、３０、３２、３４内のデータにアクセスするロード／記憶動作を実施するためのロード／ストアユニット２６と、を含み得る。

【００４５】

メモリアクセス許可チェックを制御し、データアクセス命令のオペランドに基づいてロード／ストアユニット２６によって指定される仮想アドレスと、メモリシステム内のデータの記憶ロケーションを識別する物理アドレスとの間のアドレス変換を実施するためのメモリ管理ユニット（memory management unit、ＭＭＵ）２８が提供される。ＭＭＵは、メモリシステムに記憶されたページテーブルからのアドレス変換データをキャッシュするための変換ルックアサイドバッファ（translation lookaside buffer、ＴＬＢ）２９を有し、ページテーブルのページテーブルエントリはアドレス変換マッピングを定義し、また、パイプライン上で実行している所与のプロセスが所与のメモリ領域から命令を読み取る、書き込む、又は実行することを可能にするかどうかを支配するアクセス許可を指定し得る。ＭＭＵ２８は、ロード／ストアユニット２６と関連付けられているように示されているが、ＭＭＵ２８はまた、フェッチステージ６によってトリガされる命令フェッチ時にルックアップされ得る（又は、データアクセスのためにロード／ストアユニット２６によって使用されるデータ側ＭＭＵとは別に、命令フェッチを処理するために別個の命令側ＭＭＵが実装され得、この場合、両方のＭＭＵは、ページテーブルの共有セットからの情報をＴＬＢ２９にキャッシュし得る）。

【００４６】

この例では、メモリシステムは、レベル１データキャッシュ３０と、レベル１命令キャッシュ８と、共有のレベル２キャッシュ３２と、メインシステムメモリ３４と、を含む。これは可能なメモリ階層の一例にすぎず、キャッシュの他の配置を提供することができることが理解されるであろう。実行ステージ１６に示される特定のタイプの処理ユニット２０～２６は単なる一例であり、他の実装形態は、処理ユニットの異なるセットを有してもよく、あるいは、同じタイプの複数のマイクロオペレーションを並行して処理できるように同じタイプの処理ユニットの複数のインスタンスを含んでもよい。

【００４７】

装置２はまた、複数のシステムコンポーネントを含み得、これらのシステムコンポーネントは、それらのシステムコンポーネントにマッピングされたアドレスを指定するメモリアクセス要求を発行することによって、処理回路４にアクセス可能であり得る。例えば、システムコンポーネントは、Ｉ／Ｏ（input/output、入力／出力）ポート４４を介して外部デバイスにアクセス可能であり得る診断情報を記録するために使用されるトレースバッファ４２を含み得る。外部デバイスは、例えば、ソフトウェアに関する性能問題を識別する目的で、処理回路４上で実行されるソフトウェアの診断分析を実施するために診断（トレース）情報を使用し得る。診断情報は、例えば、ソフトウェアにおいて実行される

命令のシーケンスのプログラムフロー、ソフトウェアによって行われるデータアクセス、及びソフトウェアを実行するときのプロセッサの内部状態に関する情報を示すことができる。ソフトウェア実行及びプロセッサ状態の監視に応答してトレース情報を自動的に記録するために、トレースハードウェアを提供することができる。代替的に、ソフトウェアにトレース生成命令が実装されている場合、ソフトウェア自体が命令（例えば、トレースバッファ４２にマッピングされたアドレスを指定する書き込みアクセス要求）を実行して、ソフトウェア定義トレースデータをトレースバッファ４２に書き込むことができる。

【００４８】

システムコンポーネントの別の実施例は、図１に明示的に示されていないが、図１の第１のプロセッサに対して示されたものと同様のコンポーネント４、８、１４、２８、３０、３２を含み得る更なるプロセッサ４６（例えば、別のＣＰＵ）であり得る。プロセッサ間通信は、ＭＭＵ２８によって管理される読み取り／書き込みメモリアクセス要求を使用して実施され得る。メモリシステムは、任意の既知のコヒーレンシプロトコルを使用してそれぞれのプロセッサのキャッシュ間のコヒーレンシを維持するためのコヒーレント相互接続を含み得る。

【００４９】

また、システムは、多数の周辺（入力／出力）デバイス４８を含む。例えば、周辺装置４８は、特定の処理機能を加速するように設計されたハードウェアアクセラレータ、ネットワークコントローラ、ディスプレイコントローラ、ユーザ入力デバイス、又は入力／出力ポートを介してシステム２と通信する任意の外部（オフチップ）デバイスを含み得る。この場合も、周辺装置及びＩ／Ｏデバイスとの対話は、これらのコンポーネントにマッピングされたアドレスを指定する読み取り／書き込みメモリアクセスを発行することによって行われる。

【００５０】

装置２はまた、図９に関して以下により詳細に説明されるタグチェック回路２５０を含み得る。

【００５１】

図１は、可能なプロセッサパイプライン実装形態のいくつかのコンポーネントの簡素化された表現にすぎず、プロセッサは、簡潔にするために図示していない多くの他の要素を含むことができることが理解されるであろう。

【００５２】

図２は、「通常」メモリとして扱われるアドレス空間のページへの読み取り要求及び書き込み要求の処理を示す。「通常」メモリタイプは、通常のランダムアクセスデータ又は命令ストレージのために使用されるように意図されたページのために使用され得る。読み取り要求が受信されると、ＭＭＵ２８は、そのＴＬＢ２９内の読み取り要求によって指定された仮想アドレスをルックアップする。ＴＬＢ２９が仮想アドレスについてのページテーブル情報を既に含んでいる場合、ページテーブル情報によって提供される属性及びアドレス変換マッピング情報を使用して、仮想アドレスの物理アドレスへの変換を制御し、アクセス許可をチェックして、読み取り要求を許可することができるかどうかを決定し（読み取り要求が許可されない場合には障害がシグナリングされる）、属性に基づいてサービスの読み取り要求の方法を制御する（例えば、属性は、ページについてのデータがキャッシュ可能かどうかを指定することができる）。ＴＬＢ２９が仮想アドレスに必要なページテーブル情報をまだ含んでいない場合、アクセス許可のチェック及びアドレス変換の実施に進む前に、メモリシステムに記憶されたページテーブル構造から必要なページテーブル情報を取得するためにページテーブルウォーク動作が実施される。したがって、ページテーブル情報内の属性が「通常」メモリタイプを指定する読み取りアクセスについては、アクセス許可が満たされる場合、読み取りアクセスの仮想アドレスが物理アドレスに変換され、次いで、その物理アドレスを指定する読み取りメモリアクセス要求がメモリシステムに送信される。メモリアクセス要求がキャッシュ３０、３２のうちの１つでヒットした場合、指定された物理アドレスのデータをキャッシュから読み取り、処理回路４に返すこと

ができる。要求がキャッシュ３０、３２においてミスした場合、メインメモリ３４へのアクセスが実施され、例えば、レジスタ１４に値を書き込むことによって、読み取りターゲット値を処理回路４に返す。

【００５３】

書き込み要求の場合、ＴＬＢ２９のルックアップ及び（必要であればページテーブルウォーク）は、読み取り要求の場合と同じである。書き込み要求の仮想アドレスについてページテーブル情報内で定義された属性に基づいて、ＭＭＵ２８は、書き込み要求が許可されるかどうかを決定し、許可される場合、ターゲット仮想アドレスとページテーブル情報内で指定されたアドレスマッピング情報とに基づいて取得された変換済み物理アドレスを指定する書き込みメモリアクセス要求が生成される。書き込み要求は、（例えば、レジスタ１４から読み取られたオペランドに基づいて）処理回路４によって提供される書き込みデータ値が、キャッシュ３０、３２及び／又はメインメモリ３４内の対応するロケーションに書き込まれることを要求する。

【００５４】

様々な理由から、ソフトウェアが、仮想アドレス空間の比較的大きな領域に、０で満たされるなどの所定の値が割り当てられるように制御することができることが有用な場合がある。多くのオペレーティングシステムは、コピーオンライトの０で満たされたメモリを提供するための機構を（ソフトウェアで）実装する。通常、これは、仮想アドレスの０で満たされた領域のアドレス変換マッピングを設定して、これらの領域の全てを、０が記憶される物理メモリの単一範囲にマッピングすることによって行われる。したがって、コミットされる必要がある物理メモリの量は、ページテーブル情報の単一のページテーブルエントリによってカバーされる領域（例えば、ページ又はブロック）に低減され得る。しかしながら、４ｋＢよりも大きいページサイズがサポートされるか、又はメモリのより大きい領域（例えば、ＭＢ又はＧＢ程度のサイズ）がブロック記述子を使用してページテーブル階層のより高いレベルで単一のページテーブルエントリ内でカバーされるときに、単に０を記憶するためにこの量の物理メモリを確保することは高価になる。

【００５５】

図３は、「Ｘとして読み取られる」メモリと呼ばれる、ＭＭＵ２８によってサポートされ得る新しいメモリタイプを示す。ＭＭＵ２８によって使用されるページテーブル情報は、仮想アドレス空間の所与のページをＸとして読み取られるプロパティと関連付け、そのページへの読み取りで指定された値Ｘを返すことを示す。Ｘの値は、Ｘとして読み取られるプロパティ自体から、又はページテーブル情報によって定義される他の情報から暗示され得、したがって、Ｘの数値を識別するためにキャッシュ又はメモリアクセスを必要としない。したがって、ＭＭＵ２８が、読み取りターゲット仮想アドレスについての対応するページテーブル情報から、読み取り要求によって読み取られることが求められるデータの読み取りターゲットブロックがＸとして読み取られるプロパティと関連付けられたページ内に入ることを識別するときの読み取り要求において、ＭＭＵ２８は、仮想アドレスを物理アドレスに変換する必要がなく、そうでなければ読み取りデータの値を取得するために発行されるキャッシュ３０、３２又はメモリ３４への任意のアクセスを抑制し得る。Ｘのデータ値を取得するためにキャッシュ／メモリアクセスが抑制され得る場合であっても、読み取りターゲット仮想アドレスと関連付けられたページテーブル情報を取得するためにページテーブルウォークが必要とされる場合、キャッシュ／メモリアクセスが依然として必要とされ得ることに留意されたい。ＭＭＵ２８は、ＭＭＵ２８の内部回路ロジックを使用して指定された値Ｘを生成し、この値を読み取り動作の結果として処理回路４に返し得る。指定された値Ｘは、例えば、０であり得るし、又は全てのビットが１に設定された値などの非０値であり得るし、ページテーブル情報又はページテーブル情報によって参照される他の情報における専用符号化を正当化するのに十分な頻度で使用されることが予想される別のバイナリ値であり得る。指定された値Ｘがデータの読み取りブロックのサイズよりも少ないビットを有する場合、返されるデータの読み取りブロックを満たすために、指定された値Ｘを繰り返すことができる。

【００５６】
したがって、（読み取り／書き込みアクセス許可を使用してアドレス変換及びアクセス制御をサポートするための既存のアーキテクチャ機構を使用して実装され得る）上述のソフトウェア実装コピーオンライト機構とは異なり、Ｘとして読み取られるプロパティは、ＭＭＵ２８によってサポートされるページテーブル情報において定義される新しいアーキテクチャプロパティである。これは、ページテーブル情報内にいくつかの追加の符号化空間を必要とし得るが、これは、メモリの大きい領域を所定の値で満たすためのソフトウェア実装コピーオンライト機構を上回るいくつかの利点を有する。第一に、指定された値Ｘを取得するためにキャッシュ又は物理メモリへのアクセスがないので、これは、指定された値Ｘを割り当てられた領域に対して物理メモリを全くコミットする必要がないことを意味し、したがって、比較的大きいページ／ブロックサイズが使用される場合でも、指定された値Ｘを実際に記憶するために物理メモリの大きいブロックを消費する必要はない。これは、指定された値Ｘ以外のより意味のある値を有する他のデータを記憶するためにより多くのストレージが利用可能であるので、処理システム内に実装された利用可能な物理ストレージをより効率的に利用することができることを意味する。これは、外部（オフチップ）ストレージにエクスポートされなければならない意味のあるデータの量を低減し、その他のデータを必要とするコードの性能を改善する。また、指定された値Ｘを取得するためにキャッシュ又はメモリアクセスの必要がないので、Ｘとして読み取られるプロパティを有するページをターゲットとする読み取り要求をより高速に処理することができ、したがって性能が改善される。

【００５７】
ページテーブル情報がＸとして読み取られるプロパティと関連付けられたアドレスを指定する書き込み要求が発行される場合、いくつかの異なるＸとして読み取られる書き込み挙動が可能である。図３は、いくつかのオプションを示す。第１のオプションは、Ｘとして読み取られるプロパティを有するページをターゲットとする書き込み要求が発行されたときに障害をシグナリングすることである。これは、０で満たされた仮想ページへの第１の書き込みの場合のように、コピーオンライトをサポートするために有用であり得、障害は、オペレーティングシステムに、その仮想ページのためにいくつかの物理メモリを割り振らせ、次いで、仮想ページがその物理メモリにマッピングされた後に書き込みを処理させ得る。別のオプションは、単に書き込み動作を無視し、任意の物理メモリにデータを書き込まないことである。これは、Ｘとして読み取られるプロパティがコピーオンライト以外の目的で使用されており、障害が必要ではないが、Ｘとして読み取られるメモリへの書き込みを処理するためのアーキテクチャ的に規定された技法が存在すべき場合（ソフトウェアがメモリをＸとして読み取られることとして指定した場合、そのような書き込みはまれであることが予想され得る）、障害の可能性を低減するために選択され得る。第３のオプションは、書き込み要求の書き込みデータが、トレースバッファ４２、別のプロセッサ４６、又は周辺装置４８などの所定のシステムロケーションに転送され得ることである。そのようなシステムロケーションへのデータの転送は、そうでなければ、そのシステムロケーションに対応するものとしてメモリバスインフラストラクチャによって識別される物理アドレスに変換する仮想アドレス（Ｘとして読み取られるプロパティを有していない）への読み取り又は書き込みメモリアクセスを使用して実施され得る。しかしながら、通常のアクセスでは、そのような転送は、対応する物理アドレスへのアドレス変換を必要とし、次いで、メモリシステム内に実装されたマッピングコンポーネントが、ターゲット物理アドレスに基づいて、書き込みデータの宛先であるシステムロケーションを識別することができるように、メモリシステムに送信されるべき物理アドレスを指定するメモリアクセス要求を必要とする。対照的に、Ｘとして読み取られるプロパティを使用することによって、書き込みデータが所定のシステムロケーションに転送されるべきであるという事実は、ページテーブル情報から（直接、又はページテーブル情報によって参照される間接テーブルを使用して）ＭＭＵ２８によって識別され得、したがって、メモリアクセス要求をメモリシステムに転送し、マッピングコンポーネントがデータのターゲットロケーションを

識別することを待つ遅延は、ＭＭＵ２８がそのマッピングコンポーネントを呼び出さずに直接宛先を指定することができるので、低減され得る。したがって、データを所定のシステムロケーションに転送するＸとして読み取られる書き込み挙動は、トレースバッファ４２（処理システム上のソフトウェアの実行に関する診断情報を記録するために使用される）、別のプロセッサ４６、又は周辺装置（ＤＭＡコントローラ、ネットワークコントローラ、又はハードウェアアクセラレータなど）などのシステムコンポーネントへの加速されたアクセスを提供し得る。

【００５８】

図４は、読み取り要求の処理を示すフロー図である。ステップ１００において、メモリアドレス空間の読み取りターゲットブロックと関連付けられたメモリシステムロケーションから読み取りターゲット値が読み取られることを要求する読み取り要求が、処理回路４によって発行される。読み取り要求は、読み取りターゲットブロックを識別する、読み取りターゲットアドレス、及び任意選択でサイズパラメータを指定し得る。

【００５９】

ステップ１０２において、ＭＭＵ２８は、読み取りターゲットブロックに対応するターゲットページのページテーブル情報を探すために、ＴＬＢ２９内の読み取りターゲットアドレスのルックアップを実施する。ＴＬＢ２９が要求されたページテーブル情報をまだ記憶していない場合、ページテーブルウォーク動作を実施して、メモリに記憶されたページテーブル構造をトラバースして、要求されたページテーブル情報を取得することができる。要求されたターゲットページのためのページテーブル構造において有効なページテーブル情報が定義されていない場合、障害がシグナリングされ、図４の方法が停止され得る。

【００６０】

ステップ１０４において、ＭＭＵ２８は、取得したページテーブル情報に基づいて、読み取りターゲットブロックがＸとして読み取られるプロパティと関連付けられたページに対応するかどうかを決定する。そうでない場合、ステップ１０６において、ＭＭＵ２８は、ターゲットページについてのページテーブル情報において指定されたアクセス許可が満たされているかどうかを決定し、アクセス許可の違反がある場合、ステップ１０８において、障害がシグナリングされる。ページテーブル情報において指定されたアクセス許可が満たされる場合、ステップ１１０において、ＭＭＵ２８は、ページテーブル情報において指定されたアドレスマッピング情報に基づいてアドレス変換を実施して、読み取りターゲットアドレスとして指定された仮想アドレスに対応するターゲット物理アドレスを取得する。処理回路４のいくつかの状態において、仮想アドレスから物理アドレスへのアドレスマッピングは、ページテーブル構造の２つのステージ、すなわち、処理回路４上で実行されるオペレーティングシステムの制御下で設定されたマッピング情報に基づいて仮想アドレスから中間アドレスへのマッピングを定義するステージ１ページテーブル構造と、処理回路４上で実行されるハイパーバイザの制御下で設定されたマッピング情報に基づいて中間アドレスから物理アドレスへのマッピングを定義するステージ２ページテーブル構造とに依存し得る。処理回路４の他の動作状態では、変換は、仮想アドレスから物理アドレスへの単一ステージの直接変換であり得る。アドレス変換を実施するために、任意の既知のアドレス変換技法を使用することができる。

【００６１】

ステップ１１２において、ＭＭＵ２８は、変換された物理アドレスを処理回路４のロード／ストアユニット２６に返し、ロード／ストアユニット２６は、読み取りターゲット値の少なくとも一部をレベル１キャッシュ３０から返すことを要求するためにキャッシュアクセス要求を発行する。要求がレベル１キャッシュでミスした場合、更なる要求をレベル２キャッシュ３２又はメインメモリ３４に送ることができる。場合によっては、例えば、ページテーブル情報がキャッシュ不可能なページを示す場合、キャッシュアクセスをバイパスすることができ、その場合、要求は、メモリ３４を直接的にターゲットにすることができる。読み取りターゲット値は、メモリシステムの記憶構造３０、３２、３４のうちの１つから取得され、処理回路４に返されて、その値を例えばレジスタ１４に記憶し、そこ

から、その値を、処理回路４によって処理される後続の命令のオペランドとして使用され得る。

【００６２】

一方で、ステップ１０４において、読み取りターゲットブロックがＸとして読み取られるプロパティと関連付けられたページに対応すると決定された場合、ステップ１１４において、再び、ＭＭＵ２８は、ページテーブル情報において指定された任意のアクセス許可が読み取り要求によって満たされるかどうかを決定し、満たされない場合、ステップ１１６において、障害がシグナリングされる。アクセス許可が満たされていると決定された場合、ステップ１１８において、キャッシュ又はメモリアクセス要求（通常、読み取りターゲットデータを処理回路４に返すことを要求するために発行される）が抑止され、代わりに、ステップ１２０において、指定された値Ｘを、読み取りターゲットブロックの少なくとも一部に対応する値として処理回路４に返す。この場合も、返されたデータ値は、処理回路のレジスタ１４に記憶され得る。指定された値Ｘは、ページテーブル情報又はページテーブル情報によって参照される他の情報から推定され、したがって、指定された値Ｘを決定するためにキャッシュ又はメモリアクセスを必要としない。

【００６３】

まれに、読み取りターゲットブロックは、Ｘとして読み取られるプロパティを有するものとマークされた１つのページとＸとして読み取られるプロパティを有していない別のページとの間のページ境界を横切る可能性がある。この場合、Ｘとして読み取られるページ及びＸとして読み取れないページへの読み取りアクセスの部分は、ステップ１０２においてページテーブル情報の別個のルックアップを必要とし、Ｘとして読み取れないページのためのステップ１０６～１１２及びＸとして読み取られるページのためのステップ１１４～１２０のそれぞれの別個の処理をトリガする２つの別個のアクセスとして効果的に扱うことができる。したがって、この場合、読み取り要求によって要求された読み取りターゲット値の一部のみが、指定された値ＸとしてＭＭＵ２８によって生成され、Ｘとして読み取れないページに対応する他の部分は、ステップ１１２においてメモリシステムから取得される。したがって、読み取り要求の読み取りターゲット値全体を指定された値Ｘとして返すことは必須ではなく、なぜなら、読み取り要求は、Ｘとして読み取られるページを部分的にしかターゲットとしなくてよいからである。

【００６４】

図５は、書き込み要求の処理を示すフロー図である。ステップ１４０において、メモリアドレス空間の書き込みターゲットブロックと関連付けられたメモリシステムロケーションへの書き込み値の書き込みを要求する書き込み要求が、処理回路４によって発行される。読み取り要求に関しては、ステップ１４２において、ＭＭＵ２８は、書き込み要求によって指定された書き込みターゲットアドレスをＴＬＢ２９内でルックアップして、アドレスの書き込みターゲットブロックに対応するターゲットページのページテーブル情報を探す。この場合も、ＴＬＢ２９が既に必要な情報を有していない場合、メモリ内のページテーブル構造にアクセスするためにページテーブルウォークを実施することができる。ステップ１４４において、ＭＭＵ２８は、取得されたページテーブル情報に基づいて、アドレスの書き込みターゲットブロックがＸとして読み取られるプロパティと関連付けられたページに対応するかどうかを決定する。

【００６５】

書き込みターゲットブロックと関連付けられたターゲットページがＸとして読み取られるページでない場合、ステップ１４６で、対応するページテーブル情報によって指定されたアクセス許可がチェックされ、アクセス違反が識別された場合、ステップ１４８で障害がシグナリングされる。書き込み要求によってターゲットとされたページに対して指定されたアクセス許可が満たされている場合、ステップ１５０において、ＭＭＵ２８は、図４のステップ１１０と同様にアドレス変換を実施して、書き込みアクセスのターゲット物理アドレスを取得する。ステップ１５２において、キャッシュ又はメモリアクセス要求がロード／ストアユニット２６によって発行されて、ターゲット物理アドレスと関連付けられ

た（キャッシュ３０、３２又はメモリ３４内の）メモリシステムロケーションへの書き込み要求によって指定された書き込み値の書き込みを要求する。

【００６６】

ステップ１４４において、書き込みターゲットブロックが、Ｘとして読み取られるプロパティと関連付けられたページに対応すると決定された場合、ステップ１５４において、ＭＭＵ２８は、ターゲットページへのアクセスのために満たされる必要がある任意のアクセス許可を再びチェックし、任意のアクセス許可が満たされない場合、ステップ１５６において、障害がシグナリングされる。

【００６７】

Ｘとして読み取られるページへの書き込みアクセスについて、書き込みが許可されるのに必要ないくつかの他のアクセス許可が満たされていると決定された場合、アドレス空間のＸとして読み取られるページへの書き込み要求に応じるためのいくつかのオプションがある。第１のオプションでは、ステップ１５８において、障害がシグナリングされる。第２のオプションでは、１６０において、書き込み要求は、キャッシュ又はメモリに書き込み要求を発行することなく単に無視されるが、障害はシグナリングされず、したがって、処理は、処理回路４によって中断されずに継続することが可能になる。第３のオプションでは、ステップ１６２において、書き込み要求によって指定された書き込み値が、トレースバッファ４２、他のプロセッサ４６、又は周辺装置４８などの所定のシステムロケーションに転送される。一部の実装形態は、ステップ１５８、１６０、及び１６２で示されたオプションのうちの１つのみをサポートし得る。他の実装形態は、これらのオプションのうちの２つ以上をサポートし得、特定の書き込み要求のためにどのオプションが取られるかは、ソフトウェアによってプログラム可能な制御情報に依存し得る（例えば、この制御情報をプログラムする能力は、オペレーティングシステム又はハイパーバイザソフトウェアなどの、ある特定の特権レベル以上のソフトウェアに制限され得る）。例えば、制御情報は、Ｘとして読み取られるページへの書き込み要求に応答してどのＸとして読み取られる書き込み挙動が行われるべきかを直接的に指定することができるページテーブル情報自体であり得、又は制御情報は、Ｘとして読み取られるページへの書き込み要求をどのように処理するかに関するより多くの情報を提供するページテーブル情報によって参照される間接テーブルであり得る。代替的に、どのＸとして読み取られる書き込み挙動を使用すべきかを制御する制御情報は、ページテーブル情報から独立していてもよく、ページテーブル情報によって直接的又は間接的に参照されなくてもよい（例えば、制御情報は、個々のページに固有のページ固有情報ではなく、全てのページのＸとして読み取られる書き込み挙動を制御するために使用されるグローバル情報であり得る）。例えば、制御レジスタは、現在の動作モードで使用されるべきＸとして読み取られる書き込み挙動を示すモードステータス値を示すことができ、これは、Ｘとして読み取られるプロパティと関連付けられたアドレス空間の任意のページにグローバルに適用され得る。

【００６８】

ページテーブル情報は、いくつかの異なる方法でＸとして読み取られるプロパティを符号化することができる。場合によっては、アドレス空間の所与のページに対するページテーブルエントリは、ページがＸとして読み取られるプロパティを有することを識別するメモリ属性又は許可タイプ値を直接的に指定することができる。例えば、ページテーブルエントリの許可フィールド又は属性フィールドの１つ以上のビットフィールド符号化が、Ｘとして読み取られるプロパティを示すために割り当てられ得、そのフィールドの他の符号化は、他のタイプの許可又は属性を識別する。

【００６９】

代替的に、図６に示すように、間接テーブルを使用して、Ｘとして読み取られるプロパティに関する情報を定義することができる。これは、ページテーブルフォーマットが、Ｘとして読み取られるプロパティの所望の数の変形例に対するサポートを追加するのに十分な予備符号化空間を有していない場合に有用であり得る。これは、上述したように、指定された値Ｘの異なる値又は異なるＸとして読み取られる書き込み挙動に対応するＸとして

読み取られることの変形例などの、サポートされることが望まれるＸとして読み取られるプロパティの２つ以上の変形例がある場合に特に有用であり得る。

【００７０】

図６に示すように、ページテーブル構造２００は、仮想アドレスを、変換されたアドレス（この実施例では、物理アドレスであるが、２ステージ変換プロセスのステージ１変換では、変換されたアドレスは代わりに中間アドレスであり得る）、及び１つ以上のアクセス許可又は属性フィールドと関連付け得る。仮想アドレスは、説明を容易にするために図６のテーブル構造に明示的に示されているが、実際には、仮想アドレスは、構造にインデックスを付けるために使用され得、したがって、テーブル構造自体に明示的に記憶される必要はないことが理解されよう。

【００７１】

この実施例では、許可フィールドは、ＭＭＵ２８の制御レジスタとして実装される許可間接レジスタ２０２のセットを参照する。許可間接レジスタは、ある特定の特権レベル以上で実行するソフトウェア命令によってプログラム可能であり、かつ様々なサポートされた許可タイプから選択する間接テーブルを表す。許可間接レジスタを使用することによって、ページテーブルエントリ自体の許可フィールド内の限られた数のビットによって示され得るよりも多くの数の許可タイプがサポートされ得る。例えば、ビット許可フィールドは、許可間接レジスタ２０２内の４つの許可間接エントリのうちの１つから選択し得るが、許可間接レジスタ２０２の各エントリは、対応する許可タイプについて５つ以上の異なるオプションから選択し得る。もちろん、許可間接エントリの数は４よりも大きくても小さくてもよい。

【００７２】

これは、次のような、所与のページに対する異なる許可タイプの範囲に対するサポートを可能にすることができる。

・読み取り専用：読み取りアクセスが許可され、書き込み又は命令フェッチアクセスが禁止される。

・アクセスなし：ページへの全てのアクセスが禁止される。

・読み取り／実行アクセス：読み取り及び命令フェッチアクセスが許可され、書き込みアクセスが禁止される。

・０としての読み取り：指定された値が０であるＸとして読み取られるプロパティの変形例（例えば、この変形例では、図５のステップ１５８に示すように、書き込みフォルト書き込み挙動を使用することができる）。

・読み取り／書き込み：読み取り及び書き込みアクセスが許可され、命令フェッチアクセスが禁止される。

・０として読み取られる書き込み無視：Ｘとして読み取られるページへの書き込みが要求されたときに、図５のステップ１６０の書き込み無視動作が使用される、０として読み取られることの変形例。

・０として読み取られるトレースバッファへの書き込み：使用するＸとして読み取られる書き込み挙動が図５のオプション３であり、所定のシステムロケーションがトレースバッファ４２である、０として読み取られることの変形例。

・アドレスに依存するＸとして読み取られること：以下の図８で更に説明されるように、Ｘの値が読み取り要求のアドレスに依存する、Ｘとして読み取られるプロパティの変形例。

【００７３】

これらは、可能であり得るいくつかの例示の符号化にすぎず、多くの他の許可タイプがまた使用され得ることが理解されよう。一般に、ソフトウェアは、ページテーブルエントリによる選択のためにＩＳＡにおいてサポートされる利用可能な許可タイプの特定のサブセットを選択するように、許可間接レジスタに書き込む値を選択して、ページテーブルエントリ自体において必要とされるビット数を、サポートされる許可タイプの全範囲からの選択を符号化するために必要とされるビット数未満に低減し得る。図６は、ページテーブ

ルエントリの許可フィールドの選択に利用可能なオプションを指定するものとして間接レジスタ２０２を示しているが、他の実装形態は、間接テーブル手法を属性フィールドに適用し得る。Ｘとして読み取られるプロパティは、許可ではなくメモリ属性とみなされ得、したがって、図６の実施例に示すように、許可フィールドの代わりに属性フィールド内に直接的又は間接的に符号化され得る。

【００７４】

図７は、メモリのＸとして読み取られるページへの読み取りのために返される特定の値Ｘを指定するための更なる間接の使用を示す。この場合も、ページテーブル構造２００は、ＭＭＵ２８の制御レジスタ内で指定された間接テーブル２０２を使用して、所与のページに対してどの許可タイプが選択されるべきかを定義し、ページテーブルエントリは、その許可フィールド内で間接テーブル２０２のエントリのうちの１つを指定するエントリ識別子を指定する。間接テーブルエントリの少なくともいくつかの符号化に関して、間接テーブルエントリの値は、制御レジスタに記憶された更なる間接テーブル２０４のエントリへの更なる参照として解釈され得る。これは、Ｘとして読み取られるページの指定された値Ｘの可能な値の範囲を広げることをサポートするのに役立つ場合があり、初期間接テーブルは、ページがＸとして読み取られるページであるかＸとして読み取れないページであるかどうかを指定し得、Ｘとして読み取られる書き込み挙動又はＸとして読み取られるページの書き込みデータとともに転送されるシステムコンポーネントのタイプなどのＸとして読み取られるプロパティの他のプロパティを指定し得るが、メモリのＸとして読み取られるページを示すものとして指定された少なくともいくつかの符号化については、符号化は、参照されたエントリがメモリのＸとして読み取られるページに４回の読み取りで返される特定の値を指定する更なる間接テーブル２０４への参照として解釈され得る。この手法は、メインページテーブル内の許可フィールドが、指定された値を示すのに十分な数のビットに拡張されることを必要とすることなく、Ｘとして読み取られるアクセスのために広範囲の数値を指定することを可能にする。これは、間接テーブル２０２及び更なる間接テーブル２０４が全てのページに対してグローバルに一度指定され得るのに対して、ページテーブルエントリ２００がページごとに提供され、したがって、任意のデータ値をＸとして読み取られるページに対して返される指定された値Ｘとして指定するようにページテーブル構造の許可又は属性フィールドのサイズを拡張すると、ページテーブル構造のサイズが大幅に増加するので、有益である。

【００７５】

図７は、指定された値Ｘについていくつかの異なる値からの選択を指定するために更なる間接テーブル２０４を使用する手法を示しているが、他の手法では、Ｘの特定の値の選択を間接テーブル２０２内の他の情報と組み合わせて、更なる間接テーブル２０４を必要としないようにすることができる。

【００７６】

図８は、図６に示されるＸとして読み取られるプロパティの「アドレスに依存する値Ｘとしての読み取り」変形例に対する例示の挙動をより詳細に示す。この場合、Ｘとして読み取られるプロパティの同一の符号化を有するが、アドレス空間の異なる範囲内にある２つのページについて、指定された値Ｘの異なる値を、それらのページへの読み取りアクセスのために返すことができる。例えば、読み取りターゲットアドレスの１つ以上のビット（例えば、メモリ内のメモリアクセスロケーションを選択するために使用されない上位ビットを除く、アドレスの最上位部分）を使用して、どの値を指定された値Ｘとして返すべきかを選択することができる。これは、いくつかの命令セットアーキテクチャが、ユーザデータ及びユーザプログラムコードのためにアドレス空間の下位部分のアドレス（上位ビットが０に等しい）を使用し、カーネル（オペレーティングシステム）データ及びカーネルプログラムコードのためにアドレス空間の上位部分のアドレス（上位ビットが１に等しい）を使用するなどの、異なる目的のためにアドレス空間の異なる範囲を使用するので、有用であり得る。いくつかの使用ケースでは、Ｘとして読み取られるメモリへのアクセスのための指定された値Ｘとして返されるデフォルト値は、ユーザレベルアクセスとカーネ

ルレベルアクセスとで異なるべきであることが望ましい場合がある。例えば、以下の図９に関して更に説明されるように、メモリタグ付けをサポートするシステムにおいて割り振りタグを処理するためにＸとして読み取られる手法が使用される場合、カーネルデータへのユーザアクセスがタグの不一致をもたらすように、ユーザアクセス及びカーネルアクセスによってそれぞれ使用されるＸとして読み取られるページに異なるタグ値を割り当てることが有用であり得る。Ｘとして読み取られるプロパティのアドレス依存型変形例を提供することによって、これは、２つの別個の許可／属性タイプ符号化が、アドレス空間の異なる範囲において使用されるべきＸの異なる値に割り振られる必要性を回避し、ページテーブルエントリ又は間接テーブルエントリの少なくとも１つの他の符号化を他の目的のために解放することができる、ページテーブル情報又は間接テーブル内の符号化空間を節約する。図８は、アドレス空間が２つに分割され、したがってアドレスの２つの異なる範囲が指定された値Ｘの異なる値に対応する実施例を示すが、他の手法は、指定された値Ｘのためにどの値を使用するかを選択するためにターゲットアドレスの３つ以上のビットを使用することができ、この場合、アドレス空間は、Ｘとして読み取られるページのためのＸの異なる値に対応する３つ以上の領域に効果的に分割され得ることが理解されよう。

【００７７】

また、Ｘの値を選択するためにアドレスの最上位ビットを使用することは必須ではない。Ｘの値を選択するためにアドレスの下位ビット位置で１つ以上のビットを使用する実施例では、これは、Ｘの値において交互になるアドレス空間のいくつかの交互領域の効果を有し、これは、例えば、メモリの所与の範囲についての割り振りタグ値をブロックごとに交互の値に設定するのに必要な物理ストレージ及び明示的タグ書き込み動作の量を低減するために割り振りタグ値を循環させるのに有用であり得る。

【００７８】

Ｘとして読み取られるプロパティは、ある特定のタグ値を有する割り振りタグを、それらのタグを記憶するために物理メモリをコミットする必要なく表すことを可能にするために、メモリタグ付けをサポートするシステムに特に有用であり得る。図９は、メモリタグ付けの概念を示し、これは、Ｃ及びＣ＋＋などのいくつかの高レベルプログラミング言語が、メモリアクセスに関連するある特定のエラーをチェックするためのランタイムエラー検出チェックを含まないという点で、メモリが安全でないと考えられるという問題に対処するために使用され得る。メモリセーフでない言語の使用の永続的な普及は、所与の命令セットアーキテクチャに従ってコンパイルされたコードにおいて、攻撃者又は他の悪意のある者による悪用に対して脆弱であり得る多数のメモリに関連するエラーが存在し得ることを意味する。このようなエラーには、以下が含まれ得る。

・コードによって供給される配列のインデックスが配列の正当な境界の外側にある、境界違反、

・メモリロケーションへのアクセスが、そのメモリロケーションが既に割り当て解除又は解放されてしまった後に行われる、解放済みメモリ使用エラー、

・関数内で使用される変数（スタック上の値など）と関連付けられたアドレスへのメモリアクセスが、関数から既に返された後に行われる、戻された後の使用、

・変数が、宣言されているスコープの外側でアクセスされる、スコープ外使用のエラー、

・変数と関連付けられたメモリアドレスが、変数が初期化される前にアクセスされる、初期化前使用エラー。

【００７９】

これらは、予測不可能な挙動を引き起こし、攻撃者が利用する道を潜在的に提供する可能性があるメモリに関連するエラーのいくつかの例にすぎない。したがって、ある特定のクラスのメモリエラーのランタイム検出を支援するために、所与の処理装置によってサポートされる命令セットアーキテクチャ内で、アーキテクチャサポートを提供することが望ましい場合がある。

【００８０】

上述したタイプのある特定のメモリ使用エラーから保護するための１つの手法は、１つ以上のメモリロケーションのブロックと関連付けてメモリシステムに記憶されている割り振りタグを提供することであり得る。メモリシステム内の特定のアドレス指定されたロケーションを識別するターゲットアドレスに基づいて、タグ保護されたメモリアクセス動作が要求されたときに、タグチェック回路は、ターゲットアドレスと関連付けられているアドレスタグと、ターゲットアドレスにより識別されたアドレス指定されたロケーションを含む１つ以上のメモリロケーションのブロックと関連付けてメモリシステムに記憶された割り振りタグとを比較し得る。タグチェック回路は、割り振りタグとアドレスタグとの間で一致が検出されるかどうかのインジケーションを生成し得る。このインジケーションは、メモリアクセスの成功が許可されるかどうか、又は後続の動作が成功できるかどうかを制御するために使用することができ、あるいは、メモリアクセスが通常通り継続することを許可している間に単に報告され得る。

【００８１】

これは、例えば、Ｃ又はＣ＋＋などのメモリセーフでない言語に基づいてコードをコンパイルするコンパイラは、メモリの領域を初期化するときに、コードがアクセスすることが予想されるメモリのブロックの割り振りタグを特定の値に設定し、一致したアドレスタグ値を、それらのブロックを指すターゲットアドレスを提供するために使用されるポインタと関連付けることができる命令を生成し得るので、有用であり得る。メモリ使用エラーが生じる場合、例えば、アドレスポインタがスコープ外で使用される、又は初期化された有効範囲の境界外に延びる場合、アドレス指定されたロケーションと関連付けられた割り振りタグが、ターゲットアドレスと関連付けられたアドレスタグと一致しないことがあり、一致が検出されたかどうかのインジケーションを使用して、何らかのエラー処理応答又はエラー報告メカニズムをトリガすることができる。取られる特定の応答は、実行されているソフトウェアの特定のニーズ、又はアーキテクチャの特定のマイクロアーキテクチャ実装形態に依存し得る。したがって、高レベル言語が、メモリアクセスエラーから保護するためにランタイムエラーチェックを実施する手段を有していない場合であっても、コンパイルされたコードに使用されるＩＳＡは、そのようなチェックを実施するためのアーキテクチャ機能を含むことができる。

【００８２】

したがって、図９に示すように、タグチェックモードがサポートされている場合、メモリシステム内のメモリロケーションを参照するために使用される物理アドレス空間２４４は、ある特定の数のアドレス指定可能なロケーション２４６を各々が含むいくつかのブロック２４５に論理的に分割することができる。簡潔にするために、図９の例では、各ブロック２４５は４つのメモリロケーション２４６を含んでいるが、同様に他のブロックサイズを使用してもよい。各ブロック２４５は、対応する割り振りタグ２４０と関連付けられている。ある特定の数のブロック２４５と関連付けられた割り振りタグは、一緒に集められ、物理アドレス空間内のアーキテクチャ的にアクセス可能な異なるメモリロケーション内、又はアーキテクチャ的にアクセス可能でない（同じ物理アドレス空間にマッピングされない）メモリシステム内に提供される追加の記憶ロケーション内のいずれかに記憶され得る。どのタグ記憶ロケーションが各ブロック２４５に対応するかの特定のマッピングは、ハードワイヤードされても、あるいはプログラム可能であってもよい。

【００８３】

したがって、タグ保護されたメモリアクセスが必要とされる場合（例えば、タグ保護されたメモリアクセスを示すためにある特定のメモリアクセス命令オペコードを割り当てることができ、あるいはタグチェックモードで動作している場合に発行される任意のメモリアクセスをタグ保護されたとみなすことができる）、アドレスタグ２４６（アクセスされるアドレス指定されたロケーションを識別するターゲットアドレス２４７と関連付けられている）は、アドレス指定されたロケーションを含むメモリロケーション２４５のブロックと関連付けられている割り振りタグ２４０と比較される。例えば、図９において、ターゲットアドレス２４７は、メモリ内のある特定のロケーションＢ１を指す。したがって、

ロケーションＢ１を含むロケーションＢのブロックと関連付けられた割り振りタグＢは、タグチェック回路２５０によって、ターゲットアドレス２４７と関連付けられたアドレスタグ２４６と比較される。図１に示すように、タグチェック回路２５０は、処理回路４の一部とみなすことができ、あるいは（図１には示されていない）タグチェック回路２５０をメモリシステムの一部として実装することができる。図９の上部に示すように、アドレスタグ２４６は、ターゲットアドレス２４７自体の選択されたビットの関数として決定され得る。特に、アドレスタグは、アドレス指定されたロケーション４４（ターゲットロケーションＢ１の選択はこれらのビットに依存しない）として選択される特定のメモリロケーションを示すためには使用されていないターゲットアドレスの一部分内のビットから決定され得る。例えば、いくつかのアーキテクチャでは、ターゲットアドレスのビットの上位部分は、符号拡張（全て０又は全て１）などのある特定の固定値を常に有する場合があり、したがって意味がなく、これらの上位ビットは、アクセスするメモリロケーションを選択するために使用されない。したがって、これらの未使用ビットを任意のタグ値で上書きすることによって、アドレスをアドレスタグ２４６でタグ付けすることができる。特定のアドレスタグ値は、例えば、プログラマ又はコンパイラによって選択され得る。アドレスタグ２４６及び割り振りタグ２４０は、比較的小さいビット数、例えば、４ビットとすることができ、したがって、メモリストレージ内及びターゲットアドレス内で多くの空間を占有する必要はない。４ビットのタグ空間、すなわちタグの１６個の可能な値を提供することは、多くの一般的なタイプのメモリアクセスエラーを検出するのにしばしば十分であり得る。

【００８４】

したがって、タグ保護されたメモリアクセスが実施されるときに、タグチェック回路２５０は、ターゲットアドレスと関連付けられたアドレスタグ２４６を、アドレス指定されたロケーションＢ１を含むメモリロケーションのブロック２４５と関連付けられた割り振りタグ２４０と比較し、それらが一致するかどうかを決定する。タグチェック回路２５０は、アドレスタグ２４６と割り振りタグ２４０とが一致したかどうかを示す一致インジケーションを生成する。例えば、この一致インジケーションは、アドレスタグ２４６と割り振りタグ２５０との間に不一致がある場合に生成され、例外ハンドラをトリガして障害の原因を処理する障害信号であり得る。また、一致インジケーションは、一致があったかどうかを示す状態レジスタ内に配置されたインジケーション、又はエラーが検出されたアドレス及び／若しくはエラーをトリガした命令の命令アドレスを示すためにエラー報告に追加されたエントリであり得る。一部の実装形態は、タグチェックエラーを引き起こすメモリアクセスが成功することを防止し得るが、他の手法は、タグチェックエラーにもかかわらずメモリアクセスが進むことを可能にするが、エラーログにエラーを記録し得、エラーログは、コードのソフトウェアプロバイダがソフトウェアの後続のバージョンにおけるエラーを排除するのを支援するために、プロバイダに利用可能にし得る。したがって、タグ一致／不一致インジケーションがタグチェック回路２５０によって生成され得る様々な方法が存在することが理解されよう。

【００８５】

ターゲットアドレス２４７の一部分を使用してアドレスタグ２４６を決定する実施形態では、このアドレスタグは、ターゲットアドレスにより識別されたアドレス指定されたロケーションからの情報がキャッシュ内に記憶されているかどうかを決定するためにキャッシュ３０、３２が使用し得るターゲットアドレスのタグ部分とは異なることに留意されたい。多くのキャッシュ方式は、キャッシュされたデータのアドレスのタグ部分をそのデータと並列にキャッシュ内に記憶することができ、それにより、所与のアドレスを求めてキャッシュを検索すると、キャッシュされたデータが要求されたアドレスに実際に対応するかどうかを判定するために、アドレスの一部を、キャッシュされたデータと並列に記憶されたタグと比較することができる。しかしながら、この場合、キャッシュ内のタグと比較されるアドレスのタグ部分は、アドレスの、データが要求される特定のアドレス指定されたロケーションを実際に識別する部分の一部であり、すなわち、アドレスのキャッシュタ

グ部分を変更すると、当然、アドレスがメモリシステム内の異なるアドレス指定されたロケーションを指す結果となる。対照的に、タグ保護されたメモリ動作にアドレスタグが使用される場合、メモリアクセス回路は、アドレスタグとは独立して、データアクセスが要求されるアドレス指定されたロケーションを選択し得る。すなわち、アドレスタグ２４６が異なる値を有する場合であっても、アドレス指定されたロケーションＢ１の選択はターゲットアドレス２４７の他の部分のみに依存し、かつアドレスタグ２４６のために使用される部分とは無関係であるので、ターゲットアドレスにより参照されるアドレス指定されたロケーションＢ１は依然として同じであり得る。これにより、コンパイラは、特定のアドレスと関連付けられたアドレスタグを、メモリシステム内のデータの関連するブロックに割り当てられた対応する割り振りタグ値に一致するように任意の値に設定する自由が与えられる。

【００８６】

タグチェック回路２５０は、システム２の異なる部分に位置し得る。一部の実例において、タグチェック回路は、図１に示されるように処理要素（例えば、ＣＰＵ）内に位置し得る。他の実施例は、タグチェック回路を、アクセスされたデータ及びタグを記憶するメモリストレージ１６のより近くに位置させ得る。

【００８７】

メモリタグ付けをサポートするシステムでは、メモリタグ付けを使用して保護されることが望まれるアドレス空間の範囲について割り振りタグ２４０を定義するために、これは、（Ｘとして読み取られるプロパティのサポートがない場合に）割り振りタグの記憶のためにコミットされるべき比較的大量の物理メモリストレージを必要とすることがある。しかしながら、実際には、割り振りタグの妥当な部分が、０などの指定された値に設定され得、したがって、これは、利用可能な物理ストレージの比較的大きな部分を浪費する可能性があることが認識される。指定された値Ｘを有する割り振りタグを記憶するために割り当てられたページに対してＸとして読み取られるプロパティを使用することによって、これは、タグ値を記憶するためにコミットされなければならない物理メモリの量を低減し、したがって、利用可能な物理ストレージをより効率的に使用する。したがって、タグ保護アクセスが要求されるときに、対応する割り振りタグのアドレスは、ＭＭＵ２８によって実装されるマッピング方式（例えば、データロケーションアドレスのタグロケーションアドレスへのハードワイヤードマッピング、又はソフトウェアでプログラム可能なタグマッピングテーブルに基づくプログラム可能マッピングのいずれか）に従って、読み取り／書き込み中のデータのターゲットアドレスからＭＭＵ２８によって導出され得、タグアクセスに必要なアドレスがページテーブル情報に基づいてＸとして読み取られるページへのマッピングとして決定される場合、ＭＭＵ２８は、キャッシュ３０、３２又はメモリ３４にアクセスすることなく指定された値Ｘを生成し、要求された割り振りタグの指定された値Ｘをタグチェック回路２５０に返すことができ、タグチェック回路２５０は、指定された値Ｘを対応するアドレスのアドレスタグ２４６と比較して、タグチェックエラーが発生したかどうかを決定し得る。Ｘとして読み取られるプロパティはまた、データアクセスに対して生じ得るので、タグアクセスに対する使用に限定されない。

【００８８】

メモリタグ付けをサポートするために、読み取りアクセスが、キャッシュ３０、３２又はメモリ３４から読み取られた値を部分的に返すべきであり、かつ他の部分については、０などのＸとして読み取られるプロパティから暗示される暗黙的に定義された指定された値Ｘを返すべきであることをプロパティが示す、Ｘとして読み取られるプロパティの変形例を提供することが有用であり得る。これは、割り振りタグがＸとして読み取られるプロパティと関連付けられた値値Ｘを有するときに割り振りタグ自体が物理メモリに記憶される必要なしに、メモリの領域に対する割り振りタグを読み取りアクセスにおいて対応するデータと一緒に返すことを可能にするのに有用であり得る。したがって、Ｘとして読み取られることは、Ｘが単一の（おそらくキャッシュラインサイズの）読み取りアクセスにおいていくつかのビットを置換することを可能にし得る。例えば、キャッシュラインは、複

数のデータバイト及び単一のＭＴＥ様「タグ」バイトを記憶すると（名目上）考えられ得るが、タグバイトは、Ｘとして読み取られるメモリプロパティを使用して暗示され得る場合、物理的に記憶される必要はない場合がある。例えば、Ｘとして読み取られるプロパティを有する４ＫＢページに対応する物理メモリは、２５６セットの１２８ビットデータ値を物理的に記憶し得るが、対応する仮想ページは、実際には、２５６セットの１３２ビット値にマッピングされると考えることができ、各１３２ビット値は、通常アクセスされるデータの１２８ビットと、Ｘとして読み取られるプロパティに基づいて暗黙的に決定される値Ｘとして返される４ビットタグとを含む。したがって、そのページ内のアドレスに対するキャッシュラインサイズの読み取りは、物理的に記憶されたデータの１２８ビットだけでなく、タグを含む１３２ビット値を返すことになる。これにより、物理ストレージをコミットすることなく、仮想メモリの領域に対するタグを定義することが可能になる。

【００８９】

Ｘとして読み取られるプロパティのいくつかの変形例が上記で説明されており、任意の特定のシステム実装形態が、これらの変形例のうちの任意の１つ以上をサポートし得ることが理解されよう。

【００９０】

図１０は、使用され得るシミュレータ実装形態を示す。上記の実施形態は、当該技法をサポートする特定の処理ハードウェアを動作させる装置及び方法の点において本発明を実装しているが、コンピュータプログラムの使用によって実装される本明細書に記載の実施形態による命令実行環境を提供することも可能である。このようなコンピュータプログラムは、コンピュータプログラムがハードウェアアーキテクチャのソフトウェアベースの実装形態を提供する限り、シミュレータと称されることがよくある。様々なシミュレータコンピュータプログラムは、エミュレータ、仮想マシン、モデル、及び動的バイナリトランスレータを含むバイナリトランスレータを含む。典型的に、シミュレータの実装形態は、ホストプロセッサ３３０で実行してもよく、任意選択でホストオペレーティングシステム３２０を実行し、シミュレータプログラム３１０をサポートする。いくつかの配置では、ハードウェアと提供されている命令実行環境との間に複数のレイヤのシミュレーションがあってもよく、及び／又は、同じホストプロセッサ上に提供されている複数の異なる命令実行環境があってもよい。歴史的に、強力なプロセッサが、合理的な速度で実行されるシミュレータ実装形態を提供するのに必要とされてきたが、このような手法は、互換性又は再使用の理由から別のプロセッサにネイティブなコードを実行することが望まれるようなときなど一定の状況では、正当化され得る。例えば、シミュレータ実装形態は、ホストプロセッサハードウェアによってサポートされていない追加の機能性を有する命令実行環境を提供し得るか、又は典型的には異なるハードウェアアーキテクチャに関連付けられた命令実行環境を提供し得る。シミュレーションの概要は、「Ｓｏｍｅ　Ｅｆｆｉｃｉｅｎｔ　Ａｒｃｈｉｔｅｃｔｕｒｅ　Ｓｉｍｕｌａｔｉｏｎ　Ｔｅｃｈｎｉｑｕｅｓ」、Ｒｏｂｅｒｔ　Ｂｅｄｉｃｈｅｋ、１９９０年冬　ＵＳＥＮＩＸ　Ｃｏｎｆｅｒｅｎｃｅ、５３～６３頁に記載されている。

【００９１】

これまで、特定のハードウェア構成物又は特徴を参照して実施形態を説明してきたが、シミュレーションされた実施形態では、好適なソフトウェア構成物又は特徴によって同等の機能性を提供することができる。例えば、特定の回路は、シミュレーションされた実施形態で、コンピュータプログラムロジックとして実装されてもよい。同様に、レジスタ又はキャッシュなどのメモリハードウェアは、シミュレートされた実施形態において、ホストプロセッサ３３０のホストストレージ（例えば、メモリ又はレジスタ）に記憶されたソフトウェアデータ構造として実装され得る。前述の実施形態で参照されているハードウェア要素のうちの１つ以上がホストハードウェア（例えば、ホストプロセッサ３３０）に存在する配置では、いくつかのシミュレーションされた実施形態は、好適な場合、ホストハードウェアを使用し得る。

【００９２】

シミュレータプログラム３１０は、コンピュータ可読記憶媒体（非一時的媒体であり得る）に記憶されてもよく、シミュレータプログラム３１０によってモデル化されているハードウェアアーキテクチャのインターフェースと同じであるターゲットコード３００（アプリケーション、オペレーティングシステム、及びハイパーバイザを含み得る）にプログラムインターフェース（命令実行環境）を提供する。したがって、ターゲットコード３００のプログラム命令は、シミュレータプログラム３１０を使用して命令実行環境内から実行され得、このため、上述の装置２のハードウェア特徴を実際には有していないホストコンピュータ３３０（例えば、上述したようにＸとして読み取られるプロパティの使用をサポートするメモリ管理回路２８）は、これらの特徴をエミュレートし得る。

【００９３】

したがって、シミュレータプログラム３１０は、ターゲットコード３００の命令を復号し、これらをホスト装置３３０のネイティブ命令セット内の対応する命令セットにマッピングするための命令復号プログラムロジック３１２を有し得る。レジスタエミュレートプログラムロジック３１４は、ターゲットコードによって要求されたレジスタアクセスを、ホスト装置３３０のレジスタ又はメモリ内のデータにアクセスすることなどによって、ホスト装置３３０のホストハードウェア上に維持された対応するデータ構造へのアクセスにマッピングする。メモリ管理プログラムロジック３１６は、アドレス変換、ページテーブルウォーク、及びアクセス許可チェックを実装して、上記のハードウェア実装の実施形態で説明されたようなＭＭＵ２８に対応する方法で、ターゲットコード３００によるシミュレートされたアドレス空間へのアクセスをシミュレートする。メモリアドレス空間シミュレートプログラムロジック３１８は、ターゲットプログラムコード３００のソフトウェアによって維持されるページテーブル情報を使用するアドレス変換に基づいてメモリ管理プログラムロジック３１６によって取得されるシミュレートされた物理アドレスを、ホストプロセッサ３３０のホストメモリにアクセスするために使用されるホスト仮想アドレスにマッピングするために提供される。これらのホスト仮想アドレス自体は、ホストによってサポートされる標準アドレス変換機構を使用してホスト物理アドレスに変換することができる（ホスト仮想アドレスのホスト物理アドレスへの変換は、シミュレータプログラム３１０によって制御されるものの範囲外である）。

【００９４】

メモリ管理プログラムロジック３１６が、ターゲットプログラムコード３００によるシミュレートされたアドレス空間の所与の読み取りターゲットブロックへの読み取りアクセスに対して、所与の読み取りターゲットブロックが、ターゲットプログラムコード３００によって設定されたページテーブル情報（ホストアドレス変換のためにホストによって使用されるページテーブル情報ではない）を使用してＸとして読み取られるプロパティを有すると識別されたページに対応すると識別した場合、メモリ管理プログラムロジック３１６は、読み取りターゲットブロックのシミュレートされた仮想アドレスをシミュレートされた物理アドレスに変換する必要も、シミュレートされた物理アドレスをホストプロセッサ３３０のホストストレージにマッピングするためにメモリアドレス空間シミュレートプログラムロジック３１８を呼び出す必要もなく、指定された値Ｘをターゲットプログラムコード３００に返すように制御する。代わりに、値Ｘは、Ｘとして読み取られるプロパティの識別に基づいてシミュレータプログラム３１０自体のプログラムコードによって生成され、ターゲットプログラムコード３００による後続の処理のために利用可能にされ得る。これは、ターゲットプログラムコード３００が図１のハードウェア装置２上で実行された場合にターゲットプログラムコード３００が観察することが予期される挙動をエミュレートする。

【００９５】

本出願において、「～ように構成された（configured to...）」という用語は、装置の要素が、定義された動作を行うことが可能である構成を有することを意味するために使用される。この文脈において、「構成」とは、ハードウェア又はソフトウェアの配置又は相互接続の方法を意味する。例えば、装置は、定義された動作を提供する専用ハードウェ

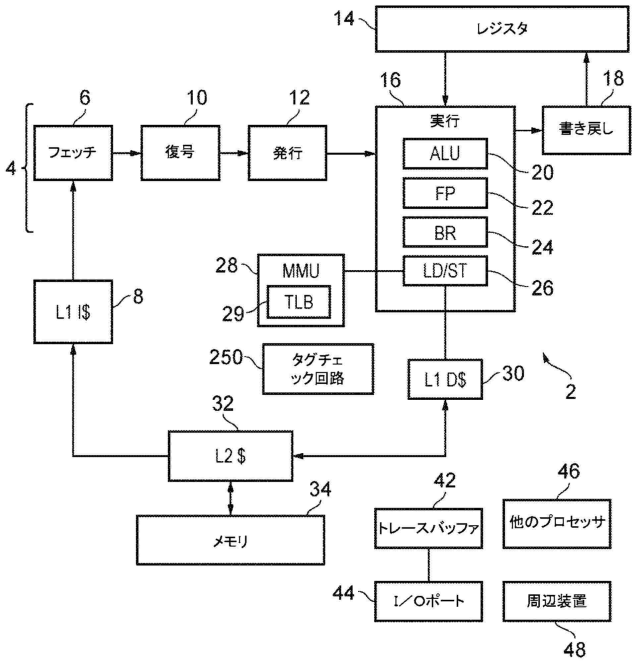
アを有し得るか、又はプロセッサ若しくは他の処理デバイスが、機能を実施するようにプログラムされ得る。「ように構成された」は、装置要素が、定義された動作を提供するために何らかの変更がなされる必要があることを意味しない。

【００９６】

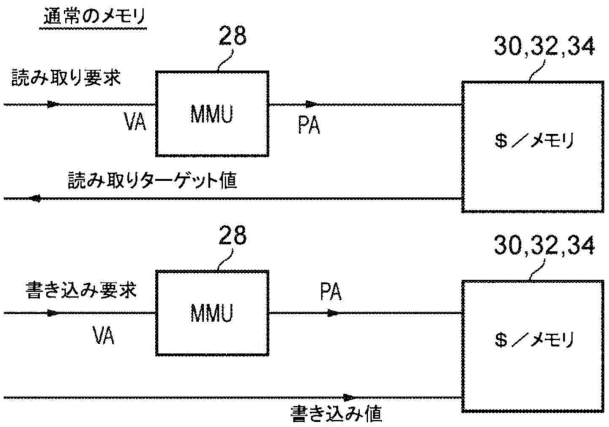
本発明の例示的な実施形態が添付の図面を参照して本明細書で詳細に説明されているが、本発明はこれらの正確な実施形態に限定されないこと、及び様々な変更及び修正が、当業者によって、添付の特許請求の範囲によって定義されている本発明の範囲から逸脱することなく、実施形態に行われ得ることが理解されよう。

【図面】

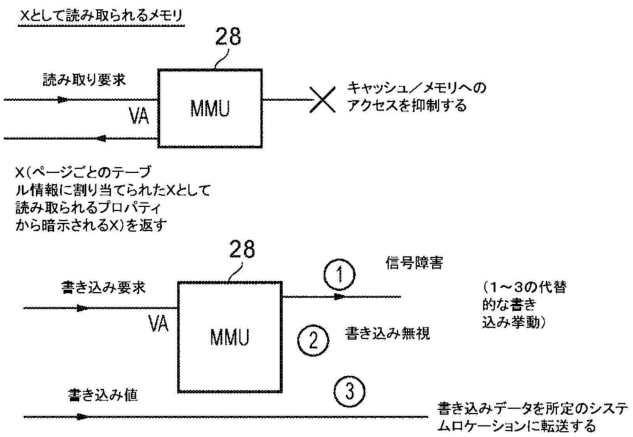
【図１】



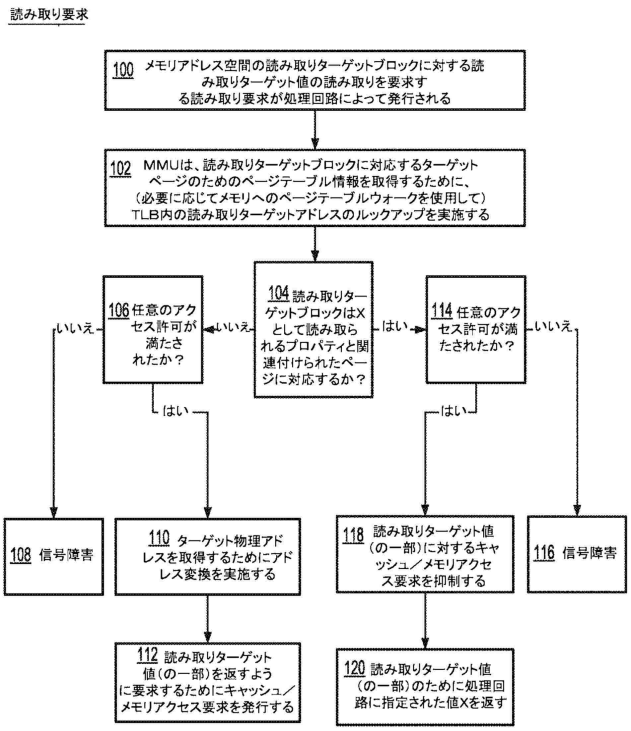
【図２】



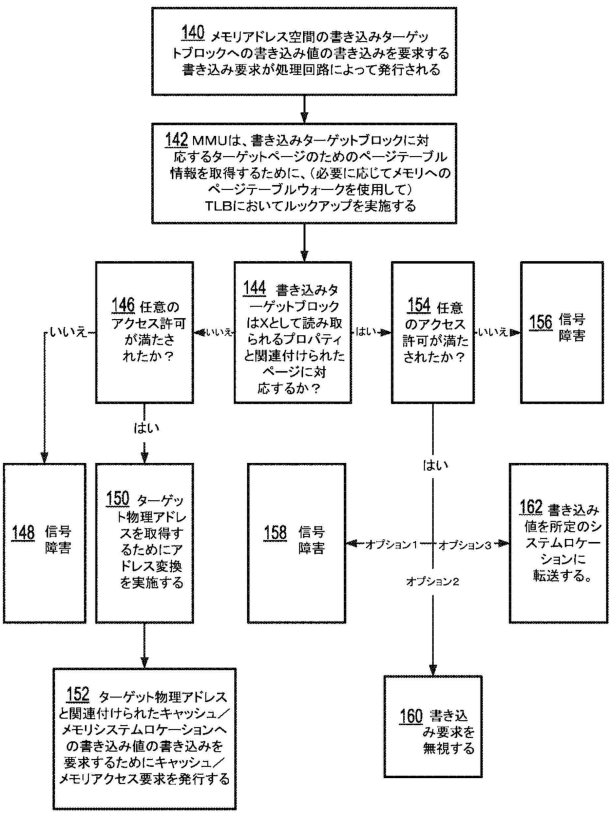
【図３】


Xとして読み取られるメモリ
28
読み取り要求
VA
MMU
キャッシュ／メモリへのアクセスを抑制する
X(ページごとのテーブル情報に割り当てられたXとして読み取られるプロパティから暗示されるX)を返す
28
書き込み要求
VA
MMU
1
信号障害
2
書き込み無視
(1～3の代替的な書き込み挙動)
書き込み値
3
書き込みデータを所定のシステムロケーションに転送する

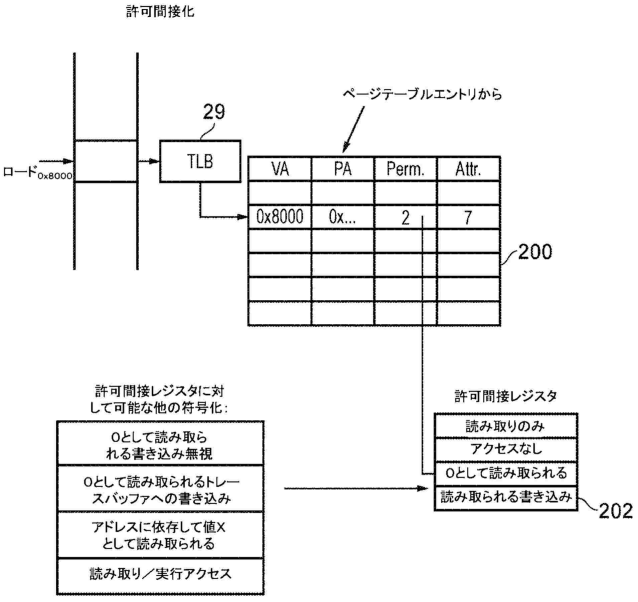
【図４】


読み取り要求
100 メモリアドレス空間の読み取りターゲットブロックに対する読み取りターゲット値の読み取りを要求する読み取り要求が処理回路によって発行される
102 MMUは、読み取りターゲットブロックに対応するターゲットページのためのページテーブル情報を取得するために、(必要に応じてメモリへのページテーブルウォークを使用して)TLB内の読み取りターゲットアドレスのルックアップを実施する
104 読み取りターゲットブロックはXとして読み取られるプロパティと関連付けられたページに対応するか？
106 任意のアクセス許可が満たされたか？
114 任意のアクセス許可が満たされたか？
いいえ
はい
108 信号障害
110 ターゲット物理アドレスを取得するためにアドレス変換を実施する
112 読み取りターゲット値(の一部)を返すように要求するためにキャッシュ／メモリアクセス要求を発行する
116 信号障害
118 読み取りターゲット値(の一部)に対するキャッシュ／メモリアクセス要求を抑制する
120 読み取りターゲット値(の一部)のために処理回路に指定された値Xを返す

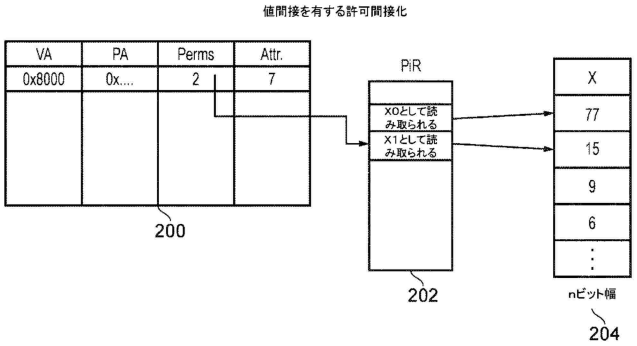
【図５】


書き込み要求
140 メモリアドレス空間の書き込みターゲットブロックへの書き込み値の書き込みを要求する書き込み要求が処理回路によって発行される
142 MMUは、書き込みターゲットブロックに対応するターゲットページのためのページテーブル情報を取得するために、(必要に応じてメモリへのページテーブルウォークを使用して)TLBにおいてルックアップを実施する
144 書き込みターゲットブロックはXとして読み取られるプロパティと関連付けられたページに対応するか？
146 任意のアクセス許可が満たされたか？
154 任意のアクセス許可が満たされたか？
156 信号障害
いいえ
はい
148 信号障害
150 ターゲット物理アドレスを取得するためにアドレス変換を実施する
158 信号障害
162 書き込み値を所定のシステムロケーションに転送する。
オプション1
オプション2
オプション3
152 ターゲット物理アドレスと関連付けられたキャッシュ／メモリシステムロケーションへの書き込み値の書き込みを要求するためにキャッシュ／メモリアクセス要求を発行する
160 書き込み要求を無視する

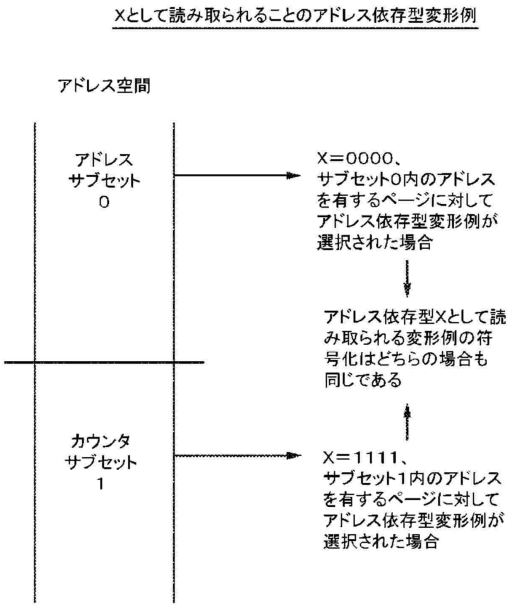
【図６】


許可間接化
ロード 0x8000
29
TLB
ページテーブルエントリから
VA
PA
Perm.
Attr.
0x8000
0x...
2
7
200
許可間接レジスタに対して可能な他の符号化：
0として読み取られる書き込み無視
0として読み取られるトレースバッファへの書き込み
アドレスに依存して値Xとして読み取られる
読み取り／実行アクセス
許可間接レジスタ
読み取りのみ
アクセスなし
0として読み取られる
読み取られる書き込み
202

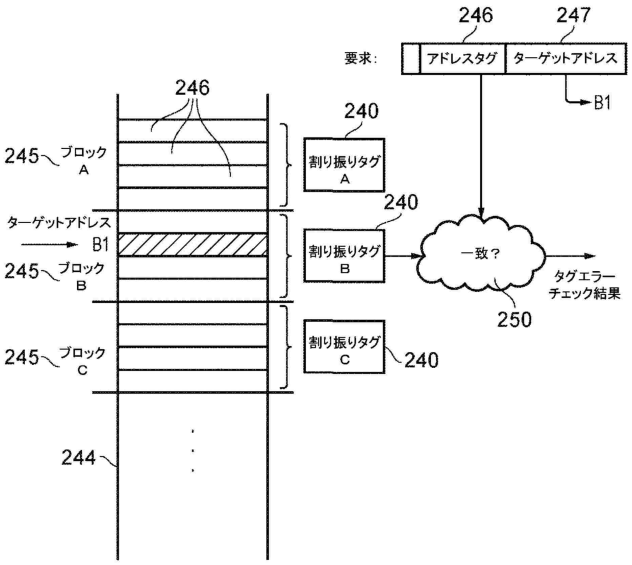
【図７】


値間接を有する許可間接化
VA
PA
Perms
Attr.
0x8000
0x....
2
7
200
PiR
X0として読み取られる
X1として読み取られる
202
X
77
15
9
6
nビット幅
204

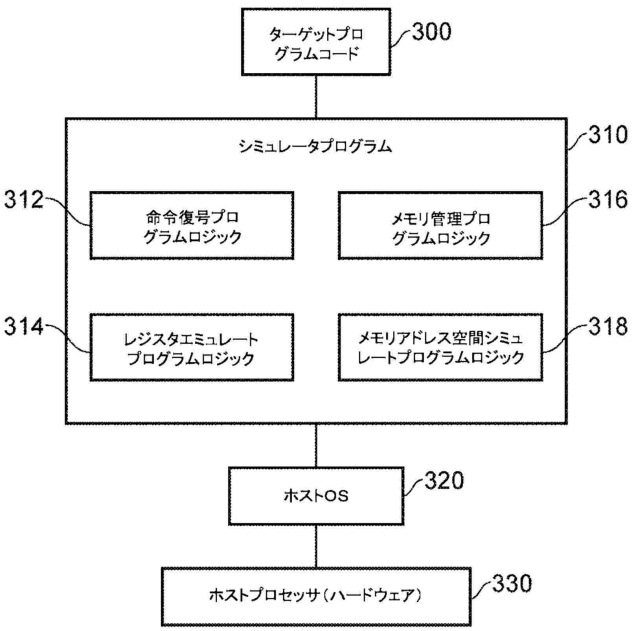
【図８】


Xとして読み取られることのアドレス依存型変形例
アドレス空間
アドレス
サブセット
0
X=0000、
サブセット0内のアドレス
を有するページに対して
アドレス依存型変形例が
選択された場合
アドレス依存型Xとして読
み取られる変形例の符
号化はどちらの場合も
同じである
カウンタ
サブセット
1
X=1111、
サブセット1内のアドレス
を有するページに対して
アドレス依存型変形例が
選択された場合

【図９】


246
247
要求:
アドレスタグ
ターゲットアドレス
B1
246
240
245
ブロック
A
割り振りタグ
A
ターゲットアドレス
B1
240
245
ブロック
B
割り振りタグ
B
一致?
タグエラー
チェック結果
250
245
ブロック
C
割り振りタグ
C
240
244

【図１０】


ターゲットプロ
グラムコード
300
シミュレータプログラム
310
312
命令復号プロ
グラムロジック
メモリ管理プロ
グラムロジック
316
314
レジスタエミュレート
プログラムロジック
メモリアドレス空間シミュ
レートプログラムロジック
318
ホストOS
320
ホストプロセッサ（ハードウェア）
330

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2022/053304

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F12/1009 G06F12/1027
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 3 671 474 A1 (INTEL CORP) 24 June 2020 (2020-06-24) paragraph [0027] - paragraph [0049]; claims 4,12; figures 1-5 paragraph [0075] - paragraph [0081]	1-22
X	US 2015/089146 A1 (GOTWALT DAVID A [US] ET AL) 26 March 2015 (2015-03-26) paragraph [0022] - paragraph [0029] paragraph [0073] - paragraph [0079]	1,20-22
X	US 2016/019168 A1 (RYCHLIK BOHUSLAV [US] ET AL) 21 January 2016 (2016-01-21) paragraph [0031] - paragraph [0037] paragraph [0070] - paragraph [0075]	1,20-22

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance;; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance;; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 March 2023	22/03/2023

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Toader, Elena Lidia

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/GB2022/053304

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 3671474 A1	24-06-2020	CN 111353157 A	30-06-2020
		DE 202019005669 U1	10-06-2021
		EP 3671474 A1	24-06-2020
		US 2020204356 A1	25-06-2020
		US 2021399882 A1	23-12-2021
US 2015089146 A1	26-03-2015	CN 105556487 A	04-05-2016
		EP 3049939 A1	03-08-2016
		JP 6110044 B2	05-04-2017
		JP 2016534486 A	04-11-2016
		US 2015089146 A1	26-03-2015
		WO 2015047642 A1	02-04-2015
US 2016019168 A1	21-01-2016	CN 106575264 A	19-04-2017
		EP 3170086 A1	24-05-2017
		JP 2017530436 A	12-10-2017
		KR 20170031697 A	21-03-2017
		TW 201610680 A	16-03-2016
		US 2016019168 A1	21-01-2016
		WO 2016010704 A1	21-01-2016

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ケンブリッジシャー ケンブリッジ フルボーン ロード １１０ アーム リミテッド 宛

Ｆターム（参考） 5B160 AB25 CB01

5B205 MM51 NN42 RR04