(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03L 7/00

(45) 공고일자 2002년01월10일
(11) 등록번호 10-0319890
(24) 등록일자 2001년12월22일

(21) 출원번호 10-1999-0002404
(22) 출원일자 1999년01월26일

(65) 공개번호 특2000-0051784
(43) 공개일자 2000년08월16일

(73) 특허권자 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 윤홍일
서울특별시송파구문정동훼밀리아파트204동1404호
유창식
경기도용인시기흥읍농서리산24

(74) 대리인 이영필
권석흠
정상빈

심사관 : 김종화

(54) 지연동기루프 및 이에 대한 제어방법

요약

회로가 간단하고 락킹 시간이 짧으며 부정확한 상태, 즉 tTOTAL(지연라인의 총 지연) = 2T(입력클럭 신호의 주기)에서 락되는 것을 방지할 수 있는 아나로그 지연동기 루프 및 이에 대한 제어방법이 개시된다. 지연라인은 직렬로 연결되는 복수개의 단위 지연기들을 포함한다. 위상 검출기는, 상기 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호의 상승에지 후에 상기 지연라인의 입력클럭 신호의 상승에지가 상기 지연라인의 출력클럭 신호의 상승에지에 대해 리드할 때는 제1출력신호를 활성화시키고, 상기 중간클럭 신호의 상승에지 후에 상기 출력클럭 신호의 상승에지가 상기 입력클럭 신호의 상승에지에 대해 리드할 때는 제2출력신호를 활성화시킨다. 전하펌프 회로는, 상기 제1출력신호에 응답하여 상기 단위 지연기들의 지연시간을 감소시키고, 상기 제2출력신호에 응답하여 상기 단위 지연기들의 지연시간을 증가시킨다.

대표도
도 4

명세서

도면의 간단한 설명

도 1은 종래의 아나로그 지연동기 루프의 블락도

도 2a 및 도 2b는 RS형 위상검출기의 동작 타이밍도

도 3a 및 도 3b는 삼상 위상주파수 검출기의 동작 타이밍도

도 4는 본 발명에 따른 아나로그 지연동기 루프의 블락도

도 5a는 tTOTAL <T인 경우 입력클럭 신호(CLKIN), 중간클럭 신호(CLKMID), 및 출력클럭 신호(CLKOUT)의 타이밍도

도 5b는 tTOTAL >T인 경우 입력클럭 신호(CLKIN), 중간클럭 신호(CLKMID), 및 출력클럭 신호(CLKOUT)의 타이밍도

도 6은 도 4에 도시된 위상 검출기의 일실시예를 나타내는 회로도

도 7은 도 6에 도시된 위상 검출기의 상태 천이도

도 8은 도 6에 도시된 위상 검출기의 동작 타이밍도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리장치에 관한 것으로, 특히 반도체 메모리장치의 지연동기 루프(DLL, Delay Locked Loop)에 관한 것이다.

외부클럭 신호에 동기되어 동작하는 반도체 메모리장치에서는, 내부클럭 신호가 외부클럭 신호에 비해 일정 시간 지연될 경우 반도체 메모리장치의 고주파수 동작 성능이 저하된다. 특히 외부클럭 신호 인가 후 데이터가 출력되는 시간, 즉 출력 데이터 액세스 시간(tAC)이 길어진다. 따라서 반도체 메모리장치의 고주파수 동작 성능의 저하를 방지하기 위해서 내부클럭 신호의 위상을 외부클럭 신호의 위상에 정확히 동기시키는 회로가 요구되며, 일반적으로 지연동기 루프가 사용된다. 또한 지연동기 루프는, 클럭 리커버리(Clock Recovery) 씨스템, 정확한 타임 투 디지털 변환(Precise time-to-digital conversion), 및 고속 시어리얼 링크(High speed serial links)등에 널리 사용된다.

한편 응용에 따라 아나로그 지연동기 루프(Analog DLL), 디지털 지연동기 루프(Digital DLL), 및 하이브리드 지연동기 루프(Hybrid DLL)중 어느 하나가 사용될 수 있다. 특히 상기 아나로그 지연동기 루프는 우수한 지터 특성(Jitter Characteristics)을 갖는 반면에 내부클럭 신호가 기준클럭 신호, 예컨데 외부클럭 신호에 대하여 한 주기 이상 지연되는 부정확한 상태(False State)로 락(Lock)될 수 있는 근본적인 문제점을 갖고 있다. 상기 부정확한 락킹은 지터 누적(Jitter Accumulation) 뿐만 아니라 증가된 잡음 민감도(Noise Susceptibility) 때문에 바람직하지 않다.

도 1에 종래의 아나로그 지연동기 루프가 도시되어 있다.

도 1을 참조하면, 상기 종래의 아나로그 지연동기 루프는, 직렬로 연결되는 복수개의 단위 지연기들(d1 내지 dn)을 포함하는 지연라인(11), 상기 입력클럭 신호(CLKIN)와 상기 출력클럭 신호(CLKOUT)를 받아 그들 사이의 위상차를 검출하는 위상 검출기(13), 및 상기 위상 검출기(13)의 출력신호들(FWD, BCK)에 응답하여 상기 단위 지연기들(d1 내지 dn)의 지연시간을 가변시키기 위한 제어전압을 발생하는 전하펌프 회로(15)를 구비한다. 여기에서 상기 입력클럭 신호(CLKIN)는 외부클럭 신호에 해당하고 상기 출력클럭 신호(CLKOUT)는 내부클럭 신호에 해당한다.

상기 위상 검출기(13)로서 RS형 위상검출기 또는 삼상 위상주파수 검출기(Three-state Phase Frequency Dector, PFD)가 사용된다. 상기 RS형 위상검출기의 동작 타이밍도가 도 2a 및 도 2b에 도시되어 있으며, 상기 삼상 위상주파수 검출기의 동작 타이밍도가 도 3a 및 도 3b에 도시되어 있다. 도 2a 및 도 3a는 상기 지연라인(11)의 총 지연(tTOTAL)이 상기 입력클럭 신호(CLKIN)의 주기(T) 보다 작은 경우, 즉 tTOTAL = △인 경우를 나타내고, 도 2b 및 도 3b는 상기 지연라인(11)의 총 지연(tTOTAL)이 상기 입력클럭 신호(CLKIN)의 주기(T) 보다 큰 경우, 즉 tTOTAL = △+T인 경우를 나타낸다.

상기 위상 검출기(13)로서 RS형 위상검출기 또는 삼상 위상주파수 검출기가 사용되는 상기 종래의 아나로그 지연동기 루프에서는, tTOTAL = △인 경우에는 출력신호(FWD)가 상기 전하펌프 회로(15)를 제어하여 상기 단위 지연기들(d1 내지 dn)의 지연시간을 증가시키며, 결국 상기 아나로그 지연동기 루프는 tTOTAL = T에서 정확히 락된다. 그런데 tTOTAL = △+T인 경우에는, tTOTAL = △인 경우에서와 동일한 출력신호들(BCK, FWD)이 출력되며, 이로 인하여 상기 아나로그 지연동기 루프는 부정확한 상태, 즉 tTOTAL = 2T에서 락된다.

다시말해, 상기 RS형 위상검출기 또는 삼상 위상주파수 검출기는 tTOTAL = △+mT(m=0,1,2,...)인 경우들에 대하여 동일한 출력신호들(BCK, FWD)을 출력하며, 이로 인하여 tTOTAL = △+mT(m=1,2,...)인 경우에는 상기 아나로그 지연동기 루프가 부정확한 상태, 즉 tTOTAL = nT(n=2,3,4,...)에서 락되는 문제점이 있다. 특히 상기 단위 지연기들(d1 내지 dn)은 제한된 범위의 지연을 갖기 때문에, 상기 아나로그 지연동기 루프가 tTOTAL = 2T에서 락될 가능성이 가장 높다.

한편 상기 부정확한 락킹을 방지하기 위해, 상기 아나로그 지연동기 루프가 상기 단위 지연기들(d1 내지 dn)의 지연시간이 증가되어야 하는지 감소되어야 하는지를 알 수 있도록 상기 단위 지연기들(d1 내지 dn)의 지연시간이 최소 또는 최대로 초기화될 수 있다. 그러나 이를 구현하기 위해서는 부가적인 회로들이 추가되어야 하고 또한 락킹 시간이 길어지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는, 회로가 간단하고 락킹 시간이 짧으며 부정확한 상태, 즉 tTOTAL = 2T에서 락되는 것을 방지할 수 있는 아나로그 지연동기 루프를 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는, 그 구현 회로가 간단하고 락킹 시간이 짧으며 부정확한 상태, 즉 tTOTAL = 2T에서 락되는 것을 방지할 수 있는 아나로그 지연동기 루프에 대한 제어방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 지연동기 루프는, 직렬로 연결되는 복수개의 단위 지연기들을 포함하는 지연라인, 상기 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호의 상승에지 후에 상기 지연라인의 입력클럭 신호의 상승에지가 상기 지연라인의 출력클럭 신호의 상승에지에 대해 리드할 때는 제1출력신호를 활성화시키고, 상기 중간클럭 신호의 상승에지 후에 상기 출력클럭 신호의 상승에지가 상기 입력클럭 신호의 상승에지에 대해 리드할 때는 제2출력신호를 활성화시키는 위상 검출기를 구비하는 것을 특징으로 한다.

상기 본 발명에 따른 지연동기 루프는, 상기 제1출력신호에 응답하여 상기 단위 지연기들의 지연시간을 감소시키고, 상기 제2출력신호에 응답하여 상기 단위 지연기들의 지연시간을 증가시키는 전하펌프 회로를 더 구비한다.

바람직한 실시예에 의하면, 상기 위상 검출기는, 제1 내지 제3플립플럽, 및 앤드게이트를 포함한다. 상기 제1플립플럽은, 상기 중간클럭 신호의 상승에지에 응답하여 준비신호를 활성화시키고, 리셋 신호에 응답하여 상기 준비신호를 비활성화시킨다. 상기 제2플립플럽은, 상기 준비신호가 활성화된 상태에서 상기 입력클럭 신호의 상승에지에 응답하여 상기 제1출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제1출력신호를 비활성화시킨다. 상기 제3플립플럽은, 상기 준비신호가 활성화된 상태에서 상기 출력클럭 신호의 상승에지에 응답하여 상기 제2출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제2출력신호를 비활성화시킨다. 상기 앤드게이트는, 상기 준비신호, 상기 제1출력신호, 및 상기 제2출력신호가 모두 활성화될 때 상기 리셋 신호를 활성화시킨다.

상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 지연동기 루프에 대한 제어방법은, 직렬로 연결되는 복수개의 단위 지연기들을 포함하는 지연라인을 구비하는 지연동기 루프 회로에 대한 제어방법에 있어서, 상기 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호의 상승에지 후에 상기 지연라인의 입력클럭 신호의 상승에지가 상기 지연라인의 출력클럭 신호의 상승에지에 대해 리드할 때는 상기 단위 지연기들의 지연시간을 감소시키는 단계, 및 상기 중간클럭 신호의 상승에지 후에 상기 출력클럭 신호의 상승에지가 상기 입력클럭 신호의 상승에지에 대해 리드할 때는 상기 단위 지연기들의 지연시간을 증가시키는 단계를 구비하는 것을 특징으로 한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예에 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면상에서 동일한 부호 및 번호는 동일한 요소를 지칭한다.

도 4는 본 발명에 따른 아나로그 지연동기 루프의 블락도이다.

도 4를 참조하면, 상기 본 발명에 따른 아나로그 지연동기 루프는, 지연라인(41), 위상 검출기(43), 및 전하펌프 회로(45)를 구비하며, 본 발명에 따른 제어방법에 따라 동작된다.

상기 지연라인(41)은 직렬로 연결되는 복수개의 단위 지연기들(d1 내지 dn)을 포함하며 입력클럭 신호(CLKIN)를 지연시켜 출력클럭 신호(CLKOUT)를 출력한다. 특히 상기 위상 검출기(43)는 상기 입력클럭 신호(CLKIN), 상기 단위 지연기들(d1 내지 dn)중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호(CLKMID), 및 상기 출력클럭 신호(CLKOUT)를 받아 그들 사이의 위상차를 검출하여 제1 및 제2출력신호(BCK, FWD)를 발생한다.

상기 중간클럭 신호(CLKMID)로서 첫단의 단위 지연기(d1)와 마지막단의 단위 지연기(dn) 사이에 위치하는 임의의 단위 지연기의 출력신호가 선택될 수 있다. 그러나 상기 중간클럭 신호(CLKMID)는 상기 첫단의 단위 지연기(d1)와 상기 마지막단의 단위 지연기(dn) 사이에서 정 중간에 위치하는 단위 지연기의 출력신호인 것이 가장 바람직하다.

상기 전하펌프 회로(45)는 상기 제1 및 제2출력신호(BCK, FWD)에 응답하여 상기 단위 지연기들(d1 내지 dn)의 지연시간을 가변시키기 위한 제어전압(VCON)을 발생한다. 상기 전하펌프 회로(45)는 통상의 전하펌프 회로로서 일정한 전류능력을 갖는 루프 커패시터(미도시)를 충전 또는 방전시키기 위해 상기 제1 및 제2출력신호(BCK, FWD)에 의해 제어된다.

좀더 설명하면, 상기 지연라인(41)의 총 지연(tTOTAL)이 상기 입력클럭 신호(CLKIN)의 주기(T) 보다 작은 경우, 즉 tTOTAL <T인 경우와 상기 지연라인(41)의 총 지연(tTOTAL)이 상기 입력클럭 신호(CLKIN)의 주기(T) 보다 큰 경우, 즉 tTOTAL >T인 경우를 구별하기 위해서, 상기 위상 검출기(43)에 상기 중간클럭 신호(CLKMID)가 입력된다. 도 5a에서 볼 수 있듯이, tTOTAL <T인 경우 상승에지들의 순서는 CLKIN, CLKMID, CLKOUT, CLKIN, CLKMID, CLKOUT,...이다. 또한 도 5b에서 볼 수 있듯이, tTOTAL >T인 경우 상승에지들의 순서는 CLKIN, CLKOUT, CLKMID, CLKIN, CLKOUT, CLKMID,...이다. 따라서 상기 위상 검출기(43)는 상승에지들의 순서를 모니터링함으로써 tTOTAL <T인지 tTOTAL >T인지를 구별한다.

즉 상기 위상 검출기(43)는 CLKMID의 상승에지 후에 CLKIN의 상승에지가 CLKOUT의 상승에지에 대해 리드할 때는 tTOTAL >T이라고 판단한다(도 5b 경우). 이에 따라 상기 위상 검출기(43)의 제1출력신호(BCK)에 의해 상기 전하펌프 회로(45)가 제어되어 상기 단위 지연기들(d1 내지 dn)의 지연시간이 감소되며, 따라서 상기 아나로그 지연동기 루프는 tTOTAL = T에서 정확히 락된다. 또한 상기 위상 검출기(43)는 CLKMID의 상승에지 후에 CLKOUT의 상승에지가 CLKIN의 상승에지에 대해 리드할 때는 tTOTAL <T이라고 판단한다(도 5a 경우). 이에 따라 상기 위상 검출기(43)의 제2출력신호(FWD)에 의해 상기 전하펌프 회로(45)가 제어되어 상기 단위 지연기들(d1 내지 dn)의 지연시간이 증가되며, 마찬가지로 상기 아나로그 지연동기 루프는 tTOTAL = T에서 정확히 락된다.

도 6은 도 4에 도시된 위상 검출기의 일실시예를 나타낸다.

도 6을 참조하면, 상기 위상 검출기는, 제1 내지 제3플립플럽(61, 63, 65), 및 앤드게이트(67)를 포함한다.

상기 제1플립플럽(61)은, 상기 중간클럭 신호(CLKMID)의 상승에지에 응답하여 출력인 준비신호(RDY)를 논리'하이'로 활성화시키고, 리셋 신호(RESET)에 응답하여 상기 준비신호(RDY)를 논리'로우'로 비활성화시킨다. 상기 제2플립플럽(63)은, 상기 준비신호(RDY)가 논리'하이'로 활성화된 상태에서 상기 입력클럭 신호(CLKIN)의 상승에지에 응답하여 출력인 상기 제1출력신호(BCK)를 논리'하이'로 활성화시키고, 상기 리셋 신호(RESET)에 응답하여 상기 제1출력신호(BCK)를 논리'로우'로 비활성화시킨다.

상기 제3플립플럽(65)은, 상기 준비신호(RDY)가 논리'하이'로 활성화된 상태에서 상기 출력클럭 신호(CLKOUT)의 상승에지에 응답하여 출력인 상기 제2출력신호(FWD)를 논리'하이'로 활성화시키고, 상기 리셋 신호(RESET)에 응답하여 상기 제2출력신호(FWD)를 논리'로우'로 비활성화시킨다. 상기 앤드게이트(67)는, 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'하이'로 활성화될 때 상기 리셋 신호(RESET)를 논리'하이'로 활성화시킨다. 상기 리셋 신호(RESET)가 논리'하이'로 활성화된 직후 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'로우'로 비활성화된다. 즉 초기화된다.

도 7은 도 6에 도시된 위상 검출기의 상태 천이도(State Transition Diagram)를 나타내고, 도 8은 도 6에 도시된 위상 검출기의 동작 타이밍도를 나타낸다.

이하 도 7 및 도 8을 참조하여 도 6에 도시된 위상 검출기의 동작과 도 4에 도시된 본 발명에 따른 아나로그 지연동기 루프의 동작을 좀더 설명하겠다.

먼저 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'하이'로 될 때 상기 리셋 신호(RESET)가 논리'하이'로 되어, 상기 제1 내지 제3플립플럽(61, 63, 65)이 리셋된다(Disabled 상태, 도 7의 91). 즉 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'로우'로 초기화된다. 다음에 상기 중간클럭 신호(CLKMID)의 상승에지에 응답하여 상기 준비신호(RDY)가 논리'하이'로 활성화된다(Ready 상태, 도 7의 93).

상기 준비신호(RDY)가 논리'하이'로 활성화된 후 상기 출력클럭 신호(CLKOUT)의 상승에지가 상기 입력클럭 신호(CLKIN)의 상승에지에 비해 앞서 나타날 때(도 8a 경우), 먼저 상기 출력클럭 신호(CLKOUT)의 상승에지에 응답하여 상기 제2출력신호(FWD)가 논리'하이'로 활성화된다. 이에 따라 상기 제2출력신호(FWD)에 의해 상기 전하펌프 회로(45)가 제어되어 상기 단위 지연기들(d1 내지 dn)의 지연시간이 증가된다(Forward 상태, 도 7의 97). 다음에 상기 입력클럭 신호(CLKIN)의 상승에지에 응답하여 상기 제1출력신호(BCK)가 논리'하이'로 활성화되며, 이에 따라 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'하이'로 되어 상기 제1 내지 제3 플립플럽(61, 63, 65)이 다시 리셋된다(Disabled 상태, 도 7의 91). 즉 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'로우'로 다시 초기화된다.

상기 준비신호(RDY)가 논리'하이'로 활성화된 후 상기 입력클럭 신호(CLKIN)의 상승에지가 상기 출력클럭 신호(CLKOUT)의 상승에지에 비해 앞서 나타날 때(도 8b 경우), 먼저 상기 입력클럭 신호(CLKIN)의 상승에지에 응답하여 상기 제1출력신호(BCK)가 논리'하이'로 활성화된다. 이에 따라 상기 제1출력신호(BCK)에 의해 상기 전하펌프 회로(45)가 제어되어 상기 단위 지연기들(d1 내지 dn)의 지연시간이 감소된다(Backward 상태, 도 7의 95). 다음에 상기 출력클럭 신호(CLKOUT)의 상승에지에 응답하여 상기 제2출력신호(FWD)가 논리'하이'로 활성화되며, 이에 따라 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'하이'로 되어 상기 제1 내지 제3플립플럽(61, 63, 65)이 다시 리셋된다(Disabled 상태, 도 7의 91). 즉 상기 준비신호(RDY), 상기 제1출력신호(BCK), 및 상기 제2출력신호(FWD)가 모두 논리'로우'로 다시 초기화된다.

따라서 상기 위상검출기는 상기 단위 지연기들(d1 내지 dn)의 지연시간을 정확히 제어할 수 있으며 지연동기 루프가 부정확한 상태, 즉 tTOTAL = 2T에서 락되는 것을 방지할 수 있다. 이에 따라 상기 위상 검출기를 구비하는 본 발명에 따른 지연동기 루프는 tTOTAL <T인 경우 및 tTOTAL >T인 경우 공히 tTOTAL = T에서 정확히 락된다. 또한 상기 본 발명에 따른 지연동기 루프는 회로가 간단하고 락킹 시간이 짧은 장점이 있다.

발명의 효과

상술한 바와 같이 본 발명에 따른 지연동기 루프 및 이의 제어방법은, tTOTAL <T인 경우 및 tTOTAL >T인 경우 공히 tTOTAL = T에서 정확히 락되며 또한 회로가 간단하고 락킹 시간이 짧은 장점이 있다.

(57) 청구의 범위

청구항 1.

직렬로 연결되는 복수개의 단위 지연기들을 포함하는 지연라인;

상기 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호의 상승에지 후에 상기 지연라인의 입력클럭 신호의 상승에지가 상기 지연라인의 출력클럭 신호의 상승에지에 대해 리드할 때는 제1출력신호를 활성화시키고, 상기 중간클럭 신호의 상승에지 후에 상기 출력클럭 신호의 상승에지가 상기 입력클럭 신호의 상승에지에 대해 리드할 때는 제2출력신호를 활성화시키는 위상 검출기; 및

상기 제1출력신호에 응답하여 상기 단위 지연기들의 지연시간을 감소시키고, 상기 제2출력신호에 응답하여 상기 단위 지연기들의 지연시간을 증가시키는 전하펌프 회로를 구비하는 것을 특징으로 하는 지연동기 루프 회로.

청구항 2.

제1항에 있어서, 상기 위상 검출기는,

상기 중간클럭 신호의 상승에지에 응답하여 준비신호를 활성화시키고, 리셋 신호에 응답하여 상기 준비신호를 비활성화시키는 제1플립플럽;

상기 준비신호가 활성화된 상태에서 상기 입력클럭 신호의 상승에지에 응답하여 상기 제1출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제1출력신호를 비활성화시키는 제2플립플럽;

상기 준비신호가 활성화된 상태에서 상기 출력클럭 신호의 상승에지에 응답하여 상기 제2출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제2출력신호를 비활성화시키는 제3플립플럽; 및

상기 준비신호, 상기 제1출력신호, 및 상기 제2출력신호가 모두 활성화될 때 상기 리셋 신호를 활성화시키는 논리회로를 구비하는 것을 특징으로 하는 지연동기 루프 회로.

청구항 3.

직렬로 연결되는 복수개의 단위 지연기들을 포함하는 지연라인;

상기 지연라인의 입력클럭 신호, 상기 직렬로 연결되는 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호, 및 상기 지연라인의 출력클럭 신호를 받아 그들 사이의 위상차를 검출하여 제1 및 제2출력신호를 발생하는 위상 검출기; 및

상기 제1 및 제2출력신호에 응답하여 상기 단위 지연기들의 지연시간을 가변시키기 위한 제어전압을 발생하는 전하펌프 회로를 구비하는 것을 특징으로 하는 지연동기 루프 회로.

청구항 4.

제3항에 있어서, 상기 위상 검출기는,

상기 중간클럭 신호의 상승에지에 응답하여 준비신호를 활성화시키고, 리셋 신호에 응답하여 상기 준비신호를 비활성화시키는 제1플립플럽;

상기 준비신호가 활성화된 상태에서 상기 입력클럭 신호의 상승에지에 응답하여 상기 제1출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제1출력신호를 비활성화시키는 제2플립플럽;

상기 준비신호가 활성화된 상태에서 상기 출력클럭 신호의 상승에지에 응답하여 상기 제2출력신호를 활성화시키고, 상기 리셋 신호에 응답하여 상기 제2출력신호를 비활성화시키는 제3플립플럽; 및

상기 준비신호, 상기 제1출력신호, 및 상기 제2출력신호가 모두 활성화될 때 상기 리셋 신호를 활성화시키는 논리회로를 구비하는 것을 특징으로 하는 지연동기 루프 회로.

청구항 5.

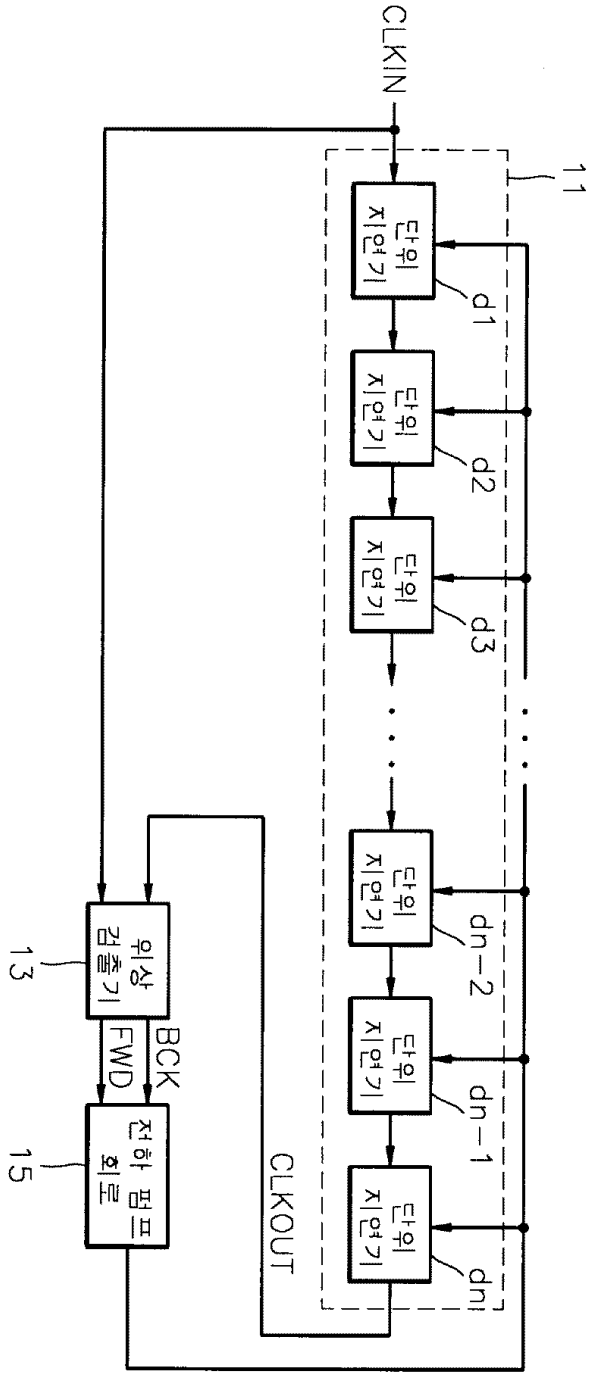
직렬로 연결되는 복수개의 단위 지연기들을 포함하는 지연라인을 구비하는 지연동기 루프 회로에 대한 제어방법에 있어서,

상기 단위 지연기들중 중간에 위치하는 단위 지연기로부터 출력되는 중간클럭 신호의 상승에지 후에 상기 지연라인의 입력클럭 신호의 상승에지가 상기 지연라인의 출력클럭 신호의 상승에지에 대해 리드할 때는 상기 단위 지연기들의 지연시간을 감소시키는 단계; 및

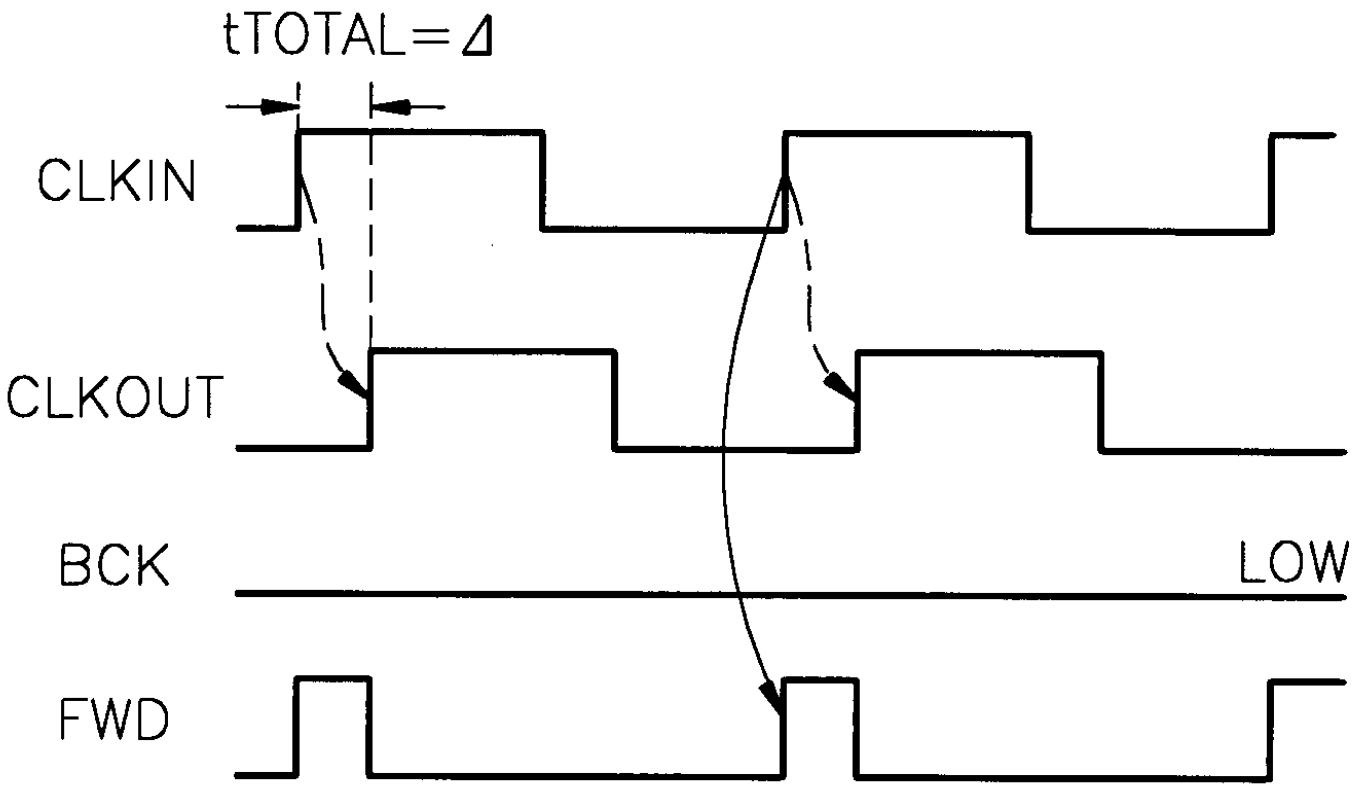
상기 중간클럭 신호의 상승에지 후에 상기 출력클럭 신호의 상승에지가 상기 입력클럭 신호의 상승에지에 대해 리드할 때는 상기 단위 지연기들의 지연시간을 증가시키는 단계를 구비하는 것을 특징으로 하는 지연동기 루프 회로에 대한 제어방법.

도면

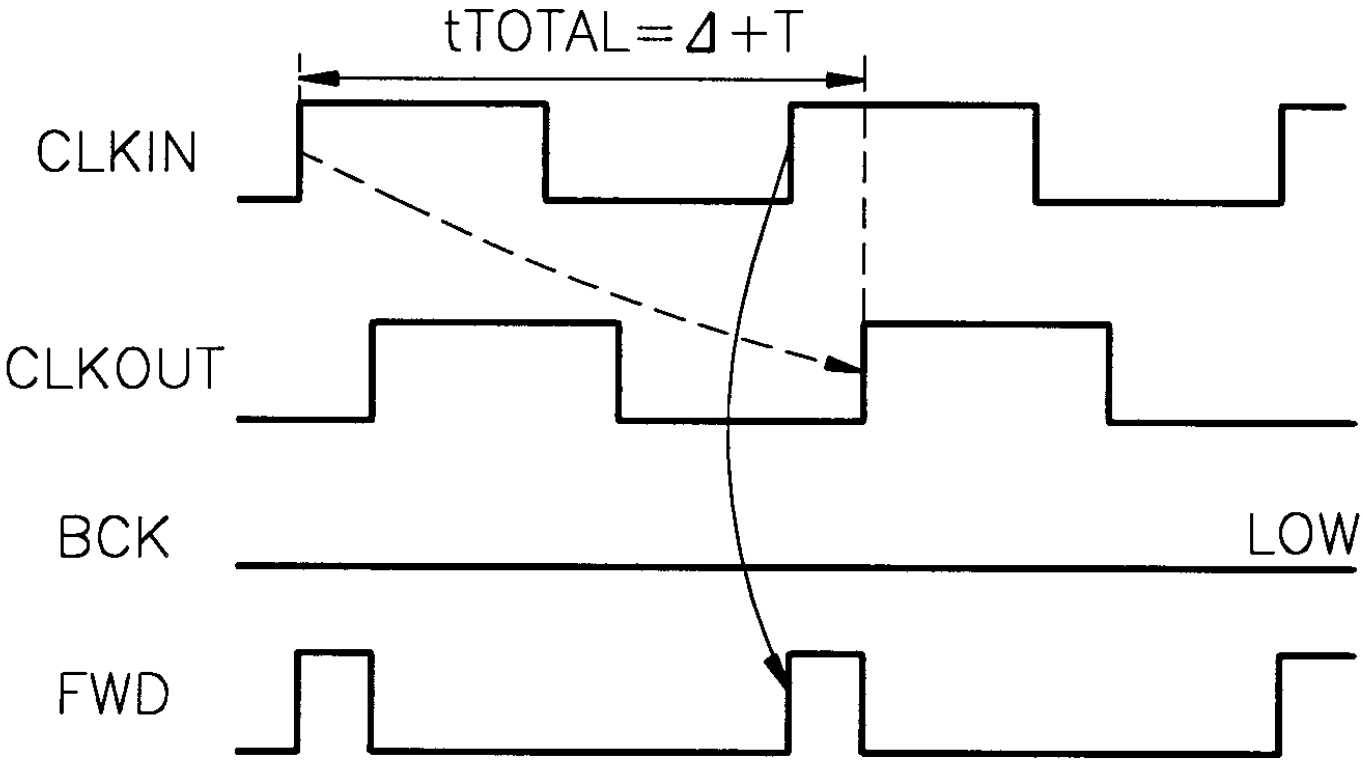
도면 1



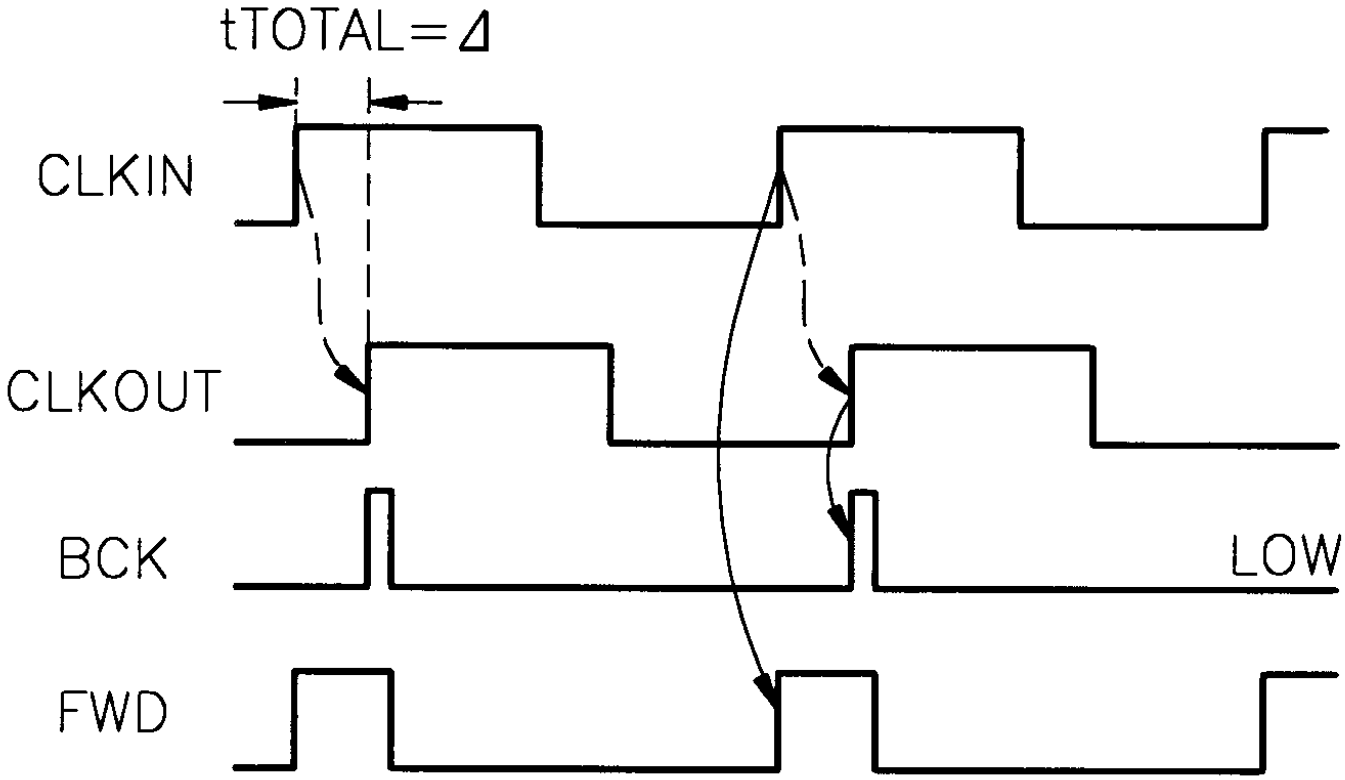
도면 2a


tTOTAL=Δ
CLKIN
CLKOUT
BCK
LOW
FWD

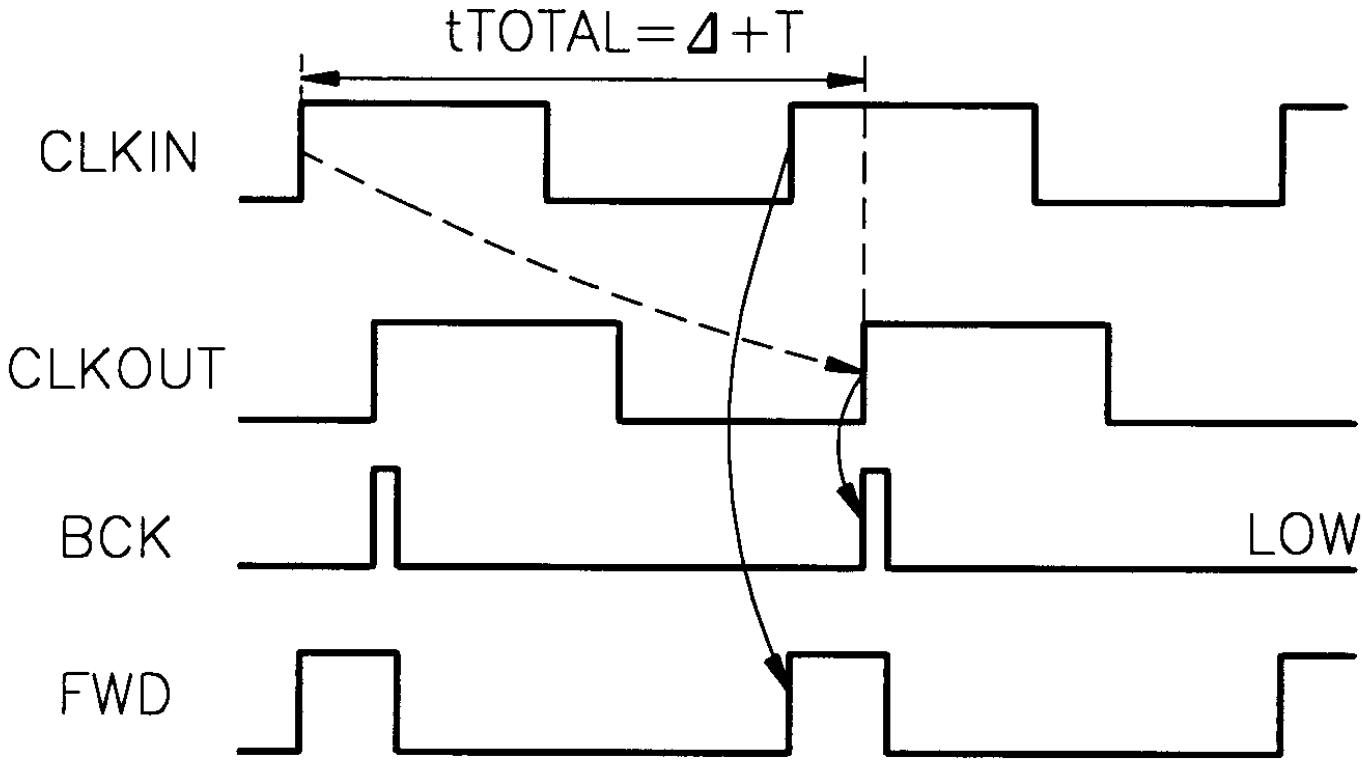
도면 2b


tTOTAL=Δ+T
CLKIN
CLKOUT
BCK
LOW
FWD

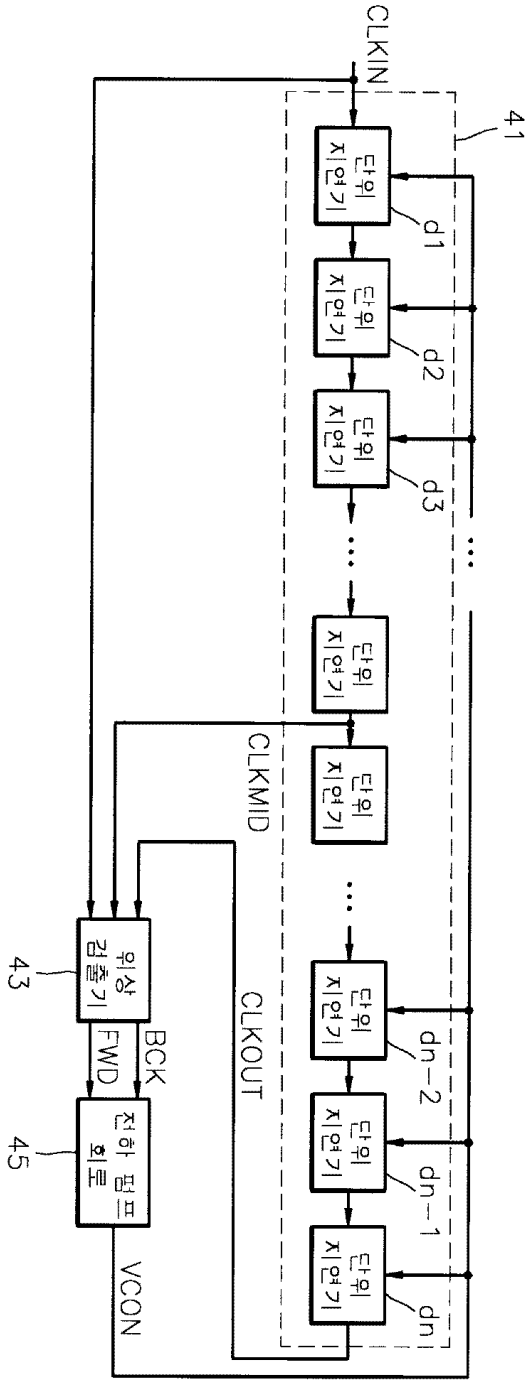
도면 3a


tTOTAL=Δ
CLKIN
CLKOUT
BCK
LOW
FWD

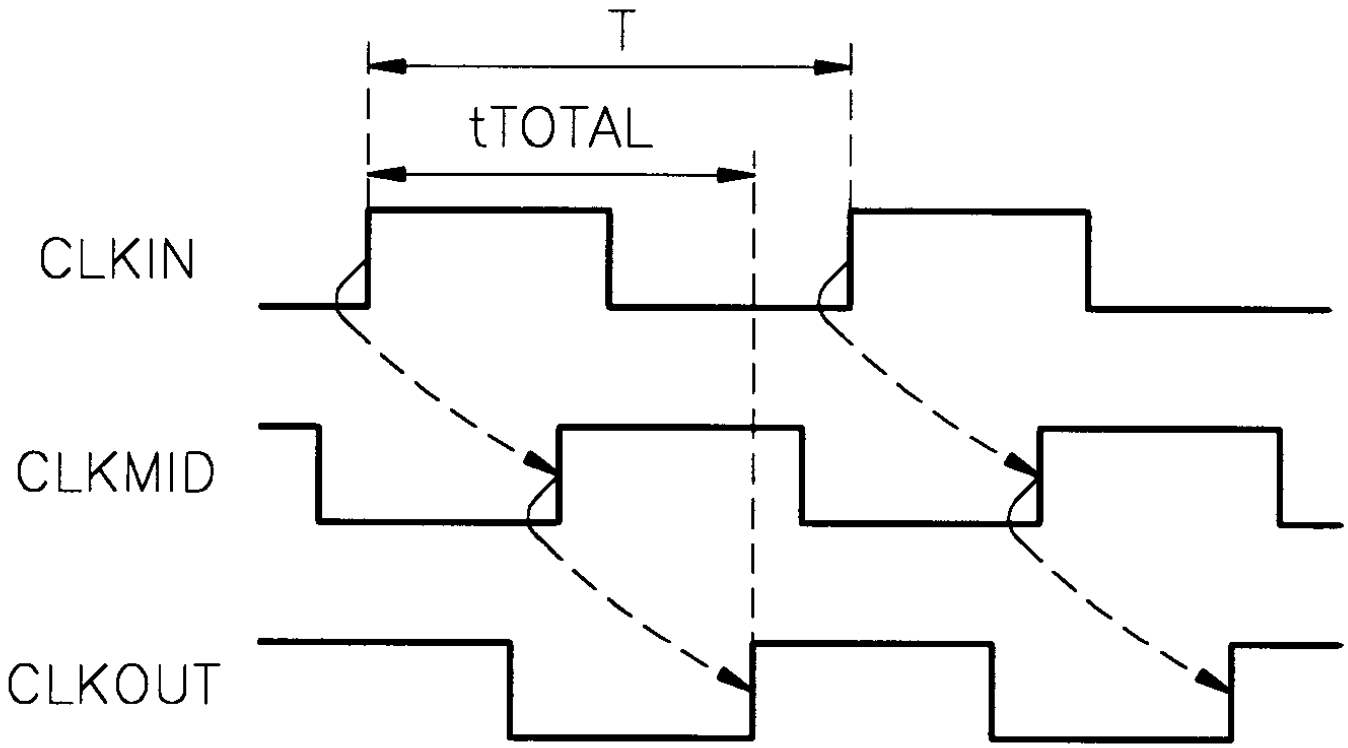
도면 3b


tTOTAL=Δ+T
CLKIN
CLKOUT
BCK
LOW
FWD

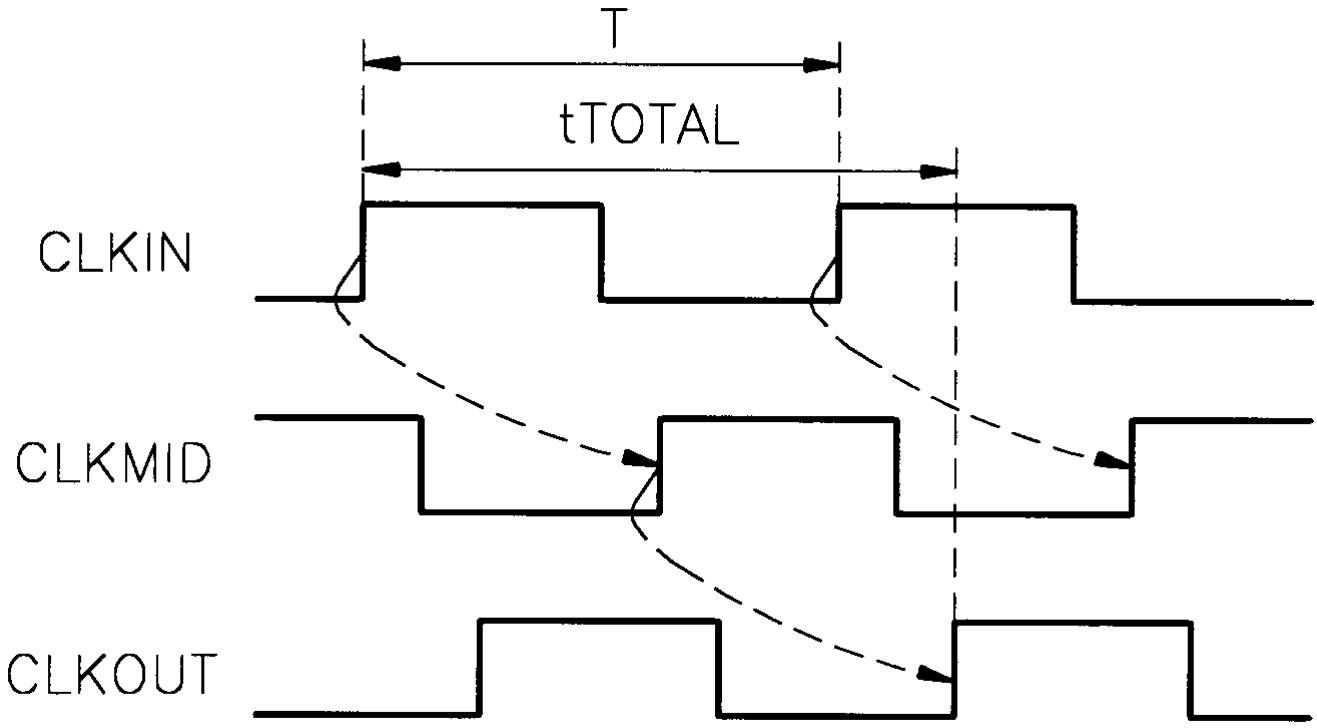
도면 4


CLKIN
41
단위 지연기
d1
d2
d3
dn-2
dn-1
dn
CLKMID
CLKOUT
위상 검출기
43
FWD
BCK
전하 펌프 회로
45
VCON

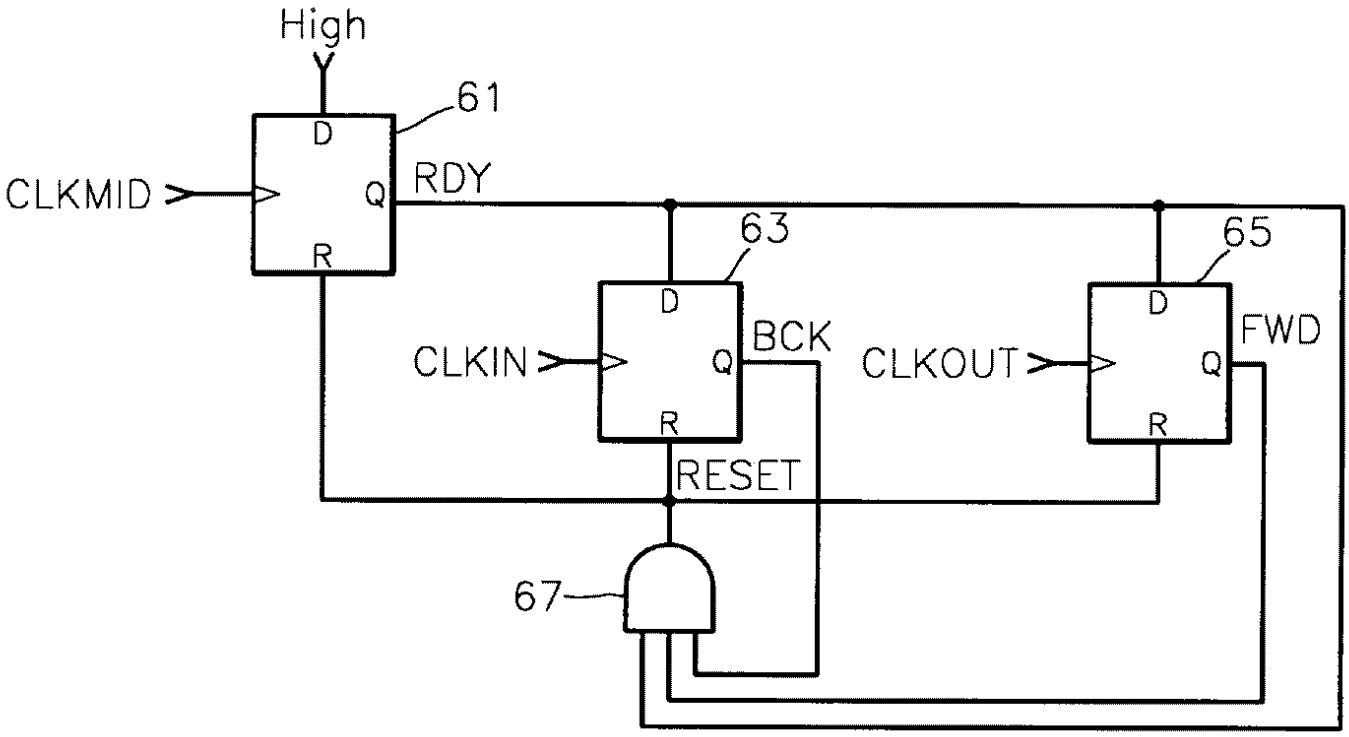
도면 5a



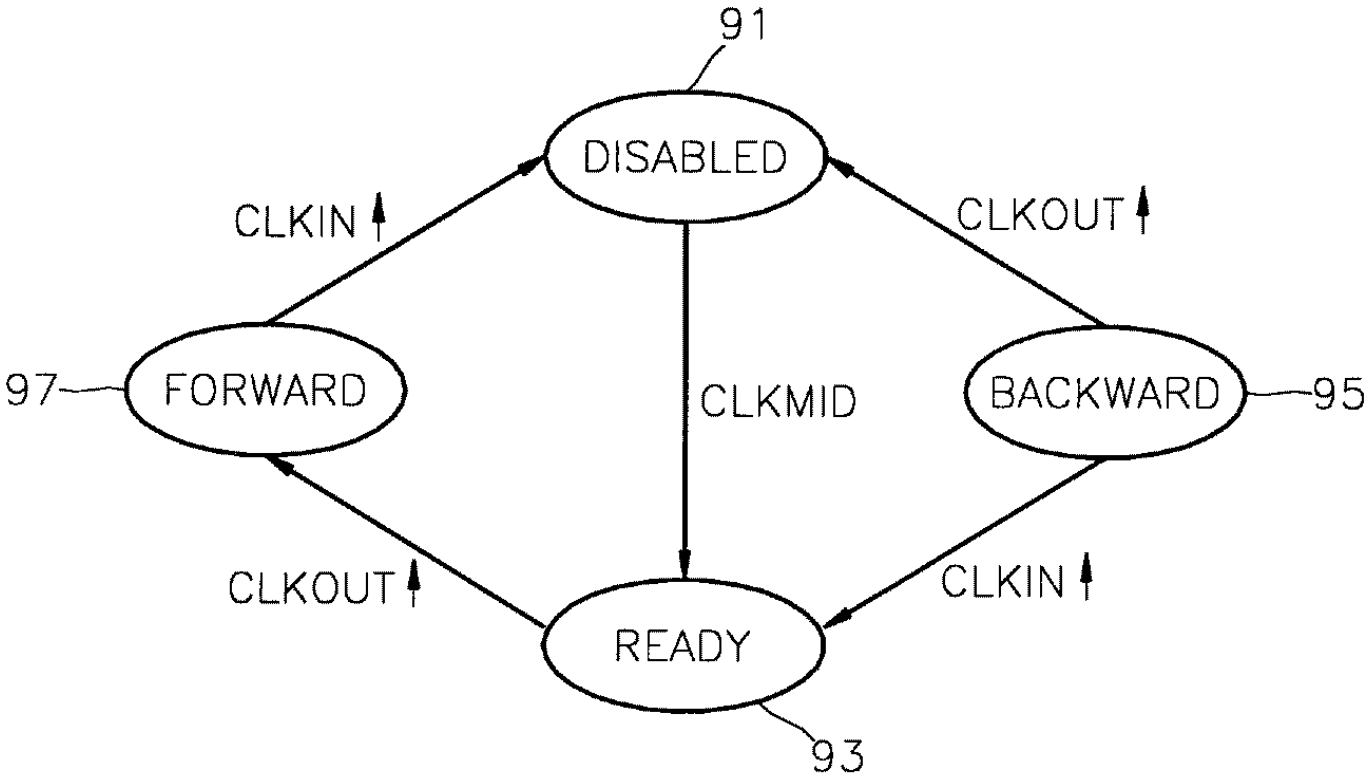
도면 5b



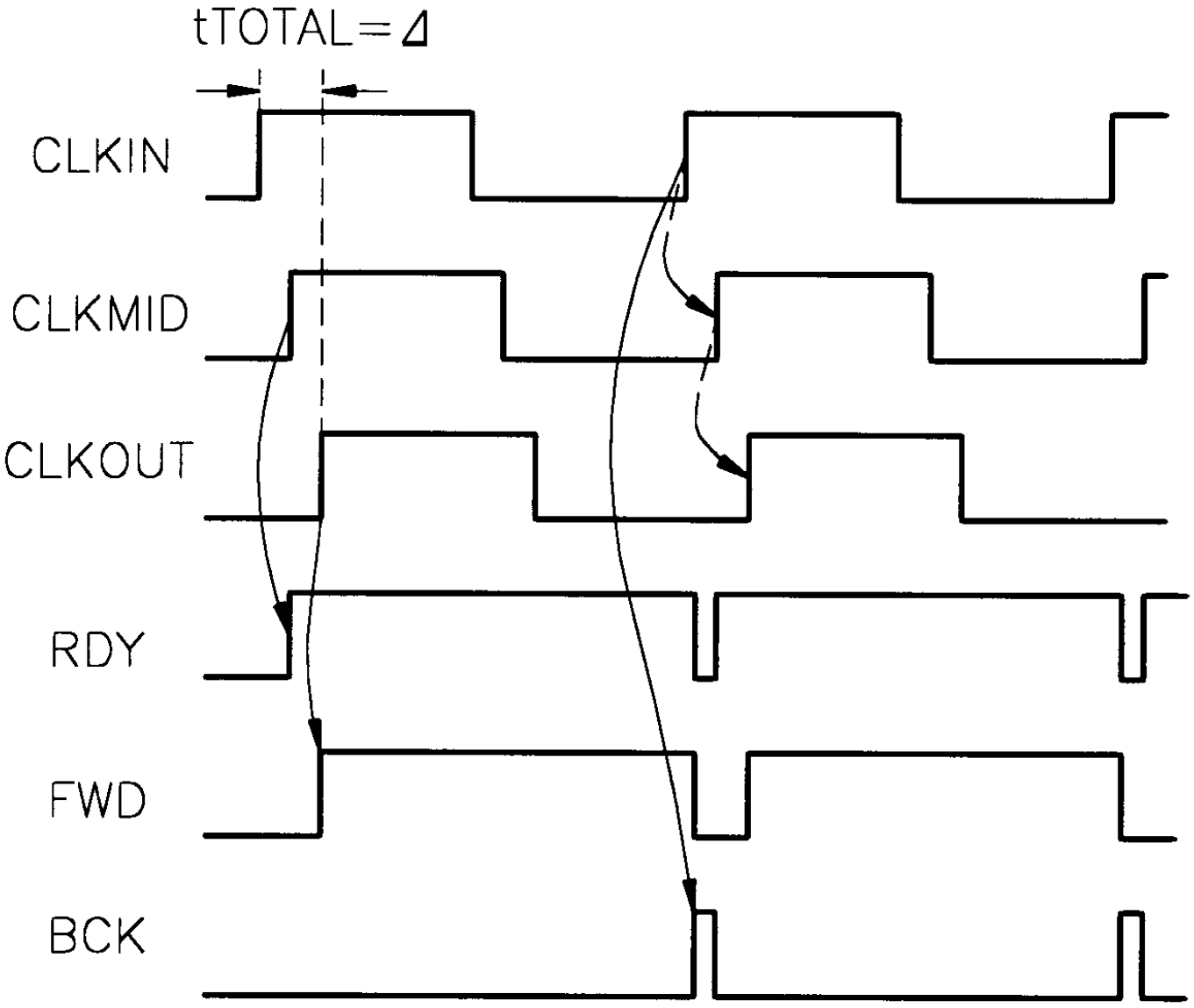
도면 6


High
61
D
CLKMID
Q
RDY
R
63
65
D
D
CLKIN
Q
BCK
CLKOUT
Q
FWD
R
R
RESET
67

도면 7


91
DISABLED
CLKIN
CLKOUT
97
FORWARD
CLKMID
BACKWARD
95
CLKOUT
CLKIN
READY
93

도면 8a



도면 8b