

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
H01L 21/31 (2006.01)

(11) 공개번호 10-2006-0115872
(43) 공개일자 2006년11월10일

(21) 출원번호 10-2006-7009194
(22) 출원일자 2006년05월11일
번역문 제출일자 2006년05월11일
(86) 국제출원번호 PCT/US2004/035395
국제출원일자 2004년10월22일

(87) 국제공개번호 WO 2005/052991
국제공개일자 2005년06월09일

(30) 우선권주장 10/895,552 2004년07월21일 미국(US)
60/519,765 2003년11월12일 미국(US)

(72) 발명자 드로오페드 라빈드라나스
미국, 아리조나 85226, 첸들러, 더블유. 타이손 스트리트 4515

심사청구 : 없음

(54) 높은 K 유전체 필름

요약

두 개의 도전체들 또는 도전체(14, 20, 34) 및 기판(12, 26, 30)들 사이에 형성되는 란탄, 루테튬, 및 산소로 이루어진 유전체 층(14, 22, 24, 32)이 개시되어 있다. 하나의 실시예에서, 유전체 층은 부가적인 경계면 층을 필요로 하지 않고 기판 위에 형성된다. 다른 실시예에서, 유전체 층(22, 42, 46)은 란탄 또는 루테튬 함유량에 대해 그레이딩되거나, 대안에서, 알루미늄을 포함할 수 있다. 또 다른 실시예에서, 도전체 또는 기판 및 유전체 층 사이 또는 양 도전체 및 기판과 유전체 층 사이에 절연 층이 형성된다. 유전체 층은 바람직하게는 분자 빔 에피택시에 의해 형성되지만, 원자 층 화학적 기상 증착, 물리적 기상 증착, 유기금속의 화학적 기상 증착 또는 펠팅된 레이저 증착에 의해 형성될 수 있다.

대표도

도 1

색인어

도전체, 기관, 유전체 층, 경계면 층, 절연 층

명세서

기술분야

본 발명은 집적 회로를 제조하는데 사용된 디바이스 및 집적 회로 제조 방법에 관한 것이며, 특히 집적 회로들을 제조하는데 사용되는 높은 K 유전체에 관한 것이다.

배경기술

CMOS 디바이스들은 n- 및 p- 채널 전계 효과 트랜지스터들(FET) 둘 다를 포함하며, 집적 회로들의 기초를 형성한다. 이러한 트랜지스터들은 소스와 드레인 영역 및 중간의 절연된 게이트를 포함하는 금속 옥사이드계 반도체 디바이스들이다. 집적 회로들의 밀도 및 성능이 증가함에 따라, 트랜지스터들의 치수들이 감소되어야 한다. 결과적으로, 절연된 게이트 유전체 층의 두께가 더 작게 제조되어야 한다. 게이트 유전체들과 관련하여, 유전체 층의 바람직한 특성을 중 하나는 유전체 층이 위에 놓인 게이트 전극을 아래에 놓인 채널에 결합하여, 채널이 게이트에 인가된 자극에 응답하도록 한다는 것이다. 이 점에서, 상기 유전체가 높은 K로서 통상적으로 알려진 높은 유전 상수를 갖는 것이 바람직하다. 실리콘 다이옥사이드는 여태까지 집적 회로들을 제조하는데 사용된 가장 통상적이고 효율적인 게이트 절연체이었다. 이것은 매우 높은 레벨의 무결성(integrity)을 가지며, 특히 결함 밀도(defect density)가 매우 낮게 제조될 수 있다. 결과적으로, 실리콘 다이옥사이드는 디바이스들이 낮은 전류 누설을 갖도록 하는데 매우 효율적으로 동작한다. 불행히도, 누설 전류는 게이트 유전체의 두께가 감소됨에 따라 급격으로 증가한다. 예를 들어, 20Å보다 작은 두께를 갖는 SiO₂는 수용 불가능한 누설 전류 및 저하된 디바이스 성능을 초래한다. 따라서, SiO₂를 CMOS 디바이스들로 대체하는 것이 필요로 된다. 누설 전류는 감소된 등가 (SiO₂) 옥사이드 두께를 갖는 더 두꺼운 높은 K 층을 가짐으로써 감소될 수 있다.

높은 K 유전체에 바람직한 특성을 중 하나는 상기 유전체가 비결정질이라는 것이다. 이것은 제조하는 동안 및 그 다음에 완성된 집적 회로의 부분으로서 기능적인 동작 동안을 포함하는 자신의 전체 수명 동안 비결정질로 유지되어야 한다. 많은 대안적인 높은 K 유전체들은 증착 시에 충분히 높은 K 및 충분한 무결성(integrity)을 갖지만, 그 다음의 처리 단계들 및 그것과 관련되는 가열을 통하여, 이러한 필름들이 결정화가 초래된다. 이와 같이 결정화되는 이러한 필름들은 자신의 전체 길이 및 폭에 걸쳐서 완전하게 결정화되는 것이 아니라, 형성되는 결정질 구조들 사이의 입자 경계들(grain boundary)로서 알려진 영역들을 갖는다. 이러한 입자 경계들은 누설 및 전기적인 성능에 영향을 미치는 다른 문제들의 영역이다.

현재, 실리콘 옥사이드보다 더 높은 유전 상수를 갖는 높은 K 유전체들을 개발하는데 훨씬 더 많은 노력이 행해지고 있다. 실리콘 옥사이드의 다수의 이러한 장점들이 존재하지만, 상기 장점들 중 하나는 이것이 매우 효율적인 절연체이도록 하는 실리콘에 의한 실리콘 옥사이드의 높은 밴드 갭 및 낮은 상태 밀도이다. 따라서, 높은 K 용도들로 개발되는 많은 재료들은 이들이 충분히 높은 밴드 갭을 가지지 않기 때문에 또는 이들이 유전체를 통한 전류 누설을 방지하기 위하여 충분한 무결성으로 제조하기 어렵기 때문에, 문제점들을 갖는다는 것이 발견되었다. 실리콘 기판 및 게이트 전극에 의한 열적 안정성, 옥사이드/금속 경계면에서의 페르미 레벨 피닝(fermi level pinning) 및 스케일링과 같은 부가적인 문제점들이 미해결로 남아 있다. Hr-계 및 Zr-계 옥사이드들을 포함한 비결정질 재료들이 조사되고 있을지라도, CMOS 흐름 내로 통합될 때, 이러한 재료들에 의한 현저한 문제점이 존재하기 때문에, 명백한 솔루션이 아닌 것으로 여겨진다. 또한, 이러한 재료들은 제조 공정 동안의 고온 단계들 동안 재결정화된다. La-계 옥사이드 재료들이 잠재적으로 Si CMOS 디바이스들을 위한 높은 K 유전체로서 사용될 수 있다. 그러한 옥사이드들은 SiO₂보다 높은 유전 상수를 가지며, 실리콘과의 접촉시에, 열역학적으로 안정될 것이라고 예상된다.

비결정질에 대한 대안은 단결정 필름들이다. 이론적으로, 높은 K 유전체 필름들은 어려움들이 존재할지라도, 전형적으로 단결정으로 제조될 수 있다. 하나의 이와 같은 어려움은 이것이 실제로 완전하게 형성되는 형성 공정 동안 필름의 결정 구조를 아래에 있는 반도체, 전형적으로 실리콘의 결정 구조와 정합시키는 것이다. 단결정 층들인 에피택셜 층들은 당업계에 알려져 있다. 실리콘은 에피택셜로 제조될 수 있다. 매우 얇은 필름들이 단결정 형태로 보존될 수 있는 기술들 중 하나는 분자 범 에피택시(molecular beam epitaxy)이다. MBE 기술들을 사용하는 것에서도, 결합이 없는 필름들을 보장하는 어려움이 여전히 존재한다.

새로운 높은 K 유전체들을 개발하는데 있어서, 너무 높은 유전 상수를 갖는 다른 잠재적인 문제점이 또한 존재한다. 유전 상수가 너무 높으면, 트랜지스터의 성능에 악영향을 주는 프린징 전계 효과(fringing field effect)라 칭하는 영향이 존재한다. 이것은 게이트 및 소스/드레인 간의 과도한 결합을 필요로 한다. 따라서, 개발되고 있는 재료들은 전형적으로 유전 상수가 20 및 40 사이의 범위를 갖는 것이 바람직하다. 이 범위는 기술이 더 개발됨에 따라 다소 변화될 수 있다.

바람직한 높은 K 유전체의 다른 양상은 상기 유전체의 캐페시턴스가 일정 두께의 실리콘 옥사이드의 캐페시턴스와 등가라는 것이다. 실리콘 옥사이드는 공통적이고 효율적으로 사용되어, 표준이 되었고, 당업계는 종종 실리콘 옥사이드와의 관련성에 대한 일정 특성을 설명한다. 이러한 경우에, 전형적인 바람직한 실리콘 옥사이드 등 두께는 5 및 15 Å 사이이지만, 5 내지 15 Å의 실리콘 옥사이드에는 누설, 신뢰성, 성장 레이트, 및 불균일성에 의한 문제점을 갖는다. 따라서, 필름이 작은 경우, 필름을 제조하는데 있어서 뿐만 아니라, 필름을 사용하는데 있어서 어려움들이 존재할 수 있다. 바람직한 결합은 실리콘 옥사이드의 5 내지 15 Å의 두께와 등가이지만, 실제로 더 큰 두께를 갖는 유전체를 갖는 것이다.

알루미늄을 포함하는 높은 K 유전체 필름이 개발되었지만, 알루미늄은 높은 경계면 상태 밀도를 초래하고 실리콘계 디바이스들에서 저하된 이동도를 초래하는 것으로 알려져 있다.

따라서, 바람직한 범위 내의 유전 상수, 높은 무결성으로 이루어지는 성능, 바람직한 범위의 두께를 가지며, 이동도를 저하시키지 않고 높은 경계면 상태 밀도를 초래하지 않으며, 제조 공정에서 이루어질 성능을 갖는 유전체 필름이 필요로 된다.

발명의 상세한 설명

상술된 목적들과 장점들 및 다른 목적들 및 장점들을 성취하기 위하여, 반도체 기판을 제공하는 단계; 상기 반도체 기판 위에 란탄, 루테튬 및 산소를 포함하는 유전체 층을 제공하는 단계; 및 상기 유전체 층 위에 전극 층을 제공하는 단계를 포함하는 반도체 구조 및 상기 반도체 구조 제조 방법이 개시되어 있다.

본 발명의 상술되고 부가적이며 더 특정한 목적들 및 장점들이 첨부 도면과 함께 선택된 바람직한 실시예의 다음의 상세한 설명으로부터 당업자들에게 명백해질 것이다.

도면의 간단한 설명

도1은 본 발명의 제1 실시예를 따른 집적 회로의 일부의 단면도.

도2는 본 발명의 제2 실시예를 따른 집적 회로의 일부의 단면도.

도3은 본 발명의 제3 실시예를 따른 집적 회로의 일부의 단면도.

도4는 본 발명의 제4 실시예를 따른 집적 회로의 일부의 단면도.

도5는 본 발명의 제5 실시예를 따른 집적 회로의 일부의 단면도.

도6은 본 발명의 제6 실시예를 따른 집적 회로의 일부의 단면도.

도7은 700°C에서의 어닐링 이후의 본 발명을 따른 50Å LaLuO₃ 층의 투과 전자 마이크로그래프.

도8은 본 발명을 따른 200°C에서 증착된 LaLuO₃ 층으로서 50Å의 러더퍼드 후방산란 스펙트럼을 도시한 도면.

도9는 200°C에서 실리콘 상에 증착된 50Å LaLuO₃ 층에 대한 C-V 곡선들을 도식적으로 도시한 도면.

실시예

다음의 상세한 설명은 단지 예시적인 실시예들로 이루어지며, 본 발명 또는 본 발명의 응용 및 용도들을 국한하고자 하는 것이 아니다. 오히려, 다음의 설명은 본 발명의 예시적인 실시예들을 구현하기 위한 편리한 서술을 제공한다. 첨부된 청구항들에서 설명된 바와 같은 본 발명의 범위를 벗어남이 없이 설명된 요소들의 기능 및 배열에 있어서 설명된 실시예들의 다양한 변경들이 행해질 수 있다. 란탄, 루테튬 및 산소를 포함한 높은 K 유전체 필름은 실리콘 다이옥사이드를 대체하기 위한 우수한 후보 재료를 제공한다. 이것은 바람직한 범위의 유전 상수, 고온들에서 비결정질을 유지하는 성능을 갖는 장점을 결합하며, 낮은 누설을 제공한다.

반도체 재료의 기판(12), 유전체 필름(14) 및 도전성 필름(16)을 갖는 집적 회로의 일부(10)가 도1에 도시되어 있다. 기판(12)은 적어도 자신의 표면에서 반도체 영역을 갖는다. 아래에 있는 부분(도시되지 않음)은 반도체 재료이거나, 또는 SOI의 경우에 전형적인 절연 재료 중 하나일 수 있다. 반도체 재료의 예들은 단결정 실리콘, 및 갈륨 비소를 포함한다. 유전체 층(14)이 기판(12) 위에 그리고 기판(12) 상에 존재한다. 게이트 전극의 기능을 하는 도전성 필름(16)이 유전체 층(14) 위에 또는 유전체 층(14) 상에 존재한다. 유전체 층(14)은 게이트 절연체 또는 게이트 전극으로서 동작한다. 본원에서 유전체 필름(14)과의 경계면에서 표면 주위의 영역에 도시된 바와 같은 기판(12)은 트랜지스터의 채널이다.

게이트 유전체(14)는 란탄, 루테튬 및 산소를 포함한 화합물인 란탄 루테튬 옥사이드를 포함한다. 식은 LaLuO_3 로서 쓰여지며, 란탄 및 루테튬의 농도는 동일하다. 알루미늄이 (본원에 설명된) 유전체 화합물에 부가되는 경우에, 식은 $\text{La}(\text{Al})_x\text{Lu}_{1-x}\text{O}_3$ 로 쓰여지며, 여기서 $x > 0$ 이다. 란탄 루테튬 옥사이드는 대략 25의 유전 상수 및 5eV 이상의 밴드갭을 갖는 것으로 개시되어 있다. 결과적으로, 실리콘 기판과 같은 기판(14) 상으로의 란탄 루테튬 옥사이드의 성공적인 증착은 이러한 재료가 게이트 전극 애플리케이션에 적합하도록 한다.

본원에 개시된 바와 같은 게이트 전극(14)은 바람직하게는, 개개의 원소들이 열원들로부터 기화되는 분자 범 에피택시(MBE)를 사용하여 형성된다. 대안으로, 원소들은 e-빔 증착, 원자 층 화학적 기상 증착(ALCVD), 물리적 기상 증착, 유기 금속의 화학적 기상 증착, 및 펠링된 레이저 증착을 사용하여 발생될 수 있다. 바람직한 방법은 이 경우에 대략 15 Å보다 적지 않고, 바람직하게는 20 내지 100 Å의 범위 내에 있는 두께를 포함하는 층의 형성을 정확하게 제어하도록 하는 MBE이다. 현재의 집적 회로 기술에서의 게이트 도전체(16)는 전형적으로 폴리실리콘에지만, 텅스텐, Ti-나이트라이드, 탄탈 나이트라이드, 또는 게이트 도전체로서 유용한 임의의 도전체와 같은 다른 도전체들일 수 있다.

MBE에 의해 증착되는 게이트 유전체(14)는 또한 필름이 비결정진 상태로 증착되는 것을 보장하는데 유용하다. 현재의 MBE 기술을 사용하면, 기판(12)의 표면은 네이티브 실리콘 옥사이드 층이 없도록 최초에 클리닝(cleaning)되거나, 실리콘 옥사이드 또는 실리콘 옥시나이트라이드(silicon oxynitride)의 얇은 층이 존재할 수 있다(곧 논의됨). 기판(12)의 표면은 클리닝되고 란탄 루테튬 옥사이드를 증착하기 이전에, 열적으로 가열되어 오염물들을 제거함으로써, 실리콘 기판 및 실리콘 옥사이드 경계면을 유지하여 더 적은 공정 단계들을 제공한다는 것이 본 명세서에 의해서 예상된다. 상술된 바와 같이, 대안으로, 네이티브 옥사이드는 UHV 상태들에서 가열함으로써 또는 대안으로 Si-보조 탈습 공정(Si-assisted desorption process) 또는 Sr-보조 탈습 공정을 사용하여, 란탄 루테튬 옥사이드를 증착하기 이전에 열적으로 제거될 수 있다. 이러한 상황에서, (낮은 K 재료를 제거한 이후의) 클린 표면(clean surface)은 유전체 스택의 캐페시턴스를 증가시키며, 디바이스를 더 작은 치수들로 스케일링하는 성능을 증가시킨다. 다른 대안적인 실시예에서, 네이티브 옥사이드가 제거되고, 표면이 산소 또는 질소에 의해 처리되어, 란탄 루테튬 옥사이드를 증착하기 이전에, 기판(12)의 표면상에 실리콘 옥시나이트라이드를 형성할 수 있다는 것이 예상된다. 표면상에 이러한 실리콘 옥시나이트라이드를 형성하면, SiO_2 에 의한 경계면보다 더 높은 유전 상수를 갖는 기판 및 게이트 유전체(14) 간의 경계면이 제공된다.

란탄 루테튬 옥사이드를 증착하는 MBE 공정 동안, 문자 산소는 개구를 사용한 반응 챔버 또는 활성화된 산소 원자 종들을 사용할 수 있는 플라즈마 소스 내로 제어 가능하게 도입된다. 따라서, 산소를 갖는 란탄 및 루테튬의 도입은 기판(12) 위에 놓이는 유전체 층(14)으로서 란탄 루테튬 옥사이드의 단일 층을 형성한다.

이러한 란탄 루테튬 옥사이드는 낮은 누설 및 증가된 캐페시턴스에 대해 유전 계수를 최적화하는 영역에서 장점을 제공한다. 어떤 다른 재료들은 식별 가능한 결점들을 갖는다. 예를 들어, 란탄 옥사이드의 2원 화합물은 적절한 범위이지만, 자신이 물을 흡수하는 유전 상수를 갖는다. 물의 흡수는 집적 회로들의 바람직한 제조에 매우 해롭다. 예를 들어, 란탄 옥사이드에 의한 물의 흡수는 집적 회로 구조를 형성시에 이것을 쓸모없도록 하는 구조적인 무결성 문제들을 발생시킨다. 루테튬을 도입하면, 매우 안정된 게이트 유전체가 제공되며, 이것은 비결정질이고 고온에서 재결정화되지 않으므로, 기판(12)과의 접촉시에 안전하게 유지된다. 게다가, 란탄 루테튬 옥사이드를 사용하면, 5eV보다 큰 높은 밴드 갭, 적절한 밴드 오프셋, 대략 25의 유전 상수, 및 실리콘과 유사한 열 팽창 계수가 제공된다.

란탄 루테튬 옥사이드의 다른 장점은 유전 상수가 란탄 함유량 및 루테튬 함유량의 정도에 근거하여 변화될 수 있다는 것이다. 따라서, 최적화된 유전 상수가 10 및 25 사이의 어디에선가 성취된다. 루테튬 함유량에 대한 란탄 함유량이 변화되는 경우에 다소 더 큰 계수들도 획득될 수 있지만, 이것은 물 흡수와 관련된 문제점들을 발생시킬 수 있다. 게다가, 유전체 층(14) 내에 알루미늄 또는 질소를 포함함으로써, 유전체 층의 안정성 및 결점들의 패시베이션(passivation)을 증가시킬 뿐만 아니라, 유전 상수를 증가시킨다는 것이 본 명세서에 의해 예상된다.

란탄 루테튬 옥사이드는 유용하게도, 1025까지의 온도 및 아마도 그 이상의 온도에서도 비결정질로 유지된다. 섭씨 1025도는 현재 제조 공정들 동안 전형적인 최고 온도이다. 따라서, 란탄 루테튬 옥사이드는 가장 진보된 기하형태들을 위한 많은 전형적인 공정들에 의해서 행해지는 집적 회로의 처리 동안 수용될 최고 온도를 견딜 수 있고 비결정질로 유지된다는 것이 발견되었다. 최대 처리 온도들을 다소 떨어뜨리는 것이 바람직하지만, 소스/드레인들에서의 도펀드들의 활성화가 높은 온도를 필요로 하고 이와 같은 활성화가 예상 가능한 미래에 요건이 된다고 예상할 수 있기 때문에, 최대 온도들은 상당히 높게 유지되어야 할 것이다. 최대 온도들은 1025 아래로 다소 떨어질 수 있지만, 적어도 꽤 일정한 시간 동안 여전히 섭씨 900도 위에 있다고 예상될 것이다. 확실하지는 않지만, 온도들의 상당한 저하가 발생될 것이며, 1025는 꽤 일정한 시간 동안 지속적으로 유효한 요건이 될 것이다. 따라서, 비결정질 란탄 루테튬 옥사이드는 바람직한 높은 K 특성들 및 예상된 온도 범위들에 대한 높은 무결성을 제공한다.

비결정질 란탄 루테튬 옥사이드의 효율적인 높은 K 유전체 필름을 증착할 수 있는 다른 장점은 이것이 실리콘뿐만 아니라, 갈륨 비소에 대해서 매우 효율적일 수 있다는 것이다. 따라서, 이것의 더 높은 이동도를 사용하여 갈륨 비소 CMOS 기술을 효율적으로 구현하는데 있어서 문제점들 중 하나는 갈륨 비소에 사용된 게이트 유전체들이 높은 온도에서 실리콘 옥사이드를 성장시킴으로써 성취되는 실리콘의 유전체의 무결성을 정합시키기 매우 어렵다는 것이다. 따라서, 대부분의 애플리케이션에서, 실리콘은 갈륨 비소보다 우수하다는 것이 판명되었다. MBE를 사용하여 증착된 효율적인 높은 K 유전체에 의하면, 결과적으로, 게이트 유전체가 실리콘 위에 증착되는지, 갈륨 비소 위에 증착되는지 또는 다른 반도체 재료 위에 증착되는지 간에 높은 무결성으로 이루어질 수 있다. 결과적으로, 갈륨 비소는 지금의 반도체 시장에서 단지 틈새시장이 아니라, 대부분의 집적 회로들에 대한 바람직한 선택이 될 것이다.

기판(20), 베리어 유전체(22), 높은 K 유전체(24), 및 도전체(26)를 포함한 집적 회로의 일부(18)가 도2에 도시되어 있다. 이 경우에, 높은 K 유전체(24)는 란탄 루테튬 옥사이드라는 점에서 도1의 필름(14)과 비슷하거나 유사하다. 도전체(26)는 도전체(16)와 유사하며, 기판(20)은 상술된 바와 같이 클린 표면, 기판상에 남아 있는 네이티브 옥사이드, 또는 기판상에 존재하는 옥시나이트라이드 중 하나를 갖는 도1의 기판(12)과 유사하다. 경계면 층이라고 또한 칭할 수 있는 베리어 유전체(22)는 자신의 바람직한 특성들에 대해 절연체로서 선택된다. 이것은 예를 들어, 란탄 옥사이드, 루테튬 옥사이드, 실리콘 옥사이드 또는 실리콘 옥시나이트라이드일 수 있다. 베리어 유전체(22)는 높은 K 유전체(24) 및 베리어 유전체(22)의 조합이 원하지 않는 전류 흐름을 방지하는 충분한 절연 특성을 가진다는 것을 보장하기 위하여 제공된다. 예를 들어, 상기 조합은 높은 밴드갭을 가지며, 충분히 높은 유전 상수를 가질 것이다. 특히, 이것은 전자 주입의 잠재적인 소스인 기판(20)과의 직접적인 접촉시에 높은 밴드갭 재료를 위치시킨다. 베리어 유전체(22)의 다른 잠재적인 용도는 기판(20)을 위해 선택된 재료가 문제점을 갖거나 란탄 루테튬 옥사이드와 반응하는 경우, 확산 베리어이다.

기판(30), 유전체 필름(32), 도전체(34)를 포함한 집적 회로의 일부(28)가 도3에 도시되어 있다. 이 경우에, 기판(30)은 기판들(20 및 12)과 유사하며, 도전체(34)는 도전체들(26 및 16)과 유사하다. 유전체 필름(32)은 유전체(14) 및 유전체들(22 및 24)의 조합을 대체한다. 이 경우에, 유전체 필름(32)은 2원 재료, 즉, 란탄 옥사이드 또는 루테튬 옥사이드를 의미하는 란탄 또는 루테튬의 그레이딩된 농도(graded concentration)를 가지며, 기판(30) 및 유전체 필름(32)의 경계면에 인접하여 형성되며 3원 재료, 즉, 란탄 또는 루테튬 중 하나의 추가를 통하여 도전체(24)와의 층 경계면들로서 란탄 루테튬 옥사이드로 그레이딩된다. 기판(30)과의 경계면 부근의 유전체 필름(32)에서, 재료는 순수한 란탄 옥사이드 또는 루테튬 옥사이드이다. 도전체(34)를 향해 이동시에, 란탄 옥사이드가 기판(30)의 경계면 부근에 증착되는 경우에, 루테튬의 농도는 도전체(34)와의 경계면 부근의 유전체 필름(32)에서 란탄 및 루테튬 간의 비율이 1 대 1일 될 때까지 지속적으로 증가한다. 루테튬 옥사이드가 기판(30)의 경계면 부근에 증착되는 경우에, 란탄의 농도는 도전체(34)와의 경계면 부근의 유전체 필름(32)에서 란탄 및 루테튬 간의 비율이 1 대 1이 될 때까지 지속적으로 증가한다. 이러한 방법의 장점은 기판(30) 바로 다음에 바람직한 높은 밴드 갭을 제공하고, 란탄 옥사이드 또는 루테튬 옥사이드 및 란탄 루테튬 옥사이드 간의 임의의 급진적 경계면(abrupt interface)을 피한다는 것이다. 결과적인 유전 상수는 또한 농도가 증가되는 레이트를 제어함으로써 조정될 수 있고, 즉, 란탄 및 루테튬 간의 1 대 1 비율이 도전체(34)와의 경계면 이전에 양호하게 성취될 수 있다. 대안은 그레이딩이 1 대 1 비율을 지나서 지속되어, 란탄의 농도가 루테튬의 농도를 넘도록 하거나, 또는 그 반대가 되도록 하는 것이다.

기판(40), 베리어 유전체(42), 높은 K 유전체(44), 베리어 유전체(46) 및 도전체(48)를 포함한 집적 회로의 일부(36)가 도4에 도시되어 있다. 이 경우에, 기판(40)은 기판들(12, 20 및 30)과 유사하다. 베리어 유전체(42)는 베리어 유전체(22)와 유사하다. 높은 K 유전체(44)는 높은 K 유전체들(14 및 24)과 유사하다. 도전체(48)는 도전체들(16, 26 및 34)과 유사하다. 베리어 층(46)은 높은 K 유전체(44) 및 도전체(48) 간에 베리어를 제공한다. 베리어(46)는 도전체(48)가 높은 K 유전체(44)와의 융화성 문제(compatibility problem)를 갖는 경우를 위한 것이다. 베리어(46)는 또한 아마도 대부분은 란탄 옥사이드, 루테튬 옥사이드, 실리콘 옥사이드, 및 실리콘 옥시나이트라이드 중에서 선택될 것이다. 베리어 유전체(46)의 목적은 도전체(48) 및 높은 K 유전체(44) 간의 확산 베리어를 제공하는 것이다. 물론, 베리어 층(46)이 높은 유전 상수를 갖

는 것이 바람직하지만, 상기 층의 목적은 도전체(48)와 높은 K 유전체(44) 사이의 문제들을 방지하는 것이다. 바람직한 선택은 란탄 옥사이드 또는 루테튬 옥사이드 중 하나일 것인데, 그 이유는 이들이 실리콘 옥사이드보다 더 높은 유전 상수들을 가지기 때문이다.

도전체(52), 높은 K 유전체(54) 및 도전체(56)를 포함하는 집적 회로의 일부(50)가 도5에 도시되어 있다. 이 경우에, 높은 K 유전체는 두 개의 도전체들 사이에 적용 가능하다. 이것은 주로 도전체(52)가 전하를 저장하기 위한 플로팅 게이트인 경우에 발생한다. 이것은 또한 52 및 56이 전하를 저장하는데 사용되는 커패시터 플레이트들을 포함하는 상황에서 발생한다. 하나의 이와 같은 예는 동적인 랜덤 액세스 메모리의 메모리 셀이다. 이와 같은 경우에, 높은 K 유전체(54)가 높은 유전 상수 뿐만 아니라 낮은 누설의 바람직한 특성들을 갖는 것이 또한 바람직하다.

도5에 도시된 바와 같이, 높은 K 유전체(54)는 그레이딩된 농도를 갖는 란탄 루테튬 옥사이드이다. 란탄의 농도는 중간에서 최대화되는 반면, 순수하거나 거의 순수한 루테튬 옥사이드는 도전체(52)와의 경계면 및 도전체(56)와의 경계면에 존재한다. 이것은 컨택터(52)와의 경계면 및 도전체(56)와의 경계면 둘 모두에서 상대적으로 높은 유전 상수 및 높은 밴드 갭을 제공하여, 높은 K 유전체 및 우수한 절연체가 된다. 그레이딩된 높은 K 유전체(54)를 가짐으로써, 절연체 유형들 간의 예리한 경계면들이 피해진다. 재료 유형들 간의 예리한 전이(transition)들은 전하가 트랩(trap)될 수 있는 장소에서 발생하는 경향이 있다. 그레이딩된 농도에 의하여, 예리한 경계면들이 피해진다. 트랜지스터의 경우에, 이곳이 전하가 잠재적으로 주입되는 장소이기 때문에 기판 바로 다음에 높은 밴드 갭을 갖는 것이 가장 중요하지만, 부분(50)의 경우에 전하는 도전체(52) 또는 도전체(56) 중 하나로부터 주입될 수 있다. 따라서, 도전체(52) 및 도전체(56)와의 경계면에서 높은 밴드 갭을 갖는 것이 바람직하다. 반대의 재료 스택, 즉, 란탄의 농도가 중간에서 최대화되고 순수하거나 거의 순수한 루테튬 옥사이드가 도전체(56)와의 경계면 및 도전체(52)와의 경계면에 존재하는 것이 본 명세서에 의해 예상된다는 것이 이해되어야 한다.

도전체(62), 베리어 유전체(64), 높은 K 유전체(66), 베리어 유전체(68) 및 도전체(70)를 포함한 집적 회로의 일부(60)가 도6에 도시되어 있다. 이것은 도5와 유사한 구조이다. 도전체(62)는 도전체(52)와 유사하고, 도전체(70)는 도전체(56)와 유사하며, 층들(64, 66 및 68)의 조합은 도5의 높은 K 유전체(54)와 유사하다. 도6의 경우에, 유전체 층들(64 및 68)은 높은 밴드 갭을 제공하기 위하여 그리고 도전체들(62 및 70) 및 높은 K 유전체(66) 간의 확산 베리어로서 동작한다. 따라서, 베리어 층들(64 및 68)의 부가는 충분한 절연 품질을 위해서 뿐만 아니라 높은 K 유전체(66)로 확산 베리어를 제공하기 위하여 필요로 될 수 있다. 도전체들(62 및 70)은 상이한 특성들을 가질 수 있다. 하나는 폴리실리콘일 수 있다. 다른 것은 금 속일 수 있고, 이 경우에 베리어 유전체의 유형은 바람직하게는 상이할 수 있다. 높은 K 유전체(66)는 도1-5의 구조용 필름을 위한 란탄 루테튬 옥사이드에 대하여 설명된 장점을 갖는 란탄 루테튬 옥사이드를 포함한다.

트랜지스터의 형성과 대조적으로, 두 개의 도전체들의 경우에 베리어들이 필요로 될 가능성성이 증가하는데, 그 이유는 실제로, 주입이 어떤 상황들에서 도전체들(62 및 70) 사이에 발생하는 것이 바람직하기 때문이다. 따라서, 이것이 발생하는 것이 바람직하지 않은 경우에 이와 같은 주입이 발생하지 않도록 하기 위하여 베리어들(64 및 68), 또는 도5에서와 같은 그레이딩을 필요로 하는 가능성 실제로 발생하는 상황보다 많을 것이다. 따라서, 베리어들(64 및 68), 또는 도5에 도시된 그레이딩의 가능성은 주입에 의한 전하의 저장이 존재하는 경우에서보다 더 크다. 또한, 순수하게 커패시터로서 동작하는 경우에, 베리어 층들(64 및 68)을 훨씬 더 필요로 할 것이다. 커패시터의 주요 목적은 도전체에 대한 경계면에서 높은 밴드 갭을 갖는 중요성이 트랜지스터의 경우보다 더 중요할 수 있도록 전하를 저장하는 것이다.

다음의 예는 도1에 도시된 구조(10)와 같은 반도체 구조를 제조하기 위한 본 발명의 일 실시예를 따른 방법을 도시한다. 상기 방법은 주기율표의 그룹 IV 또는 III-V으로부터 선택된 재료를 포함한 단결정 반도체 기판을 제공함으로써 시작한다. 본 발명의 바람직한 실시예를 따르면, 반도체 기판은 (100) 오리엔테이션(orientation)을 갖는 실리콘 웨이퍼이다. 후술되는 바와 같이 기판의 다른 부분들이 다른 구조들을 포함할 수 있을지라도, 반도체 기판의 적어도 일부는 베어 표면(bare surface)을 갖는다. 본 명세서에서 용어 "베어"는 임의의 옥사이드들, 오염물들 또는 다른 이물질을 제거하기 위하여 기판 부분에서의 표면이 클리닝되는 것을 의미한다. 널리 알려진 바와 같이, 베어 실리콘은 매우 반응적이며 네이티브 옥사이드를 용이하게 형성한다. 용어 "베어"는 이와 같은 네이티브 옥사이드를 포함하고자 한다. 다음의 공정은 물리적 기상 증착, 원자층 증착 또는 유기금속의 화학적 기상 증착을 포함한 다른 증착 공정이 또한 본 발명을 따라 사용될 수 있을지라도, 바람직하게는, 분자 림 에피택시(MBE)에 의해 수행된다. 네이티브 옥사이드는 MBE 챔버에서 800°C 보다 큰 온도들로 기판을 가열함으로써 제거된다. 클린 실리콘 표면은 반사 고에너지 전자 회절(reflection high energy electron diffraction (RHEED))에 의해 모니터링되는 바와 같이 (2×1) 표면 재구성을 디스플레이한다. 다른 실시예에서, 네이티브 옥사이드는 MBE 장치에서 스트론튬, 바륨, 스트론튬 및 바륨의 조합, 또는 다른 알칼리토 금속들(alkaline earth metals) 또는 알칼리토 금속들의 조합들의 얇은 층(바람직하게는 1-3 단층들)을 증착하고 이를 750°C를 초과하는 온도로 가열함으로써 제거된다.

예리한 (2×1) 표면 재구성의 외관 다음에, 기판의 온도는 실온 및 500°C 사이, 바람직하게는 50 내지 400°C로 낮춰진다. 그 다음에, MBE 챔버 내로 도입된 산소가 클리닝된 기판으로 지향된다. 결과적으로, 분산 소스들(effusion source) 상의 셔터(shutter)들이 개방되어 란탄 및 루테튬의 원자들이 란탄 루테튬 옥사이드의 반도체 기판 형성 층(14)에 충돌하도록 한다. 다른 실시예에서, 알루미늄이 도입되어 란탄 옥사이드 알루미늄 루테튬의 층을 형성할 수 있다. 원하는 두께로 층(14)을 증착한 이후에, 게이트 전극이 물리적 기상 증착 또는 종래 기술에 알려진 바와 같은 임의의 다른 증착 기술들에 의해 증착된다.

200°C에서 Si 상에 증착된 50Å 두께의 LaLuO₃ 층의 투과 전자 마이크로그래프(80)가 도7에 도시되어 있다. 상술된 바와 같이, 유전체 층의 제조 이후에, TaN의 층이 증착되고 700°C에서 어닐링된다. 유전체 층 및 기판 간의 경계면은 얇은 경계면 층이 존재하여 매우 평활한 것으로 여겨진다. 이 층을 900°C의 온도로 가열하면, 임의의 재결정화가 초래되지 않는다.

도8은 La 및 Lu의 존재를 도시한 실리콘 상에 증착된 LaLuO₃ 유전체 층의 RBS 스펙트럼(90)을 도시한다. 스펙트럼 분석을 통하여, La 대 Lu 비율이 1:1에 가까운 것으로 드러났다. 옥사이드 층의 전기적인 특성들은 커패시터를 제조하고 인가된 전압에 대한 캐패시턴스를 측정함으로써 결정된다. 도9는 양호하게 작동된 특성들을 나타낸, 실리콘 상의 LaLuO₃ 유전체 층을 사용하여 제조된 커패시터에 대한 캐패시턴스-전압 곡선(100)을 도시한다.

본 발명의 다른 실시예를 따르면, 실리콘 기판은 도1의 구조(10)의 열적으로 성장된 실리콘 다이옥사이드 층(도시되지 않음)으로 커버될 수 있다. 대안적으로, 실리콘의 기판은 실리콘 옥시나이트라이드의 층으로 커버될 수 있다. 실리콘 다이옥사이드는 10 Å보다 크지 않은 옥사이드를 남겨두는 화학적인 수단을 사용하여 준비될 수 있다. 대안적으로, 실리콘 기판은 표면이 클린하고 양호하게 재구성되도록 하기 위하여 상술된 바와 같이, 본래 위치에서 클리닝될 수 있다. 그 다음에, 이러한 표면은 분자 산소, 플라즈마 소스 또는 오존에서 발생된 바와 같은 활성화된 산소의 형태로 산소의 플럭스에 노출된다. 노출 상태들은 실리콘 다이옥사이드의 1 내지 15 Å, 바람직하게는 3-8 Å의 범위의 원하는 두께가 성취될 수 있도록 제어될 수 있다. 다른 실시예에서, 클린 실리콘 표면은 산소 및 질소의 플럭스에 노출되어 실리콘 옥시나이트라이드 층을 형성할 수 있다. 질소는 플라즈마 소스에서 발생된 바와 같은 산화질소(nitrous oxide) 또는 활성화된 질소를 포함한 가스 형태로 제공될 수 있다. 실리콘 다이옥사이드 또는 실리콘 옥시나이트라이드의 경계면 층을 준비한 다음에, 높은-K 유전체 층의 증착이 이루어질 수 있다.

본 발명의 다른 실시예를 따르면, 높은 K 유전체는 La(Al)_xLu_{1-x}O₃N_y의 형태로 이루어질 수 있고, 여기서 y>0이다. 이것은 상술된 바와 같이 질소 앞에서 높은 K 유전체 층을 증착함으로써 성취된다. 높은 K 유전체 필름 내로 질소를 혼합하는 것은 잠재적으로 열 안정성을 증가시키고 트랩 밀도들을 감소시킬 수 있다.

본 발명이 다양한 실시예들로 서술되었지만, 본 발명과 관련되는 장점 또는 장점들 중 일부를 제공하는 조합으로 사용될 수 있는 다른 실시예들 및 다른 재료들이 존재할 수 있다. 상술된 것 이외의 재료들이 사용될 수 있다. 게다가, 서술되는 다양한 농도들 및 조합들에서 란탄 루테튬 옥사이드에 의해 제공된 것 이외에, 장점들을 또한 제공할 수 있는 란탄 루테튬 옥사이드에 추가될 수 있는 재료들이 존재할 수 있다. 따라서, 청구항들이 본 발명의 범위를 규정한다.

(57) 청구의 범위

청구항 1.

반도체 구조에 있어서,

반도체 기판;

상기 반도체 기판 위에 놓이는 란탄(lanthanum), 루테튬(lutetium), 및 산소(oxygen)를 포함한 유전체 층; 및

상기 유전체 층 위에 놓이는 전극 층을 포함하는, 반도체 구조.

청구항 2.

제1항에 있어서, 상기 반도체 기판과 상기 유전체 층 사이에 경계면 층을 더 포함하며, 상기 경계면 층은 란탄 및 산소, 루테튬 및 산소, 실리콘 옥사이드(silicon oxide) 및 실리콘 옥시나이트라이드(silicon oxynitride) 중 하나를 포함하는, 반도체 구조.

청구항 3.

제1항에 있어서, 상기 유전체 층은 란탄 루테튬 옥사이드를 포함하며, 식 LaLuO_3 를 갖는, 반도체 구조.

청구항 4.

제1항에 있어서, 상기 유전체 층은 알루미늄을 더 포함하며, $\text{La(Al)}_x\text{Lu}_{1-x}\text{O}_3$ 의 식을 가지며, 여기서 $x > 0$ 인, 반도체 구조.

청구항 5.

제1항에 있어서, 상기 유전체 층 중 하나의 원소는 0에서 0보다 큰 양(amount)으로 그레이딩(grade)되는, 반도체 구조.

청구항 6.

반도체 구조에 있어서,

제1 도전 층;

상기 제1 도전 층 위에 란탄, 루테튬, 및 산소를 포함하는 유전체 층;

상기 유전체 층 위의 제2 도전 층;

상기 제1 도전 층과 상기 유전체 층 사이의 제1 경계면 층; 및

상기 유전체 층과 상기 제2 도전 층 사이의 제2 경계면 층을 포함하며;

상기 제1 경계면 층은 산소와 란탄 또는 루테튬 중 하나를 포함하는 반도체 구조.

청구항 7.

제6항에 있어서, 상기 유전체 층은 상기 제1 도전 층 및 상기 제2 도전 층 양자로부터 0에서 0보다 큰 양으로 그레이딩되는, 반도체 구조.

청구항 8.

반도체 구조를 형성하는 방법에 있어서,

분자 빔 에피택시(molecular beam epitaxy; MBE)에 의해 반도체 기판 위에 란탄, 루테튬, 및 산소를 포함하는 유전체 층을 형성하는 단계; 및

상기 유전체 층 위에 전극 층을 형성하는 단계를 포함하는, 반도체 구조 형성 방법.

청구항 9.

반도체 디바이스에 있어서,

반도체 표면 및 도전 층을 갖는 기판으로부터 선택된 제1 재료;

도전성이 있는 층인 제2 재료; 및

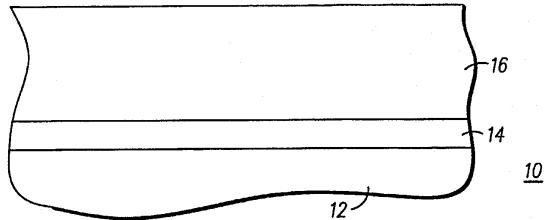
상기 제1 재료와 제2 재료 사이에 배치되며 란탄, 루테튬, 및 산소를 포함하는 제3 재료를 포함하며, 상기 제3 재료는 비결정질인, 반도체 디바이스.

청구항 10.

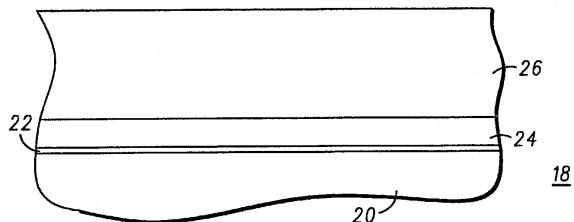
제9항에 있어서, 상기 제3 재료와 상기 제1 재료 사이에 배치된 제4 재료를 더 포함하며, 상기 제4 재료는 산소와 란탄 또는 루테튬 중 하나를 포함하는, 반도체 디바이스.

도면

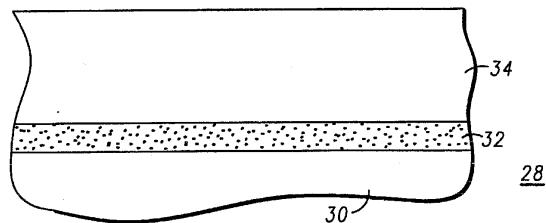
도면1



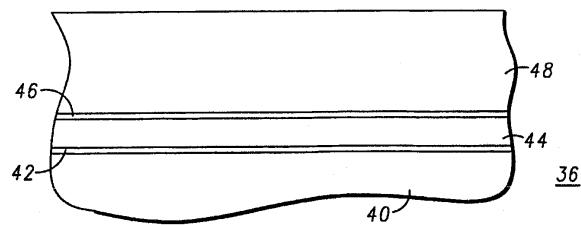
도면2



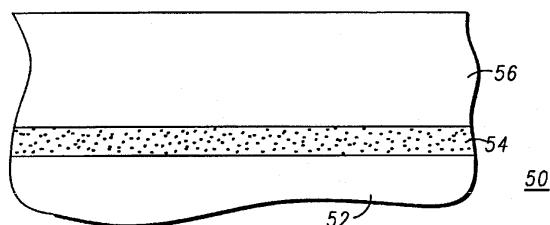
도면3



도면4



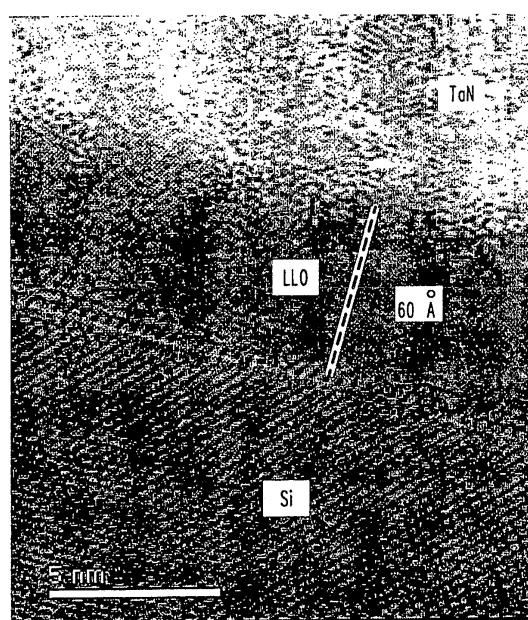
도면5



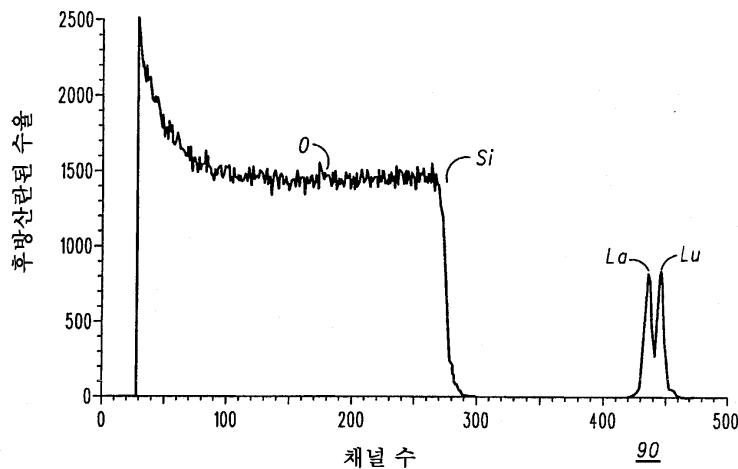
도면6



도면7



도면8



도면9

