

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141202

(P2009-141202A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 7 D	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 D	
	HO 1 L 29/78 6 5 2 J	

審査請求 未請求 請求項の数 9 O L (全 29 頁)

(21) 出願番号 特願2007-317344 (P2007-317344)
 (22) 出願日 平成19年12月7日 (2007.12.7)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 添野 明高
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

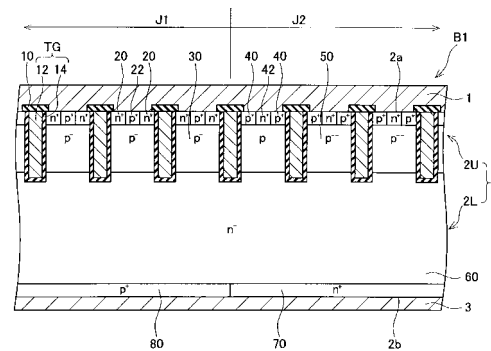
(54) 【発明の名称】 半導体装置とその半導体装置を備えている給電装置の駆動方法

(57) 【要約】 (修正有)

【課題】 逆導通型の半導体装置の他の特性を劣化させないでダイオード素子領域のリカバリ損失を低減化する技術を提供する。

【解決手段】 逆導通型の半導体装置 B 1 では、 I G B T 素子領域 J 1 に形成されている n⁺ 型のトレンチゲート電極隣接領域 2 0 が、ダイオード素子領域 J 2 に形成されていない。また、ダイオード素子領域 J 2 の p 型のアノード層 5 0 の不純物濃度が、 I G B T 素子領域 J 1 の p 型のボディ層 3 0 の不純物濃度と比較して低い。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

同一半導体基板に I G B T 素子領域とダイオード素子領域が混在している半導体装置であり、

I G B T 素子領域では、p型のコレクタ層とn型のドリフト層とp型のボディ層が順に積層されており、前記半導体基板の表面から前記ボディ層を貫通して前記ドリフト層まで伸びている絶縁トレンチゲート電極が形成されており、その絶縁トレンチゲート電極に接しているとともに前記表面に臨む範囲にn型のトレンチゲート電極隣接領域が形成されており、そのトレンチゲート電極隣接領域が前記ボディ層によって前記ドリフト層から分離されており、

10

ダイオード素子領域では、n型のカソード層と前記n型のドリフト層とp型のアノード層が順に積層されており、前記表面から前記アノード層を貫通して前記ドリフト層まで伸びている絶縁トレンチゲート電極が形成されており、前記表面に臨む範囲にp型のアノード領域が形成されており、そのアノード領域が前記アノード層によって前記ドリフト層から分離されており、

ダイオード素子領域では、前記のn型のトレンチゲート電極隣接領域が形成されておらず、しかも、前記アノード層の不純物濃度が前記ボディ層の不純物濃度よりも薄いことを特徴とする半導体装置。

【請求項 2】

前記ダイオード素子領域では、前記絶縁トレンチゲート電極に接しないとともに前記表面に臨む範囲にn型の半導体領域が形成されていることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記ダイオード素子領域では、前記アノード領域が前記絶縁トレンチゲート電極に接していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記 I G B T 素子領域では、前記ボディ層の中間深さに、隣接する前記絶縁トレンチゲート電極間に亘って伸びているn型のボディ分割領域が形成されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記 I G B T 素子領域と前記ダイオード素子領域に加えて電流検出用 I G B T 素子領域を形成されており、

30

その電流検出用 I G B T 素子領域は、前記 I G B T 素子領域よりも前記表面における占有面積が狭く、前記ドリフト層と前記ボディ層と前記絶縁トレンチゲート電極と前記トレンチゲート電極隣接領域で構成される前記 I G B T 素子領域での半導体領域配置と同一の半導体領域配置を備えており、

前記表面から観測したときに、前記電流検出用 I G B T 素子領域が前記ダイオード素子領域によって前記 I G B T 素子領域から隔てられていることを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

40

前記 I G B T 素子領域と前記ダイオード素子領域に加えて電流検出用ダイオード素子領域が形成されており、

その電流検出用ダイオード素子領域は、前記ダイオード素子領域よりも前記表面における占有面積が狭く、前記ドリフト層と前記アノード層と前記絶縁トレンチゲート電極と前記アノード領域で構成される前記ダイオード素子領域での半導体領域配置と同一の半導体領域配置を備えており、

前記表面から観測したときに、前記電流検出用ダイオード素子領域が前記 I G B T 素子領域によって前記ダイオード素子領域から隔てられていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

50

請求項 1 から 6 のいずれか 1 項に記載の半導体装置の複数個を組み合わせて構成した給電装置の駆動方法であり、

I G B T 素子領域をオン状態に切換えて給電する際には、その I G B T 素子領域を備えている半導体装置の前記絶縁トレンチゲート電極に正電圧を印加し、

その I G B T 素子領域をオフ状態に切換えることによって他の半導体装置のダイオード素子領域に還流電流が流れる際には、その還流電流が流れる半導体装置の前記絶縁トレンチゲート電極に負電圧を印加することを特徴とする給電装置の駆動方法。

【請求項 8】

前記 I G B T 素子領域をオフ状態から再びオン状態に切換えるに先立って、前記他の半導体装置の前記絶縁トレンチゲート電極に負電圧を印加することを中断すること特徴とする請求項 7 に記載の給電装置の駆動方法。

【請求項 9】

請求項 1 から 6 のいずれか 1 項に記載の半導体装置の複数個を組み合わせて構成した給電装置の駆動方法であり、

少なくとも 2 個の I G B T 素子領域をオン状態に切換えて給電する際には、オン状態に切換える各々の I G B T 素子領域を備えている各々の半導体装置の各々の前記絶縁トレンチゲート電極に正電圧を印加し、

先にオン状態に切換えた I G B T 素子領域のうち、少なくとも 1 個の I G B T 素子領域をオフ状態に切換えるとともに、少なくとも他の 1 個の I G B T 素子領域をオン状態に維持することにより、別の半導体装置のダイオード素子領域に還流電流を流し、

先にオン状態からオフ状態に切換えた I G B T 素子領域を再びオン状態に切換えた後に前記還流電流を流していた前記別の半導体装置の前記絶縁トレンチゲート電極に負電圧を印加することを特徴とする給電装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、同一半導体基板に I G B T 素子領域とダイオード素子領域が混在している逆導通型の半導体装置に関する。また、その半導体装置を備えており、モータ等の電気的負荷に給電する給電装置の駆動方法にも関する。

【背景技術】

【0002】

同一半導体基板に I G B T (insulated gate bipolar transistor) が形成されている領域 (I G B T 素子領域) と F W D (free wheel diode) が形成されている領域 (ダイオード素子領域) が混在している逆導通型の半導体装置が知られている。

モータ等の電気的負荷に給電する給電装置は、複数個の I G B T と複数個の F W D から構成される。従来は、複数個の I G B T と複数個のダイオードを用意して配線することによって給電装置を構成していた。逆導通型の半導体装置を用いると、I G B T と F W D が同一半導体基板に形成されているために、従来と比較して給電装置を小型化することができる。

【0003】

逆導通型の半導体装置では 2 種類の素子が混在しているために、双方の素子にとって最適な構成を同一半導体基板に形成することが難しい。

特許文献 1 に、逆導通型の半導体装置を用いると、従来と比較してダイオードが導通状態から非導通状態に移行する際のリカバリ損失が増大することが指摘されている。この問題を解決するために、特許文献 1 に開示されている半導体装置 100 (本明細書に添付する図 30 参照) は低ライフタイム層 161 を備えている。以下に半導体装置 100 の構成を簡単に説明する。

半導体装置 100 は、I G B T 素子領域 J 101 とダイオード素子領域 J 102 に共通して伸びている n⁻型層 160 を備えている。n⁻型層 160 は、I G B T 素子領域 J 101 ではドリフト層として機能する。また、n⁻型層 160 は、ダイオード素子領域 J 102 で

10

20

30

40

50

は n^- 型カソード層（高抵抗層）として機能する。本明細書では、ドリフト層と高抵抗層を総称して、ドリフト層という。以降、 n^- 型層160をドリフト層160という。

n^- 型のドリフト層160の中間深さに、低ライフタイム層161が形成されている。低ライフタイム層161は、半導体基板102の表面102aからライフタイムキラ（ヘリウム等）を照射することによって形成している。低ライフタイム層161は、IGBT素子領域J101とダイオード素子領域J102に亘って伸びている。この低ライフタイム層161では、少数キャリア（ホール）のライフタイムが短い。

【0004】

半導体装置100の表面電極101に裏面電極103よりも高い電圧が印加されると、半導体基板102の表面102aに臨んで形成されている p^+ 型領域122からホールが流出する。ホールは p^- 型層130を介してドリフト層160に注入される。また、ダイオード素子領域J102の裏面102bに臨んで形成されているカソード領域170から電子が流出し、ドリフト層160に注入される。アノード・カソード間（ p^+ 型領域122とカソード領域170の間）に電流が流れ、ダイオード素子領域J102が導通状態となる。表面電極101の電圧が裏面電極103の電圧よりも低くなると、 p^+ 型領域122からドリフト層160にホールが注入されなくなる。ダイオード素子領域J102が非導通状態となる。

ダイオード素子領域J102が導通状態から非導通状態に移行する際に、ドリフト層160に注入されたホールが p^- 型層130に戻る現象が発生する。この現象に起因して、ダイオード素子領域J102に、導通状態のときとは逆方向のリカバリ電流が流れる。リカバリ電流が流れると、損失が発生してダイオード素子領域J102が発熱する。半導体装置100は、低ライフタイム層161を備えている。低ライフタイム層161を備えていると、リカバリ動作時に p^- 型層130に戻るホールの一部が低ライフタイム層161で消失する。低ライフタイム層161を備えていると、ダイオード素子領域J102のリカバリ電流を低減化することができ、ダイオード素子領域J102でのリカバリ損失を低減化することができる。

【0005】

【特許文献1】特開2005-317751号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に開示されている逆導通型の半導体装置を用いると、ダイオード素子領域J102のリカバリ損失を低減化することができる。しかしながら、低ライフタイム層161によってIGBT素子領域J101のオン電圧が増大してしまう。この問題を解決するためには、ダイオード素子領域J102にのみに低ライフタイム層161を形成すればよい。しかしながら、ライフタイムキラは飛程が長く、現状ではライフタイムキラを微細に選択的に照射することは難しい。このため、ダイオード素子領域J102のみに低ライフタイム層161を形成することは難しい。

【0007】

本来、ダイオード素子領域J102にとって最適な p^- 型層130の不純物濃度は、IGBT素子領域J101にとって最適な p^- 型層130の不純物濃度よりも薄い。IGBT素子領域J101にとって最適な不純物濃度を p^- 型層130に採用すると、ダイオード素子領域J102が導通状態のときにドリフト層160へ注入されるホールの注入量が、ダイオード素子領域J102にとって最適な注入量よりも多くなってしまふ。このため、逆導通型の半導体装置を用いると、ダイオード素子領域J102が導通状態から非導通状態に移行する際のリカバリ損失が増大していた。かといって、 p^- 型層130の不純物濃度をダイオード素子領域J102に最適な濃度に合わせると、半導体装置100をIGBTとして機能させる（IGBT素子領域J101をオン状態にする）際に、IGBTがオンするためのしきい値電圧が不要に低下する。半導体装置100の短絡耐量が低下してしまう。

【0008】

10

20

30

40

50

ダイオード素子領域 J 1 0 2 の表面 1 0 2 a に臨んで形成されている p⁺ 型領域 1 2 2 の不純物濃度を下げることによっても、ダイオード素子領域 J 1 0 2 が導通状態のときに p⁺ 型領域 1 2 2 から流出するホールの量を減少させることができる。しかしながら、p⁺ 型領域 1 2 2 の不純物濃度を下げると p⁺ 型領域 1 2 2 と表面電極 1 0 1 がオーミック接触し難くなる。p⁺ 型領域 1 2 2 と表面電極 1 0 1 との間で電圧降下が発生し、局所的に発熱し易くなる。

現状の技術では、半導体装置 1 0 0 の他の特性を劣化させないで、ダイオード素子領域 J 1 0 2 のリカバリ損失を低減化することができない。すなわち、逆導通型の半導体装置のダイオード素子領域のリカバリ損失を低減化することは難しい。

本発明は、上記の問題を解決するために創案された。すなわち、本発明は、逆導通型の半導体装置の他の特性を劣化させないでダイオード素子領域のリカバリ損失を低減化する技術を提供する。

【課題を解決するための手段】

【0009】

本発明は、同一半導体基板に I G B T 素子領域とダイオード素子領域が混在している逆導通半導体装置に具現化することができる。

I G B T 素子領域では、p 型のコレクタ層と n 型のドリフト層と p 型のボディ層が順に積層されている。また、I G B T 素子領域では、半導体基板の表面からボディ層を貫通してドリフト層まで伸びている絶縁トレンチゲート電極が形成されている。また、I G B T 素子領域では、絶縁トレンチゲート電極に接しているとともに半導体基板の表面に臨む範囲に n 型のトレンチゲート電極隣接領域が形成されている。そのトレンチゲート電極隣接領域はボディ層によって n 型のドリフト層から分離されている。トレンチゲート電極隣接領域はエミッタ領域として機能する。

ダイオード素子領域では、n 型のカソード層と n 型のドリフト層と p 型のアノード層が順に積層されている。ダイオード素子領域では、半導体基板の表面からアノード層を貫通してドリフト層まで伸びている絶縁トレンチゲート電極が形成されている。ダイオード素子領域では、半導体基板の表面に臨む範囲に p 型のアノード領域が形成されている。そのアノード領域が、アノード層によって n 型のドリフト層から分離されている。ダイオード素子領域の n 型のドリフト層はカソード層として機能する。

本発明の半導体装置のダイオード素子領域には、n 型のトレンチゲート電極隣接領域が形成されていない。すなわち、ダイオード素子領域の絶縁トレンチゲート電極に接するとともに半導体基板の表面に臨む範囲には、n 型の領域が形成されていない。また、本発明の半導体装置では、ダイオード素子領域に存在するアノード層の不純物濃度が、I G B T 素子領域に存在するボディ層の不純物濃度よりも薄い。

なお、本明細書では、トレンチの内面に形成されている絶縁膜と、絶縁膜に覆われた状態でトレンチ内に収容されているトレンチゲート電極を合わせて絶縁トレンチゲート電極という。

【0010】

トレンチゲート電極隣接領域とアノード領域が接地され、コレクタ層とカソード層に正電圧が印加されている状態で、絶縁トレンチゲート電極に閾値以上の正電圧が印加されると、I G B T 素子領域では、p 型ボディ層のうちの絶縁トレンチゲート電極に接する範囲に n 型チャンネルが形成される。絶縁トレンチゲート電極に接している n 型トレンチゲート電極隣接領域から n 型チャンネルを介して n 型ドリフト層に電子が注入される。ドリフト層に電子が注入されると、コレクタ層からドリフト層にホールが注入される。ドリフト層に電子とホールが注入され、活発な伝導度変調現象が生じる。これによって I G B T 素子がオン状態となる。

一方、ダイオード素子領域でも、p 型アノード層のうちの絶縁トレンチゲート電極に接する範囲に n 型チャンネルが形成される。しかしながら、本発明の半導体装置のダイオード素子領域では、絶縁トレンチゲート電極に隣接する範囲に n 型領域が形成されていない。そのため、ダイオード素子領域ではドリフト層に電子が注入されない。ダイオード領域で

10

20

30

40

50

は、電流が流れない。

また、本発明の半導体装置のダイオード素子領域では、絶縁トレンチゲート電極に隣接する範囲にn型領域が形成されていないために、IGBT素子領域がオン状態の際に、ダイオード素子領域からIGBT素子領域のドリフト層に電子が注入されることもない。ダイオード素子領域が、オン状態の際のIGBT素子の特性に影響を及ぼすことがない。同一半導体基板に形成されているダイオード素子領域が、IGBT素子領域の動作に干渉しない。

本発明の半導体装置では、ダイオード素子領域のアノード層のp型不純物の濃度をIGBT素子領域のボディ層のp型不純物の濃度よりも低くすることによってIGBT素子領域のボディ層よりもダイオード素子領域のアノード層の方でn型チャンネルが形成され易い。しかしながら、本発明の半導体装置のダイオード素子領域では、絶縁トレンチゲート電極に隣接する範囲にn型領域を形成しないことによって、IGBT素子のオン時にダイオード領域に電流が流れることを防止する。ダイオード素子領域のアノード層のp型不純物の濃度を下げても、IGBT素子領域がオン状態となるしきい値電圧は低下しない。従って、半導体装置の短絡耐量は低下しない。

本発明の半導体装置によると、アノード層のp型不純物の濃度を、ダイオード素子領域にとって最適な濃度となるように低くすることができる。これにより、ダイオード素子領域が導通状態のときに、ドリフト層に注入されるホールの注入量をダイオード素子領域にとって最適な注入量に抑制することができる。ダイオード素子領域のアノード層のp型不純物の濃度がIGBT素子領域のボディ層のp型不純物の濃度と等しい場合には、ダイオード素子領域のドリフト領域に過剰なホールが注入されるのに対し、本発明の半導体装置では、アノード層の不純物濃度をボディ層の不純物濃度よりも低くおさえることによってホールの注入量を抑制することができるので、ダイオード素子領域が導通状態から非導通状態に移行する際のリカバリ損失を低減化することができる。

また、上記した半導体装置では、半導体装置の表面に臨んでいるアノード領域のp型不純物の濃度を十分に高濃度で形成することができるので、半導体基板の表面に形成する電極とアノード領域を良好にオーミック接触させることができる。双方の間で電圧降下が発生することによる局所的な発熱を抑制することができる。

本発明の半導体装置によると、逆導通型の半導体装置の他の特性を劣化させないでダイオード素子領域のリカバリ損失を低減化することができる。

【0011】

上記の半導体装置のダイオード素子領域に、n型の半導体領域が形成されていることが好ましい。この場合、n型の半導体領域は、絶縁トレンチゲート電極に接しないとともに半導体基板の表面に臨む範囲に形成する。すなわち、p型のアノード領域とn型の半導体領域の両者を半導体基板の表面に臨む範囲に形成するとともに、n型の半導体領域を絶縁トレンチゲート電極に接しない範囲に形成する。

半導体基板の表面に臨む範囲にn型の半導体領域を形成しても、絶縁トレンチゲート電極に接しないために、IGBTのオン時にn型の半導体領域からドリフト層に注入される電子量は少ない。その一方において、ダイオード素子が導通状態の際に、アノード領域から注入されたホールの一部が、n型の半導体領域に吸収される。ダイオード素子領域にとって過多であったホールの注入量をさらに抑制することができるので、ダイオード素子領域のリカバリ損失をさらに低減化することができる。

【0012】

ダイオード素子領域では、アノード領域が絶縁トレンチゲート電極に接していることが好ましい。n型の半導体領域を形成する場合には、p型のアノード領域とn型の半導体領域の両者を半導体基板の表面に臨む範囲に形成するとともに、p型のアノード領域は絶縁トレンチゲート電極に接し、n型の半導体領域は絶縁トレンチゲート電極に接しない範囲に形成する。

後に詳述するが、ダイオード素子領域が導通状態の際に、絶縁トレンチゲート電極に負電圧を印加する制御を行うことが好ましい。そのような制御を行うと、ダイオード素子領

10

20

30

40

50

域が導通状態の際に、p型アノード層のうちの絶縁トレンチゲート電極と接している部分にホールが集中する。アノード領域が絶縁トレンチゲート電極と接していると、アノード領域から流出したホールが、絶縁トレンチゲート電極に沿って、ドリフト層に注入され易くなる。ダイオード素子領域の定常損失を低減化することができる。

【0013】

I G B T素子領域では、p型のボディ層の中間深さに、隣接する絶縁トレンチゲート電極間に亘って伸びているn型のボディ分割領域が形成されていることが好ましい。

その場合、ボディ分割領域によって分割されたp型のボディ層の下層部と、n型のボディ分割領域とによって、内蔵ダイオードが形成される。内蔵ダイオードに流すことが可能な電流の向きは、ダイオード素子領域に流すことが可能な電流の向きとは逆向きとなる。ダイオード素子領域が導通状態の際にI G B T素子領域のボディコンタクト領域から放出されたホールがドリフト層に注入されない。I G B T素子領域が、導通状態のダイオード素子の特性に影響を及ぼすことがない。同一半導体基板に形成されているI G B T素子領域が、ダイオード素子領域の動作に干渉しない。

【0014】

半導体装置の中には、I G B T素子領域を流れている電流の大きさを検出するためのI G B T素子領域を備えているものがある。このために、I G B T素子領域とダイオード素子領域に加えて電流検出用のI G B T素子領域を形成してもよい。

その場合、電流検出用I G B T素子領域は、I G B T素子領域よりも半導体基板の表面における占有面積が狭い。また、電流検出用I G B T素子領域は、I G B T素子領域での半導体領域の配置関係と同一配置関係を備えている。すなわち、ドリフト層とボディ層と絶縁トレンチゲート電極とトレンチゲート電極隣接領域の配置関係は、I G B T素子領域と電流検出用I G B T素子領域とで等しい。

この場合、半導体基板の表面から観測したときに、電流検出用I G B T素子領域がダイオード素子領域によってI G B T素子領域から隔てられていることが好ましい。電流検出用I G B T素子領域は、後記する電流検出用ダイオード素子領域によってI G B T素子領域から隔てられていてもよい。

なお、I G B T素子領域の裏面に臨む範囲に、p型の半導体領域が形成されていれば、電流検出用I G B T素子領域自体はコレクタ層を備えていなくてもよい。

【0015】

従来、電流検出用I G B T素子領域とI G B T素子領域は拡散層等で分離されていた。また電流検出用I G B T素子領域とダイオード素子領域も拡散層等で分離されていた。本発明の半導体装置では、ダイオード素子領域にn型のトレンチゲート電極隣接領域が形成されていない。したがって、オン状態の際のI G B T素子領域の特性にダイオード素子領域が影響を及ぼさない。電流検出用I G B T素子領域がダイオード素子領域によってI G B T素子領域から隔てられている構造を採用すると、拡散層等によって領域を分離する必要がない。小型の半導体基板内に、必要な素子領域を配置することが可能となる。

【0016】

半導体装置の中には、ダイオード素子領域を流れている電流の大きさを検出するためのダイオード素子領域を備えているものがある。このために、I G B T素子領域とダイオード素子領域に加えて電流検出用のダイオード素子領域を形成してもよい。

その場合、電流検出用ダイオード素子領域は、ダイオード素子領域よりも半導体基板の表面における占有面積が狭い。また、電流検出用ダイオード素子領域は、ダイオード素子領域での半導体領域の配置関係と同一配置関係を備えている。すなわち、ドリフト層とアノード層と絶縁トレンチゲート電極とアノード領域の配置関係は、ダイオード素子領域と電流検出用ダイオード素子領域とで等しい。

この場合、半導体基板の表面から観測したときに、電流検出用ダイオード素子領域がI G B T素子領域によってダイオード素子領域から隔てられていることが好ましい。電流検出用ダイオード素子領域は、前記した電流検出用I G B T素子領域によってダイオード素子領域から隔てられていてもよい。

10

20

30

40

50

なお、ダイオード素子領域の裏面に臨む範囲に、n型の半導体領域が形成されていれば、電流検出用ダイオード素子領域自体はカソード層を備えていなくてもよい。

【0017】

電流検出用ダイオード素子領域は、ダイオード素子領域と同様に、ドリフト層とアノード層と絶縁トレンチゲート電極とアノード領域を備えている。さらに、IGBT素子領域（あるいはIGBT素子領域と電流検出用IGBT素子領域の双方）にn型のボディ分割領域ことが好ましい。ボディ分割領域は、IGBT素子領域（あるいはIGBT素子領域と電流検出用IGBT素子領域の双方）のp型のボディ層の中間深さに、隣接する絶縁トレンチゲート電極間に亘って伸びている。この場合、導通状態のダイオード素子領域の特性にIGBT素子領域（あるいはIGBT素子領域と電流検出用IGBT素子領域の双方）が影響を及ぼさない。電流検出用ダイオード素子領域がIGBT素子領域によってダイオード素子領域から隔てられている構造を採用すると、拡散層等によって領域を分離する必要がない。小型の半導体基板内に、必要な素子領域を配置することが可能となる。

10

【0018】

上記した電流検出用ダイオード素子領域と、前述した電流検出用IGBT素子領域の双方を備えている場合には、本明細書に添付した図24に示すように、電流検出用素子領域を入れ子状に形成することができる。図24の場合、電流検出用ダイオード素子領域N2が、IGBT素子領域M1の一端部に入れ子状に形成されている。また、電流検出用IGBT素子領域N1が、ダイオード素子領域M2の一端部に入れ子状に形成されている。電流検出用ダイオード素子領域N2は、電流検出用IGBT素子領域N1とIGBT素子領域M1に隣接しているが、電流検出用IGBT素子領域N1とIGBT素子領域M1によってダイオード素子領域M2からは隔てられている。同様に、電流検出用IGBT素子領域N1は、電流検出用ダイオード素子領域N2とダイオード素子領域M2に隣接しているが、電流検出用ダイオード素子領域N2とダイオード素子領域M2によってIGBT素子領域M1からは隔てられている。電流検出用IGBT素子領域N1と電流検出用ダイオード素子領域N2は同時に動作することがないので、双方に共通の表面電極と裏面電極を形成することができる。

20

この配置関係によると、小型の半導体基板内に、必要な素子領域をコンパクトに配置することが可能となる。

【0019】

本発明は、新規な給電装置の駆動方法をも実現する。本発明で駆動する給電装置は、前述した本発明の逆導通型の半導体装置の複数個を組み合わせて構成されている。この給電装置は、モータ等の電気的負荷に給電する。

30

本方法では、半導体装置のIGBT素子領域をオン状態に切換えて給電する際には、そのIGBT素子領域を備えている半導体装置の絶縁トレンチゲート電極に正電圧を印加する。そのIGBT素子領域をオフ状態に切換えることによって他の半導体装置のダイオード素子領域に還流電流が流れる際には、その還流電流が流れる半導体装置の絶縁トレンチゲート電極に負電圧を印加する。

【0020】

絶縁トレンチゲート電極に負電圧を印加すると、p型アノード層のうちの絶縁トレンチゲート電極と接している部分にホールが集中する。すると、ダイオード素子領域に還流電流が流れる際にアノード領域から流出したホールが、絶縁トレンチゲート電極に沿って、ドリフト層に注入され易くなる。ダイオード素子領域の順方向電圧降下を小さくすることができる。ダイオード素子領域の定常損失を低減化することができる。

40

この駆動方法は、p型アノード層の不純物濃度を下げてリカバリ損失を低下させる際に特に有用となる。リカバリ損失と定常損失の両者を低減化することができる。

【0021】

IGBT素子領域をオフ状態から再びオン状態に切換えるに先立って、他の半導体装置の絶縁トレンチゲート電極に負電圧を印加することを中断することが好ましい。

絶縁トレンチゲート電極に負電圧を印加した状態では、ドリフト層に対するホールの注

50

入量が増加している。このまま、先にオフ状態にした I G B T 素子領域を再びオン状態に切換え、還流電流が流れているダイオード素子領域を非導通状態に切換えると、ドリフト層に蓄積されていたホールによってダイオード素子領域にリカバリ電流が流れる。そこで、I G B T 素子領域をオフ状態から再びオン状態に切換えるに先立って（還流電流が流れているダイオード素子領域が非導通状態に切換えられるのに先立って）、還流電流が流れている半導体装置の絶縁トレンチゲート電極に、負電圧を印加することを中断する。これにより、ドリフト層に蓄積されるホールの量が減少し、ダイオード素子領域が非導通状態に切換えられるときに流れるリカバリ電流を小さくすることができる。ダイオード素子領域のリカバリ損失を低減化することができる。

【 0 0 2 2 】

本発明は、さらに、新規な給電装置の駆動方法をも実現する。

本方法では、少なくとも 2 個の I G B T 素子領域をオン状態に切換えて給電する際には、オン状態に切換える各々の I G B T 素子領域を備えている各々の半導体装置の各々の絶縁トレンチゲート電極に正電圧を印加する。そうしてオン状態に切換えた I G B T 素子領域のうち、少なくとも 1 個の I G B T 素子領域をオフ状態に切換えるとともにも少なくとも他の 1 個の I G B T 素子領域をオン状態に維持することにより、別の半導体装置のダイオード素子領域に還流電流を流す。そして、先にオン状態からオフ状態に切換えた I G B T 素子領域を再びオン状態に切換えた後に、還流電流が流れていた別の半導体装置の絶縁トレンチゲート電極に負電圧を印加する。

ダイオード素子領域が導通状態から非導通状態に移行してリカバリ電流が流れているときに、そのリカバリ電流が流れている半導体装置の絶縁トレンチゲート電極に負電圧を印加する。すると、ドリフト層に蓄積していたホールが、絶縁トレンチゲート電極に引き付けられ、ホールがアノード領域に戻る速度が遅くなる。ソフト・リカバリ特性を実現することができ、リカバリ電流が大きな電流に発達することを抑制することができる。サージ電圧の発生を抑制することができる。

また、本発明の駆動方法で駆動する給電装置は、本発明の逆導通型の半導体装置を用いているので、ダイオード素子領域のリカバリ損失を低減化することができる。リカバリ損失を低減化できるとともに、リカバリ動作時にサージ電圧が発生することを抑制することができる。

【 発明の効果 】

【 0 0 2 3 】

本発明によると、逆導通型の半導体装置において、ダイオード素子領域のリカバリ損失を、他の特性を劣化させることなく低減化することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下に説明する実施例の主要な特徴を列記しておく。

(特徴 1) 本発明の駆動方法で駆動する給電装置 K は、4 個の逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を備えているインバータ回路である。

(特徴 2) I G B T 素子領域 J 1 のトレンチゲート電極 1 2 と、ダイオード素子領域 J 2 のトレンチゲート電極 1 2 は、共通のゲート配線に接続されている。

【 実施例 1 】

【 0 0 2 5 】

(第 1 実施例)

本発明を具現化した半導体装置と、その半導体装置を備えている給電装置の駆動方法の第 1 実施例を、図 1 から図 2 1 を参照して説明する。本実施例の半導体装置は、同一半導体基板に I G B T 素子領域とダイオード素子領域が混在している逆導通 I G B T である。図 1 に示すように、本実施例の半導体装置 B 1 の特徴は、I G B T 素子領域 J 1 では、絶縁トレンチゲート電極 T G に隣接する位置にエミッタ領域として機能する n⁺型のトレンチゲート電極隣接領域 2 0 が形成されているのに対し、ダイオード素子領域 J 2 では、絶縁トレンチゲート電極 T G に隣接する位置に n⁺型のトレンチゲート電極隣接領域 2 0 が形成

10

20

30

40

50

されておらず、代わりにアノードとして機能する p^+ 型の領域（アノード領域40）が形成されていることである。また、本実施例の半導体装置B1の特徴は、アノード層50の p 型不純物の濃度が、ボディ層30の p 型不純物の濃度よりも低いことである。

図1は、半導体装置B1の要部断面図である。図2から図7は、半導体装置A1, A2, B1, B2を備えている給電装置Kが、モータMに給電している状態を説明する図である。なお、半導体装置A1, A2, B1, B2の各々は、同一の構成である。図8は、半導体装置A1, A2, B1, B2の各々のゲート G_{A1} , G_{A2} , G_{B1} , G_{B2} に印加するゲート電圧 V_{GA1} , V_{GA2} , V_{GB1} , V_{GB2} のタイミングチャート図である。図9は、半導体装置B1のIGBT素子領域J1のオン状態を説明する図である。図10は、半導体装置B2のダイオード素子領域J2の導通状態を説明する図である。図11は、図10のダイオード素子領域J2の絶縁トレンチゲート電極TG近傍を拡大した図である。図12は、半導体装置B2のダイオード素子領域J2の導通状態であり、半導体装置B1のIGBT素子領域J1を再びオン状態にする直前の状態を説明する図である。図13は、半導体装置B1のIGBT素子領域J1を再びオン状態にした後に、半導体装置B2のダイオード素子領域J2にリカバリ電流が流れている状態を説明する図である。図14から図21は、半導体装置B1の製造方法を説明する図である。

10

【0026】

図1の要部断面図を用いて、半導体装置B1の構成を説明する。

半導体装置B1は、 n^- 型の半導体基板2を用いて形成されている。半導体基板2には、IGBT素子領域J1とダイオード素子領域J2が混在している。

20

IGBT素子領域J1では、 p^+ 型のコレクタ領域80と n^- 型のドリフト層60と p^- 型のボディ層30が順に積層されている。IGBT素子領域J1の上層部2Uでは、半導体基板2の表面2aからボディ層30を貫通して n^- 型のドリフト層60まで伸びている複数本の絶縁トレンチゲート電極TGが形成されている。各々の絶縁トレンチゲート電極TGは、その長手方向を図1に示す奥行き方向に揃って伸びている。また、各々の絶縁トレンチゲート電極TGは、半導体基板2の表面2aから半導体基板2の深さ方向に伸びている。絶縁トレンチゲート電極TGは、トレンチの内面に形成されている絶縁膜14を備えている。絶縁トレンチゲート電極TGは、絶縁膜14で覆われた状態でトレンチに收容されているトレンチゲート電極12を備えている。

【0027】

30

IGBT素子領域J1では、隣接する絶縁トレンチゲート電極TG間の上層部2Uに、複数個の n^+ 型のトレンチゲート電極隣接領域20が形成されている。各々のトレンチゲート電極隣接領域20は、半導体基板2の表面2aに臨む範囲に形成されている。各々のトレンチゲート電極隣接領域20は、絶縁トレンチゲート電極TGと接している。したがって、トレンチゲート電極隣接領域20は、絶縁膜14を介してトレンチゲート電極12と対向している。トレンチゲート電極隣接領域20は、エミッタ領域として機能する。

また、IGBT素子領域J1では、上層部2Uに、 p^+ 型のボディコンタクト領域22が形成されている。ボディコンタクト領域22は、表面2aに臨む範囲に形成されている。ボディコンタクト領域22は、隣接するトレンチゲート電極隣接領域20の間に配置されている。

40

IGBT素子領域J1では、トレンチゲート電極隣接領域20とボディコンタクト領域22が、ボディ層30によって n^- 型のドリフト層60から分離されている。

IGBT素子領域J1では、トレンチゲート電極隣接領域20がエミッタ領域として機能する。

【0028】

ダイオード素子領域J2では、 n^+ 型のカソード領域70と n^- 型のドリフト層60と p^- 型アノード層50が順に積層されている。 n^- 型のドリフト層60は、ダイオードのカソード領域の一部として（高抵抗領域として）機能する。本発明では、IGBT素子領域J1の n^- 型のドリフト層60と、ダイオード素子領域J2の n^- 型のドリフト層60が共通であることから、両者を総称してドリフト層という。

50

ダイオード素子領域 J 2 でも、IGBT 素子領域 J 1 と同様の絶縁トレンチゲート電極 T G が形成されている。各々の絶縁トレンチゲート電極 T G は、半導体基板 2 の表面 2 a から半導体基板 2 の深さ方向に伸び、アノード層 5 0 を貫通してドリフト層 6 0 にまで達している。

【0029】

また、ダイオード素子領域 J 2 では、隣接する絶縁トレンチゲート電極 T G 間の上層部 2 U に、複数個の p⁺ 型のアノード領域 4 0 が形成されている。各々のアノード領域 4 0 は、半導体基板 2 の表面 2 a に臨む範囲に形成されている。各々のアノード領域 4 0 は、絶縁トレンチゲート電極 T G に接している。アノード領域 4 0 は、絶縁膜 1 4 を介して、トレンチゲート電極 1 2 と対向している。

10

また、ダイオード素子領域 J 2 では、上層部 2 U に、n⁺ 型のホール吸収領域 4 2 が形成されている。ホール吸収領域 4 2 は、表面 2 a に臨む範囲に形成されている。ホール吸収領域 4 2 は、隣接するアノード領域 4 0 の間に配置されている。n⁺ 型のホール吸収領域 4 2 は、絶縁トレンチゲート電極 T G とは接していない。

ダイオード素子領域 J 2 では、アノード領域 4 0 とホール吸収領域 4 2 が、アノード層 5 0 によってドリフト層 6 0 から分離されている。

【0030】

半導体基板 2 の表面 2 a には、表面電極 1 が形成されている。表面電極 1 は、IGBT 素子領域 J 1 の表面とダイオード素子領域 J 2 の表面に連続して伸びている。表面電極 1 は、IGBT 素子領域 J 1 ではトレンチゲート電極隣接領域（エミッタ領域）2 0 とボディコンタクト領域 2 2 と導通している。また、表面電極 1 は、ダイオード素子領域 J 2 ではアノード領域 4 0 とホール吸収領域 4 2 と導通している。

20

トレンチゲート電極 1 2 と表面電極 1 の間には絶縁膜 1 0 が形成されており、両者は接続していない。トレンチゲート電極 1 2 は、表面電極 1 が形成されていない領域（図 1 の奥行き方向のいずれかの断面）で、図示していないゲート配線と接続している。

半導体基板 2 の裏面 2 b には、裏面電極 3 が形成されている。裏面電極 3 は、IGBT 素子領域 J 1 の裏面とダイオード素子領域 J 2 の裏面に連続して伸びている。裏面電極 3 は、半導体基板 2 の下層部 2 L で裏面 2 b に臨んで形成されているコレクタ領域 8 0 とカソード領域 7 0 の双方と導通している。

これにより、逆導通 IGBT として機能する半導体装置 B 1 が構成されている。

30

【0031】

図 2 から図 7 に示すように、上述した半導体装置 B 1 と同一構成の 4 個の逆導通 IGBT を用いて給電装置 K を構成することができる。各々の半導体装置 A 1, A 2, B 1, B 2 は、図 2 に示すように、IGBT 素子領域 J 1 で構成される IGBT の一对の主電極間（コレクタ・エミッタ間）に、ダイオード素子領域 J 2 で構成されるダイオードが逆並列に接続されている回路として機能する。

図 2 から図 7 に示す半導体装置 B 1 のコレクタ C B 1 は、半導体装置 B 1 の裏面電極 3（図 1 参照）と導通している。半導体装置 B 1 のエミッタ E B 1 は、半導体装置 B 1 の表面電極 1（図 1 参照）と導通している。半導体装置 B 1 のゲート G B 1 は、半導体装置 B 1 のトレンチゲート電極 1 2（図 1 参照）と導通している。半導体装置 A 1 のコレクタ C A 1 とエミッタ E A 1 とゲート G A 1 も半導体装置 B 1 と同様に各々の電極と導通している。半導体装置 A 2 のコレクタ C A 2 とエミッタ E A 2 とゲート G A 2 も半導体装置 B 1 と同様に各々の電極と導通している。半導体装置 B 2 のコレクタ C B 2 とエミッタ E B 2 とゲート G B 2 も半導体装置 B 1 と同様に各々の電極と導通している。

40

【0032】

図 2 を参照して給電装置 K の構成を説明する。

給電装置 K は、逆導通 IGBT の 2 個の半導体装置 A 1, A 2 が直列に接続されている直列回路 A と、逆導通 IGBT の 2 個の半導体装置 B 1, B 2 が直列に接続されている直列回路 B を備えている。それらの直列回路 A, B は並列に接続されている。その並列回路が、電源 S の一对の端子 c, d 間に接続されている。直列回路 A の半導体装置 A 1, A 2

50

間の中間電位点 x は、モータ M の一方の給電点に接続されている。直列回路 B の半導体装置 B_1 , B_2 間の中間電位点 y は、モータ M の他方の給電点に接続されている。

【 0 0 3 3 】

図 2 から図 7 を参照して給電装置 K がモータ M に給電する動作について説明する。

$I G B T$ がオン・オフしている時の $I G B T$ 素子領域 J_1 のオン状態・オフ状態については、後述する。また、ダイオードが導通・非導通の時のダイオード素子領域 J_2 の状態（導通状態・非導通状態）についても、後述する。まずは、給電装置 K のがモータ M に給電する動作のみを説明する。

以下の説明では、半導体装置 A_1 , A_2 , B_1 , B_2 の $I G B T$ 素子領域 J_1 で構成される $I G B T$ を簡単に $I G B T$ という。また、半導体装置 A_1 , A_2 , B_1 , B_2 のダイオード素子領域 J_2 で構成されるダイオードをダイオードという。

10

【 0 0 3 4 】

給電装置 K は、電源 S からの電力をモータ M に給電する。

図 3 は、給電装置 K がモータ M に給電している 1 つの状態を示している。半導体装置 B_1 , A_2 の $I G B T$ をオンし、半導体装置 A_1 , B_2 の $I G B T$ をオフする。この場合、電源 S の正側から半導体装置 B_1 の $I G B T$ とモータ M と半導体装置 A_2 の $I G B T$ を介して電源 S の負側に戻る閉ループが形成される。これにより、モータ M に図 3 に示す矢印方向の電流が流れる。モータ M が給電される。

次に、図 4 に示すように、半導体装置 B_1 の $I G B T$ をオフし、半導体装置 A_2 の $I G B T$ のオン状態を維持する。すると、モータ M と電源 S との接続は切断される。しかしながら、モータ M のインダクタンス成分によって、還流電流が流れる。還流電流は、モータ M と半導体装置 A_2 の $I G B T$ と半導体装置 B_2 のダイオードを介して流れる。モータ M に図 4 に示す矢印方向の電流が流れ続ける。

20

次に、再び、図 3 に示す状態に戻す。モータ M に図 3 に示す矢印方向の電流が流れ、モータ M が給電される。

次に、図 2 に示すように、半導体装置 A_2 の $I G B T$ をオフし、半導体装置 B_1 の $I G B T$ のオン状態を維持する。すると、モータ M と電源 S との接続は切断される。しかしながら、モータ M のインダクタンス成分によって、還流電流が流れる。還流電流は、モータ M と半導体装置 A_1 のダイオードと半導体装置 B_1 の $I G B T$ を介して流れる。モータ M に図 2 に示す矢印方向の電流が流れ続ける。

30

次に、再び、図 3 に示す状態に戻す。モータ M に図 3 に示す矢印方向の電流が流れ、モータ M が給電される。

この状態を繰り返すことによって給電装置 K は、モータ M に同じ方向の電流を流しながら、モータ M に供給する電力の実効値を調整することができる。

【 0 0 3 5 】

給電装置 K はモータ M に対する給電方向を切換えることができる。

図 6 は、給電装置 K がモータ M に給電している別の状態を示している。半導体装置 A_1 , B_2 の $I G B T$ をオンし、半導体装置 B_1 , A_2 の $I G B T$ をオフする。この場合、電源 S の正側から半導体装置 A_1 の $I G B T$ とモータ M と半導体装置 B_2 の $I G B T$ を介して電源 S の負側に戻る閉ループが形成される。これにより、モータ M に図 6 に示す矢印方向（図 3 とは逆方向）の電流が流れる。モータ M が給電される。

40

次に、図 7 に示すように、半導体装置 A_1 の $I G B T$ をオフし、半導体装置 B_2 の $I G B T$ のオン状態を維持する。すると、モータ M と電源 S との接続が切断する。しかしながら、モータ M のインダクタンス成分によって、還流電流が流れる。還流電流は、モータ M と半導体装置 B_2 の $I G B T$ と半導体装置 A_2 のダイオードを介して流れる。モータ M に図 7 に示す矢印方向の電流が流れ続ける。

次に、再び、図 6 に示す状態に戻す。モータ M に図 6 に示す矢印方向の電流が流れ、モータ M が給電される。

次に、図 5 に示すように、半導体装置 B_2 の $I G B T$ をオフし、半導体装置 A_1 の $I G B T$ のオン状態を維持する。すると、モータ M と電源 S との接続が切断する。しかしなが

50

ら、モータMのインダクタンス成分によって、還流電流が流れる。還流電流は、モータMと半導体装置B1のダイオードと半導体装置A1のIGBTを介して流れる。モータMに図5に示す矢印方向の電流が流れ続ける。

次に、再び、図6に示す状態に戻す。モータMに図6に示す矢印方向の電流が流れ、モータMが給電される。

この状態を繰り返すことによって給電装置Kは、モータMに同じ方向の電流を流しながら、モータMに供給する電力の実効値を調整することができる。

【0036】

上記した状態を実現するための給電装置Kの駆動方法を、図8を用いて説明する。併せて、図8の駆動方法で給電装置Kを駆動している際に、給電装置Kを構成する半導体装置B1、B2のIGBT素子領域J1とダイオード素子領域J2がどのような状態となっているかについて、図9から図13を用いて説明する。

なお、以下では、給電装置KがモータMに、図2から図4に示す矢印方向の電流を流す場合について説明する。図5から図7に示す矢印方向の電流を流す場合も同様な方法を用いるので、この場合に関する説明は省略する。

【0037】

図8では、半導体装置A1、A2、B1、B2のゲートGA1、GA2、GB1、GB2（併せて図2参照）に印加するゲート電圧 V_{GA1} 、 V_{GA2} 、 V_{GB1} 、 V_{GB2} をタイミングチャートで示している。

図8の期間Q1（時刻t1まで）では、給電装置Kが図3に示す状態になる。

図8に示すように、半導体装置B1のゲートGB1に閾値以上のゲート電圧 V_{GB1} （+V（V））を印加している。また、半導体装置A2のゲートGA2に閾値以上のゲート電圧 V_{GA2} （+V（V））を印加している。また、半導体装置B2と半導体装置A1に印加するゲート電圧 V_{GB2} とゲート電圧 V_{GA1} は0Vとしている。

半導体装置B1のコレクタCB1が電源Sの正側に接続され、エミッタEB1が負側に接続され、ゲートGB1に+V（V）が印加される。これにより、半導体装置B1のIGBTがオンする（IGBT素子領域J1がオン状態となる）。また、半導体装置A2のコレクタCA2が正側に接続され、エミッタEA2が負側に接続され、ゲートGA2に+V（V）が印加される。これにより、半導体装置A2のIGBTがオンする（IGBT素子領域J1がオン状態となる）。モータMに図3に示す矢印方向の電流が流れる。

【0038】

期間Q1での半導体装置B1の要部断面図を図9に示す。半導体装置A2も同様であるので、半導体装置B1を例にとって説明する。

半導体装置B1の裏面電極3（コレクタCB1）に、図3に示す電源Sの正側が接続されて正電圧が印加されている。半導体装置B1の表面電極1（エミッタEB1）が負側に接続されている。また、トレンチゲート電極12（ゲートGB1）に+V（V）が印加されている。

半導体装置B1のIGBT素子領域J1では、トレンチゲート電極12に絶縁膜14を介して対向しているp⁻型のボディ層30がn型に反転してn型チャネル（図9では、バツ印で模式的に示している。）が形成される。これにより、トレンチゲート電極隣接領域（エミッタ領域）20から流出した電子（図9では、マイナス印で模式的に示している）が、n型チャネルを介してドリフト層60に注入される。この結果、コレクタ領域80からは、ドリフト層60に向けてホール（図9では、プラス印で模式的に示している。）が移動する。ドリフト層60には電子とホールが注入されて伝導度変調現象が起こり、半導体装置B1のIGBT素子領域J1が低いオン電圧でオン状態となる。ホールは、電子と再結合して消滅するか、ボディ層30とボディコンタクト領域22を経由して表面電極1へと排出される。

半導体装置B1のダイオード素子領域J2でも、トレンチゲート電極12に絶縁膜14を介して対向しているp⁻型のアノード層50がn型に反転し、n型チャネルが形成される。ダイオード素子領域J2のアノード層50のp型不純物の濃度は、ボディ層30の不純

10

20

30

40

50

物濃度よりも低い。このため、アノード層 50 のうちのトレンチゲート電極 12 に絶縁膜 14 を介して対向している範囲は、IGBT 素子領域 J1 のボディ層 30 よりも n 型に反転し易い。しかしながら、ダイオード素子領域 J2 には、n 型のトレンチゲート電極隣接領域 20 がないので、電子がドリフト層 60 に注入されることはない。

【0039】

図 8 の期間 Q2 では、給電装置 K が図 4 に示す状態になる。期間 Q2 では、図 8 に示すように、半導体装置 B1 のゲート GB1 に印加するゲート電圧 V_{GB1} を 0 V としている。半導体装置 A2 のゲート GA2 に印加するゲート電圧 V_{GA2} は +V (V) を維持している。

期間 Q2 では、半導体装置 B1 の IGBT 素子領域 J1 がオフ状態となり、半導体装置 A2 の IGBT 素子領域 J1 のオン状態が維持される。この結果、モータ M と電源 S との接続は切断する。しかしながら、モータ M のインダクタンス成分によってモータ M が電圧源となる。この電圧によって、半導体装置 B2 の表面電極 1 に裏面電極 3 よりも高い電圧が印加される。これにより、半導体装置 B2 のダイオード素子領域 J2 が導通状態となる。モータ M と半導体装置 A2 の IGBT 素子領域 J1 と半導体装置 B2 のダイオード素子領域 J2 を介して還流電流が流れる。モータ M に図 4 に示す矢印方向の電流が流れ続ける。

【0040】

図 8 に示すように、期間 Q2 のうちの時刻 t1 から時刻 t2 までの期間では、還流電流が流れる半導体装置 B2 のゲート GB2 に負のゲート電圧 V_{GB2} (-V (V)) が印加される。

時刻 t1 から時刻 t2 までの期間に還流電流が流れている半導体装置 B2 の要部断面図を図 10 に示す。

図 10 に示すように、半導体装置 B2 の表面電極 1 (アノード) に正電圧が印加されている。半導体装置 B2 の裏面電極 3 (カソード) が負側となっている。

これにより、アノード領域 40 からホールが流出してダイオード素子領域 J2 が導通状態となる。

トレンチゲート電極 12 に負電圧を印加すると、アノード層 50 のうちのトレンチゲート電極 12 に絶縁膜 14 を介して対向する範囲 (図 11 に示す範囲 H1) に、ホールが集中する。また、絶縁トレンチゲート電極 TG の底部が、n⁻型のドリフト層 60 に突出している。トレンチゲート電極 12 に負電圧を印加すると、n⁻型のドリフト層 60 のうちの絶縁膜 14 を介してトレンチゲート電極 12 に対向する範囲 (図 11 に、バツ印で模式的に示している。) にホールが誘起され、p 型層に反転する。アノード層 50 の不純物濃度が薄くても、アノード領域 40 から注入されたホールが、ホールの集中範囲 H1 とトレンチ底部の周囲に形成された p 型反転層を介して n⁻型のドリフト層 60 に効率的に注入される。ホールの集中範囲 H1 と p 型反転層を介してホールが移動するために、ダイオード素子領域 J2 での順方向電圧降下が低く、定常損失を低減化することができる。この駆動方法は、半導体装置 A1, A2, B1, B2 のダイオード素子領域 J2 のリカバリ損失を低減するために、アノード層 50 の不純物濃度を薄くした場合に特に有用となる。

【0041】

図 8 の期間 Q2 のうち時刻 t2 から時刻 t3 までの期間では、還流電流が流れている半導体装置 B2 のゲート GB2 に負のゲート電圧 V_{GB2} を印加することを中断する。

このときの半導体装置 B2 の要部断面図を図 12 に示す。

図 12 に示すように、図 10 の場合と同様に (期間 Q2 の時刻 t1 から時刻 t2 までと同様に)、半導体装置 B2 の表面電極 1 (アノード) に正電圧が印加されている。半導体装置 B2 の裏面電極 3 (カソード) が負側となっている。これにより、図 10 の場合と同様に、アノード領域 40 からホールが流出してダイオード素子領域 J2 が導通状態となっている。

この期間では、半導体装置 B2 のゲート GB2 に負のゲート電圧 V_{GB2} (-V (V)) を印加することを中断しているため、ホールの集中範囲 H1 は消失している。また、トレンチ底部の周囲に形成されていた p 型反転層も消失している。このために、のドリフト層 6

10

20

30

40

50

0 にホールが注入される効率が低下する。半導体装置 B 2 のゲート G B 2 に負のゲート電圧 V_{GB2} (- V (V)) を印加した場合 (図 1 0 の場合) と比較して、ドリフト層 6 0 に蓄積されるホールの量が減少する。半導体装置 B 1 の I G B T を再びオンする前に (すなわち還流電流が流れていた半導体装置 B 2 のダイオード素子領域 J 2 が非導通状態となる前に)、予め、半導体装置 B 2 のダイオード素子領域 J 2 のドリフト型層 6 0 に蓄積されているホールの量を低減化しておくことができる。このために、半導体装置 B 2 のダイオード素子領域 J 2 が非導通状態となる際に発生するリカバリ損失を低下させることができる。

また、半導体装置 B 2 のダイオード素子領域 J 2 は、n 型のホール吸収領域 4 2 を備えている。n 型のホール吸収領域 4 2 を備えていると、半導体装置 B 2 のダイオード素子領域 J 2 が非導通状態となる際にアノード領域 4 0 に戻るホールの一部をホール吸収領域 4 2 で吸収することができる。ダイオード素子領域 J 2 を導通状態から非導通状態に切替えたときのリカバリ損失をさらに少なくする。

【 0 0 4 2 】

図 8 の期間 Q 3 では、給電装置 K が図 3 に示す状態に戻る。期間 Q 3 では、再び、期間 Q 1 と同様に、半導体装置 B 1 のゲート G B 1 に閾値以上のゲート電圧 V_{GB1} (+ V (V)) を印加している。また、半導体装置 A 2 のゲート G A 2 に閾値以上のゲート電圧 V_{GA2} (+ V (V)) を印加している。また、半導体装置 B 2 と半導体装置 A 1 に印加するゲート電圧 V_{GB2} とゲート電圧 V_{GA1} は 0 V としている。

期間 Q 3 のうち、時刻 t 3 から時刻 t 4 までの間は、期間 Q 2 で還流電流が流れていた半導体装置 B 2 のゲート G B 2 のゲート電圧 V_{GB2} を、0 (V) としている。時刻 t 4 以降は、ゲート G B 2 に再び負のゲート電圧 V_{GB2} (- V (V)) を印加する。

なお、時刻 t 4 は半導体装置 B 1 の I G B T を再びオンした時刻 t 3 よりも後であり、半導体装置 B 2 のダイオード素子領域 J 2 がリカバリ動作をしている時に設定する。

ダイオード素子領域 J 2 では、導通状態から非導通状態となった時に、導通状態のときとは逆方向のリカバリ電流が流れる。リカバリ電流の発生は、導通状態の期間に、ドリフト層 6 0 に流入したホールがアノード層 5 0 やアノード領域 4 0 に戻ることに起因する。本実施例では、半導体装置 B 2 にリカバリ電流が発生する時に、半導体装置 B 2 のトレンチゲート電極 1 2 に負のゲート電圧 V_{GB2} を印加している。負電圧を印加すると、図 1 3 に示すように、ドリフト層 6 0 に残留していたホールが、トレンチゲート電極 1 2 に引き寄せられ、ホールがアノード層 5 0 やアノード領域 4 0 に戻る速度を遅くすることができる。これにより、リカバリ電流の変化速度を抑制することができ、ソフト・リカバリ特性を実現することができる。リカバリ電流の変化速度に起因するサージ電圧を抑制することができる。また、リカバリ電流が大きな電流に発達することを防止することができる。

【 0 0 4 3 】

その後、給電装置 K を構成する半導体装置 A 1 , A 2 , B 1 , B 2 のゲート G A 1 , G A 2 , G B 1 , G B 2 に印加するゲート電圧 $V_{GA1}, V_{GA2}, V_{GB1}, V_{GB2}$ を切替え、図 2 から図 4 に示す状態を繰り返す。

本実施例では、図 4 に示す半導体装置 B 2 のダイオード素子領域 J 2 に還流電流が流れる場合について説明したが、他の半導体装置のダイオード素子領域 J 2 に還流電流が流れる場合 (図 2、図 5、図 7 に示す各々の状態) も、半導体装置 B 2 の場合と同様である。

【 0 0 4 4 】

上記した給電装置 K の駆動方法によると、各々の半導体装置のダイオード素子領域 J 2 の特性を能動的に制御することができる。いずれかの半導体装置のダイオード素子領域 J 2 に還流電流が流れるときには、そのダイオード素子領域 J 2 のホールの流入量を増加する。還流電流が流れ易い状態に切替えることによって、順方向電圧降下を低減化して定常損失を低減化することができる。

また、そのダイオード素子領域 J 2 にリカバリ電流が流れるときには、予めそのダイオード素子領域 J 2 に蓄積されているホールの量を減少させておくことでリカバリ電流を抑制することができる。

10

20

30

40

50

また、そのダイオード素子領域 J 2 にリカバリ電流が流れているときには、そのダイオード素子領域 J 2 におけるホールの移動を抑制することでリカバリ電流が増大化することを抑制し、リカバリ電流の変化速度を遅くすることができる。

なお、本実施例では、モータ M が単相の場合の給電装置 K について説明したが、例えばモータ M が 3 相の場合には、6 個の逆導通型の半導体装置を用いて給電装置を構成することができる。本発明は、給電回路の相数に限定されるものではない。

【0045】

給電装置 K を構成する半導体装置 A 1 , A 2 , B 1 , B 2 の製造方法を、図 1 4 から図 2 1 を参照して説明する。

図 1 4 に示すように、まず、 n^- 型の半導体基板 2 を準備する。表面 2 a から p 型不純物を注入する。熱処理をすることにより、図 1 4 に示す p^- 型層 P 1 が形成される。

10

次に、図 1 5 に示すように、ダイオード素子領域 J 2 (図 1 参照) を形成する範囲の表面 2 a に、マスク R 1 を形成する。再び、表面 2 a から p 型不純物を注入する。表面 2 a にマスク R 1 を形成している範囲には p 型不純物が注入されないので、表面 2 a にマスク R 1 を形成していない範囲の p 型不純物の濃度が p^- 型層 P 1 よりも高くなる。熱処理をすることにより、表面 2 a にマスク R 1 を形成していない範囲の p^- 型層 P 1 が、 p^- 型のボディ層 3 0 となり、表面 2 a にマスク R 1 を形成している範囲の p^- 型層 P 1 がそのまま残り、 p^- 型のアノード層 5 0 となる。なお、前記した p^- 型層 P 1 を形成するための熱処理は実施せずに、まとめて熱処理をしてボディ層 3 0 とアノード層 5 0 を形成してもよい。

20

【0046】

次に、図 1 6 に示すように、表面 2 a からボディ層 3 0 とアノード層 5 0 を貫通する複数本のトレンチ T を形成する。次に、図 1 7 に示すように、トレンチ T の内面を熱酸化し、絶縁膜 1 4 を形成する。次に、トレンチ T 内にポリシリコン等の導電性部材を充填し、トレンチゲート電極 1 2 を形成する。トレンチ T の内面に形成された絶縁膜 1 4 がゲート酸化膜として機能する。絶縁膜 1 4 とトレンチゲート電極 1 2 によって絶縁トレンチゲート電極 T G が形成される。

【0047】

次に、図 1 8 に示すように、半導体基板 2 のうち、IGBT 素子領域 J 1 となる範囲に、マスクの形成と不純物注入を繰り返して熱処理することによってトレンチゲート電極隣接領域 2 0 とボディコンタクト領域 2 2 を形成する。トレンチゲート電極隣接領域 2 0 とボディコンタクト領域 2 2 は、隣接する絶縁トレンチゲート電極 T G 間の表面 2 a に形成する。

30

次に、半導体基板 2 のうち、ダイオード素子領域 J 2 となる範囲に、アノード領域 4 0 とホール吸収領域 4 2 を形成する。アノード領域 4 0 とホール吸収領域 4 2 は、隣接する絶縁トレンチゲート電極 T G 間の表面 2 a に形成する。

なお、IGBT 素子領域 J 1 のトレンチゲート電極隣接領域 2 0 とダイオード素子領域 J 2 のホール吸収領域 4 2 は、共に n^+ 型の半導体領域であるとともに、表面 2 a からの深さも同程度であるので、同じプロセスで形成することが好ましい。また、IGBT 素子領域 J 1 のボディコンタクト領域 2 2 とダイオード素子領域 J 2 のアノード領域 4 0 は、共に p^+ 型の半導体領域であるとともに、表面 2 a からの深さも同程度であるので、同じプロセスで形成することが好ましい。

40

【0048】

次に、図 1 9 に示すように、トレンチゲート電極 1 2 が表面 2 a に露出している部分に絶縁膜 1 0 を形成する。次に、表面 2 a に表面電極 1 を形成する。トレンチゲート電極 1 2 は、図 1 9 に示す奥行き方向にいずれかの位置で図示していないゲート配線と接続する。

【0049】

次に、図 2 0 に示すように半導体基板 2 を下方から削る。その後、半導体基板 2 の裏面 2 b のうち IGBT 素子領域 J 1 を形成する範囲の裏面 2 b にマスク R 2 を形成する。そ

50

して、裏面 2 b から n 型不純物を注入する。その後、レーザアニールを行うことによりマスク R 2 が形成されていない範囲に n⁺ 型のカソード領域 7 0 を形成する。その後にマスク R 2 を除去する。

【0050】

次に、図 2 1 に示すように裏面 2 b のうちカソード領域 7 0 が形成されている範囲にマスク R 3 を形成する。そして、裏面 2 b から p 型不純物を注入する。その後、レーザアニールを行うことによりマスク R 3 が形成されていない範囲に p⁺ 型のコレクタ領域 8 0 を形成する。コレクタ領域 8 0 と前述したカソード領域 7 0 は同時にレーザアニールを行って形成してもよい。また、既に形成済みの上層部 2 U への影響が少ない範囲の温度であれば熱処理を行ってもよい。

10

次に、コレクタ領域 8 0 とカソード領域 7 0 の双方に接続する裏面電極 3 を形成する。

【0051】

本実施例の半導体装置 A 1, A 2, B 1, B 2 では、ダイオード素子領域 J 2 に n 型のトレンチゲート電極隣接領域 2 0 が形成されていない。ダイオード素子領域 J 2 からは、ドリフト層 6 0 に電子が注入されない。アノード層 5 0 の p 型の不純物濃度を低くすることで IGBT 素子領域 J 1 のボディ層 3 0 よりもチャンネルが形成され易くなったとしても、IGBT 素子領域 J 1 がオン状態となるしきい値電圧は低下しない。半導体装置 1 0 0 の短絡耐量が低下しない。したがって、アノード層 5 0 の p 型不純物の濃度を、ダイオード素子領域 J 2 にとって最適な濃度となるように低くすることができる。これにより、ダイオード素子領域 J 2 が導通状態のときに、ドリフト層 6 0 に注入されるホールの量を、ダイオード素子領域 J 2 にとって最適となる量に抑制することができる。従来の逆導通半導体装置ではダイオード素子領域 J 2 にとって過多であったホールの注入量を抑制することができるので、ダイオード素子領域 J 2 が導通状態から非導通状態に移行する際のリカバリ損失を低減化することができる。

20

また図 3 1 に示す従来の半導体装置 1 0 0 a では、IGBT 素子領域 J 1 0 1 のエミッタ・コレクタ間 (n⁺ 型のトレンチゲート電極隣接領域 1 2 0 とコレクタ領域 1 8 0 の間) に電流が流れている IGBT 素子領域 J 1 0 1 のオン状態の際に、ダイオード素子領域 J 1 0 2 からドリフト層 1 6 0 に電子が注入されている。ダイオード素子領域 J 1 0 2 が、オン状態の際の IGBT 素子領域 J 1 0 1 の特性に影響を及ぼしている。一方、本実施例の半導体装置 A 1, A 2, B 1, B 2 では、ダイオード素子領域 J 2 に n 型のトレンチゲート電極隣接領域 1 2 0 が形成されていない。このため、IGBT 素子領域 J 1 がオン状態の際に、ダイオード素子領域 J 2 からは、ドリフト層 6 0 に電子が注入されない。ダイオード素子領域 J 2 が、オン状態の際の IGBT 素子領域 J 1 の特性に影響を及ぼさない。同一半導体基板 2 に形成されているダイオード素子領域 J 2 が、IGBT 素子領域 J 1 の動作に干渉しない。

30

また、本実施例の半導体装置では、表面 2 a に臨んでいるアノード領域 4 0 の p 型の不純物濃度を高濃度で形成することができるので、p 型のアノード領域 4 0 と半導体基板 2 の表面 2 a に形成する表面電極 1 を良好にオーミック接触させることができる。双方の間で電圧降下が発生することによる局所的な発熱を抑制することができる。

半導体装置 B 1 によると、ダイオード素子領域 J 1 のリカバリ損失を、他の特性を劣化させることなく低減化することができる。

40

また、本実施例の半導体装置では、ダイオード素子領域 J 2 が非導通状態に切り換わる際に、ホールの一部が、ホール吸収領域 4 2 に吸収される。ダイオード素子領域 J 2 のリカバリ損失をさらに低減化することができる。

【0052】

なお、本実施例の半導体装置 A 1, A 2, B 1, B 2 では、ダイオード素子領域 J 2 の全てのセル (隣接する絶縁トレンチゲート電極 T G の間) で、アノード領域 4 0 が絶縁トレンチゲート電極 T G に接している場合について説明したが、アノード領域 4 0 が一部のセルで絶縁トレンチゲート電極 T G に接している構成であってもよい。

また、本実施例の半導体装置 A 1, A 2, B 1, B 2 では、ダイオード素子領域 J 2 の

50

全てのセルに、ホール吸収領域 4 2 が形成されている場合について説明したが、ホール吸収領域 4 2 は一部のセルに形成されている構成であってもよい。

【 0 0 5 3 】

(第 2 実施例)

本発明を具現化した半導体装置の第 2 実施例を、図 2 2 と図 2 3 を参照して説明する。図 2 2 に示すように、本実施例の半導体装置 B 1 1 の特徴は、I G B T 素子領域 J 1 1 のボディ層 3 2 の中間深さに n 型のボディ分割領域 9 0 が形成されていることである。ボディ分割領域 9 0 は電氣的にフローティング状態であることが好ましい。

図 2 2 は、半導体装置 B 1 1 の I G B T 素子領域 J 1 1 のオン状態を説明する図である。図 2 3 は、半導体装置 B 1 1 のダイオード素子領域 J 1 2 の導通状態を説明する図である。なお、図 2 2 , 2 3 では、図 1 に示す半導体装置 B 1 と同等の構成要素には、同一番号の符号を付して重複説明を省略する。

10

【 0 0 5 4 】

半導体装置 B 1 1 の I G B T 素子領域 J 1 1 では、裏面電極 3 が正側に接続されているとともに、表面電極 1 が負側にある状態で、トレンチゲート電極 1 2 に印加するゲート電圧をオン・オフすることによってエミッタ・コレクタ間 (トレンチゲート電極隣接領域 2 0 とコレクタ領域 8 0 との間) に流れる電流をオン・オフする。

トレンチゲート電極 1 2 に、閾値以上のゲート電圧を印加すると、トレンチゲート電極 1 2 が絶縁膜 1 4 を介して対向している範囲のボディ層 3 2 にチャンネル (図 2 2 にバツ印で模式的に示している。) が形成される。チャンネルは、ボディ分割領域 9 0 で分割された上部ボディ層 3 2 a と下部ボディ層 3 2 b の双方に形成される。トレンチゲート電極隣接領域 2 0 から流出した電子が、上部ボディ層 3 2 a のチャンネルとボディ分割領域 9 0 と下部ボディ層 3 2 b のチャンネルを介してドリフト層 6 0 に注入される。また、コレクタ領域 8 0 からは、ドリフト層 6 0 に向けてホールが移動する。ドリフト層 6 0 には電子とホールが注入されて伝導度変調現象が起こり、半導体装置 B 1 1 の I G B T 素子領域 J 1 1 が低いオン電圧でオン状態となる。

20

半導体装置 B 1 1 のダイオード素子領域 J 1 2 でも、トレンチゲート電極 1 2 に絶縁膜 1 4 を介して対向している p⁺ 型のアノード層 5 0 が n 型に反転し、n 型チャンネルが形成される。しかしながら、ダイオード素子領域 J 1 2 には、電子を流出する n 型のトレンチゲート電極隣接領域 2 0 がないため、電子がドリフト層 6 0 に注入されない。

30

【 0 0 5 5 】

トレンチゲート電極 1 2 に印加するゲート電圧が閾値未満となると (例えば、0 V を印加すると)、ボディ層 3 2 に形成されていた n 型チャンネルが消失する。トレンチゲート電極隣接領域 2 0 から流出した電子がドリフト層 6 0 に注入されなくなり、半導体装置 B 1 1 の I G B T 素子領域 J 1 1 がオフ状態となる。

【 0 0 5 6 】

図 2 3 に示すように、半導体装置 B 1 1 の表面電極 1 が正側に接続されるとともに、裏面電極 3 が負側に接続されると、ダイオード素子領域 J 1 2 のアノード・カソード間 (アノード領域 4 0 とカソード領域 7 0 の間) に電流が流れて導通状態となる。

第 1 実施例の図 1 0 に示す場合と同様に、この期間に半導体装置 B 1 1 のトレンチゲート電極 1 2 に負電圧を印加すると、ドリフト層 6 0 に注入されるホールの量が増え、ダイオード素子領域 J 1 2 の定常損失を低減化することができる。ただし、この場合には、ボディ分割領域 9 0 のうちの絶縁トレンチゲート電極 T G と接する範囲の導電型が p 型に反転してしまわない程度の負電圧を印加する。

40

この際に I G B T 素子領域 J 1 1 では、ボディコンタクト領域 2 2 からホールが流出するものの、下部ボディ層 3 2 b とボディ分割領域 9 0 によって形成されるダイオードに阻まれて、このホールがドリフト層 6 0 に注入されない。

【 0 0 5 7 】

図 3 2 に示す従来の逆導通型の半導体装置 1 0 0 a では、ダイオード素子領域 J 1 0 2 が導通状態のときに、I G B T 素子領域 J 1 0 1 の p⁺ 型領域 1 2 2 (ボディコンタクト領

50

域)から流出するホールモドリフト層60に注入されていた。本実施例の半導体装置B11では、ボディ分割領域90によって分割されたボディ層32の下部ボディ層32bと、ボディ分割領域90とのpn接合によって、内蔵ダイオードが形成される。内蔵ダイオードに流すことが可能な電流の向きは、ダイオード素子領域J12に流すことが可能な電流の向きとは逆向きとなる。ダイオード素子領域J12が導通状態の際にIGBT素子領域J11のボディコンタクト領域22から放出されたホールがドリフト層60に注入されない。導通状態のダイオード素子領域J12の特性に、IGBT素子領域J11から流出したホールが影響を及ぼさない。導通状態のダイオード素子領域J12の動作が、同一半導体基板2に形成されているIGBT素子領域J11に干渉されない。

なお、複数個の半導体装置B11を用い、第1実施例で説明した給電装置K(図2から図7参照)を構成することもできる。

【0058】

本実施例の半導体装置B11では、IGBT素子領域J11の全てのセル(隣接する絶縁トレンチゲート電極TGの間)に、ボディ分割領域90が形成されている場合について説明したが、ボディ分割領域90が一部のセルに形成されている構成であってもよい。

【0059】

(第3実施例)

本発明を具現化した半導体装置の第3実施例を、図24を参照して説明する。

本実施例の半導体装置は、IGBT素子領域M1とダイオード素子領域M2が隣接しているだけでなく、電流検出用IGBT素子領域N1と電流検出用ダイオード素子領域N2

を備えている。電流検出用IGBT素子領域N1は、IGBT素子領域M1よりも表面での占有面積が狭い。半導体基板を表面から観測すると、電流検出用IGBT素子領域N1の周囲は、ダイオード素子領域M2と電流検出用ダイオード素子領域N2で取囲まれており、IGBT素子領域M1から隔てられている。電流検出用IGBT素子領域N1は、ダイオード素子領域M2の一端部(IGBT素子領域M1側の下方の端部)で入れ子状に形成されている。

電流検出用ダイオード素子領域N2は、ダイオード素子領域M2よりも表面での占有面積が狭い。半導体基板を表面から観測すると、電流検出用ダイオード素子領域N2の周囲は、IGBT素子領域M1と電流検出用IGBT素子領域N1で取囲まれており、ダイオード素子領域M2から隔てられている。電流検出用ダイオード素子領域N2は、IGBT素子領域M1の一端部(ダイオード素子領域M2側の下方の端部)で入れ子状に形成されている。電流検出用ダイオード素子領域N2と電流検出用IGBT素子領域N1は隣接している。

【0060】

本実施例のIGBT素子領域M1と電流検出用IGBT素子領域N1は、第2実施例のIGBT素子領域J11(図22参照)によって構成されている。本実施例のダイオード素子領域M2と電流検出用ダイオード素子領域N2は、第2実施例のダイオード素子領域J12によって構成されている。

ダイオード素子領域J12にはn型のトレンチゲート電極隣接領域20が形成されていないために、オン状態のIGBT素子領域J11の特性は、ダイオード素子領域J12によって影響されない。また、IGBT素子領域J11にはボディ分割領域90が形成されているために、導通状態のダイオード素子領域J12の特性は、IGBT素子領域J11によって影響されない。IGBT素子領域J11とダイオード素子領域J12が干渉し合わない。

そのために、図24に示すように、一方の素子領域に他方の電流検出用素子領域を入れ子状に形成することができる。一方の素子領域と、その素子の電流検出用素子領域は離間されているので干渉し合わない。

電流検出用IGBT素子領域N1に流れる電流を検出することにより、IGBT素子領域M1に流れる電流を算出することができる。電流検出用ダイオード素子領域N2に流れ

10

20

30

40

50

る電流を検出することにより、ダイオード素子領域 M 2 に流れる電流を算出することができる。

【 0 0 6 1 】

従来は、電流検出用 I G B T 素子領域 N 1 を、I G B T 素子領域 M 1 とダイオード素子領域 M 2 から分離するために、各々の領域の間に拡散層や絶縁トレンチを形成していた。また、電流検出用ダイオード素子領域 N 2 を、I G B T 素子領域 M 1 とダイオード素子領域 M 2 から分離するために、各々の領域の間に拡散層や絶縁トレンチを形成していた。本実施例によると、拡散層や絶縁トレンチを形成する必要がないので、半導体基板のスペースを有効に利用することができる。半導体装置を小型化することができる。

また、電流検出用 I G B T 素子領域 N 1 と電流検出用ダイオード素子領域 N 2 は、同時にオン状態となることなく、しかも双方は隣接している。このため、双方に共通の表面電極と裏面電極を形成することができる。それぞれに電極を形成する工程を削減することができる。また、電極を引き出す端子も共通の端子を用いることができるので、各々を計測器に接続する手間を削減することができる。

【 0 0 6 2 】

より確実に各々の素子を分離するために、図 2 5 に示すように、各々の素子領域に共通して伸びている絶縁トレンチゲート電極（太線で示している。）を利用してよい。絶縁トレンチゲート電極 T G 1 が、I G B T 素子領域 M 1 と電流検出用ダイオード素子領域 N 2 の境界と、ダイオード素子領域 M 2 と電流検出用 I G B T 素子領域 N 1 の境界に沿って伸びている。範囲 W 1 で I G B T 素子領域 M 1 と電流検出用ダイオード素子領域 N 2 が、絶縁トレンチゲート電極 T G 1 で分離されている。また、範囲 W 2 でダイオード素子領域 M 2 と電流検出用 I G B T 素子領域 N 1 が、絶縁トレンチゲート電極 T G 1 で分離されている。

【 0 0 6 3 】

また、図 2 6 に示すように、図 2 5 に示す構成に、さらに絶縁トレンチ B T 1 , B T 2 , B T 3 を形成して、より確実に素子を分離してもよい。絶縁トレンチ B T 1 によって I G B T 素子領域 M 1 とダイオード素子領域 M 2 が分離されている。また、絶縁トレンチ B T 1 によって電流検出用 I G B T 素子領域 N 1 と電流検出用ダイオード素子領域 N 2 が分離されている。絶縁トレンチ B T 2 によって I G B T 素子領域 M 1 と電流検出用ダイオード素子領域 N 2 が分離されている。絶縁トレンチ B T 3 によってダイオード素子領域 M 2 と電流検出用 I G B T 素子領域 N 1 が分離されている。

なお、絶縁トレンチ B T 1 , B T 2 , B T 3 は、トレンチに絶縁体が充填されている構成であってもよいし、絶縁トレンチゲート電極と同じ構成であってもよい。

【 0 0 6 4 】

また、複数本の絶縁トレンチゲート電極が、図 2 7 に示す縦方向に伸びていることもある。絶縁トレンチゲート電極 T G 3 が、I G B T 素子領域 M 1 と電流検出用ダイオード素子領域 N 2 の境界に揃って伸びている。また、絶縁トレンチゲート電極 T G 4 が、I G B T 素子領域 M 1 とダイオード素子領域 M 2 の境界に沿って伸びているとともに、電流検出用 I G B T 素子領域 N 1 と電流検出用ダイオード素子領域 N 2 に沿って伸びている。また、絶縁トレンチゲート電極 T G 5 が、ダイオード素子領域 M 2 と電流検出用 I G B T 素子領域 N 1 の境界に沿って伸びている。範囲 W 3 , W 4 , W 5 で、各々の素子領域が絶縁トレンチゲート電極によって分離されている。

【 0 0 6 5 】

また、図 2 8 に示すように、図 2 7 に示す構成に、さらに絶縁トレンチ B T 4 を形成して、より確実に素子を分離してもよい。絶縁トレンチ B T 4 によって I G B T 素子領域 M 1 と電流検出用ダイオード素子領域 N 2 が分離されている。また、ダイオード素子領域 M 2 と電流検出用 I G B T 素子領域 N 1 が分離されている。

絶縁トレンチ B T 4 は、トレンチに絶縁体が充填されている構成であってもよいし、絶縁トレンチゲート電極と同じ構成であってもよい。

素子領域の境界のうち少なくとも一部に絶縁トレンチを形成することにより、さらに互

10

20

30

40

50

いの素子が干渉し合わない構成とすることができる。

【0066】

I G B T素子領域 M 1 と電流検出用 I G B T素子領域 N 1 を構成している I G B T素子領域 J 1 1 には、ボディ分割領域 9 0 が形成されている。これにより、I G B T素子領域 J 1 1 がオン状態のときに、ホールがドリフト層 6 0 からボディコンタクト領域 2 2 に抜けにくいいため、伝導度変調現象を活発化させることができる。素子領域の境界の少なくとも一部が、絶縁トレンチゲート電極か絶縁トレンチで分離されていれば、I G B T素子領域 J 1 1 がオン状態のときに、ホールが n⁻型層 6 0 から隣接する素子領域に移動することを抑制することができる。

【0067】

なお、電流検出用 I G B T素子領域 N 1 の裏面に必ずコレクタ領域 8 0 が形成されている必要はない。電流検出用 I G B T素子領域 N 1 に隣接する素子領域の裏面に p 型の半導体領域が形成されていれば電流を検出することができる。

また、電流検出用ダイオード素子領域 N 2 の裏面に必ずカソード領域 7 0 が形成されている必要はない。電流検出用ダイオード素子領域 N 2 に隣接する素子領域の裏面に n 型の半導体領域が形成されていれば電流を検出することができる。

【0068】

なお、半導体基板を表面から観測すると、図 2 9 に示すように、電流検出用ダイオード素子領域 N 2 1 の周囲が三方向から I G B T素子領域 M 1 1 に囲まれていてもよい。電流検出用 I G B T素子領域 N 1 1 の周囲が三方向からダイオード素子領域 M 2 1 に囲まれていてもよい。I G B T素子領域 M 1 1 と電流検出用 I G B T素子領域 N 1 1 を更に離間させることができるので、I G B T素子領域 M 1 1 と電流検出用 I G B T素子領域 N 1 1 を確実に分離することができる。また、ダイオード素子領域 M 2 1 と電流検出用 I G B T素子領域 N 1 1 を確実に分離することができる。

なお、電流検出用 I G B T素子領域 N 1 1 の裏面に必ずコレクタ領域 8 0 が形成されている必要はない。I G B T素子領域 M 1 1 の裏面に p 型の半導体領域が形成されていれば電流を検出することができる。また、電流検出用ダイオード素子領域 N 2 1 の裏面に必ずカソード領域 7 0 が形成されている必要はない。ダイオード素子領域 M 2 1 の裏面に n 型の半導体領域が形成されていれば電流を検出することができる。

【0069】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず特許請求の範囲を限定するものではない。また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書又は図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0070】

【図 1】逆導通型の半導体装置 B 1 の要部断面図である。

【図 2】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によってモータ M に電流を流している状態を示す。

【図 3】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によってモータ M に電流を流している状態を示す。

【図 4】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によってモータ M に電流を流している状態を示す。

【図 5】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によってモータ M に電流を流している状態を示す。

【図 6】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によってモータ M に電流を流している状態を示す。

【図 7】逆導通型の半導体装置 A 1 , A 2 , B 1 , B 2 を用いて構成して給電装置 K によ

10

20

30

40

50

ってモータMに電流を流している状態を示す。

【図8】逆導通型の半導体装置A1, A2, B1, B2のゲートGA1, GA2, GB1, GB2に印加するゲート電圧のタイミングチャート図である。

【図9】半導体装置B1のIGBT素子領域J1のオン状態を説明する図である。

【図10】半導体装置B2のダイオード素子領域J2の導通状態を説明する図である。

【図11】半導体装置B2のダイオード素子領域J2が導通状態のときにトレンチゲート電極12に負電圧を印加したときの状態を説明する図である。

【図12】半導体装置B2のダイオード素子領域J2が導通状態のときにトレンチゲート電極12に負電圧を印加することを中断したときの状態を説明する図である。

【図13】半導体装置B2のダイオード素子領域J2のリカバリ動作を示す。

【図14】半導体装置B1の製造工程を示す。

【図15】半導体装置B1の製造工程を示す。

【図16】半導体装置B1の製造工程を示す。

【図17】半導体装置B1の製造工程を示す。

【図18】半導体装置B1の製造工程を示す。

【図19】半導体装置B1の製造工程を示す。

【図20】半導体装置B1の製造工程を示す。

【図21】半導体装置B1の製造工程を示す。

【図22】半導体装置B11のIGBT素子領域J11のオン状態を示す図である。

【図23】半導体装置B11のダイオード素子領域J12の導通状態を示す図である。

【図24】IGBT素子領域M1とダイオード素子領域M2と電流検出用IGBT素子領域N1と電流検出用ダイオード素子領域N2の配置を示す図である。

【図25】各々の素子間の一部を絶縁トレンチゲート電極TG1を用いて分離している構成を示す。

【図26】各々の素子間の一部を絶縁トレンチゲート電極TG1と絶縁トレンチBT2, BT3を用いて分離している構成を示す。

【図27】各々の素子間の一部を絶縁トレンチゲート電極TG3, TG4, TG5を用いて分離している構成を示す。

【図28】各々の素子間の一部を絶縁トレンチゲート電極TG3, TG4, TG5と絶縁トレンチBT4を用いて分離している構成を示す。

【図29】IGBT素子領域M11とダイオード素子領域M21と電流検出用IGBT素子領域N11と電流検出用ダイオード素子領域N21の配置を示す図である。

【図30】従来の逆導通型の半導体装置100の要部断面図である。

【図31】半導体装置100aのIGBT素子領域J101のオン状態を示す。

【図32】半導体装置100aのダイオード素子領域J102の導通状態を示す。

【符号の説明】

【0071】

1：表面電極

2：半導体基板

2L：下層部

2U：上層部

2a：表面

2b：裏面

3：裏面電極

10：絶縁膜

12：トレンチゲート電極

14：絶縁膜

20：トレンチゲート電極隣接領域

22：ボディコンタクト領域

30, 32：ボディ層

10

20

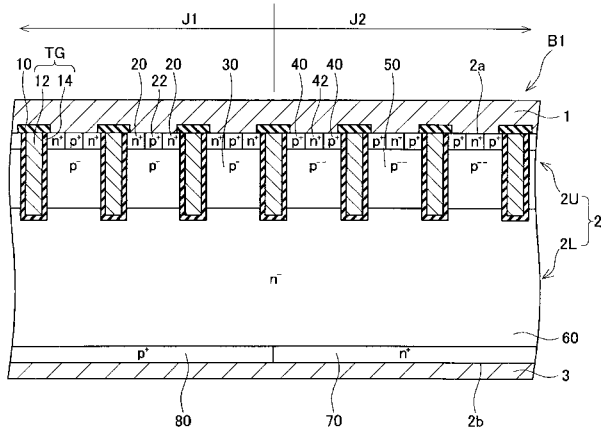
30

40

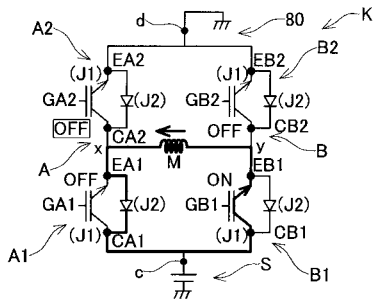
50

3 2 a :	上部ボディ層	
3 2 b :	下部ボディ層	
4 0 :	アノード領域	
4 2 :	ホール吸収領域	
5 0 :	アノード層	
6 0 :	ドリフト層	
7 0 :	カソード領域	
8 0 :	コレクタ領域	
9 0 :	ボディ分割領域	
A , B :	直列回路	10
A 1 , A 2 , B 1 , B 2 , B 1 1 :	半導体装置	
B T 1 , B T 2 , B T 3 , B T 4 :	絶縁トレンチ	
c , d :	端子	
H 1 :	範囲	
J 1 , J 1 1 :	I G B T 素子領域	
J 2 , J 1 2 :	ダイオード素子領域	
K :	給電装置	
M :	モータ	
x , y :	中間電位点	
M 1 , M 1 1 :	I G B T 素子領域	20
M 2 , M 2 1 :	ダイオード素子領域	
N 1 , N 1 1 :	電流検出用 I G B T 素子領域	
N 2 , N 2 1 :	電流検出用ダイオード素子領域	
R 1 , R 2 , R 3 :	マスク	
S :	電源	
T :	トレンチ	
T G :	絶縁トレンチゲート電極	
W 1 , W 2 , W 3 , W 4 , W 5 :	範囲	

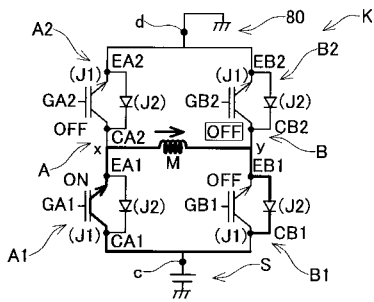
【 図 1 】



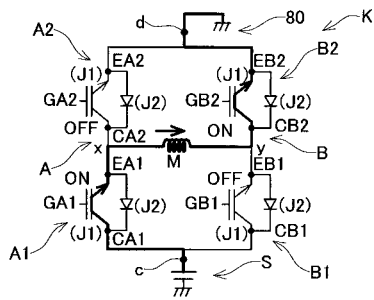
【 図 2 】



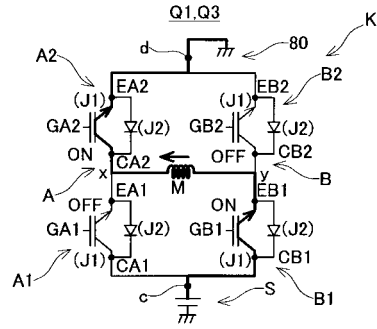
【 図 5 】



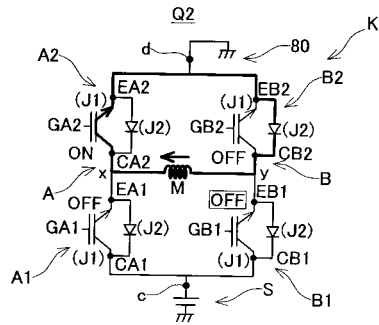
【 図 6 】



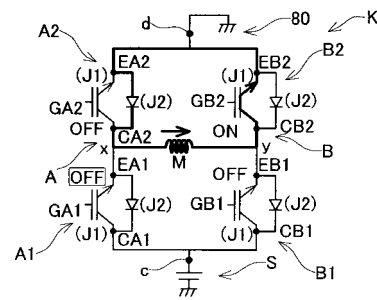
【 図 3 】



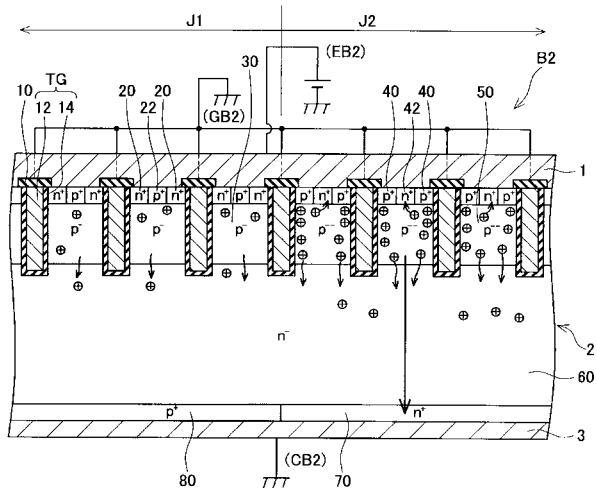
【 図 4 】



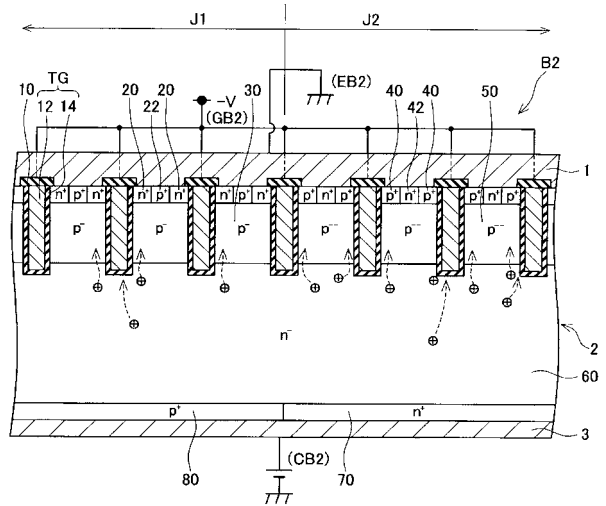
【 図 7 】



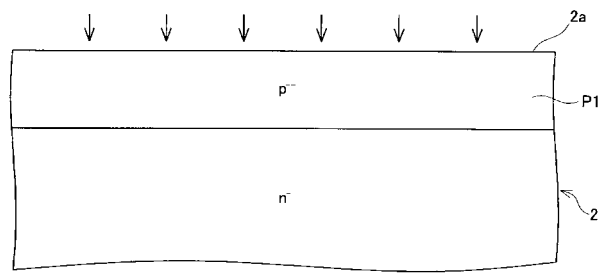
【 図 1 2 】



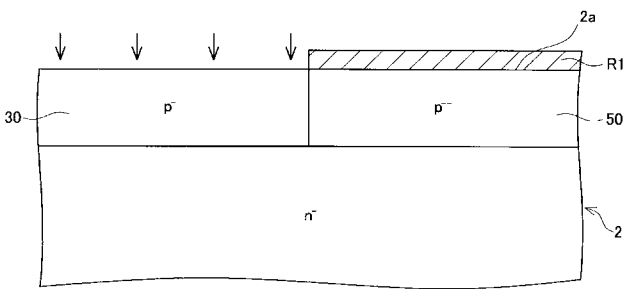
【 図 1 3 】



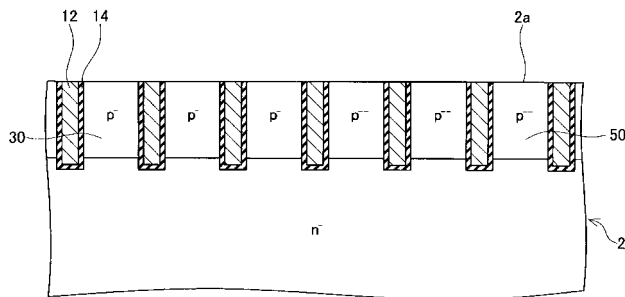
【 図 1 4 】



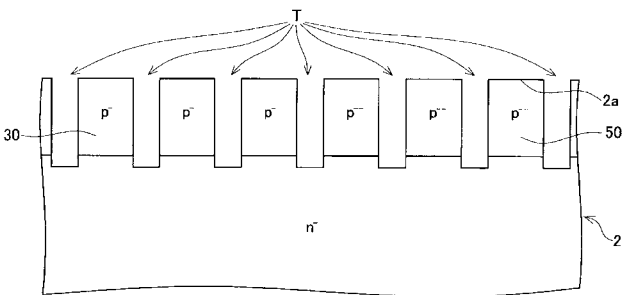
【 図 1 5 】



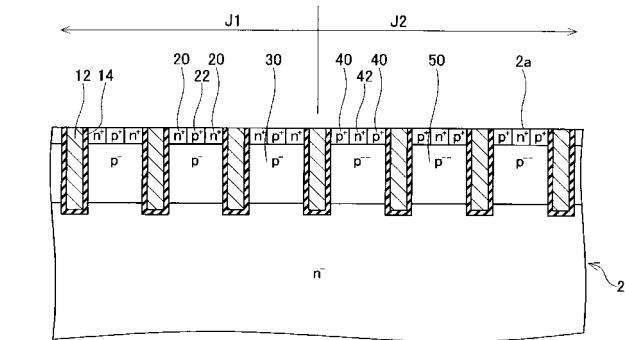
【 図 1 7 】



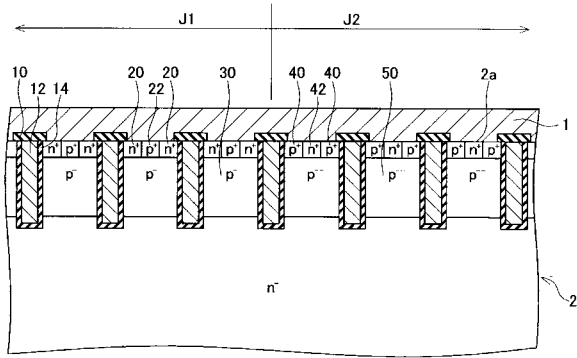
【 図 1 6 】



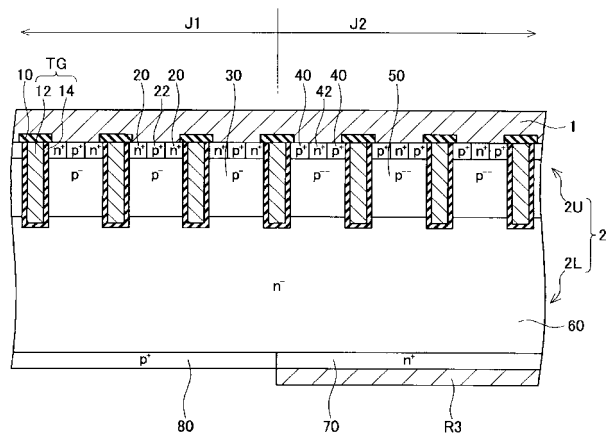
【 図 1 8 】



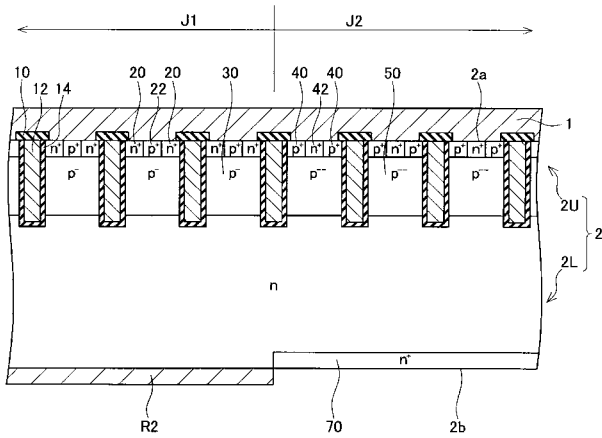
【 図 1 9 】



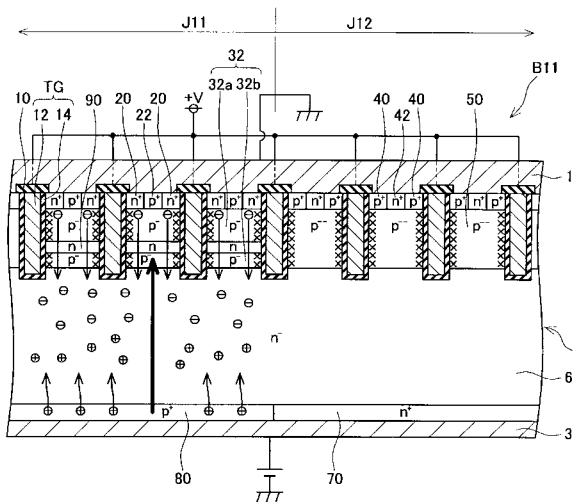
【 図 2 1 】



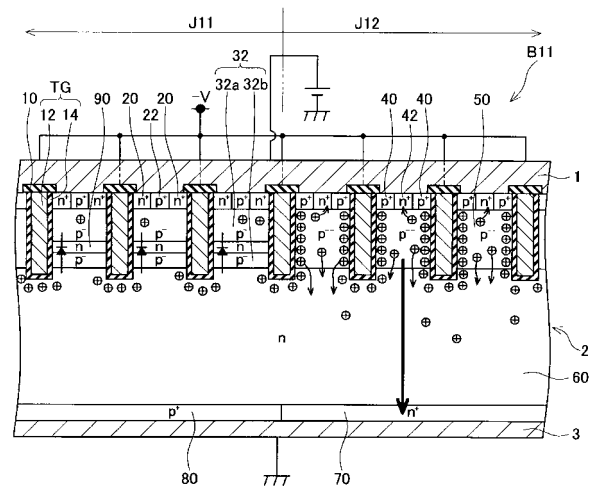
【 図 2 0 】



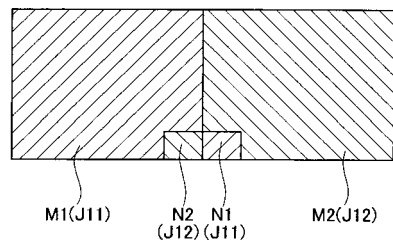
【 図 2 2 】



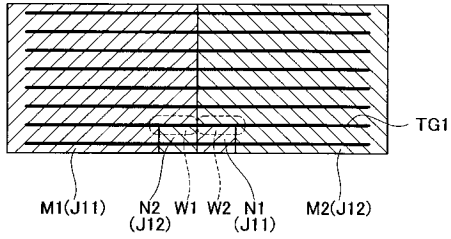
【 図 2 3 】



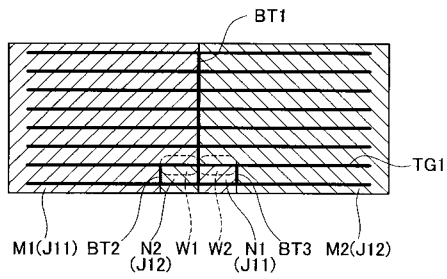
【 図 2 4 】



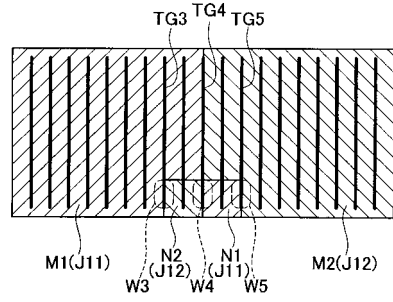
【 図 2 5 】



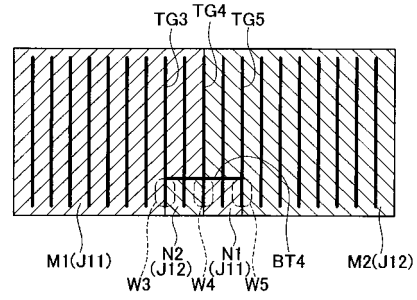
【 図 2 6 】



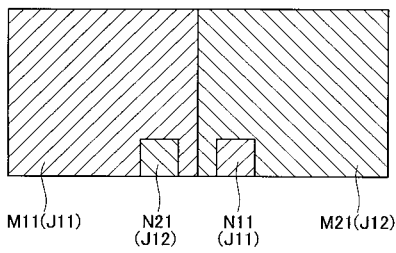
【 図 2 7 】



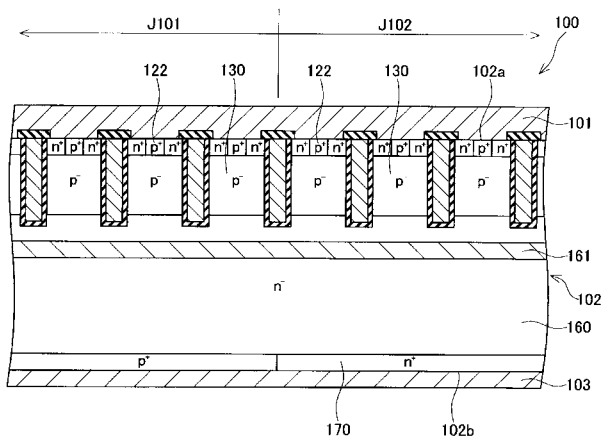
【 図 2 8 】



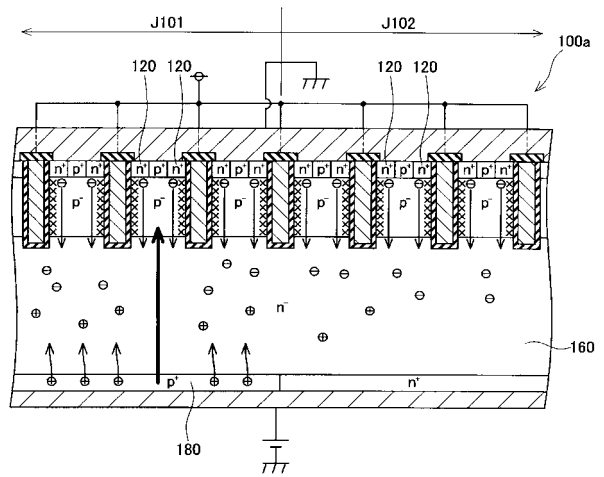
【 図 2 9 】



【 図 3 0 】



【 図 3 1 】



【 図 3 2 】

