



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 29/00 (2006.01)

H01H 59/00 (2006.01)

(11) 공개번호 10-2006-0133057

(43) 공개일자 2006년12월22일

(21) 출원번호 10-2006-7022064

(22) 출원일자 2006년10월24일

심사청구일자 없음

번역문 제출일자 2006년10월24일

(86) 국제출원번호 PCT/US2005/012244

(87) 국제공개번호 WO 2005/099410

국제출원일자 2005년04월12일

국제공개일자 2005년10월27일

(30) 우선권주장 60/561,192 2004년04월12일 미국(US)
60/629,931 2004년11월23일 미국(US)

(71) 출원인 시베르타 인코퍼레이티드
미국 캘리포니아 95035 밀피타스 메러카도 코트 629

(72) 발명자 파쉬비 개리 조셉
미국 캘리포니아 95035 밀피타스 머카도 코트 629
슬레이터 티모시 지.
미국 워싱턴 98109 시애틀 로이 스트리트 #456 24
고틀리엠펜 글렌
미국 캘리포니아 95124 산호세 벤 애비뉴 2328

(74) 대리인 박종혁
김정옥
정삼영

전체 청구항 수 : 총 21 항

(54) 단극쌍투 MEMS 스위치

(57) 요약

구성을 변화시키는 MEMS 스위치는 개별적으로 기동가능한 콘택트를 제공한다. MEMS 스위치는 향상된 애노드 본딩 기술에 의해 실링된다.

대표도

도 10

특허청구의 범위

청구항 1.

양쪽 모두 단극쌍투("SPDT") 마이크로전기기계 시스템("MEMS") 스위치에 접속된 제1 출력 도체 및 제2 출력 도체를 적어도 포함하는 그룹으로부터 선택된 출력 도체에 상기 SPDT MEMS 스위치에 접속된 입력 도체에 존재하는 전기 신호를 선택적으로 연결하도록 응용된 SPDT MEMS 스위치로서, 상기 SPDT MEMS 스위치는,

모노리딕 재료층으로서,

- a. 한쌍의 콘프론팅 토글 및 한 쌍의 콘리어링 토글을 포함하는 그룹으로부터 선택된 배열로 구성된 적어도 한 쌍의 토글;
- b. 상기 토글의 수보다 그 수가 적지 않은 토션바의 쌍들로서, 각각의 토션바의 쌍은,
 - i. 각각 상기 토글중 하나의 양측에 배치되고 상기 토글중 하나에 연결되어 있고,
 - ii. 이러한 토글이 회전가능한 축을 구성하는 상기 토션바의 쌍들; 및
- c. 상기 토글로부터 가장 먼 토션바의 단부가 연결되어 있고, 상기 토션바에 의해 구성된 축 둘레로 회전하기 위한 상기 토글을 상기 토션바를 통해 지지하는 프레임;을 안에 마이크로머시닝한 상기 모노리딕 재료층;

상기 토글의 수보다 그 수가 적지 않은 전기도전성 쇼팅바로서, 하나의 쇼팅바는 이러한 토글의 회전축으로부터 말단의 각각의 토글의 단부에 각각 유지되어 있는 상기 전기도전성 쇼팅바;

상기 모노리딕 재료층의 제1 표면에 결합된 베이스; 및

상기 베이스가 결합된 상기 모노리딕 재료층의 제1 표면으로부터 말단인 모노리딕 재료층의 제2 표면에 본딩된 기관으로서,

- a. 상기 토글의 수보다 그 수가 적지 않은 전극으로서, 각각의 전극은 상기 토글의 회전축의 일측으로 변위되는 토글의 표면과 병치되고, 상기 전극과 토글 사이에 전위를 인가함으로써, 상기 토글에 연결된 토션바에 의해 구성된 회전축 둘레로 토글이 회전하도록 하는 상기 전극; 및
- b. 상기 토글의 수보다 적지 않은 스위치 콘택트의 쌍들로서, 상기 스위치 콘택트의 각 쌍은 출력 도체중 하나 및 입력 도체에 각각 접속가능하도록 응용되고, 상기 스위치 콘택트의 각 쌍은,
 - i. 상기 토글에 아무런 힘이 인가되지 않을 때 상기 토글중 하나에 의해 유지되는 쇼팅바와 인접하지만 그로부터 이격되어 배치되어 있고,
 - ii. 상기 토글에 아무런 힘이 인가되지 않을 때 서로 전기적으로 절연되어 있고, 그리고
 - iii. 토션바의 각 쌍에 의해 구성된 회전축 둘레로 상기 토글이 회전하도록 하는 상기 토글로의 충분히 강한 힘의 인가시에 인접 쇼팅바에 의해 접촉되는 상기 스위치 콘택트의 쌍들;을 위에 형성한 상기 기관;을 포함하고,

그래서, 상기 쇼팅바가 상기 스위치 콘택트를 접촉할 정도까지 토글에 연결된 토션바에 의해 구성된 회전축 둘레로 각각의 토글이 회전시에, 상기 접촉하는 쇼팅바는 상기 토글에 의해 유지된 쇼팅바에 인접한 스위치 콘택트를 함께 전기적으로 연결하는 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 2.

제1항에 있어서, 상기 전극은 단면이 단차부형상을 가지고 있고, 그래서 토션바의 각 쌍에 의해 구성된 회전축 둘레로 상기 토글이 회전하도록 하는 충분히 강한 힘을 발생시키기 위해 인가되어야 하는 전압을 감소시키는 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 3.

제1항에 있어서, 상기 모노리딕 재료층을 상기 기판에 프릿 재료가 본딩하고, 상기 프릿 재료는 상기 프레임, 상기 토션바 및 상기 토글 주변에 위치된 돌출 레일에 의해 압축된 상기 프릿 재료를 본딩하는 동안, 상기 프레임, 상기 토션바 및 상기 한 쌍의 토글을 둘러싸도록 배치된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 4.

제3항에 있어서, 상기 돌출 레일은 상기 프릿 재료를 수용하는 프릿 트렌치내에 배치된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 5.

제3항 또는 제4항에 있어서, 상기 돌출 레일은 상기 모노리딕 재료층내에 형성된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 6.

제1항 내지 제5항중 어느 한항에 있어서, 상기 모노리딕 재료층과 상기 베이스를 퓨전본드가 결합시키는 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 7.

제1항 내지 제6항중 어느 한항에 있어서, 상기 모노리딕 재료층을 형성하는 재료는 단결정 실리콘(Si)인 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 8.

제1항 내지 제7항중 어느 한항에 있어서, 상기 토글과 그 위에 유지된 쇼팅바 사이에 전기 절연재의 시트가 개재된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 9.

제1항 내지 제8항중 어느 한항에 있어서, 상기 베이스는 상기 모노리딕 재료층의 제1면과 접하는 안에 형성된 캐비티를 포함하는 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 10.

제1항 내지 제9항중 어느 한항에 있어서,

상기 기판은 상기 스위치 콘택트와 입출력 도체 사이에 전기 신호를 각각 전달하는 전기 도체를 위에 형성하고 있고;

상기 SPDT MEMS 스위치는 상기 전기 도체에 인접하여 배치되고 상기 전기 도체로부터 전기적으로 절연된 접지판을 포함하는 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 11.

제10항에 있어서, 상기 접지판은 상기 모노리식층상에 배치된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 12.

제10항에 있어서, 상기 접지판은 상기 기판상에 배치된 것을 특징으로 하는 SPDT MEMS 스위치.

청구항 13.

MEMS 디바이스로서,

제1층의 재료; 및

제2층의 재료를 포함하고, 상기 제1층의 재료 및 제2층의 재료를 포함하는 그룹으로부터 선택된 재료의 층내에 위치된 레일에 의해 압축된 프릿 재료를 본딩하는 동안, 상기 프릿 재료가 상기 제1층의 재료를 상기 제2층의 재료에 결합시키는 것을 특징으로 하는 MEMS 디바이스.

청구항 14.

제13항에 있어서, 상기 레일은 상기 프릿 재료를 수용하는 프릿 트렌치내에 배치된 것을 특징으로 하는 MEMS 디바이스.

청구항 15.

제13항 또는 제14항에 있어서, 상기 프릿 재료는 상기 제1층의 재료와 상기 제2층의 재료 사이에 애노드 본딩된 것을 특징으로 하는 MEMS 디바이스.

청구항 16.

제15항에 있어서, 상기 제1층의 재료와 상기 제2층의 재료 사이의 프릿 본드를 달성하면서 상기 제1층의 재료와 상기 제2층의 재료에 걸쳐 100 볼트 미만의 전압이 인가되는 것을 특징으로 하는 MEMS 디바이스.

청구항 17.

MEMS 디바이스의 층을 함께 본딩하기 위한 방법으로서,

MEMS 디바이스의 메이팅된 제1층의 재료와 제2층의 재료 사이에 프릿 재료를 배치하는 단계;

상기 메이팅된 제1층의 재료와 제2층의 재료에 걸쳐 압력을 인가하는 단계;

상기 메이팅된 제1층의 재료와 제2층의 재료를 가열하는 단계; 및

상기 메이팅된 제1층의 재료와 제2층의 재료에 걸쳐 100 볼트 미만의 전위를 인가하는 단계;를 포함하는 것을 특징으로 하는 MEMS 디바이스의 층을 함께 본딩하기 위한 방법.

청구항 18.

제17항에 있어서, 상기 메이팅된 제1층의 재료와 제2층의 재료에 걸쳐 인가된 압력은 적어도 1800 뉴턴인 것을 특징으로 하는 MEMS 디바이스의 층을 함께 본딩하기 위한 방법.

청구항 19.

제17항에 있어서, 상기 메이팅된 제1층의 재료와 제2층의 재료는 적어도 400℃에서 가열되는 것을 특징으로 하는 MEMS 디바이스의 층을 함께 본딩하기 위한 방법.

청구항 20.

제17항 내지 제19항중 어느 한항에 있어서, 상기 프릿 재료는 상기 제1층의 재료 및 제2층의 재료를 포함하는 그룹으로부터 선택된 재료의 층내에 위치된 레일에 의해 압축되는 것을 특징으로 하는 MEMS 디바이스의 층을 함께 본딩하기 위한 방법.

청구항 21.

제20항에 있어서, 상기 레일은 상기 프릿 재료를 수용하는 프릿 트렌치내에 배치되는 것을 특징으로 하는 MEMS 디바이스의 층을 함께 본딩하기 위한 방법.

명세서

기술분야

본 발명은 일반적으로 전기 스위치 및 계전기에 관한 것이고, 보다 상세하게는, 마이크로전기 기계 시스템("MEMS") 스위치 계전기에 관한 것이다.

배경기술

국제 공개 번호가 WO 2004/103898 A2이고, 2004년 2월 12일 공개되고 "Sealed Integral MEMS Switch"로 표제된 PCT 국제 특허 출원 PCT/2003/024255호("PCT 특허 출원")은 제1 입력 도체에 존재하는 전기 신호를 다음중 하나에 연결시키는 집적 MEMS 스위치를 개시하고 있다.

1. 단일 출력 도체; 또는
2. 제1 또는 제2 출력 도체중 하나

상기 PCT 특허 출원내에 개시된 MEMS 스위치는 다음을 갖는 마이크로머시닝된 층의 재료를 포함하고 있다.

- a. 시소;

b. 상기 시소의 양측상에 배치되고 상기 시소에 연결되어 있으며, 상기 시소가 회전가능한 축을 구성하는 한 쌍의 토션바; 및

c. 상기 시소로부터 가장 먼 토션바의 단부가 연결된 프레임

상기 프레임은 상기 토션바에 의해 구성된 축 둘레로 회전하기 위해 토션바를 관통하는 시소를 지지하고 있다. 이 시소는 시소의 하나 또는 양 단부모두에서 토션바에 의해 구성된 회전축으로부터 멀리 떨어져 위치한 하나 또는 2개의 전기도전성 쇼팅바를 보유하고 있다.

이 MEMS 스위치는 또한 모노리딕층의 제1층에 결합된 베이스를 포함한다. 이 MEMS 스위치내에 포함된 기관은 상기 베이스가 결합된 상기 모노리딕층의 제1 표면으로부터 멀리 위치한 상기 모노리딕층의 제2층에 결합되어 있다. 이 기관상에, 토션바에 의해 구성된 회전축의 일측에 위치한 시소의 표면과 각각 병치된 하나 또는 두개의 전극이 형성되어 있다. 하나의 전극과 시소 사이의 전위를 인가함으로써 시소는 토션바에 의해 구성된 회전축 둘레로 회전할 수 있고, 그래서 전극과 시소 사이의 존재하는 갭이 좁혀진다.

또한, 상기 기관상에, 각각 입력 도체에 그리고 출력 도체에 접속하거나 2개의 출력 도체에 각각 접속하는 하나 또는 2개의 쌍의 스위치 콘택트가 형성되어 있다. 스위치 콘택트의 쌍은,

a. 아무런 힘이 시소에 가해지지 않을 때 쇼팅바에 인접하지만 그로부터 이격되어 배치되어 있고,

b. 아무리니 힘이 시소에 가해지지 않을 때 서로 전기적으로 절연되어 있고, 그리고

c. 상기 시소가 회전하도록 하는 시소로의 충분히 강한 힘의 인가시 쇼팅바에 의해 접촉된다.

이러한 방식으로, 쇼팅바와 한 쌍의 스위치 콘택트 사이의 접촉은 입력 도체를 출력 도체와 함께 연결시킨다.

PCT 특허 출원의 다른 태양은 MEMS 전기 콘택트 구조부와, 각각 전기 도체를 보유한 제1 및 제2층을 포함하는 MEMS 구조부이다. 제2 층은 또한 캔틸레버의 자유단부에서 전기 콘택트 아일랜드를 지지하는 지지하는 캔틸레버를 포함한다. 이 전기 콘택트 아일랜드는 캔틸레버로부터 말단이고, 제2층상에 배치된 전기 도체의 일부를 보유하는 단부를 가지고 있다. PCT 특허 출원의 이러한 특별 태양에서 전기 콘택트 아일랜드의 단부에서 전기 도체의 일부는 제1 층상에 배치된 전기 도체와 강하게 접촉하도록 캔틸레버에 의해 공급된 힘이 가해진다. MEMS 스위치에서, 캔틸레버 구조는 MEMS 스위치 입력 및 출력 전기 도체와 인접하고 전기적으로 절연되어 배치된 접지판에 전기 접속을 제공한다.

발명의 상세한 설명

본원의 목적은 향상된 MEMS 스위치를 제공하는 것이다.

다른 목적은 애노드 본딩 및 글라스 프릿(frit)의 새로운 조합을 사용하는 밀폐된 MEMS 스위치를 제공하는 것이다.

본 발명의 또 다른 목적은 무선 주파수("RF") 교류를 스위칭하기 위해 응용되고, 단극단투, 또는 단극다투, 또는 다투다극 스위치를 포함하는 MEMS 스위치를 제공하는 것이다.

본 발명의 또 다른 목적은 보다 작은 MEMS 스위치를 제공하는 것이다.

대략적으로, 단극쌍투("SPDT") 마이크로전기기계 시스템("MEMS") 스위치에 접속된 입력 도체에 존재하는 전기 신호를 역시 SPDT MEMS에 접속된 제1 또는 제2 출력 도체에, 또는 그 반대로 선택적으로 연결하는 SPDT MEMS 스위치가 개시되어 있다.

1. SPDT MEMS 스위치는 적어도 한 쌍의 기동가능한 토글을 갖는 마이크로머시닝된 모노리딕 재료층을 포함한다. 상기 적어도 한 쌍의 토글은 임의의 바람직한 방위로 구성될 수 있다. 바람직한 구현예에서, 토션바는 서라운드 프레임으로부터

기동 토글을 지지한다. 이 토션바는 토글의 양측에 있고 토글이 회전할 수 있는 회전축을 구성한다. 이 토글의 각각은 토글의 회전축으로부터 가장 먼 전기도전성 쇼팅바를 그 단부에 보유하고 있다. 그래서 각각의 토글은 개별적인 단극단투(SPST) 스위치를 나타낸다.

2. 본 발명의 또 다른 목적은 보다 복잡한 스위치망을 형성하기 위해 SPST 토글의 임의의 배열의 구조를 얻는 것이다. 많은 개별적인 토글은 실링된 캐비티내에 생성될 수 있고, 적절한 설계 및 레이아웃으로 인해 상기 실링된 캐비티내에 스위치의 모노리딕망을 생성할 수 있다. 일반적으로, 적절한 방식으로 접속된 복수의 토글이 주어졌다면, 단극단투 스위치, 단극다투 스위치 또는 다극다투 스위치를 생성하는 것이 가능하다. 각각의 토글 엘리먼트가 서로 토글 엘리먼트와 독립적으로 기능할 수 있기 때문에 동일한 시간에 하나 보다 많은 토글을 닫는 것이 가능하다. 개별적인 스위치가 매우 낮은 손실을 갖기 때문에, 실용적인 스위치망이 다수의 스위치를 통해 보조 출력부에 접속된 보조 입력부에 의해 구성될 수 있다. 동일한 패키지내에 다수의 개별적인 스위치 구성을 갖는 것이 가능한데, 예를 들어, 단일 모노리딕 콤포넌트가 SP4T 스위치(1×4)와 함께 SPDT MEMS 스위치(1×2)를 포함하는 것이 가능하다. 개시된 구현예에서, 각각의 토글은 독립적으로 기능하고 임의의 시간에 원하는 만큼의 수의 스위치를 다는 것이 가능하고, 그래서 예를 들어, 단일 입력을 다수의 출력에 동시에 접속할 수 있다.

본 발명의 또 다른 태양은 금속 피드스루우를 밀폐하기 위해 개스켓과같은 글라스 프릿을 사용하여 강한 본드를 형성하는 애노드 본딩을 위한 방법이다. 본 발명에는 레일 또는 실링 글라스로 초기에 패터닝되지 않은 본드면상에 형성된 다른 특징을 사용하여 실링 글라스에 표면 접촉 면적을 증가시키는 방법이 포함되어 있다. 이러한 레일 또는 다른 특징은 본딩 공정 동안 실링 글라스내로 푸시할 것이다. 이러한 실링 기술은 웨이퍼 레벨의 밀폐를 요하는 다양한 MEMS 및 다른 전기기계 디바이스에 대해 사용될 수 있다는 것을 당업자는 이해할 것이다.

이런 특징 및 다른 특징, 목적 및 장점은 다양한 도면에 설명된 바와 같이 바람직한 실시예의 다음 설명으로부터 당업자에게 명백할 것이다.

실시예

본원을 실시하기 위한 최상의 모드

아래에 기술된 바와 같이, 본원에 따라 MEMS 스위치를 제조하는 다양한 대안의 프로세스 및 구성이 존재하지만, 도 1은 MEMS 스위치용 특별 구성에 의해 채워진 베이스 웨이퍼(104)상의 영역(102)을 도시한다. 도 1에서와같이, 라인(106)은 베이스 웨이퍼(104)의 에지에 인접한 것을 제외하고 중앙 영역(102)을 둘러싸는 8개의 식별 인접 영역(102)과의 중앙 영역(102)의 경계선을 나타낸다. 다음의 기술에 따라, MEMS 스위치가 완전히 제조된 후에, 영역(102)은 라인(106)을 따라 소잉됨으로써 개별적인 MEMS 스위치로 분리된다.

베이스 웨이퍼(104)는 그 직경에 있어서 표준 SEMI 두께보다 얇을 수 있는 종래의 실리콘 웨이퍼이다. 예를 들어, 베이스 웨이퍼(104)가 150mm의 직경을 갖는다면, 표준 SEMI 웨이퍼는 보통 대략 650 미크론의 두께를 갖는다. 그러나, 크게 변할 수 있고 본원에 따라 MEMS 스위치를 제조하는데 여전히 유용한 베이스 웨이퍼(104)의 두께는 표준 세미 실리콘 웨이퍼보다 얇을 수 있다.

본원에 따른 MEMS 스위치의 일실시예의 제조는 먼저, 한쌍의 스위칭된 단자 패드 캐비티(112), 직방형의 토글 캐비티(114), 한쌍의 공통 단자 피드스루우 캐비티(115), 두 쌍의 전극 피드스루우 캐비티(116) 및 기관 콘택트 터널(117)을 베이스 웨이퍼(104)의 상면(108)내에 마이크로머시닝함으로써 시작된다. 캐비티(112,114,115,116,117)의 깊이는 중요한 것은 아니지만 여기에 기술된 실시예에 대해서는 대략 10 미크론의 깊이를 가져야 한다.

KOH 또는 다른 습식 에칭이 캐비티(112,114,115,116,117)의 마이크로머시닝하는데 사용되는 것이 바람직하다. 표준 에칭 블로킹 기술은 캐비티(112,114,115,116,117)를 마이크로머시닝하는데 사용된다. MEMS 및 반도체 제조 분야의 당업자에게 주지된 바와 같이, 베이스 웨이퍼(104)의 상면(108)은 먼저 산화되고 패터닝되어 KOH를 사용하여 상면(108)을 마이크로머시닝하기 위해 블로킹 마스트를 제공한다. 그다음, 마이크로머시닝 후에 남아 있는 베이스 웨이퍼(104)의 상면(108)상의 산화층은 제거된다. 당업분야에서 주지된 바와 같이, 이러한 방식으로 형성된 캐비티(112,114,115,116,117)의 벽은 대략 54도의 각도의 경사를 갖는다. 여기에 언급되어 통합된 상기 종래의 PCT 특허에 나타난 기술과 유사한 플라스마 에칭이 캐비티(112,114,115,116,117)를 형성하기 위해 사용되었다면, 포토레지스트 마스크가 상면(108)에 적용되었을 것이다. 이러한 마이크로머시닝에 의해 캐비티(112,114,115,116,117)를 생산하는데, 특히 아래에 상세하게 기술되는 토글의 이동을 수용하는 토글 캐비티(114)를 생산한다.

캐비티(112,114,115,116,117)가 상면(108)내에 마이크로머시닝된 후의 다음 단계는 베이스 웨이퍼(104)의 바닥면(118) 내에 정렬 마크를 에칭하는 것인데, 그 단계는 도면에 도시되지 않았다. 바닥층 정렬 마크는 이러한 캐비티(112,114,115,116,117)에 다른 후속 마이크로머시닝된 구조를 정렬시키기 위해 베이스 웨이퍼(104)내에 마이크로머시닝된 캐비티(112,114,115,116,117)에 남겨져야 한다. 이러한 바닥층 정렬 마크는 또한 전체 프로세스 플로우의 끝 근방에서 바닥층 실리콘 에칭 동안 사용될 것이다. 이 바닥층 정렬 마크는 먼저 캐비티(112,114,115,116,117)에 정렬된, 특별 타겟-온리-마스크를 사용하는 리소그래피 단계에 의해 그리고 나서 베이스 웨이퍼(104)의 바닥면(118)을 마이크로머시닝하는 단계에 의해 달성된다. 이 타겟-온리-마스크의 패턴은 베이스 웨이퍼(104)의 양면으로부터 포토레지스트를 제거하기 전에 바닥면(118)내로 수 미크론 깊이로 플라즈마 에칭된다. 바닥층 정렬 마스크를 생성하는 단계는 자외선 기능을 갖는 얼라이너가 MEMS 스위치 제조에 사용가능한 경우에는 생략될 수 있다.

도 2에 도시되어 있는 MEMS 스위치를 제조하는 다음 단계는 베이스 웨이퍼(104)의 상면(108)에 절연기판상의실리콘("SOI") 웨이퍼(124)의 얇은, 단결정 Si 디바이스층(122)을 퓨전 결합하는 단계이다. SOI 웨이퍼(124)의 디바이스층(122)은 이산화규소(SiO_2)의 극히 얇은 매립층(132)상에서 10 미크론의 두께를 갖는 것이 바람직하고, 그래서 그 이름이 절연 기판상의실리콘 또는 SOI이다. MEMS 스위치를 마이크로머시닝하는데 있어 유익한 SOI 웨이퍼(124)의 특징은 디바이스층(122)이 SOI 웨이퍼(124)의 전체 표면상에서, SiO_2 박층(132)에 대하여 본질적으로 균일한 두께, 바람직하게는, 약 10 미크론을 갖는다는 것이다. 베이스 웨이퍼(104)의 상면(108)에 SOI 웨이퍼(124)의 디바이스층(122)을 퓨전 결합하는데 있어, 웨이퍼(104,124)는 SOI 웨이퍼(124)상의 상응하는 정렬 플랫폼(136)과 베이스 웨이퍼(104)상의 정렬 플랫폼(134)을 매칭시킴으로써 전체적으로 정렬된다. 베이스 웨이퍼(104)로의 SOI 웨이퍼(124)의 퓨전 결합은 대략 1000 °C에서 실행된다.

베이스 웨이퍼(104) 및 SOI 웨이퍼(124)가 퓨전 결합에 의해 단일 피스로 형성된 후에, 디바이스층(122)로부터 가장 멀리 위치한 SOI 웨이퍼(124)의 핸들층(138) 그리고 그다음 SiO_2 층(132)가 제거되어 오직 베이스 웨이퍼(104)의 상면(108)에 결합된 디바이스층(122)만이 남게된다. 먼저, 보호 실리콘 디옥사이드층, 실리콘 질화물층, 이 둘의 조합 또는 임의의 다른 적합한 보호층이 베이스 웨이퍼(104)의 바닥면(118)상에 형성된다. 이렇게 베이스 웨이퍼(104)를 마스크한 후에, 핸들층(138)의 실리콘이 SOI 웨이퍼(124)에 적용된 KOH 또는 TMAH 에칭을 사용하여 제거된다. 핸들층(138)을 형성하는 실리콘의 벌크가 제거된 후에 매립된 SiO_2 층(132)에 도달한 즉시, KOH 또는 TMAH가 SOI 웨이퍼(124)를 에칭하는 속도는 상당히 감소된다. 이러한 방식으로, SiO_2 층(132)은 핸들층(132) 제거에 대한 에칭정지제로서의 역할을 감당한다. 핸들층(138)의 벌크 실리콘이 제거된 후에, 이전에 매립되었지만 이제 노출된 SiO_2 층(132)은 HF 에칭을 사용하여 제거된다. 다른 습식 실리콘 에천트, 플라즈마 에칭, 그라인딩 및 폴리싱, 또는 이들의 조합을 포함하는 핸들층(138)의 벌크 실리콘을 제거하는 다른 방법이 사용될 수 있음에 주목해야 한다. 이러한 공정을 마친후에는 SOI 웨이퍼(124)의 디바이스층(122)만이 도 3에 도시된 바와 같이, 베이스 웨이퍼(104)에 결합된 상태로 남게된다. 대안으로 매립된 실리콘 디옥사이드층이 디바이스층(122)상에 남겨지고 후속 에칭을 위한 차단 마스크로서 사용될 수 있다. 이러한 매립된 산화물은 에칭이 완료된 후에 제거된다.

당업자는 캐비티(112,114,115,116,117)를 형성하는다른 방법이 가능하다는 것을 이해할 것이다. 예를 들어, SOI 웨이퍼는 N형 에피층이 위에 배치된 P형 실리콘 웨이퍼로 대체도리 수 있다. 이러한 N형 에피층은 SOI 웨이퍼의 디바이스층(122)에와 유사하다. 실리콘 퓨전 결합 단계 후에 전기화학 에칭 스톱 에칭 공정을 사용하여 이러한 웨이퍼의 P형 부분이 제거되어 오직 N형 에칭층만이 베이스 웨이퍼(104)상에 남겨된다.

도 4는 핸들층(138)의 에칭 제거로 인해 디바이스층(122)의 전면(142)으로서 무엇이(아마도 SiO_2 층(132)) 노출되었는지를 도시하고 있다. 도 2에 도시된 캐비티(112,114,115,116,117)를 형성하는 단계와 유사하게, MEMS 스위치의 바람직한 실시예를 제조하는데 있어 다음 단계는 우선, 바람직하게는 KOH 에칭을 사용하여, 디바이스층(122)내에 전면(142)를 통해 초기 캐비티(144)를 대략 5.0 미크론 깊이로 마이크로머시닝하는 것이다. 이 초기 캐비티(144)를 디바이스층(122)내로 마이크로머시닝함으로써, 디바이스층(122)내에 다음의 영역을 달성할 수 있다.

1. 직방형의 토글 영역(152)
2. 리드 피드스루우 영역(154,155,156,157)
3. 기관-콘택트-피드스루우 영역(158)

4. 기관-콘택트 패디스텔(162)을 둘러싸는 기관-콘택트-피드스루우 영역(158)의 일단부에 위치한 기관-콘택트-트렌치 영역(159)
5. 본딩-패드 영역(164,166)
6. 토글 영역(152)을 수용하는 직방형 프리트-트렌치 영역(168)

영역(152,154,155,156,157,158,162,166,168)은 초기 캐비티(144)의 플로어(172)로부터 디바이스층(122)의 전면(142)로 상방향으로 뻗어 있다.

초기 캐비티(144)를 형성한 후에, 절연 패드(174a, 174b)는 전기도전성 금속 구조부를 안에 배치 준비를 위해 초기 캐비티(144)의 플로어(172)상에 배치된다. 대략 10% 질화물 및 90% 산화물인 실리콘 산화질화물 재료는 플라즈마화학기상증착("PECVD")을 사용하여 절연 패드(174a,174b)를 위해 배치되는 것이 바람직하다. 이러한 실리콘 산화질화물 재료는 실리콘상에 배치될 때 무응력이다. 그러나, 절연패드(174a,174b)를 위하여 배치된 재료는 전기 절연 실리콘 질화물 재료, 실리콘 디옥사이드(SiO_2) 재료, 또는 그 조합중 어느 하나일 수도 있다. 금(Au)이 디바이스층(122)상의 다른 부분에 배치되고 후속 공정이 400℃ 이상의 온도를 필요로 한다면, 전기 절연막을 배치할 때 디바이스층(122)의 Si와의 Au의 합금화를 방지하기 위해 상기 부분에 배치되는 것이 유리할 수 있다.

도 5 및 도 6은 초기 캐비티(144)의 플로어상에 배치된 다양한 금속 구조부를 도시하고 있다. 이러한 금속 구조부는 티타늄/텅스텐 접착층상에 배치된 Au의 층에 의해 형성되는 것이 바람직하다. 그러나, 이러한 금속 구조부는 티타늄/텅스텐상의 플라티늄과 같은 임의의 수의 다른 재료조합을 사용하여 배치될 수도 있다. 이 금속층은 반도체 공정에서 사용된 공통 디포지션 방법중 하나에 의해 배치될 수 있다. 이러한 배치 방법은 스퍼터링, 전자빔 및 증착을 포함한다.

배치후에, 금속층은 절연패드(174a,174b)상에 위치한 쇼팅바(176a,176b)를 형성하도록 리소그래피식으로 패터닝되고 에칭된다. 또한, 이러한 금속층을 에칭함으로써 절연 패드(174a,174b) 사이와 쇼팅바(176a,176b) 사이에 있고 피드스루우 영역(154,156)을 관통하는 초기 캐비티(144)를 관통하여 뻗어 있는 금속 접지판(182)을 형성할 수 있다. 기관-콘택트-피드스루우 영역(158)내에 배치된 금속 기관-콘택트-리드(186)은 기관-콘택트 패디스텔(162)의 상부에 위치한 기관-콘택트 패드(188)에 상기 접지판(182)을 연결한다.

초기 캐비티(144)내에 금속 구조부를 형성한 후에, 플라즈마 시스템, 바람직하게는 양호한 균일성 및 이방성을 제공할 반응성 이온 에칭("RIE")이 초기 캐비티(144)의 플로어(172)에 남아있는 디바이스층(122)의 금속을 피어싱하는데 사용된다. 그러나, KOH 또는 다른 습식 에칭이 또한 디바이스층(122)의 이러한 제2 에칭을 위해 사용될 수 있다. 표준 에칭 차단 기술, 즉, 플라즈마 에칭을 위한 포토레지스터 또는 습식 KOH 에칭을 위한 실리콘 산화물 또는 실리콘 질화물에 의해 형성된 마스크가 이러한 디바이스층(122)의 제2 마이크로머시닝을 위해 사용된다.

도 5 및 도 6에 도시된 바와 같이, 초기 캐비티(144)의 플로어(172)에 적용된 이러한 제2 에칭은 쇼팅바(176a,176b)가 서로 마주하도록 구성된 한 쌍의 토글(192a,192b)를 형성한다. 토글(192a,192b)의 각각은 한 쌍의 토션바(194)에 의해 쇼팅바(176a,176b)로부터 가장 먼 에지에서 지지된다. 토션바(194)의 각각의 쌍은 토글(192a,192b)중 하나의 양측과 디바이스층(122)의 실리콘 재료에 의해 제공된 서라운드 프레임 사이에 뻗어있다. 2개의 토션바(194)에 의해 이러한 방식으로 지지되어, 각각의 토글(192)은 토션바(194)과 동직선인 축에 대해 회전가능하다. 이러한 방식으로 토글(192a,192b) 및 토션바(194)는 디바이스층(122)의 서라운드 재료와 모노리딕식으로 형성된다. 초기 캐비티(144)의 제2 RIE 에칭은 또한 안에 위치한 중앙 레일(198)의 양측상의 베이스 웨이퍼(104)로 프리트-트렌치 영역(168)내의 플로어(172)의 재료를 아래로 제거시킨다. 깊이있는 프리트-트렌치 영역(168)내에 이러한 방식으로 구성되어, 레일(198)은 초기 캐비티(144)의 플로어(172)로 외측으로 돌출한다. 레일(198) 중앙 레일은 글라스 프리트에 대한 접촉의 표면면적을 증가시킨다. 그러나, 레일(198)은 양호한 밀폐에 대해 필수적인 것은 아니고 생략될 수 있다.

도 7은 도 5에 도시된 디바이스층(122)의 전면(142)와 연속으로 메이팅되고 퓨징될 펄렉스 유리 기관(204)의 금속화 표면(202)상의 영역을 도시하고 있다. 유리 기관(204)은 베이스 웨이퍼(104)와 SOI 웨이퍼(124)과 동일한 직경을 갖고 있고 바람직하게는 0.5mm의 두께를 갖는다. 도 7은 금속화 표면(202)상에 크롬-금(Cr-Au) 또는 티타늄/텅스텐 금(TiW-Au)의 1000Å 시드층을 먼저 디포지팅한 후의 금속화 표면(20)의 위에 있는 금속 구조부를 도시하고 있다. 이러한 시드층

은 그후에 패터닝되고, 그다음 2.0 미크론의 Au은 시드층상에 플레이팅된다. 이것은 RF 스킨 효과를 고려한 금속화 표면(202)상에 형성된 금속 구보주에 대한 바람직한 두께이지만, 다른 두께, 금속 및 디포지션 공정이 또한 사용될 수 있다. 예를 들어, Ti-/W-Au 층은 2.0 미크론의 전체 두께로 스퍼터링될 수 있다.

Ti/W-Au와 같은 재료의 시드층의 패터닝 또는 보다 두꺼운 층의 에칭은 다음 금속 구조를 달성한다.

1. 기동 전극(216a,216b)에 각각 리드(214a,214b)를 통해 접속된 한 쌍의 전극 패드(212a,212b)
2. 한 쌍의 공통 단자 콘택트 영역에 공통 단자 리드(224)를 통해 접속된 공통 단자패드(222)
3. 스위칭된-단자 콘택트 영역(236a,236b)에 리드(234a,234b) 각각을 통해 접속된 한 쌍의 콘택트 패드(232a,232b)
4. 페디스틸-콘택트 패드(246)에 리드(244)를 통해 접속된 그라운드 패드(242)

상술된 금속에 더하여, 박층의 하드 금속이 리프트오프 공정을 사용하여 쇼팅바(176a,176b), 공통 단자 콘택트 영역(226) 및 스위칭된 단자 콘택트 영역(236a,236b)상에 디포지팅된다. 현재, 플라티늄(Pt)은 순 Au과 비교하여 "스틱션"을 감소시키는 것으로 나타나기 때문에 이러한 박층에 대해 바람직한 재료이다.

이러한 금속 구조부에 더하여, 도 7은 또한 금속 구조부가 위에 형성된 후의 금속화 표면(202)의 유리 기판(204)상에 스크리닝된 글라스 프리트의 직방형 프레임(252)을 도시하고 있다. 이러한 프레임(252)은 초기 캐비티(144)의 플로우(172)에서 프리트-트렌치 영역(168)의 폭보다 경미하게 좁은 수평폭을 갖고 있다. 이러한 폭을 갖는 프레임(252)을 형성함으로써 글라스 기판(204)의 금속화 표면(202)와의 메이팅 동안 디바이스층(122)의 전면(142)상에 프리트의 입자가 발생할 수도 있는 가능성을 감소시킬 수 있다. 프레임(252)의 높이는 디바이스층(122)의 전면(142)과 안에 그안에 형성된 초기 캐비티(144)의 플로어(172) 사이의 프리트-트렌치 영역(168)의 깊이를 보다 크다. 이러한 프리트가 유리 기판(204)의 금속화 표면(202)상에 스크리닝된 후에 용매를 제거하기 위해 약 100°C에서 건조된 후에, 프리트 파우더를 유리화하기 위해 대기중에서 약 400°C에서 가열된다. 바람직한 프리트 재료는 조합된 베이스 웨이퍼(104) 및 유리 기판(204)의 열팽창 계수를 각각 대략 매칭하는 특성을 가진 가능한 최저 용융점을 갖고 있다. 실링 글라스는 유리 기판상에 스크린 인쇄되는 것이 바람직하다. 이러한 실링 글라스는 또한 스퍼터링, 스핀 코팅 또는 다른 방법을 포함하는 다른 기술을 사용하여 디포지팅될 수 있다. 실링 글라스는 글라스 또는 실리콘 웨이퍼상에 초기에 놓일 수 있다. 상기 아웃라인된 특성을 갖는 바람직한 프리트 재료는 Ferro Electronic Materials의 파트 넘버 FX11-036 실링 글라스이다.

도 8은 글라스 기판(204)의 금속화 표면(202)에 프리트를 적용하기 전에 제2층의 금속이 디포지팅되고 패터닝된 유리 기판(204)의 대안의 실시예를 도시하고 있다. 오직 2개 층의 금속이 여기에 기술되었지만, 추가 층이 두께 변형에 따라 가능하다. 이러한 실시예에서, 금속의 제1층은 최종 전체 금속 두께보다 얇은 0.5 미크론이다. 금속의 제1층은 다음을 제외하고 상기 와 같이 패터닝된다.

1. 제1 금속이 쇼팅바(176a,176b)에 의해 접촉되어 있는 스위칭된-단자 콘택트 영역(236a,236b) 및 공통 단자 콘택트 영역(226)의 쌍의 텅(262)으로부터 제거된다.
2. 제1 금속층이 스위칭된-단자 콘택트 영역(236a,236b)의 상에 인접한 전극(216a,216b)의 길이방향의 절반부(264)로부터 제거된다.

0.5 미크론의 전체 두께를 갖는 Au에 이은 Ti/W의 제2 층이 상술된 패터닝된 금속 구조부상에 스퍼터링되거나 증착된다. 그후에 이러한 제2층의 금속은 도 7에 도시된 동일한 패턴을 사용하여 패터닝되고 에칭된다. 최종 패턴이 도 8에 도시되어 있다. 이러한 실시예는 다음의 위치에서 0.5 미크론의 보다 얇은 금속을 갖는다.

1. 쇼팅바(176a,176b)에 의해 접촉된 스위칭된-단자 콘택트 영역(236a,236b) 및 공통 단자 콘택트 영역(226)의 쌍의 텅(262); 및
2. 스위칭된-단자 콘택트 영역(236a,236b) 및, 스위칭된-단자 콘택트 영역(236a,236b)의 쌍에 인접한 전극(216a,216b)의 길이방향의 절반부(264).

상기 공전 대신에 금속 리프트오프 공정이 도 8에 도시된 금속 구조부의 두꺼워진 부분상에 금속을 디포지팅하는데 사용될 수도 있다. 도 7에 상술된 바와 같이, 프릿 프레임(252)이 제2 금속층이 디포지팅되고 패터닝되고 에칭된 후에 금속화 표면(202)의 유리 기판(204)에 적용된다. 이러한 방식으로 적용된 제2 층의 금속은 MEMS 스위치를 기동하기 위해 인가되어야 하는 전압을 감소시키는 단차부 단면형상으로 갖는 전극(216a, 216b)를 제공한다.

도 5 및 도 6에 도시된 조합된 베이스 웨이퍼(104) 및 디바이스층(122) 및, 도 7 또는 도 8에 도시된 유리 기판(204)을 준비한 후에, 유리 기판(204)의 금속화 표면(202)은 다음과 같이 디바이스층(122)의 전면(142)에 본딩되는 것이 바람직하다. 먼저, 유리 기판(204)상의 금속 패턴은 디바이스층(122)상의 구조부와 주의깊게 정렬된다. 그다음, 유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)를 함께 모아 힘, 바람직하게는 약 1800 뉴톤의 힘을 유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)에 대략 400℃의 온도에서 가한다. 유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)가 이러한 방식으로 메이팅될 때, 프릿의 프레임(252)은 디바이스층(122)의 실리콘 재료에 의해 çek인 토글 지지 프레임, 이와 함께 일체식으로 형성된 토선바(194), 및 이 토선바(194)와 일체식으로 형성된 토글(192a, 192b)을 수용한다. 이때에 본딩된 웨이퍼를 개별적인 MEMS 스위치로 절단할 때 톱이 지나가는 유리 기판(204) 및 디바이스층(122)의 영역내에 위치되고, 도면 어디에도 도시되지 않은 추가 금속 구조부는 MEMS 스위치를 위해 상술된 모든 금속 구조부를 상호접속시킨다.

베이스 웨이퍼(104) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)에 인가된 힘과 온도를 안정화시킨 후에, 애노드 결합을 위해, 메이팅된 유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)에 걸쳐 전압이 인가되기도 한다. 보통 이 메이팅된 유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)에 걸쳐 인가된 전압은 100 볼트보다 적다. 이러한 전위는 애노드 결합을 위해 종래 채용된 전기 전위에 대한 200 내지 1000 볼트보다 상당히 적다. 이러한 글라스 프릿 프레임(252)의 두께로 인해 글라스 프릿 프레임(252)은 초기 캐비티(144)의 플로어(172)에 접촉할 수 있고, 유리 기판(204)의 금속화 표면(202)과 플로어(172) 사이에 압축될 수 있다. 이러한 방식으로, 프릿-트렌치 영역(168)내의 레일(198)에 의해 압축된 프레임(252)의 프릿은 리드(214a, 214b, 224, 234a, 234b, 244)를 둘러 실링하고 디바이스층(122)과 유리 기판(204) 사이에 본딩한다. 더욱이, 본딩 동안 인가된 온도 및 압력은 디바이스층(122)의 기판-콘택트 패디스텔(162)과 유리 기판(204)의 금속화 표면(202)상의 패디스텔-콘택트 패드(246)를 형성하는 Au 사이에 합금 콘택트를 생성한다. 디바이스층(122)의 기판-콘택트 패디스텔(162)과 유리 기판(204)의 금속화 표면(202) 사이의 임의의 과도한 Au는 기판-콘택트-피드스트루우 영역(158)내로 흘러간다. 애노드 결합은 Applied Microengineering Ltd.(AML) 174 Curie Avenue, Didcot, Oxon, OX11 0QG, United Kingdom에 의해 생산된 웨이퍼 본딩 장비 모델 AMB-04P를 사용하여 실행되는 것이 바람직하다. 이러한 장비로 인해 압력에 의한 애노드 본딩을 행할 수 있고 제어된 압력의 주변 기체에서 또는 높은 진공상태에서 본딩을 행할 수 있다.

유리 기판(204) 및 조합된 디바이스층(122) 및 베이스 웨이퍼(104)를 본딩한 후에, 베이스 웨이퍼(104)의 바닥면(118) 및 금속화 표면(202)로부터 가장 먼 유리 기판(204)의 표면이 시닝된다. 시닝은 양측 그라인딩 및 폴리싱에 의해 달성되는 것이 바람직하다. 대안으로, 시닝은 KOH 또는 플라스마 에칭과 같은 습식 에칭으로 달성될 수 있다. 베이스 웨이퍼(104) 및 유리 기판(204) 각각의 두께의 절반보다 많은 두께가 제거될 수 있다. 유리 기판(204)에 본딩될 때 조합된 디바이스층(122) 및 베이스 웨이퍼(104)를 시닝함으로써 표준 반도체 디바이스의 높이와 유사한 개별적인 MEMS 스위치에 대한 높이를 산출할 수 있다. 이러한 방식으로, 개시된 MEMS 스위치는 종래의 자동 인쇄 회로기판 어셈블리와 함께 사용될 수 있다.

베이스 웨이퍼(104)와 유리 기판(204)을 시닝한 후에, 2개 보다 많은 공정 단계가 MEMS 스위치의 제조의 완성을 위해 필요하다. 상술된 PCT 특허 출원에 기술된 바와 같이, 이러한 공정 단계의 제1 단계는 본딩-패드 영역(164, 166)을 완전히 개방하도록 베이스 웨이퍼(104)의 바닥면(118)을 관통하여 구멍을 에칭하고, 그래서 본딩 패드(212a, 212b, 222, 232a, 232b, 242)를 노출시킨다. 이러한 방식으로 본딩-패드 영역(164, 166)을 개방시키는 단계는 먼저 베이스 웨이퍼(104)의 바닥면(118)을 패터닝하고 그후에 딥 RIE 시스템으로써 실리콘을 플라스마 에칭함으로써 실행된다. 대안으로, KOH 또는 TMAH를 사용하는 습식 에칭이 실리콘을 에칭하기 위하여 사용될 수 있다. 본딩 패드(212a, 212b, 222, 232a, 232b, 242)로의 액세스가 상기 PCT 특허 출원에서 기술된 바와 같이 베이스 웨이퍼(104)를 통해 얻어지는 것이 바람직하지만, 이러한 본딩 패드(212a, 212b, 222, 232a, 232b, 242)는 또한 인쇄 회로 기판으로의 본딩을 위해 유리 기판(204)를 통해 액세스될 수 있다.

MEMS 스위치를 제조하는데 있어 최종 단계는 도 1의 라인(106)을 따라 유리 기판(204)에 본딩된 조합된 디바이스층(122)과 베이스 웨이퍼(104)를 절단하여 개별적인 MEMS 스위치로 단일하기 위해 표준 실리콘 웨이퍼 톱을 사용하는 다이싱 단계이다. 개별적인 MEMS 스위치를 단일하는 단계에 더하여, 유리 기판(1204)에 본딩된 조합된 디바이스층(122)과 베이스 웨이퍼(104)를 쏘우잉함으로써 톱이 다이싱 동안에 지나가는 유리 기판(204) 및 디바이스층(122)의 영역내에 위치

된 추가 금속 구조부를 파괴한다. 또한, 이러한 방식에서, 개별적인 MEMS 스위치를 얻기 위해 유리 기판(204)에 본딩된 조합된 디바이스층(122) 및 베이스 웨이퍼(104)를 쏘우잉함으로써 기능적인 MEMS 스위치에서 요구되는 바와 같이 상술된 금속 구조부를 전기적으로 분리시킬 수 있다.

상술된 바와 같이 유리 기판(204)에 조합된 디바이스층(122)과 베이스 웨이퍼(104)를 결합시킴으로써, 아무런 힘이 토글(192a,192b)에 인가도리 때 토글(192a,192b)에 의해 각각 이동되는 쇼팅바(176a,176b)에 인접하여 이격된 공통 단자 콘택트 영역(226) 및 스위칭된-단자 콘택트 영역(236a,236b)의 쌍을 배치시킬 수 있다. 이러한 구성에서, 공통 단자 콘택트 영역(226) 및 스위칭된 단자 콘택트 영역(236a,236b)은 서로 전기적으로 절연되어 있다. 그러나, 전극(216a,216b)의 하나 또는 모두에 인가도리 전압이 충분한 힘을 인가하여 토글(192a,192b)중 하나 또는 모두가 이들의 각각의 쌍의 토션 바(194)에 의해 생성되는 축을 중심으로 회전할 때, 쇼팅바(176a,176b)의 하나 또는 모두는 공통 단자 콘택트 영역(226)의 쌍 및 스위칭된 단자 콘택트 영역(236a,236b)의 하나 또는 모두와 각각 접촉한다.

도 10 및 도 11은 토글(192a,192b)가 콘프론팅 배열을 갖기 보다는 콘리어링 배열로서 식별된 것을 갖고 있다는 점에서 도 5 및 도 6에 도시된 실시예와 상이한 대안의 MEMS 스위치 실시예의 디바이스층(122)을 도시하고 있다. MEMS 스위치의 이러한 실시예에 있어서, 콘프론팅 배열에서와 같이 쇼팅바(176a,176b)가 서로 근방에 있고 토션바(194)가 널리 분리되어 있기 보다는, 콘리어링 배열에서는, 토션 바(194)가 서로 근방에 있고 쇼팅바(176a,176b)가 서로 널리 분리되어 있다. 도 10 및 도 11에 도시된 토글(192a,192b)에 대한 콘리어링 배열을 갖는 MEMS 스위치를 제조하는 것은 도 1에 도시된 것과 단지 경미하게 상이한 베이스 웨이퍼(104)내로 캐비티를 에칭할 필요를 가질 가능성이 높다. 도 10 및 도 11에 도시된 토글(192a,192b)의 콘리어링 구성을 갖는 MEMS 스위치는 도 1 내지 도 9에 도시된 콘프론팅 토글 실시예보다 경미하게 작은 디바이스층(122)상의 면적을 차지하는 것이 유리하다.

도 12는 도 10 및 도 11에 도시된 디바이스층(122)의 전면(142)과 메이팅되고 퓨징될 유리 기판(204)의 금속화 표면(202)상의 영역을 도시한다. 도 11은 도 8에 나타난 단차부형성된 전극(216a,216b)을 도시하고 있지 않지만, 단차부형성된 전극(216a,216b) 역시 도 10 및 도 11에 도시된 토글(192a,192b)의 콘리어링 배열에 사용될 수 있다.

도 13 내지 도 17은 본원에 따라 제조된 MEMS 스위치내의 리드 및 인접 접지판에 대한 전형적인 구성을 도시하고 있다. 수용한 신호 손실을 가진 고주파 RF 신호를 스위칭하는 MEMS 디바이스는 임의의 형태의 전송 라인을 채용해야 한다. 개시된 MEMS 스위치에 대한 바람직한 전송 라인은 도 13의 단면도에 개시되어 있다. 도 13은 도 1 내지 도 9내에 나타난 토글(192a,192b)의 콘프론팅 배열에 대한 공통 단자 리드(224) 및 인접 접지판(182)에 대한 전형적인 구성을 도시하고 있다. 도 13은 또한 도 10 내지 도 12에 도시된 토글(192a,192b)의 콘리어링 배열내의 모든 리드에 대해 존재하는 전송 라인 구성을 도시하고 있다. 도 14는 도 1 내지 도 9에 도시된 토글(192a,192b)에 대한 인접한 접지판(182)을 가지고 있는 리드(234a,234b)에 대한 전형적인 구성을 도시하고 있다. 도 15는 접지판(182)이 2개의 길이방향으로 분할되어 있고 디바이스층(122)의 실리콘 재료의 벽이 리드(234a,234b)를 분리하는 도 14의 구성에 대한 대안의 구성을 도시하고 있다.

도 16은 한 쌍의 동평면 접지판(274)의 사이에 리드(272)가 위치한 상이한 전송 라인 구성을 도시하고 있다. 전극(216a,216b)에 전압을 인가하기 위해 디바이스층(122)과 베이스 웨이퍼(104)의 실리콘 재료로의 전기적 접촉이 필요하기 때문에, 도 16에 도시된 전송 라인 구성에 대한 신호 손실을 감소시키기 위해서는 리드(272)와 근방의 실리콘 재료 사이의 공간을 증가시킬 필요가 있다. 결과적으로, 도 16내에 도시된 구성을 갖는 MEMS 스위치를 제조할 때 디바이스층(122)의 제2 RIE 에칭에 의해 접지판(182)이 위치한 플로어(172)의 보다 많은 재료가 제거된다. 접지판(182)이 위치한 재료를 제거시킴으로써 베이스 웨이퍼(104)로의 디바이스층(122)의 퓨전 보딩전에 베이스 웨이퍼(104)내로 에칭된 공통 단자 피드스루우 캐비티(115), 전극 피드스루우 캐비티(116) 및 스위칭된 단자 패드 캐비티(112)가 개방된다. 도 15에 도시된 전송 라인 구성과 유사하게, 실리콘의 벽은 한 쌍의 리드(272) 및 이들의 연관된 동평면 접지판(274)을 분리시킬 수 있고, 이로 인해 리드 캐비티를 기계적으로 강화시킬 수 있다.

산업상 이용 가능성

디바이스층(122)내에 에칭된 초기 캐비티(144)의 플로어(172)의 깊이는 중요하고 이러한 실시예에서 5.0 미크론으로서 표시되어 있다. 그러나, 플로어(172)의 깊이는 토글(192a,192b)의 바람직한 두께 및 디바이스층(122)의 두께를 고려하는, 토글(192a,192b)상에 유지된 쇼팅바(176a,176b)와 베이스 웨이퍼(104)상의 공통 단자 콘택트 영역(226) 및 스위칭된 단자 콘택트 영역(236A,236B) 사이의 바람직한 갭을 제공하기 위해 주의깊게 선택되어야 한다.

고주파 RF 신호를 스위칭할 때의 MEMS 스위치의 성능은 금속화 표면(202)으로부터 가장 먼 유리 기판(204)의 기판에서의 접지판의 존재에 의해 상당히 향상된다. 본딩 패드(212a,212b,222,232a,232b,242)로의 액세스가 상술된 바와 같이 베이스 웨이퍼(104)를 통해 얻어진다면, 금속 접지평면은 금속화 표면(202)로부터 가장 먼 유리 기판(204)의 표면상의

MEMS 스위치의 외부 표면에 적용되는 것이 바람직하다. 인쇄 회로 기판상에 조립될 때, 이러한 유리 기판(204)의 외부 표면에 적용된 접지평면은 도전성 에폭시 재료에 의해 인쇄 회로 기판의 트레이스에 전기적으로 접속될 수 있다. 대안으로, 본딩 패드(212a, 212b, 222, 232a, 232b, 242)로의 액세스가 상기 PCT 특허 출원내에 기술된 바와 같이 유리 기판(204)을 통해 얻어진다면, 인쇄 회로 기판상의 패터닝된 영역은 대안으로 금속화 표면(202)으로부터 가장 먼 그래스 기판(204)의 표면에서 접지평면을 제공할 수 있다.

MEMS 스위치 외부의 회로내에 도체가 어떻게 배열되는가에 대한 정밀한 상세설명에 기초하여, 공통 단자 콘택트 영역(226)은 스위칭된 단자 콘택트 영역(236a, 236b)이 콘택트 패드(232a, 232b)를 통해 제1 및 제2 출력 도체에 각각 접속되어 있는 동안, 공통 단자 패드(222)를 통해 입력 도체에 접속될 수 있다. 이러한 외부 회로에 접속될 때, 한 쌍의 공통 단자 콘택트 영역(226)은 스위칭된 단자 콘택트 영역(236a, 236b)가 외부 회로의 출력 도체중 하나에 개별적으로 접속하는 동안 외부 회로의 입력 도체에 공통으로 접속된다. 대안으로, 메스 스위치를 변경함 없이, 스위칭된 단자 콘택트 영역(236a, 236b)은 공통 단자 콘택트 영역(226)이 외부 회로의 단일 출력 도체에 공통 단자 패드(222)를 통해 접속하는 동안 외부 회로의 제1 및 제2 입력 도체에 콘택트 패드(232a, 232b)를 통해 각각 접속할 수 있다.

본 발명이 바람직한 실시예에 대하여 설명되었지만, 이러한 설명은 단지 예시일 뿐 제한하고자 하는 것은 아니라는 것을 이해해야 한다. 결론적으로, 본원의 정신 및 범위로부터 벗어남 없이 본원의 다양한 변경, 수정 및/또는 대안의 적용이 상기 본원의 내용을 읽은 후에 당업자에게 자명할 것이다. 따라서, 다음의 청구범위는 본원의 참 정신 및 범위내에 있는 모든 변경, 수정 또는 대안의 적용을 포함하도록 의도되었다.

도면의 간단한 설명

도 1은 마이크로기계 캐비티가 바람직한 실시예에 따라 형성된 MEMS 스위치내에 포함된 베이스 웨이퍼의 표면상의 영역의 사시도,

도 2는 캐비티가 마이크로머시닝된 베이스 웨이퍼의 상면으로 SOI 웨이퍼의 디바이스층을 본딩시키는 퓨전을 도시하는 사시도,

도 3은 SOI 웨이퍼의 핸들층 및 매립된 SiO₂ 층의 제거후에 베이스 웨이퍼의 상면상에 결합된 SOI 웨이퍼 퓨전의 디바이스층의 사시도,

도 4는 안체 초기 캐비티를 형성하고 전기 절연층을 배치하고 패터닝한 후의 도 1에 도시된 베이스 웨이퍼의 영역 바로 위에 위치한 베이스 웨이퍼의 상면상에 결합된 SOI 웨이퍼 퓨전의 디바이스층의 일부의 사시도,

도 5는 상기 초기 캐비티내에 금속 구조를 배치하고 한 쌍의 컨프로팅 토글 및 이들의 지지 토션바의 형성 후에 도 4에 도시된 베이스 웨이퍼의 상면상에 결합된 SOI 웨이퍼 퓨전의 디바이스층의 일부의 또 다른 사시도,

도 6은 금속 구조부, 토글 및 토글에 위치한 토글의 지지 토션 바를 도시하는 도 5내의 선 6-6을 따라 취해진 초기 캐비티의 중앙부의 평면도,

도 7은 위에 마이크로머시닝된 금속 구조부를 도시하는 도 5 및 도 6내에 묘사된 디바이스층의 영역과 메이팅되는 컨프로팅 토글에 사용하기 위한 그래스 기판의 일부의 사시도,

도 8은 단차부의 단면형상을 갖는 전극을 묘사한 위에 마이크로머시닝된 대안의 실시예의 금속 구조부를 도시하는 도 5내에 묘사된 디바이스층의 영역과 상을 이루는 유리 기판의 일부의 사시도,

도 9는 도 6내의 선 6-6을 따라 취해진 본원에 따른 MEMS 스위치의 정면 단면도,

도 10은 초기 캐비티내에 금속 구조부를 배치하고 한쌍의 컨리어링 토글 및 이러한 토글의 지지 토션바를 형성한 후에 도 4내에 도시된 베이스 웨이퍼의 상면상에 결합된 SOI 웨이퍼 퓨전의 디바이스 층의 일부의 또 다른 사시도,

도 11은 금속 구조부, 토글 및 토글에 위치한 토글의 지지 토션바를 도시하는 도 10내의 선 11-11을 따라 취해진 초기 캐비티의 중앙부의 평면도,

도 12는 위에 마이크로머시닝된 금속 구조부를 도시하는 도 10 및 도 11내에 묘사된 디바이스층의 영역과 메이팅되는 콘리어링 토글에 사용하기 위한 유리 기판의 일부의 사시도,

도 13은 도 1 내지 도 12에 묘사된 임의의 기판으로 제조된 MEMS 스위치내의 리드 및 이들의 인접 접지판에 대한 전형적인 구성을 도시하는 단면도,

도 14은 도 13내에 묘사된 타입의 2쌍의 리드 및 이들의 각각의 인접 접지판에 대한 대안의 구성을 묘사한 단면도,

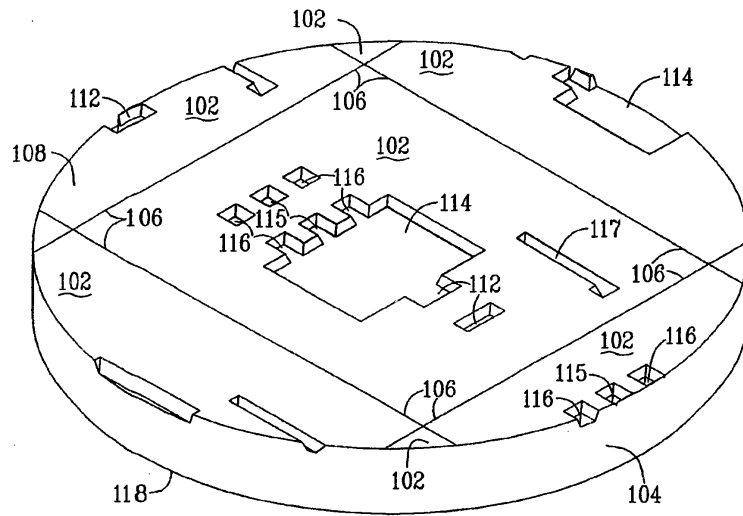
도 15는 실리콘 벽이 2개의 리드-접지판 쌍을 분리시키는 도 13내에 묘사된 타입의 2쌍의 리드 및 이들의 각각의 인접 접지판에 대한 대안의 구성을 묘사하는 단면도,

도 16은 접지판이 리드와 동평면이고 상기 리드에 인접한 리드 및 이들의 각각의 인접 접지판에 대한 또 다른 대안의 구성을 묘사하는 단면도, 및

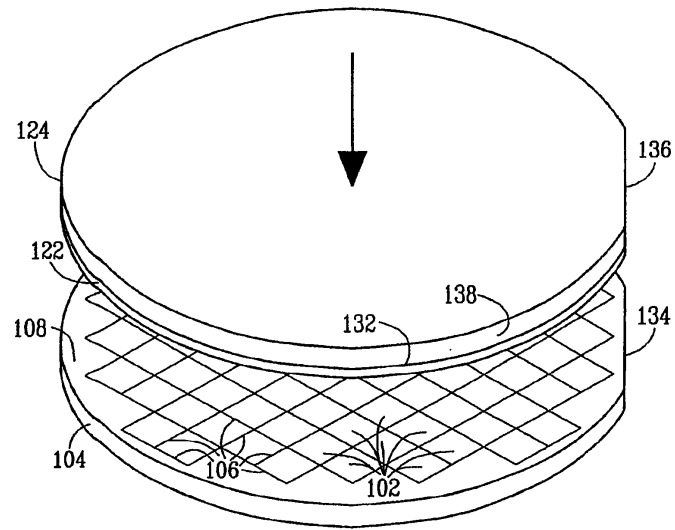
도 17은 실리콘벽이 2개의 리드-접지판 쌍을 분리시키는 도 17에 묘사된 타입의 리드 및 이들의 각각의 인접한 접지판에 대한 또 다른 구성을 묘사하는 단면도.

도면

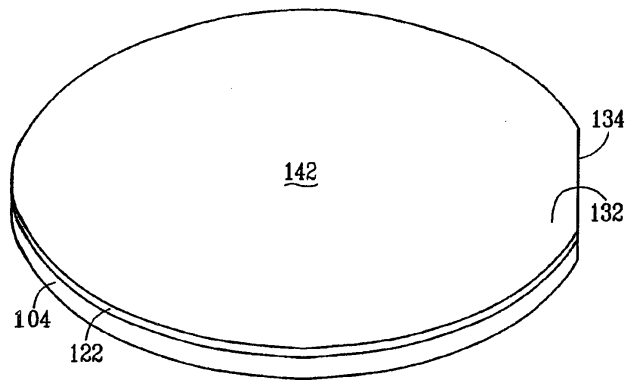
도면1



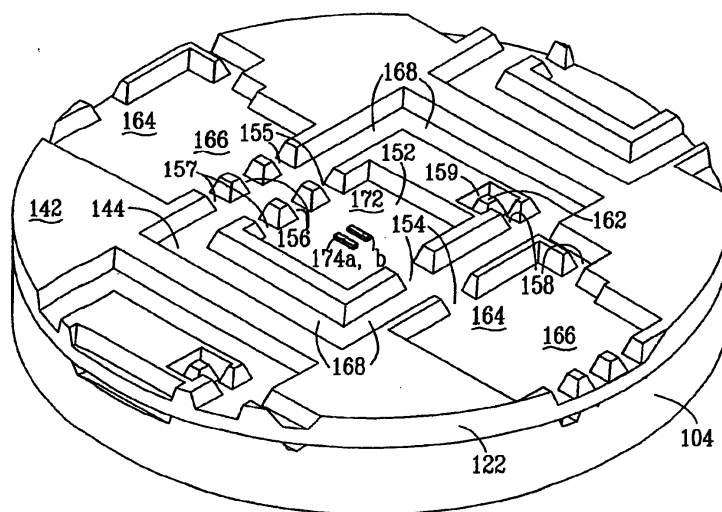
도면2



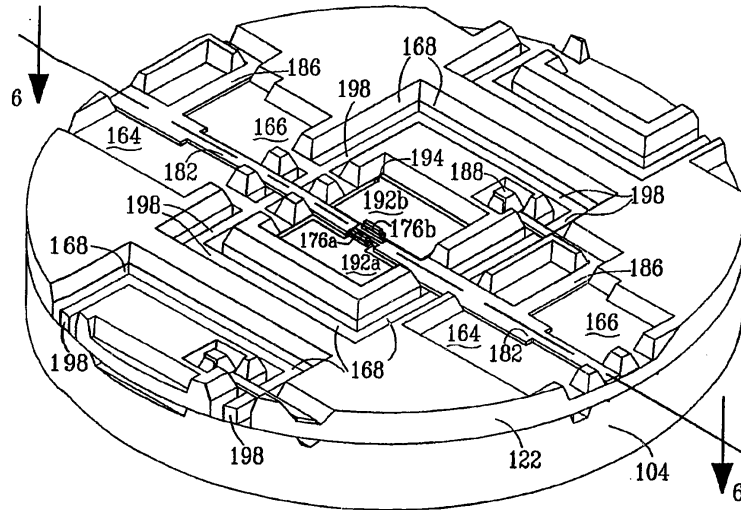
도면3



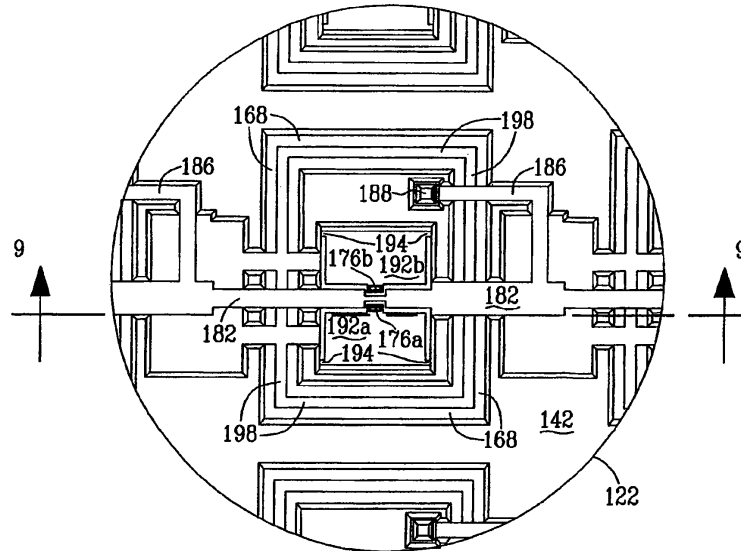
도면4



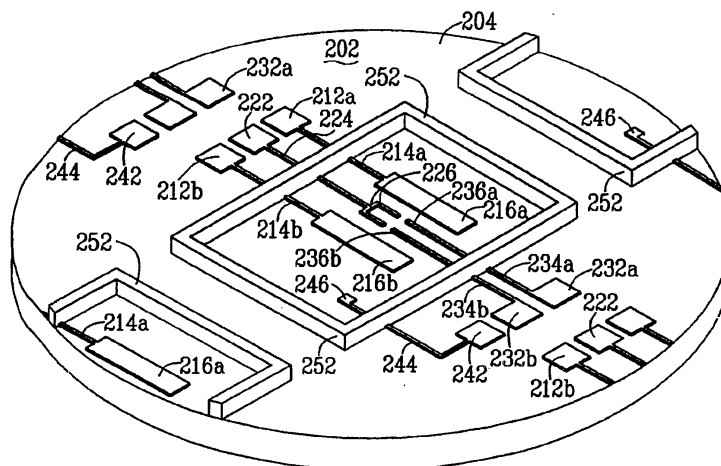
도면5



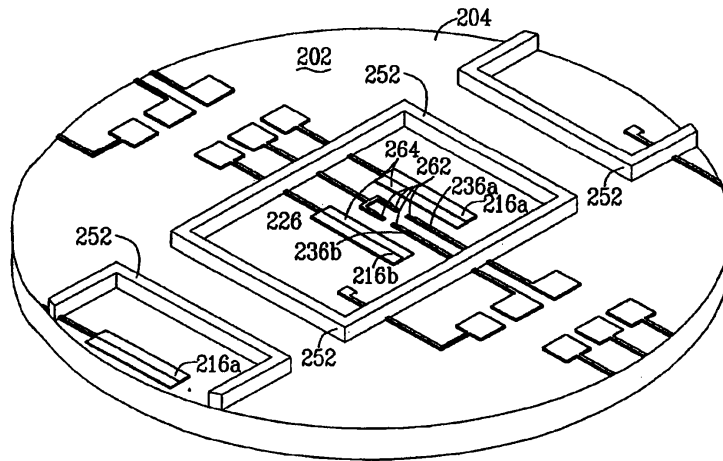
도면6



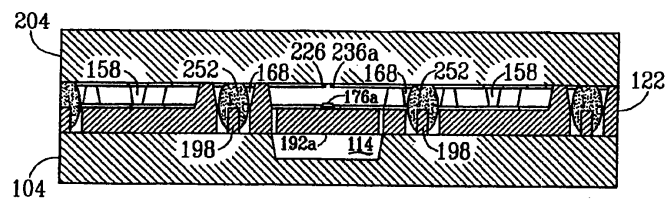
도면7



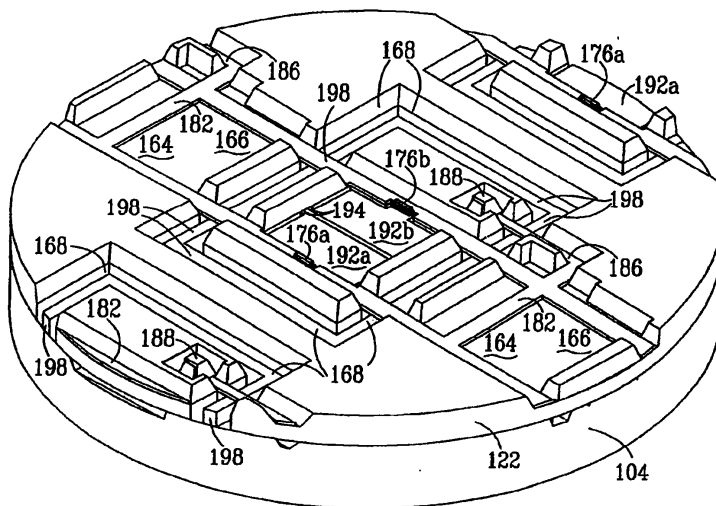
도면8



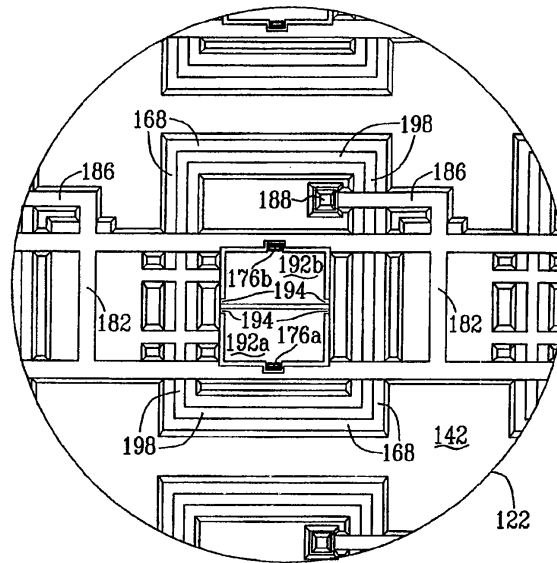
도면9



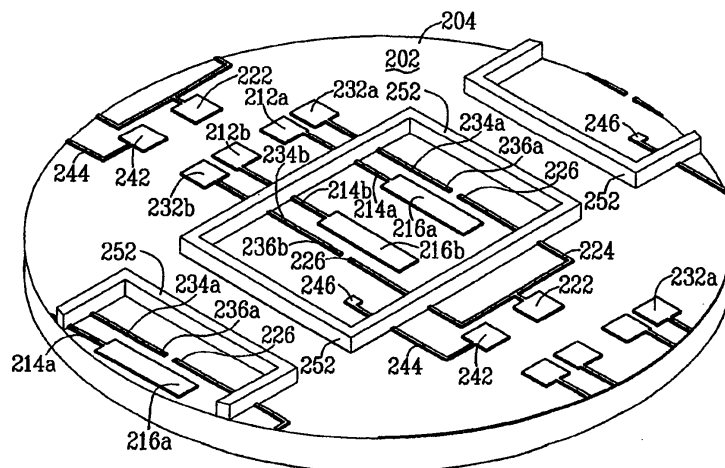
도면10



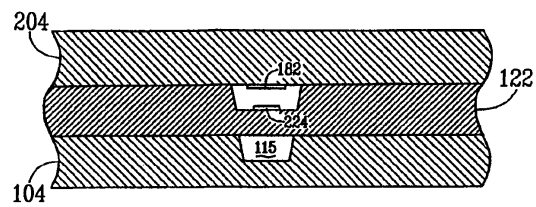
도면11



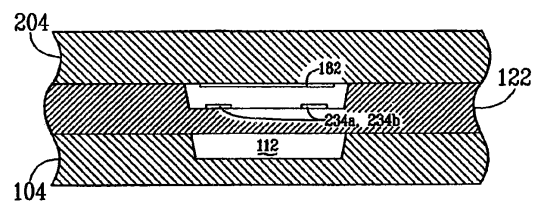
도면12



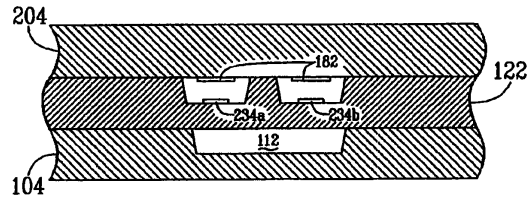
도면13



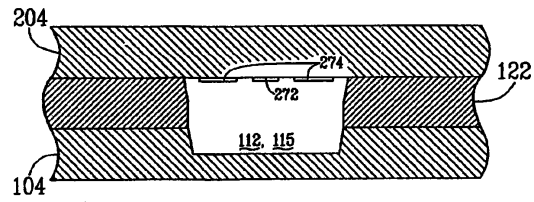
도면14



도면15



도면16



도면17

