

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國

2001年08月29日 09/942,102 有 無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

技術領域

本發明有關積體電路設計工具。

發明背景

積體電路(integrated circuit, IC)之邏輯設計通常包括示意設計或文字設計。示意設計為將具有邏輯元件之電腦晶片顯示成二維圖形。邏輯元件為狀態元件(如, 正反器(flip-flops)、閘(latch)等)或組合元件(如及閘(AND gate), 非或閘(NOR gate))。各種幾何圖形代表該邏輯元件。拉進或拉出該邏輯元件的線通常代表輸入、輸出、時鐘(clock)、或啟動(enabling)訊號。連接該幾何形狀的線指示於該邏輯元件間之功能邏輯關係。

一文字呈現(representation)描述了使用一維文字線之電腦晶片的邏輯元件。文字呈現以硬體描述語言(HDL)來被使用, 其允許設計師於在矽上形成該邏輯前可模擬邏輯設計。該語言的範例包括Verilog與非常高階設計語言(Very High-Level Design Language, VHDL)。使用這些語言, 一設計師可撰寫程式碼來模擬一邏輯設計且依序執行該程式碼來確定該邏輯設計是否可正確執行。

標準電腦語言還可用來模擬一邏輯設計。可使用之標準電腦語言的一範例為C++。

圖式之簡述

圖1為顯示產生一邏輯設計程序之流程圖。

圖2為圖1程序可在其上執行之電腦系統的區塊圖。

五、發明說明 (2)

圖式之詳述

參考圖1，程序10如用於產生包括示意設計與文字設計特徵之邏輯設計而被顯示。程序10可使用在一電腦或其他型態機器(如下文將以較詳細的細節來描述)上執行之電腦程式來被實作。該程序10存取代表一積體電路(integrated circuit, IC)之完整可見模型且嵌入一組合一維資料區塊。該組合資料區塊允許將文字設計混合成二維呈現。此外，一組抽象可被程序10來使用以縮短該統合資料庫的發展時間。該統合資料庫可被設計師與IC設計的實作者用來產生一IC而不需參考兩個分開且不相連的設計規劃(scheme)。

該統合資料庫在為IC設計二維呈現之暫存器移轉圖(Register Transfer Diagrams, RTD)中來被呈現。RTD為例示一IC設計所有狀態元件之階層圖，同時允許一使用者將該組合邏輯抽象化成簡單箱(simple box)。RTD簡要地傳達(1)所有狀態元件，(2)將於狀態元件間被完成工作的分割(partition)，(3)通過狀態元件之資料流，(4)位於階層層級內與之間的設計分割與邏輯組織，(5)該設計之意圖，與(6)訊號資訊。

在運作上，程序10產生組合資料區塊(12)。IC設計師決定於IC設計之特別部份中一組合元件是需要的。使用一文字描述以呈現該組合元件。文字描述最好是用簡化形式來避免由在設計過程中必需解釋之複雜文字描述所引進的複雜度。因而，該組合資料區塊包括用簡化形式來便利對

五、發明說明 (3)

二維或圖形階層規劃的整合之文字描述。該簡化遵循一組設計擷取規則。例如，一組合資料區塊於Verilog中如下文來呈現：

```
always @ ( )
begin
  case (f2_ctx_w) //synopsys    parallel_case
    3'b000: next_seq_thd_w = 3'b001 ;
    3'b001: next_seq_thd_w = 3'b010 ;
    3'b010: next_seq_thd_w = 3'b011 ;
    3'b011: next_seq_thd_w = 3'b100 ;
    3'b100: next_seq_thd_w = 3'b101 ;
    3'b101: next_seq_thd_w = 3'b110 ;
    3'b110: next_seq_thd_w = 3'b111 ;
    3'b111: next_seq_thd_w = 3'b000 ;
  endcase
end
```

用來簡化於本範例中之組合資料區塊的設計擷取規則包括：(1) 避免使用宣告(declaration)與(2) 避免於敏感性(sensitivity)表列中的項目(entry)。如果使用宣告與項目時，若因IC設計更動且該組合區塊被影響，則這些欄位必需被更改。藉由不允許於該組合資料區塊之敏感性表列中的宣告與項目，程序10減少了於IC發展程序期間內IC設計師更改這些欄位的需要。換言之，當於IC設計發生更動時，IC設計師不需任何手動更動來應對這些更改。

五、發明說明 (4)

藉由設定這些限制，當設計更改發生時，人為錯誤的機會較少。其他設計擷取規則於發展設計過程中可被實作來簡化該組合資料區塊與減少不必要的更動。

程序10輸入該組合資料區塊(14)。於本具體實施例中，這藉由以下所述經由一輸出入介面(如滑鼠、鍵盤)來於一電腦系統上被執行。當該組合資料區塊被輸入到該邏輯設計系統時，程序10檢查以確保產生該組合資料區塊之設計擷取規則從12(16)來被遵循。程序10通知設計師一錯誤是否發生(18)。例如，錯誤訊息顯示在IC設計師的電腦螢幕上。

程序10使用一組抽象來便利統合資料庫(20)的發展。該組抽象為各種邏輯組件的縮小呈現。例如，比較器(comparator)為數千個電晶體。於該IC設計每個電晶體的產生或攜載與每個電晶體所結合的資料會很麻煩。該縮小呈現為具有輸入與輸出之區塊圖。抽象可從程式館來例舉(instantiate)，因此從一抽象產生一邏輯元件對設計師是很快且容易來做。例如，使用程序10之IC設計工具位在個人電腦上且該工具在微軟視窗(MS-Windows®)環境中操作。如果該IC設計師確定在該設計中，比較器是必要的，該設計師下拉該應用程式中的選單且選擇一比較器。後續的箱會出現並且該設計師需檢視該區塊來得出該比較器所需參數(如，輸入)。藉由使用該組抽象，於該設計師選擇該邏輯組件之後，其被儲存在該統合資料庫中。

程序10將該組合資料區塊嵌入到該二維示意演示之中

五、發明說明(5)

以完成該統合資料庫(22)。因而，該統合資料庫為該IC的完整呈現並且可在RTD中呈現。

於IC設計過程期間內，設計師一般在設計過程的開始就實作區塊圖且使用一維文字描述之RTL碼來發展該設計。該區塊圖通常並非被保持著最新的版本，因為設計師會將所有更動對RTL來進行，因而RTL成為該設計碼。由程序10所產生之統合資料庫在整個設計過程間藉由將所有設計資料保存在一個位置來確保IC設計的配置(configuration)管理。因而，因為經常反覆進行示意與文字設計規劃的調和，此邏輯設計規劃減少了發生於先前實作與設計模型間所發生的傳統混沌不明。以具有統合資料庫，程序10允許從單一位置來產生C++與Verilog碼。其還允許從文字與可見元件來產生可合成Verilog。

圖2顯示使用程序10來產生一邏輯設計之電腦40。電腦40包括一處理器42、記憶體44、與儲存媒介46(如硬碟)。儲存媒介46儲存定義一邏輯設計之資料52、用於實作該邏輯設計之圖形館(graphic library)50、機器可執行指令48、其可被處理器42從記憶體44讀出而對資料52來執行程序10。

然而，程序10非受限於使用圖2的硬體與軟體；可在任何計算或處理環境中找到其應用性。程序10可用硬體、軟體、或兩者的組合來被實作。程序10可用在可程式化電腦或包括處理器、該處理器可讀取的儲存媒介(包括依電性(volatile)或非依電性記憶體且/或儲存元件)、至少一

五、發明說明(6)

輸入裝置、與一個或更多輸出裝置之其他機器上執行的電腦程式來實作。程式碼可應用到使用如滑鼠或鍵盤等輸入裝置來輸入的資料來執行程序10且產生一模擬。

該每個程式可用高階程序(procedural)或物件導向(object-oriented)程式語言來與一電腦系統溝通而被實作。然而，該程式可用組合或機器語言來被實作。該語言可為編譯(compiled)或解譯(interpreted)語言。

每個電腦程式可被儲存在製造的物品上(如CD-ROM、硬碟、或磁碟)，其可被一般性或特殊目的可程式化機器來讀取以在當該儲存媒介或裝置被該機器讀取而來執行程序10時，配置與操作該機器。程序10也可實作成機器可讀儲存媒介，以電腦程式來配置，當執行時電腦程式中的指令讓該機器根據程序10來運作。

本發明不限定於以上所述之特定具體實施例。例如，程序10不受限於將一維設計嵌入到二維設計。程序可為任何n維設計，以嵌入到(n+m)維設計，其中 $n \geq 1$ 且 $m \geq 1$ 。程序10不受限於以上所述之電腦語言，如Verilog、C++、與VHDL。其可使用任何合適的電腦語言來被實作。程序10也不受限於圖1中所述的順序。即程序10的區塊可以不同於所顯示的順序來產生一可接受的結果。

其他未於本文中所述之具體實施例也在以下申請專利範圍之內。

五、發明說明 (7)

序號	元件參照編號	原文	中文
1	10	Process	程序
2	12、14	Combinatorial data block	組合資料區塊
3	20	Unified database	統合資料庫
4	40	computer	電腦
5	42	processor	處理器
6	44	memory	記憶體
7	46	Storage medium	儲存媒介
8	48	Machine-executable instructions	機器可執行指令
9	50	Graphic library	圖形館
10	52	Data	資料

四、中文發明摘要(發明之名稱: 產生一邏輯設計)

揭示一種產生邏輯設計之技術，其用於積體電路(integrated circuit, IC)的設計。該技術包括將組合一維(one-dimensional)邏輯區塊嵌入二維示意演示(schematic presentation)以形成一統合(unified)資料庫。該技術還包括遵循一組設計擷取規則、輸入該組合一維邏輯區塊、與當輸入該組合資料區塊違反該組設計擷取規則時，能通知設計師。

英文發明摘要(發明之名稱: "GENERATING A LOGIC DESIGN")

A technique to generate a logic design for use in designing an integrated circuit (IC). The technique includes embedding a combinatorial one-dimensional logic block within a two-dimensional schematic presentation to form a unified database. The technique also includes following a set of design capture rules, importing the combinatorial one-dimensional logic block, and notifying a designer when importing the combinatorial data block violates the set of design capture rules.

公告本

I282929

修正
補充
92年>月>日

申請日期	91-8-28
案號	091119566
類別	G06F 17/50

A4
C4

中文說明書替換頁(92年2月)

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	產生一邏輯設計
	英文	"GENERATING A LOGIC DESIGN"
二、發明 創作人	姓名	1. 威廉 R. 輝勒 WILLIAM R. WHEELER 2. 馬修 J. 艾迪勒塔 MATTHEW J. ADILETTA
	國籍	1.2. 均美國 U.S.A.
三、申請人	住、居所	1. 美國麻州南玻羅市達稜大道9號 9 DARLENE DRIVE, SOUTHBOROUGH, MASSACHUSETTS 01772, U.S.A. 2. 美國麻州沃塞斯特市蒙堤賽羅大道20號 20 MONTICELLO DRIVE, WORCESTER, MASSACHUSETTS 01603, U.S.A.
	姓名 (名稱)	美商英特爾公司 INTEL CORPORATION
	國籍	美國 U.S.A.
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號 2200 MISSION COLLEGE BOULEVARD, SANTA CLARA, CALIFORNIA 95052, U.S.A.
	代表 姓名	大衛 賽門 DAVID SIMON

請注意：本局公告之發明專利說明書，其內容係根據申請人所提供之資料，如有錯誤，請申請人自行負責更正。

裝訂線

95年10月30日 申請專利範圍

公告本

1. 一種產生一邏輯設計以用於設計一積體電路(IC)之方法，該方法包含以下步驟：
 - 產生一電腦指令；
 - 從記憶體輸入該電腦指令；以及
 - 將嵌入該電腦指令於該邏輯設計之一二維示意呈現內以產生該邏輯設計之一統合資料庫呈現，該電腦指令缺乏宣告與敏感性表列中之項目；其中該二維示意呈現包括一組暫存器移轉圖(RTD)。
2. 如申請專利範圍第1項之方法，進一步包含當擷取使用該電腦指令之資料違反一組設計擷取規則時，通知一設計師。
3. 如申請專利範圍第1項之方法，進一步包含從該統合資料庫來產生C++。
4. 如申請專利範圍第3項之方法，進一步包含從該統合資料庫來產生Verilog。
5. 如申請專利範圍第1項之方法，進一步包含從該統合資料庫來產生可合成Verilog。
6. 如申請專利範圍第1項之方法，進一步包含致使一使用者可藉由修改該電腦指令改變該邏輯設計。
7. 一種儲存可執行指令以產生一邏輯設計來用於設計一積體電路(IC)之機器可讀取媒體，該指令引起一機器：
 - 產生一電腦指令；
 - 將該電腦指令嵌入在該邏輯設計之一二維示意呈現內

六、申請專利範圍

以產生該邏輯設計之一統合資料庫呈現，該電腦指令缺乏宣告與敏感性表列中之項目；

其中該二維示意呈現包括一組暫存器移轉圖(RTD)。

8. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以輸入該電腦指令。
9. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以當擷取資料違反一組設計擷取規則時，通知一設計師。
10. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以從該統合資料庫產生C++。
11. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以從該統合資料庫產生Verilog。
12. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以從該統合資料庫產生可合成Verilog。
13. 如申請專利範圍第7項之機器可讀取媒體，進一步包含指令引起一機器以致使一使用者可藉由修改該電腦指令改變該邏輯設計。
14. 一種用於產生一邏輯設計以用在設計一積體電路(IC)之裝置，包括：

一記憶體，其儲存可執行指令；以及

一處理器，其執行該指令以：

產生一電腦指令；以及

將該電腦指令嵌入在該邏輯設計之一二維示意呈現內以產生該邏輯設計之一統合資料庫呈現，該電腦指

六、申請專利範圍

令缺乏宣告與敏感性表列中之項目；

其中該二維示意呈現包括一組暫存器移轉圖(RTD)。

15. 如申請專利範圍第14項之裝置，進一步包含指令來輸入該電腦指令。
16. 如申請專利範圍第14項之裝置，進一步包含指令來當擷取資料違反一組設計擷取規則時，通知一設計師。
17. 如申請專利範圍第14項之裝置，進一步包含指令來從該統合資料庫產生C++。
18. 如申請專利範圍第17項之裝置，進一步包含指令來從該統合資料庫產生Verilog。
19. 如申請專利範圍第14項之裝置，進一步包含指令來從該統合資料庫產生可合成Verilog。
20. 如申請專利範圍第14項之裝置，進一步包含指令以致使一使用者可藉由修改該電腦指令改變該邏輯設計。

煩請委員明示，本案修正後是否變更原實質內容

10

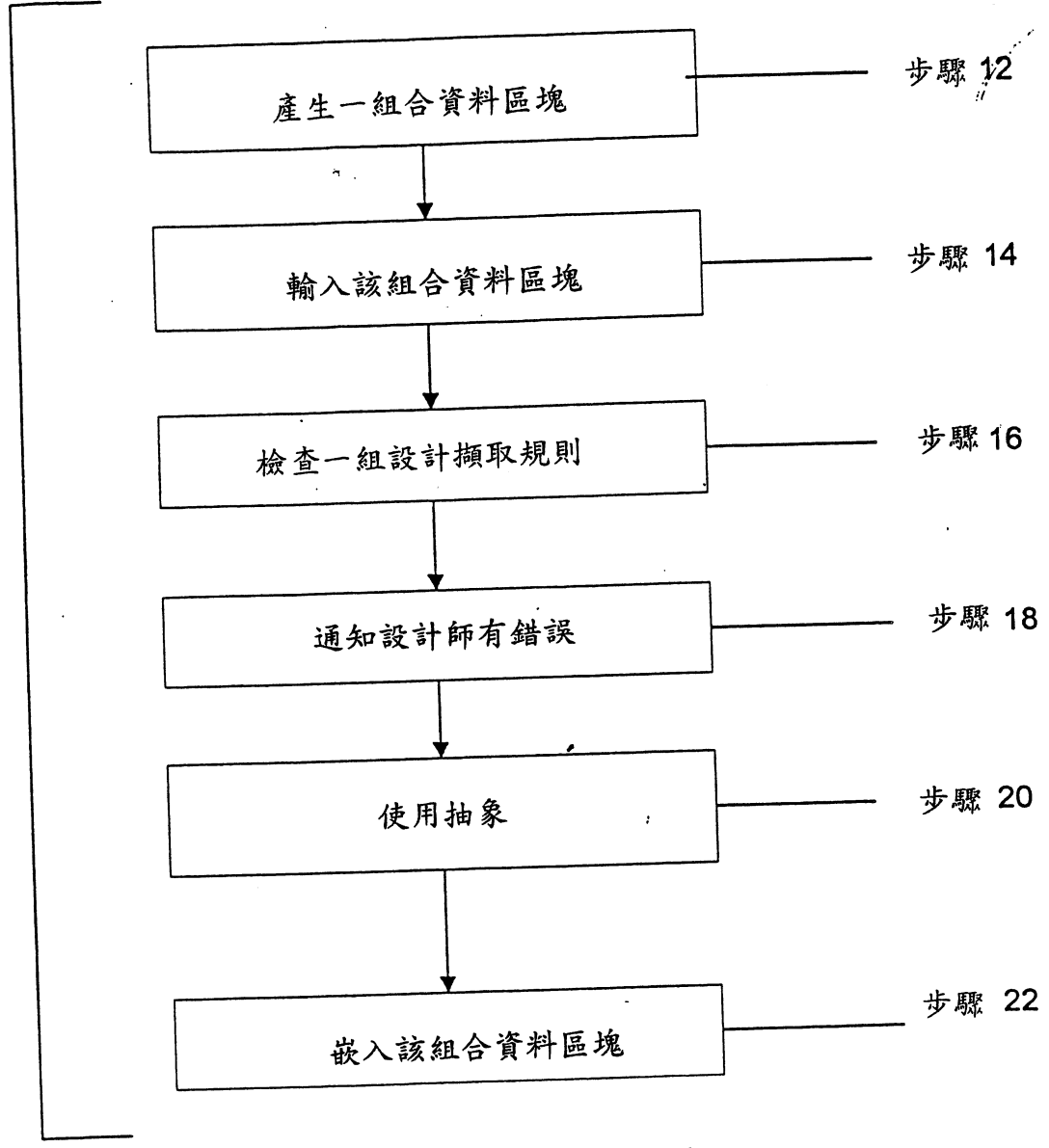


圖 1

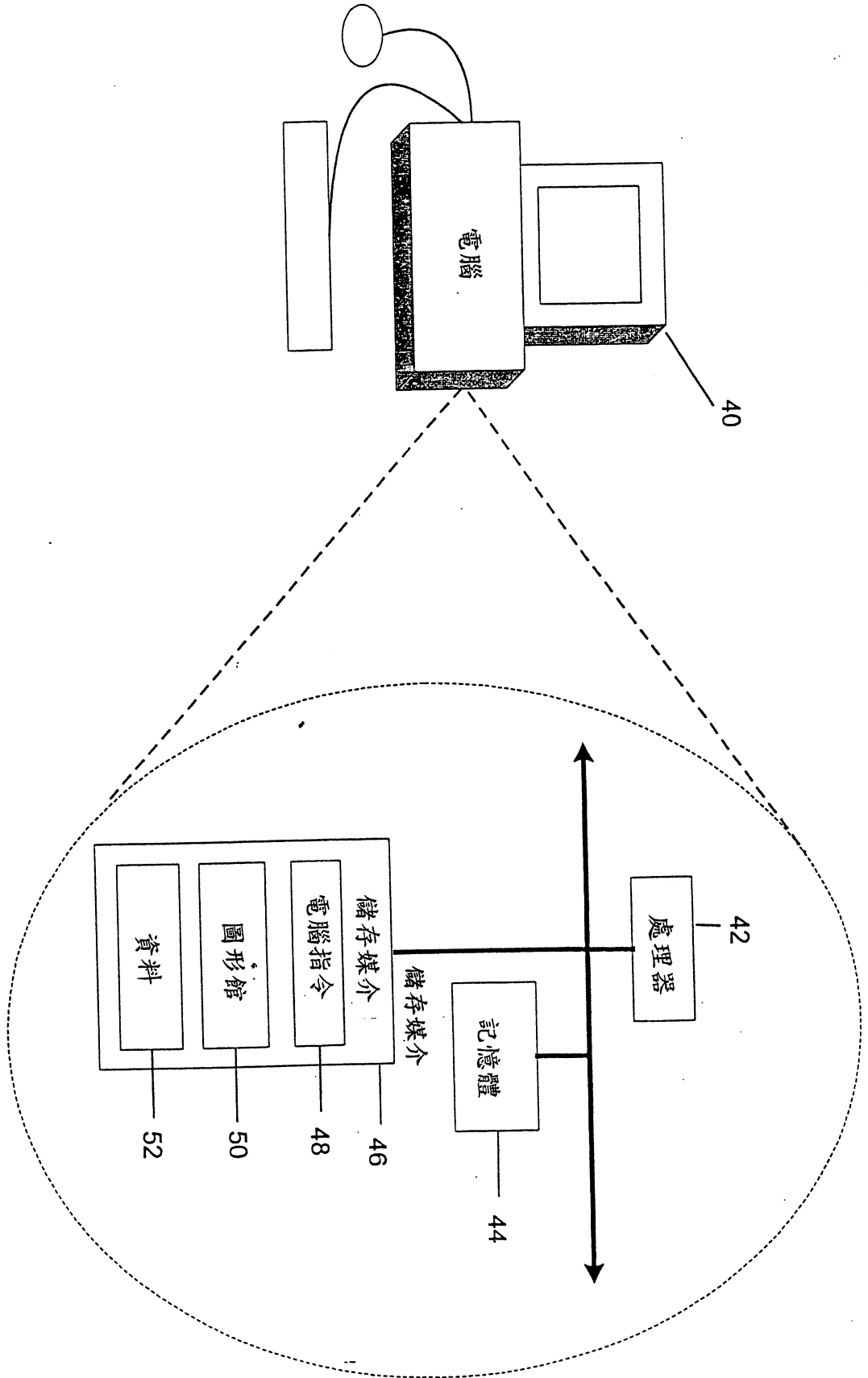


圖 2