



(12) 发明专利申请

(10) 申请公布号 CN 102347773 A

(43) 申请公布日 2012. 02. 08

(21) 申请号 201110217297. 3

(22) 申请日 2011. 08. 01

(30) 优先权数据

2010-172614 2010. 07. 30 JP

(71) 申请人 索尼公司

地址 日本东京都

申请人 索尼计算机娱乐公司

(72) 发明人 岩田英次 冈田良平

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

H03M 7/40 (2006. 01)

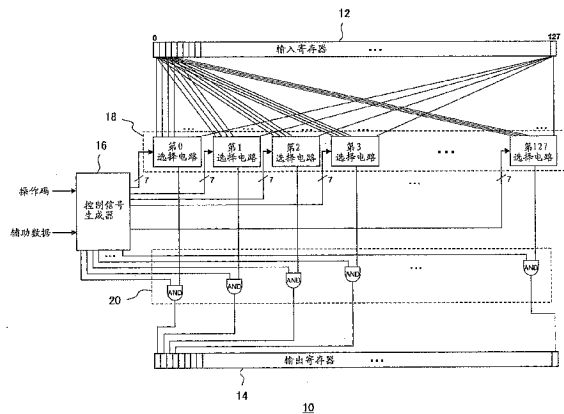
权利要求书 2 页 说明书 8 页 附图 7 页

(54) 发明名称

信息处理装置及信息处理方法

(57) 摘要

本发明涉及一种信息处理装置及信息处理方法。信息处理装置对存储在输入寄存器中的数据按位进行操作,将其结果存储到输出寄存器。选择电路从来自输入寄存器的 128 位的输入数据中选择 1 位的输出数据。只是在来自对应的选择电路的数据为有效的情况下,与电路将该数据输出给输出寄存器对应的位。控制信号生成器向各选择电路输入表示应该选择的位的号码的选择信号,同时,向各与电路输入表示从选择电路输入的数据是有效还是无效的信号。



1. 一种信息处理装置,将存储在输入寄存器中的数据按位为单位进行操作,存储到输出寄存器,其特征在于:

具有对应于所述输出寄存器的各个位而设置的输入电路和输出电路的对,以及根据位的操作内容生成分别输入到所述输入电路及输出电路的信号的控制信号生成器;

所述输入电路将存储在所述输入寄存器的多个位中的多个值作为输入值,根据来自所述控制信号生成器的位选择信号,选择所述输入值当中的1个,输出给对应的所述输出电路;

所述输出电路从所述控制信号生成器取得表示所述输出寄存器对应的位的有效或无效的信号,在为有效的情况下,将来自对应的所述输入电路的输出值输出给所述输出寄存器的对应的位。

2. 如权利要求1所述的信息处理装置,其特征在于:

所述输入寄存器在每个具有固定长度的单位区域存储可变长编码;

所述输入电路以除去所述输入寄存器中没有存储可变长编码的位,使可变长编码连续的方式,选择应存储到所述输出寄存器的对应的位的值;

与所述输出寄存器当中的、应存储被连接的可变长编码的位以外的位相对应的所述输出电路使该位无效,并存储预先设定的固定值。

3. 如权利要求1所述的信息处理装置,其特征在于:

所述控制信号生成器,在所述输出寄存器的对应的位是有效时,将“1”作为表示所述有效的信号,在所述输出寄存器的对应的位是无效时,将“0”作为表示无效的信号,分别输入到所述输出电路,所述输出电路将该信号和来自所述输入电路的输出值的逻辑积输出到所述输出寄存器的对应的位。

4. 如权利要求1所述的信息处理装置,其特征在于:

所述输入电路以所述输入寄存器的具有固定长度的各单位区域的位的顺序被反转的方式,选择应该存储到所述输出寄存器的对应的位的值。

5. 如权利要求1所述的信息处理装置,其特征在于:

所述输入电路以使所述输入寄存器的具有设定的间隔的多个位连续的方式,选择应该存储到所述输出寄存器的对应的位的值。

6. 如权利要求2所述的信息处理装置,其特征在于:

所述控制信号生成器,在所述输出寄存器的对应的位是有效时,将“1”作为表示所述有效的信号,在所述输出寄存器的对应的位是无效时,将“0”作为表示无效的信号,分别输入到所述输出电路,所述输出电路将该信号和来自所述输入电路的输出值的逻辑积输出到所述输出寄存器的对应的位。

7. 如权利要求2所述的信息处理装置,其特征在于:

所述控制信号生成器取得表示存储在所述输入寄存器的各单位区域中的可变长编码的大小的编码大小信息,从所述输入寄存器的前头的单位区域开始加算该大小,算出从所述输出寄存器的前头位起连续地存储所述可变长编码时的、从所述输入寄存器的位的偏离,由此生成输入到各输入电路的位选择信号。

8. 如权利要求4所述的信息处理装置,其特征在于:

所述控制信号生成器生成位选择信号,输入给与所述输出寄存器的各个位相对应的输

入电路；所述位选择信号是在以二进制数表示所述输出寄存器的各个位的位号码的位串当中，选择用使对应于所述单位区域的大小的数量的下位位的值反转的位串来表示的号码的位的位选择信号。

9. 如权利要求 5 所述的信息处理装置，其特征在于：

所述控制信号生成器生成位选择信号，并输入给与所述输出寄存器的各个位相对应的输入电路；所述位选择信号是在以二进制数表示所述输出寄存器的各个位的位号码的位串当中，选择以使对应于所述设定的间隔而被分开的上位位和下位位替换而成的位串表示的号码的位的位选择信号。

10. 一种信息处理方法，将存储在输入寄存器中的数据按位为单位进行操作，存储到输出寄存器，其特征在于，对所述输出寄存器的各个位并列进行以下步骤：

取得存储在所述输入寄存器的各位当中、对应于操作内容而选择的 1 个位中的值的步骤；

根据应存储在所述输出寄存器中的数据中的位数，判定取得的值是否有效，在是有效的情况下，将该值存储到所述输出寄存器的步骤。

信息处理装置及信息处理方法

技术领域

[0001] 本发明涉及信息处理技术,具体地说,涉及按位为单位对数据进行操作的信息处理装置及信息处理方法。

背景技术

[0002] 近年来,在音频数据、视频数据的压缩技术中,各种各样的变长编码方法已经实用化。一般来说,由可变长编码处理得到的每个可变长编码暂时依次存储到存储器或寄存器内的固定位长的存储区域。并且对各可变长编码实施移位等位操作,只从各存储区域取出编码部分,由此,无间隙地连接所有的可变长编码,生成最终的压缩数据(比如专利文献1参照)。

[0003] 不仅是可变长编码的连接处理,位操作在大多信息处理中都是必要的。在一般的微处理器中,主要为了降低硬件成本,而对移位、旋转处理等位操作使用桶形移位器。另一方面,在使用了当今的单指令多数据(Single Instruction Multiple Data, SIMD)的微处理器等中,移位、旋转命令变得多样化,再加上转置或选择位这样的命令,其处理变得更复杂化。

[0004] 专利文献1:特开2006-13867号公报

[0005] 在使用桶形移位器等连接可变长编码时,在位操作中,由于可变长编码单位的处理是基本,因此,有必要对可变长编码的部分进行逻辑运算和移位操作。其结果,原来的数据越大,连接处理所要的时间增加,给最终的压缩数据的生成时间带来不可忽略的影响。另外,即使在上述的微处理器具有可实现的命令,由于对于快速傅里叶变换(FFT)算法中的地址计算和在数据加密标准(Data Encryption Standard, DES)算法中必要的按位的操作等比较脆弱,与专用电路相比较,成为性能低下的主要原因。

发明内容

[0006] 本发明是鉴于上述问题而做出的,其目的在于提供一种通用性强且能高效率地进行各种各样的位操作的信息处理技术。

[0007] 本发明的一种形态是关于信息处理装置。该信息处理装置按位为单位对存储在输入寄存器的数据进行操作,存储到输出寄存器的信息处理装置,具有:对应于输出寄存器的各个位而设置的输入电路和输出电路,以及对应于位的操作内容生成分别输入到输入电路及输出电路的的控制信号生成器,输入电路将存储在输入寄存器的多个位的多个值作为输入值,根据来自控制信号生成器的位选择信号,选择输入值中的1个,输出给对应的输出电路,输出电路根据来自控制信号生成器的、表示数据的有效或无效的信号,在有效的情况下,将来自对应的输入电路的输出值输出给输出寄存器的对应的位。

[0008] 本发明的另一个形态是关于信息处理方法。该信息处理方法是按位为单位对存储在输入寄存器中的数据进行操作,存储到输出寄存器的信息处理方法,对输出寄存器的各个位并列进行以下步骤:取得输入寄存器的各个位中根据操作内容选择的1个位中存储的

值的步骤,和根据应该存储到输出寄存器的数据的位数判定取得的值是否有效,为有效时,将该值存储到输出寄存器的步骤。

[0009] 另外,以上构成要素的任意组合,以及将本发明的表现在方法、装置、系统、计算机程序、记录有计算机程序的记录介质等之间转换而成的实施形态,也作为本发明的形态有效。

[0010] 根据本发明,可以高效率地进行各种位操作。

附图说明

[0011] 图 1 是表示本实施形态的数据生成装置的构成的图。

[0012] 图 2 是表示在本实施形态中,在每个 8 位的单位区域存储可变长编码时的、连接前后的位串的例子图。

[0013] 图 3 是表示在本实施形态中,在每个 16 位的单位区域存储可变长编码时的、连接前后的位串的例子图。

[0014] 图 4 是详细地表示在本实施形态中,用于可变长编码的连接的数据生成装置中的控制信号生成器的构成的图。

[0015] 图 5 是表示在本实施形态中,选择信号生成部生成选择信号的处理顺序的流程图。

[0016] 图 6 是表示在本实施形态中,生成输入到无效位指示部所对应的与电路的信号的处理顺序的流程图。

[0017] 图 7 是示意性地表示在本实施形态可实现的、位反转前后的位串的关系的图。

[0018] 图 8 是用于说明在本实施形态中进行位反转时,生成输入到信息处理装置的各选择电路的选择信号的原理的图。

[0019] 图 9 是详细地表示在本实施形态中生成进行位反转处理时的选择信号的选择信号生成部的构成的图。

[0020] 图 10 是示意性地表示在本实施形态中可实现的、收集前后的位串的关系的图。

[0021] 图 11 是用于说明在本实施形态中进行收集时,生成输入到信息处理装置的各选择电路的选择信号的原理的图。

[0022] 图 12 是详细地表示在本实施形态生成进行收集处理时的选择信号的选择信号生成部的构成的图。

具体实施方式

[0023] 下面参照实施例对本发明进行说明。但这只是举例,并不是对本发明的限定。

[0024] 图 1 表示本实施形态中的数据生成装置的构成。信息处理装置 10 对存储在输入寄存器 12 中的数据位进行位操作,将其结果存储到输出寄存器 14。输入寄存器 12 及输出寄存器 14 都具有 128 位的大小,图中表示各寄存器的矩形内的 1 分区表示 1 位。另外,寄存器的大小并不局限于此,根据处理对象的数据的种类、要求的规格、硬件构成上的制限等,可以适当决定。

[0025] 信息处理装置 10 包括:与输出寄存器 14 的各个位相对应地设置 128 对的选择电路 18 和与电路 20,以及控制选择电路 18 和与电路 20 的控制信号生成器 16。在该图中,将

128 个选择电路统称为选择电路 18, 将 128 个与电路统称为与电路 20, 赋予符号, 后面有时也将从图的左侧起的第 0、第 1、第 2、……第 127 选择电路和第 0、第 1、第 2、……第 127 与电路和输出寄存器的第 0、第 1、第 2、……第 127 位分别对应, 按序数进行说明。

[0026] 各选择电路 18 具有分别连接于输入寄存器 12 的 128 位的连接线, 将存储在各个位的数据作为输入值。根据来自控制信号生成器 16 的选择信号, 选择其中 1 个, 输出给对应的与电路 20。与电路 20 将来自对应的选择电路 18 的数据和控制信号生成器 16 输出的值作为输入值, 将其逻辑积输出给输出寄存器 14 的对应的位。

[0027] 向控制信号生成器 16 输入表示与位操作相关的命令的操作码、和与存储在输入寄存器 12 中的数据相关的、位操作所需要的辅助数据。根据位操作的内容也可以不输入辅助数据, 也可以是如后面所述的存储在另一个寄存器 (图中未示) 中的数据。另外, 生成分别对于 128 个选择电路 18 及与电路 20 的信号, 并输出。输出给各选择电路 18 的信号是指示该选择电路应该选择 128 位数据中的第几位数据的选择信号。因此, 如该图所示, 是表示 0 ~ 127 中的某一个的 7 位的信息。

[0028] 控制信号生成器 16 输出给各与电路 20 的信号是指示是否应该将从与该与电路对应的选择电路 18 接收的数据存储到输出寄存器 14 的信号。具体地说, 如果是应该存储的, 向与电路输入“1”, 此外向与电路输入“0”。被输入“0”的与电路 20 的输出值总是“0”。这样, 使来自选择电路 18 的数据的有效或无效明确化, 反映到最终存储到输出寄存器 14 的数据上。根据上述的构成, 可以实现一般地适用于位操作所需要的各种各样的处理的数据生成装置。以下说明其具体例子。

[0029] (1) 可变长编码的连接

[0030] 一般来说, 图像和音声的数码数据通过压缩处理而被可变长编码。生成的可变长编码依次存储到存储器和寄存器中的、具有 8 位、16 位、32 位等 2 的乘方的固定位长的单位区域中。另一方面, 在最终的压缩数据的输出时, 在构成各单位区域的位串中, 除了没有存储可变长编码的位, 需要无间隙地连接所有的可变长编码。在该处理中, 使用信息处理装置 10, 连接存储在输入寄存器 12 中的连接前的可变长编码, 存储到输出寄存器 14。

[0031] 图 2 表示在每个 8 位的单位区域中存储可变长编码时的, 连接前后的位串的例子。在 128 位的寄存器中, 对连接前用粗线矩形表示的、从第 0 到第 15 的 16 个单位区域 (下面有时将该单位区域的号码用“j” (对于 8 位的单位区域, $0 \leq j \leq 15$) 表示) 分别存储最大 8 位的可变长编码。图中, 在着色的位以外的位存储了有效的编码。比如在第 0 ~ 第 7 位构成的第 0 单位区域 ($j = 0$) 中, 在第 3 ~ 第 7 位的 5 位上, 存储有“1 1 0 0 0”的编码。在由第 8 ~ 第 15 位构成的第 1 单位区域 ($j = 1$), 在第 14 ~ 第 15 位的 2 位上, 存储有“01”的编码。

[0032] 在该图中, 在连接前的位串上表示存储在各单位区域中的编码的大小。比如第 0 单位区域存储了“5”位的可变长编码, 第 1 单位区域存储了“2”位的可变长编码。该数据可在可变长编码处理的途中一般地取得。在该连接前的数据当中, 除了用着色表示的无效的位, 通过将有效的数据紧凑地存储, 生成连接后的数据。其结果, 作为输出数据生成“1 1 0 0 0 0 1……”数据。

[0033] 图 3 是相同的例子, 表示在每个 16 位的单位区域存储有可变长编码时的、连接前后的位串的例子。此时, 连接前, 在用粗线表示的从第 0 到第 7 的 8 个单位区域分别存储了

最大 16 位的可变长编码。比如在由第 0 ~ 第 15 位构成的第 0 单位区域 ($j = 0$), 在第 9 ~ 第 15 位的 7 位上, 存储有编码“1 1 0 0 0 0 1”。在由第 16 ~ 第 31 位构成的第 1 单位区域 ($j = 1$) 中, 在第 19 ~ 第 31 位的 13 位上, 存储有编码“0 1 1 1 0 0 1 0 1 0 0 1 1”。按上述相同的方法将其连接, 生成作为输出数据的“1 1 0 0 0 0 1 0 1 1 1 0 0 1 0 1 0 0 1 1.....”。

[0034] 在进行这样的处理时, 以前对于每个单位区域进行以下处理: (1) 进行位位移, 使得存储有效的编码的位从第 0 位开始, (2) 在输出寄存器当中, 从此前存储有编码的位的下一个位开始, 存储位移了的位串的编码。一般按单位区域的数量重复这样的处理, 即使与编码处理相比较, 也需要不能忽视的时间。

[0035] 在本发明中, 使用图 1 所示的信息处理装置 10, 1 步连接输入寄存器 12 的位数的连接前的数据, 并存储到输出寄存器 14。另外, 在图 2 及图 3 中, 表示了 128 位的输入寄存器的 8 位或 16 位的单位区域中存储有可变长编码的例子, 但怎么变化这些位数, 都适用相同的处理。

[0036] 图 4 详细地表示用于可变长编码的连接的信息处理装置 10 中的控制信号生成器 16 的构成。在图 4 中, 作为进行各种各样的处理的功能块记载的各要素, 属于硬件的, 可以由微处理器、寄存器、比较电路、加法器电路、其它电路来构成, 属于软件的, 由作为操作码而被输入的程序等来实现。因此, 这些功能块可以只由硬件、只由软件、或它们的组合, 以各种各样的形式来实现, 这是本技术领域的技术人员可以理解的, 且并不限定于某种形式。

[0037] 控制信号生成器 16 由第 0 信号生成器 22a、第 1 信号生成器 22b..... 第 127 信号生成器 22n 的 128 个信号生成器组成。由于这些构成相同, 下面对第 i 信号生成器 22i ($0 \leq i \leq 127$) 进行详细说明。第 i 信号生成器 22i 包含选择信号生成部 24 和无效位指示部 26。选择信号生成部 24 生成表示从输入寄存器 12 的第 0 到第 127 位当中应选择 1 个位的号码的选择信号。在第 i 信号生成器 22i 的选择信号生成部 24 生成的选择信号被输入到图 1 的 128 个选择电路 18 中的第 i 选择电路。

[0038] 无效位指示部 26 决定是否应该将来自选择电路 18 的输出数据输出给输出寄存器 14, 在应该输出时将“1”, 不应该输出时将“0”分别输出给图 1 的 128 个与电路中的第 i 与电路。如图 2 及 3 所示, 只要不是所有的可变长编码都和单位区域具有相同的大小, 则连接可变长编码的结果, 在输出寄存器 14 中产生没有存储编码的剩余位。通过也不向该剩余位中输出来自选择电路 18 的任何输出数据, 使得不确定的数据不被存储。

[0039] 在第 i 信号生成器 22i 中, 预先输入进行下面叙述的处理的“操作码”和“ i ”的值。操作码按单位区域的大小来准备, 输入根据实时的单位区域的大小选择的操作码。另外, 由于“ i ”的值与通过选择电路 18 或与电路 2

[0040] 0 连接的输出寄存器 14 的第 0 至第 127 的位号码相对应, 所以下面将其称为“输出位号码”。另外, 如上所述, 作为与存储在输入寄存器 12 中的可变长编码相关的辅助数据, 输入编码大小信息。编码大小信息表示存储在各单位区域的可变长编码的位数, 在图 2 及图 3 中, 是作为“编码大小”来例示的信息。

[0041] 如图 2 及图 3 所示, 将连接前的可变长编码存储到输入寄存器 12 时, 在另一个寄存器 (图中未示) 中, 为了与各单位区域相对应, 也可以存储有编码大小信息, 由第 i 信号生成器 22i 适当地读取。另外, 对于在输入寄存器 12 存储编码的前段中进行的可变长编码

处理的内容比没有特别的限定,编码大小信息的取得方式也与此相对应有各种各样,这是本技术领域技术人员可以理解的。

[0042] 下面对由以上的构成实现的动作进行说明。图 5 是表示选择信号生成部 24 生成选择信号的处理顺序的流程图。在该图中,变量 $j(j = 0, 1, 2, \dots)$ 如上所述,表示输入寄存器 12 的单位区域号码。在图 2 的例子中,在每 8 位的单位区域当中,第 0 ~ 第 7 位的 $j = 0$ 、第 8 ~ 第 15 位的 $j = 1$ 、第 16 ~ 23 位的 $j = 2, \dots$ 。第 i 信号生成器 22 i 的选择信号生成部 24 首先决定对应的第 i 个选择电路 18 应该选择的输入寄存器 12 中的位属于哪个单位区域。

[0043] 为此,根据编码大小信息,对存储在从 $j = 0$ 的单位区域开始的各单位区域中的可变长编码的大小 $size(j)$ 进行相加,求得其和超过输出位号码 i 时的 j 。具体地说,从 $j = 0$ 开始,只要不是 $size(0) + size(1) + \dots + size(j) > i$,增加 j ,重复相同的判定 (S10、S12 的“否”,当成为 S14)。 $size(0) + size(1) + \dots + size(j) > i$ 时,该 j 的值是应该选择的位所属的单位区域号码 (S12 的“是”)。

[0044] 下面,在求得的号码 j 的单位区域中,计算表示应选择的是第几位的变量 m 。具体地说,计算以下的方程式 1 (S16)。

$$[0045] \quad m = N - size(j) + (i - \sum_{k=0}^{j-1} size(k)) \quad (\text{式 1})$$

[0046] 在此, N 是单位区域的位数。因此,如果使用求得的变量 m ,用以下的方程式 2 算出表示该位是输入寄存器 12 的第 0 ~ 第 127 位中的第几位的变量 n ,该值成为输入到第 i 个选择电路 18 中的选择信号的值 (S18)。

$$[0047] \quad n = N \cdot j + m \quad (\text{式 2})$$

[0048] 比如图 2 ($N = 8$) 的情况下,向连接后的位串中的第 0 位 ($i = 0$) 输出数据的第 0 选择电路应该选择的连接前的位是单位区域号码 $j = 0$ 的单位区域的 (因为 $size(0) = 5 > 0$) 第 3 位 (因为 $m = 8 - 5 + 0 = 3$),是所有位中的第 3 位 ($n = 8 \cdot 0 + 3 = 3$)。连接后的位串当中,向第 6 位 ($i = 6$) 输出数据的第 6 选择电路应该选择的连接前的位是单位区域号码 $j = 1$ 的单位区域的 (因为 $size(0) + size(1) = 5 + 2 > 6$) 第 7 位 (因为 $m = 8 - 2 + (6 - 5) = 7$),是所有位中的第 15 位 ($n = 8 \cdot 1 + 7 = 15$)。

[0049] 图 6 是表示生成无效位指示部 26 向对应的与电路 20 输入的信号的处理顺序的流程图。无效位指示部 26 将构成输入寄存器 12 的所有单位区域的可变长编码的大小 $size(j)$ ($j = 0, 1, 2, \dots$) 的总和与输出位号码 i 比较 (S20)。在此,单位区域的数量是 $128/N$ 。如果输出位号码 i 是可变长编码的大小的总和以下时,来自第 i 个选择电路 18 的输出数据作为有效数据,使输入信号 s 为“1” (S20 的“是”、S22)。输出位号码 i 比可变长编码的大小的总和大时,来自第 i 个选择电路 18 的输出数据作为无效,使输入信号 s 为“0” (S20 的“否”、S24)。

[0050] 通过对从第 0 信号生成器 22a 到第 127 信号生成器 22n 同样地进行以上的处理,128 个选择信号被输入到第 0 ~ 127 的选择电路 18 中,128 个表示有效或无效的信号被输入到第 0 ~ 127 的与电路 20 中。由此,存储到输入寄存器 12 的连接前的可变长编码由选择电路 18 分别选择,存储到对应的输出寄存器 14 的各个位,同时,在没有存储可变长编码

的剩余位存储“0”。由此,可同时进行存储在输入寄存器 12 的可变长编码的连接,与上述的现有的方法相比较,可大幅缩短处理所需要的时间。另外,可以防止在作为连接的结果而产生的剩余位中代入不确定的变量,使连接数据等情况下后段的处理变得容易。

[0051] (2) 位反转

[0052] 图 7 示意性地表示用 FFT 算法实施的位反转前后的位串的关系。位反转是对于由 8 位、16 位、32 位等 2 的乘方的位构成的单位区域,将第 0 位的数据存储到最后的位,将第 1 位的数据存储到从最后开始数的第 2 位……这样地使数据的顺序反转的处理。在该图中,用粗线矩形表示单位区域,其大小为 8 位。另外,将位反转前后存储有相同的数据的位的对应关系用连接各个位的直线来表示。

[0053] 以下使用图 1 所示的信息处理装置 10,将输入寄存器 12 的大小的量的数据进行一次位反转,存储到输出寄存器 14 的方法进行说明。此时,控制信号生成器 16 也可以具有图 4 所示的相同的构成。

[0054] 图 8 是用于说明进行位反转时生成输入到信息处理装置 10 的各选择电路 18 的选择信号的原理的图。首先,由于 $0 \leq i \leq 127$,表示选择电路 18 的号码的变量 i 是 7 位的数据。在此,变量 i 与位反转后的、输出寄存器 14 中的位号码相对应。如上所述,由于单位区域具有 2 的乘方的位数,变量 i 的上位位对应于单位区域号码 j ,下位位对应于单位区域内的位号码。

[0055] 比如单位区域是 8 位时,上位 4 位是单位区域号码 j ,下位 3 位表示单位区域内的位号码 k 。在图 8 的例子(上段)中,表示与变量 $i = 75(0b1001011)$ 相对应的位是 $j = 9(0b1001)$ 的单位区域内的第 $k = 3(0b011)$ 位。在位反转前后,各个位的单位区域号码不变化,单位区域内的位号码变得相反。即,在表示位反转后的位号码的 7 位数据中,表示单位区域号码的上位位不变,剩下的下位位的 0/1 的值反转,得到的值 n 表示位反转前的位号码。

[0056] 在图 8 的例子(下段)中,得到用 $j = 9(0b1001)$ 、 $k = 4(0b100)$ 来表示的 $n = 76(0b1001100)$ 。即,在位反转中,存储在输出寄存器 14 中的第 75 位的数据成为在输入寄存器 12 中的第 76 位的数据。其它的位也相同。因此,该值 n 成为对于第 i 个选择电路 18 应输入的选择信号的值。另外,单位区域为 16 位、32 位时,上位 3 位、2 位分别表示单位区域号码 j ,所以使 0/1 的值反转的下位位的数量也随之变化。

[0057] 图 9 详细地表示对应于图 4 的第 i 信号生成器 22 i 的选择信号生成部 24,生成进行位反转处理时的选择信号的选择信号生成部 24a 的构成。选择信号生成部 24a 具有 2 个与电路 30 及 32、减法器电路 34、加法器电路 36。在该图中,作为向与电路 30、32、及减法器电路 34 的输入值而表示的、用斜线分开的 3 个十六进制分别是单位区域是 8 位/16 位/32 位时的值。如上所述,这些值可以根据输入的操作码切换。根据这样的构成,可以如下地分别导出上述选择信号值 n 。

[0058] 单位区域 8 位 : $n = (i \& 0x78) + (0x07 - (i \& 0x03))$

[0059] 单位区域 16 位 : $n = (i \& 0x70) + (0x0f - (i \& 0x07))$

[0060] 单位区域 32 位 : $n = (i \& 0x60) + (0x1f - (i \& 0x0f))$ (式 3)

[0061] 此处“&”表示逻辑积、“+”表示算术加法、“-”表示算术减法。

[0062] 在式 3 中,右边第 1 项维持上位位的值,第 2 项是使下位位的值反转的操作。另

外,在位反转中,由于在输出寄存器 14 中不产生剩余位,所以图 4 的无效位指示部 26 总是输出“1”。通过对从第 0 信号生成器 22a 到第 127 信号生成器 22 同样地进行以上的处理,128 个选择信号被输入到第 0 ~ 127 的选择电路 18,128 个表示“有效”的信号被输入到第 0 ~ 127 的与电路 20。根据该构成,使用图 1 的信息处理装置 10,可以容易且短时间地实现位反转。

[0063] (3) 收集

[0064] 收集是聚集存储在寄存器内的分离的位上的数据,生成连续的数据的处理。图 10 示意性地表示收集前后的位串的关系。在该图中,从输入数据的 8 位、16 个单位区域分别聚集第 0 位的数据、第 1 位的数据……第 7 位的数据,作为单位区域,由此,生成由 8 个 16 位的单位区域组成的输出数据。另外,如果输入数据的单位区域是 16 位,输出数据成为 16 个 8 位的单位区域,如果输入数据的单位区域是 32 位,则输出数据成为 32 个 4 位的单位区域。

[0065] 以下,对使用图 1 所示的信息处理装置 10,对输入寄存器 12 的大小的数据 1 步进行收集处理,存储到输出寄存器 14 的方法进行说明。此时,控制信号生成器 16 也可以具有与图 4 所示的相同的构成。

[0066] 图 11 是用于说明进行收集时,生成向信息处理装置 10 的各选择电路 18 输入的选择信号的原理的图。与位反转相同,在收集,也操作 7 位的变量 i ($0 \leq i \leq 127$)。具体地说,在表示收集后的位号码的 7 位数据中,使单位区域号码 j 和单位区域内的位号码 k 交替,成为收集前的位号码。

[0067] 在图 11 所示的例子中,使 $i = 75$ (0 b 1 0 0 1 0 1 1) 中的 $j = 9$ (0 b 1 0 0 1) 和 $k = 3$ (0 b 0 1 1) 交替,成为 $j = 3$ (0 b 0 1 1)、 $k = 9$ (0 b 1 0 0 1),则得到 $n = 57$ (0 b 0 1 1 1 0 0 1)。即,在收集,存储在输出寄存器 14 中的第 75 位的数据成为输入寄存器 12 中的第 57 位的数据。其它的位也相同。因此,该值 n 对于第 i 个选择电路 18,是应该输入的选择信号的值。

[0068] 图 12 详细地表示对应于图 4 的第 i 信号生成器 22i 的选择信号生成部 24,生成进行收集处理时的选择信号的选择信号生成部 24b 的构成。选择信号生成部 24b 具有进行左移的位移电路 44、与电路 42、进行右移的位移电路 40、及加法器电路 46。在该图中,作为向与电路 42 的输入值来表示的、用斜线分开的 3 个十六进制分别是输入数据的单位区域为 8 位 / 16 位 / 32 位时的值。如上所述,这些值根据输入的操作码可以切换。根据这样的构成,上述的选择信号的值 n 可以由下面的式子导出。

[0069] 区域 8 位 : $n = (i \gg 3) + ((i \& 0x07) \ll 4)$

[0070] 区域 16 位 : $n = (i \gg 4) + ((i \& 0x0f) \ll 5)$

[0071] 区域 32 位 : $n = (i \gg 5) + ((i \& 0x1f) \ll 6)$ (式 4)

[0072] 此处,“ \ll ”表示逻辑左移、“ \gg ”表示逻辑右移。

[0073] 在式 4 中,右边第 1 项是将上位的位位移到下位的位,第 2 项是将下位的位位移到上位的位的操作。收集也与位反转相同,由于在输出寄存器 14 不产生剩余位,因此,图 4 的无效位指示部 26 总是输出“1”。对从第 0 信号生成器 22a 到第 127 信号生成器 22n 相同地进行以上的处理,则 128 个选择信号输入到第 0 ~ 127 的选择电路 18,128 个表示“有效”的信号输入到第 0 ~ 127 的与电路 20。根据该构成,使用图 1 的信息处理装置 10,可以容

易且短时间地实现收集处理。

[0074] 根据上述的本实施形态,设置与输出寄存器的各个位相对应的选择电路及与电路的对。并且选择电路将输入寄存器的所有的位的值作为输入值,选择其中 1 个进行输出。根据要进行的位操作及输入寄存器的单位区域的大小,适当计算各选择电路应该选择的位。与电路只将来自对应的选择电路的输出值中的有效的值输出给输出寄存器,剩余的输出“0”。根据这样的构成,可用简易的构成实现对于可变长编码的连接、位反转、收集等各种各样的位操作具有通用性和可利用的数据生成装置。另外,可以对构成输入寄存器的位同时进行处理,因而可以缩短处理所要的时间。另外,由于适当决定应当输出给输出寄存器的数据的有效或无效,反映到数据中,因而在要对输出数据再进行位操作的情况下。在后段的处理中容易识别无效的位,使处理变得容易。

[0075] 另外,本实施形态所示的位操作的内容只是例示,在图 1 的信息处理装置 10 的构成中,通过对控制信号生成器 16 输入适当的操作码及必要的辅助数据,可以容易实现多种位操作,得到与上述相同的效果,这是本技术领域的技术人员能够理解的。

[0076] 以上通过实施形态对本发明进行了说明。上述实施形态是例示,这些各构成要素和各处理过程的组合可有各种变形例,且变形例也在本发明的保护范围内,这是本技术领域的技术人员能够理解的。

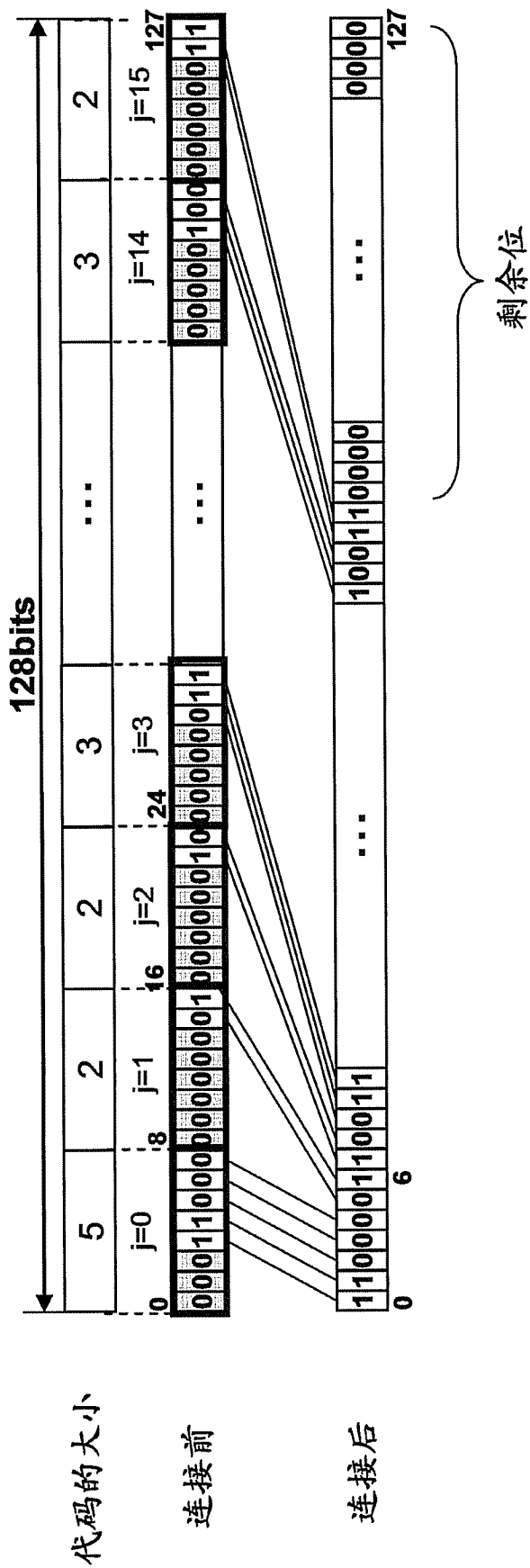


图 2

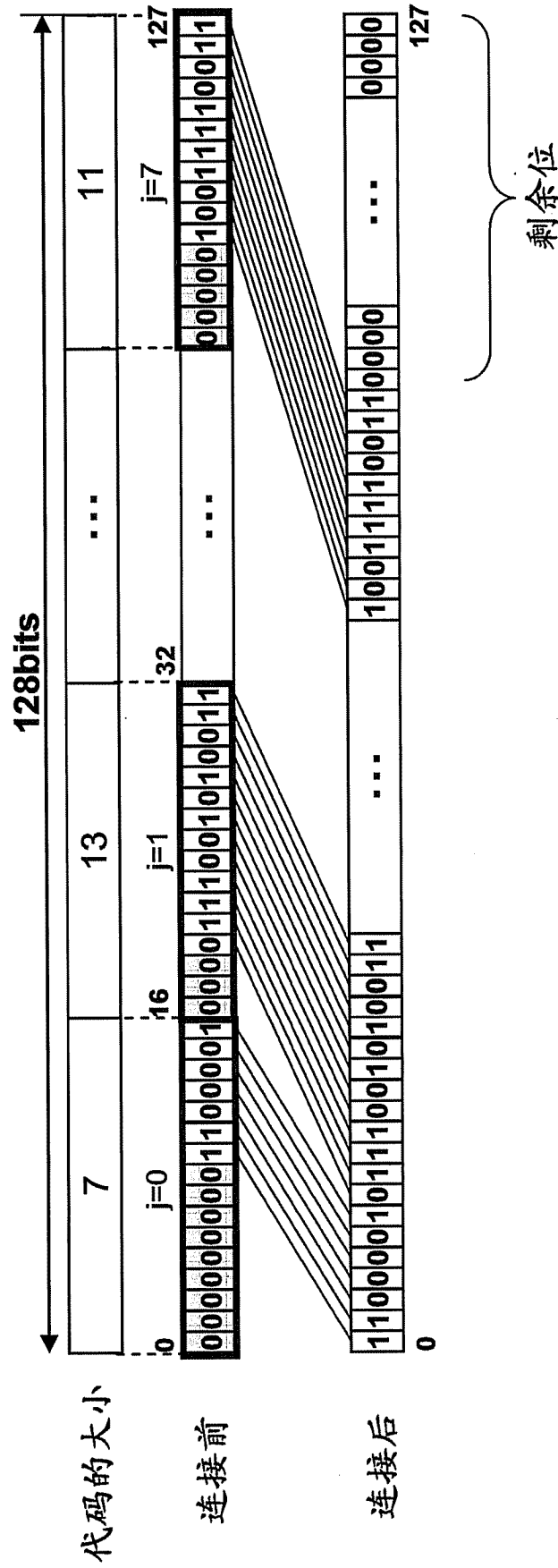


图 3

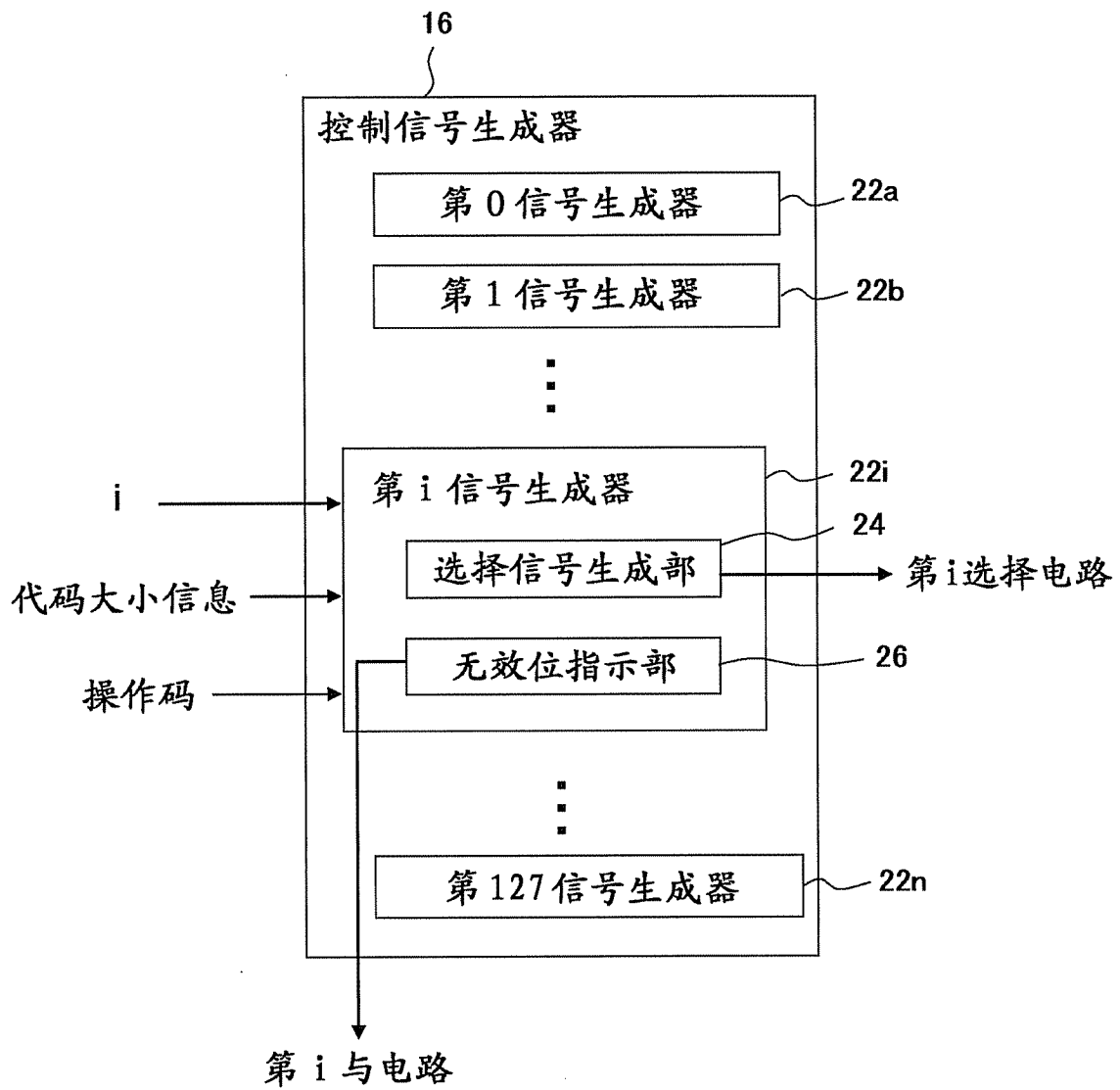


图 4

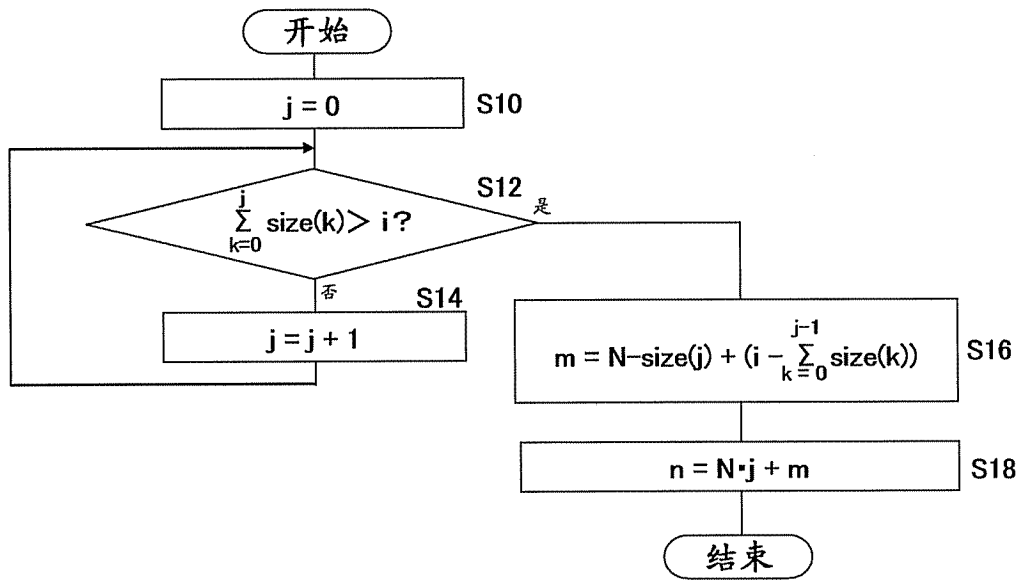


图 5

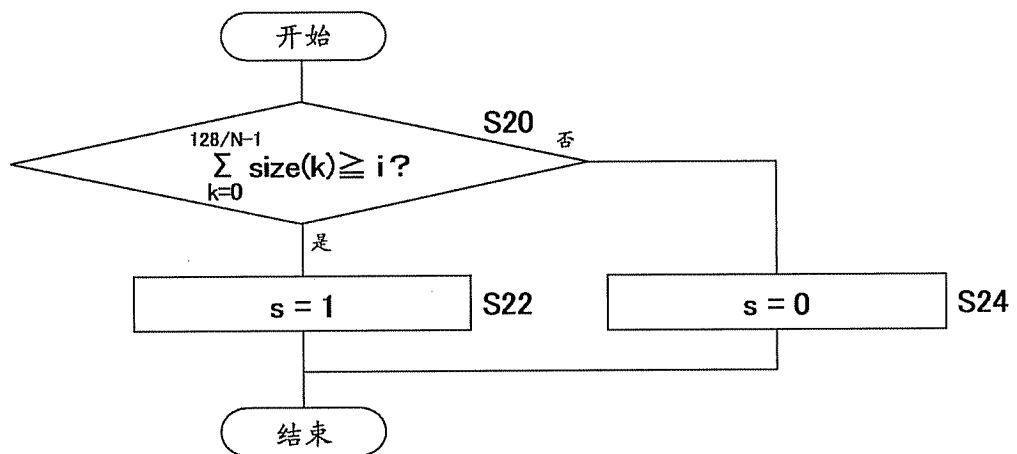


图 6

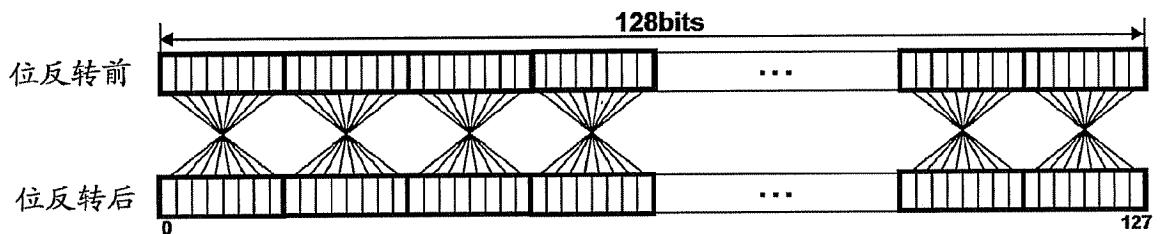


图 7

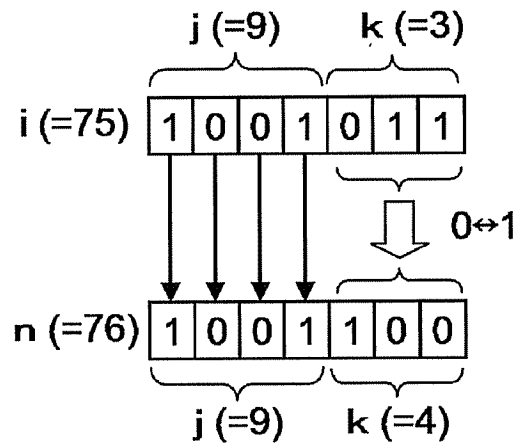


图 8

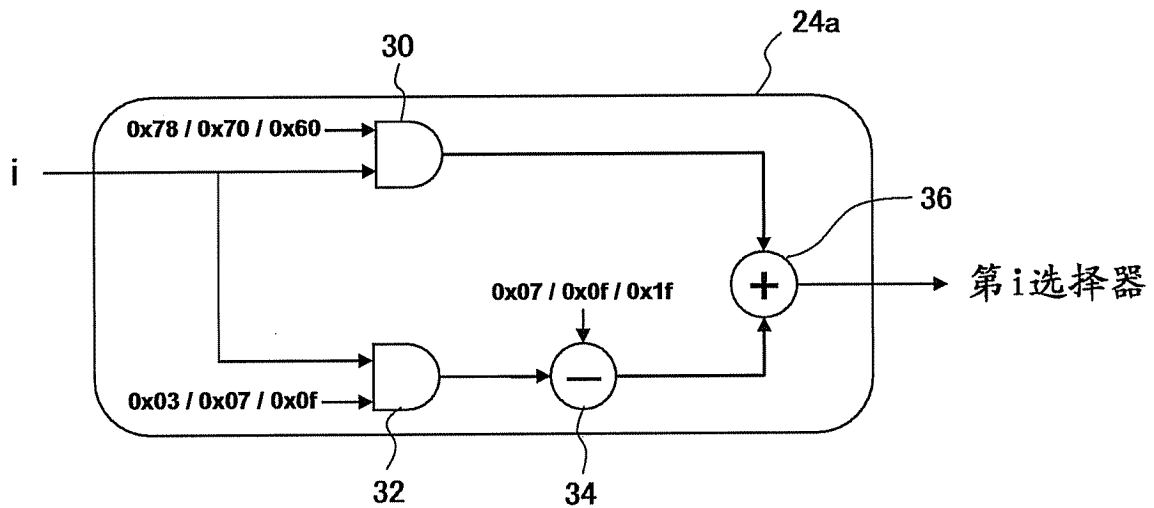


图 9

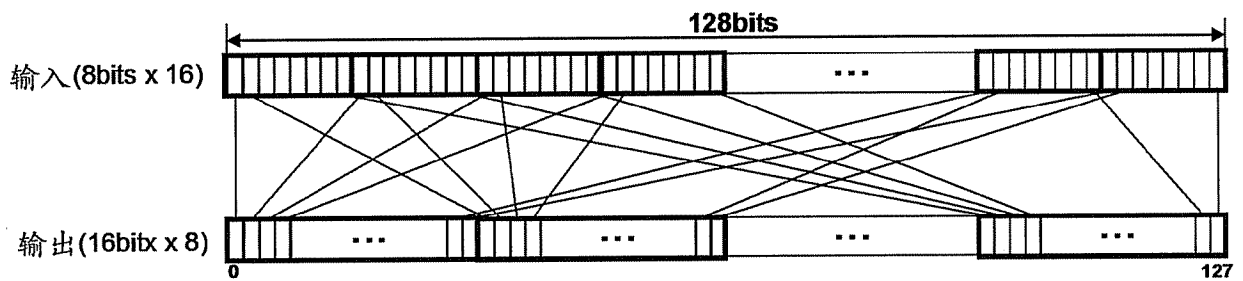


图 10

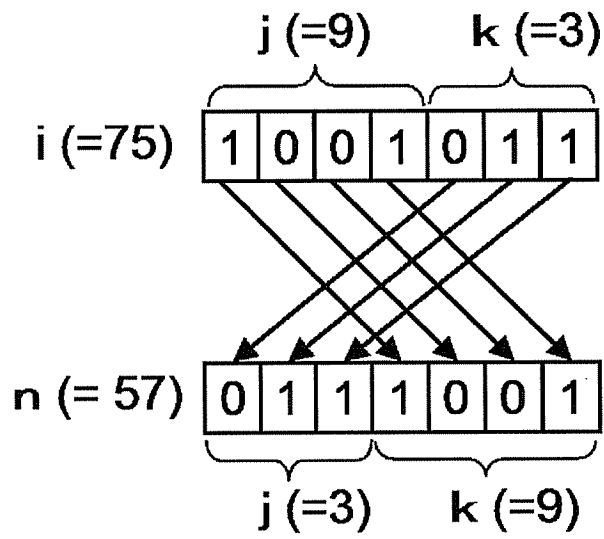


图 11

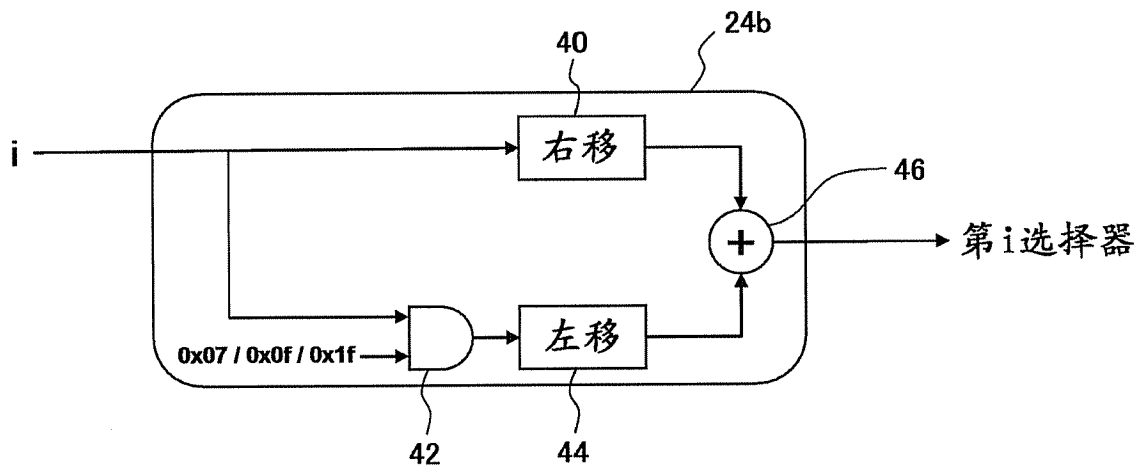


图 12