



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

209399

(11)

(B1)

(51) Int. Cl.³
G 06 F 11/08

(22) Přihlášeno 18 04 80

(21) (PV 2737-80)

(40) Zveřejněno 27 02 81

(45) Vydáno 01 07 83

(75)

Autor vynálezu

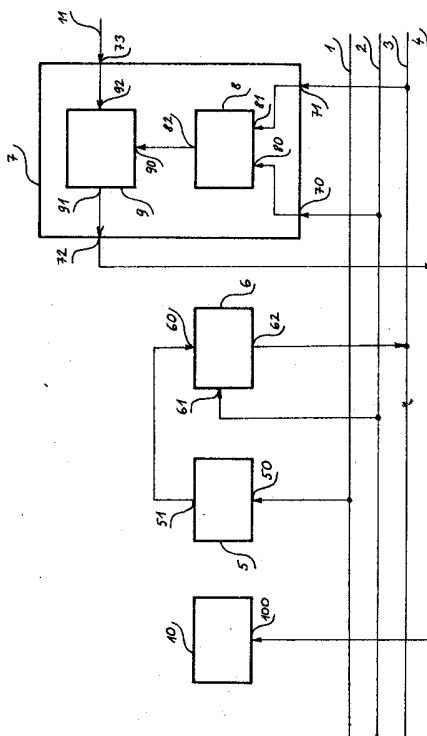
SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro detekci chybné adresy

Vynález se týká oboru samočinné počítače – detekce poruch. Zapojení řeší detekci poruchy v systému malého počítače, která se projeví adresací neexistující paměťové buňky. Přitom se vychází ze skutečnosti, že není k dispozici programové vybavení, které by tento stav bylo schopné ošetřit. Řešení se dosahuje hardwareovým detektorem umístěným v procesoru malého počítače, který operátora informuje prostřednictvím panelové signalizace o vzniklé poruše.

Možnost použití je pouze v uvedeném oboru.

Daný vynález je charakterizován jediným bodem předmětu.



209399

Předmětem vynálezu je zapojení pro detekci chybné adresy v systému malého počítače.

Při provozu systému, který je řízen malým počítačem na základě programu a dat uložených v operační paměti, může nastat vlivem poruchy situace, kdy procesor adresuje neexistující paměťovou buňku. Procesor se při adresaci obrací jednak na programově dostupné registry přídatných zařízení, jednak na registry operační paměti. V praxi je problém detekce a signalizace uvedené situace řešen softwareovými prostředky. Například u zařízení, které pracuje pod operačním systémem, vede tento případ k přechodu procesoru do trapového podprogramu a k hlášení typu poruchy na operátorském displeji. V systému malého počítače, který má funkci programovatelného radiče přídatného zařízení, a kde nejsou k dispozici příslušné programy pro uvedený způsob signalizace, je třeba volit jiné řešení, odpovídající složitosti procesoru a dané aplikaci.

Toto řešení poskytuje zapojení podle vynálezu. Signalizaci operátorovi, že procesor malého počítače adresuje neexistující adresu řeší zapojení pro detekci chybné adresy podle vynálezu, jehož podstatou je, že první vstup procesoru je spojen s prvním vstupem integrátoru a druhý vstup procesoru je spojen s druhým vstupem integrátoru, jehož výstup je zapojen na hodinový vstup klopného obvodu signalizace, který je datovým vstupem zapojen na třetí vstup procesoru a výstupem je spojen s výstupem procesoru, jenž je spojen s chybovým vodičem sběrnice, který je dále spojen se vstupem bloku signalizace.

Výhodou tohoto zapojení je možnost signalizace poruchy v přídatném zařízení, která se projeví dotazem na neexistující adresu popřípadě poruchy v obvodech vlastní generace vstupního synchronizačního signálu jako odpovědi na výstupní synchronizační signál. Přitom není třeba, aby řídící počítač pracoval pod operačním systémem.

Na připojeném výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Adresní sběrnice 1 je spojena se vstupem 50 dekodéru 5, jehož výstup 51 je zapojen na první vstup 60 generátoru 6 vstupního synchronizačního signálu. Jeho výstup 62 je zapojen na vstupní synchronizační linku 3, přičemž jeho druhý vstup 61 je spojen s výstupní synchronizační linkou 2. Na tuto linku je dále připojen první vstup 70 procesoru 7 a na vstupní synchronizační linku 3 je připojen

druhý vstup 71 procesoru 7. S prvním vstupem 70 je spojen první vstup 80 integrátoru 8 a s druhým vstupem 71 je spojen druhý vstup 81 integrátoru 8, jehož výstup 82 je zapojen na hodinový vstup 90 klopného obvodu 9 signalizace. Datový vstup 92 tohoto obvodu je spojen s třetím vstupem 73 procesoru 7, který je ovládán signálem 11. Výstup 91 klopného obvodu 9 signalizace je spojen s výstupem 72 procesoru 7, který je dále spojen s chybovým vodičem sběrnice 4, na níž je připojen vstup 100 bloku 10 signalizace.

Funkce zapojení je následující: Dekodér 5 snímá okamžité hodnoty adres na adresní sběrnici 1. V okamžiku, kdy adresa souhlasí se zakódovanou, se objeví aktivní signál na výstupu 51 dekodéru 5, který se dále šíří na první vstup 60 generátoru 6 vstupního synchronizačního signálu. Po příchodu aktivní hladiny výstupního synchronizačního signálu na druhý vstup 61 se vysílá z výstupu 62 signál na vstupní synchronizační linku 3. Mezi tím přítomnost signálu na prvním vstupu 80 a nepřítomnost signálu na druhém vstupu 81 integrátoru 8 způsobí nabíjení kondenzátoru, a tím vzrůst hladiny na výstupu 82. Kapacita kondenzátoru je dimenzována tak, aby v případě vyslání vstupního synchronizačního signálu adresovanou buňkou z výstupu 62 v definovaném čase, nedošlo na výstupu 82 integrátoru 8 k dosažení rozhodovací úrovně pro logickou jedničku. Jestliže dekodér 5 nevyšle v případě neexistující adresy na první vstup 60 aktivní signál, generátor 6 vstupního synchronizačního signálu se zablokuje a na výstupu 82 integrátoru 8 dojde k náběhu na úroveň logické jedničky. Podobná situace nastane, když vznikne porucha v dekodéru nebo ve vlastním generátoru 6 vstupního synchronizačního signálu. Kladná hrana na hodinovém vstupu 90 klopného obvodu 9 signalizace způsobí zápis hladiny signálu na datovém vstupu 92. Jestliže je navolen ruční režim počítače, je signálem 11 nastavena na třetím vstupu 73 procesoru 7 taková hladina, která nezpůsobí při zápisu změnu stavu klopného obvodu 9 signalizace. Při normálním provozu dojde ke změně stavu tohoto obvodu, který se dále přenesení přes výstup 72 procesoru 7 na chybový vodič sběrnice 4 a odtud přes vstup 100 do bloku 10 signalizace jako informace operátorovi o příčině poruchy.

Možnost použití uvedeného zapojení je u malého počítače, který pracuje jako řadič v přídatném zařízení a používá popsany typ spojovacího systému.

PŘEDMĚT VYNÁLEZU

Zapojení pro detekci chybné adresy s dekodérem adres, se sběrnici a s procesorem, vyznačující se tím, že první vstup (70) procesoru (7) je spojen s prvním vstupem (80) integrátoru (8) a druhý vstup (71) procesoru (7) je spojen s druhým vstupem (81) integrátoru (8), jehož výstup (82) je zapojen na hodinový vstup (90) klopného obvodu (9) signalizace, který je datovým vstupem (92)

zapojen na třetí vstup (73) procesoru (7) a výstupem (91) je spojen s výstupem (72) procesoru (7), jenž je spojen s chybovým vodičem sběrnice (4), který je dále spojen se vstupem (100) bloku (10) signalizace.

