СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1681309 A1

(51)5 G 06 F 15/31, 9/34

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4084035/63
(22) 27.06.86
(46) 30.09.91. Бюл. № 36
(71) Специальное конструкторско-технологическое бюро Физико-механического института АН УССР
(72) Г.И.Малашонок
(53) 681.333:681.325 (088.8)
(56) Клингман Э. Проектирование специализированных микропроцессорных систем. М.: Мир, 1985, с.216–217.

Heuft R.W., Little W.D. Convolution Computer/IEEE Transaction on Computer. c 29, № 8, 1980, p.738–740.

2

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЛИНЕЙНОЙ СВЕРТКИ

(57) Изобретение относится к вычислительной технике и может быть использовано в автоматических и вычислительных устройствах для осуществления вычисления линейной свертки. Целью изобретения является повышение быстродействия и экономия оборудования за счет уменьшения количества циклов обращения к источнику операндов. Поставленная цель достигается путем введения в устройство m одномерных цифровых фильтров, m линий задержки, m-входового сумматора и блока управления, содержащего информацию об источнике операндов. 3 з.п. ф-лы, 5 ил.

Изобретение относится к вычислительной технике и может быть использовано в автоматических и вычислительных устройствах для осуществления вычисления линейной свертки.

Цель изобретения – повышение быстродействия и экономия оборудования за счет уменьшения количества циклов обращения к источнику операндов.

На фиг.1 представлена функциональная схема предлагаемого устройства; на фиг.2 – схема блока управления; на фиг.3 – схема цифровой линии задержки; на фиг.4 – схема одномерного цифрового фильтра (ЦФ); на фиг.5 – схема m-входового сумматора для m=6.

Устройство содержит блок 1 управления, одномерные цифровые фильтры 2.1–2.m, цифровые линии задержки 3.1–3.(m-1), m-входовой сумматор 4, выход 5 тактового сигнала последовательности операндов X, вход 6 последовательности операндов X, вход 7 тактового сигнала последовательности операндов H, вход 8 последовательности операндов H, выход 9 запроса очередного операнда X, выход 10.1 запроса начала последовательности операндов X, адресный выход 10.2, выход 11 сброса в "0" и выход 12 готового результата вычислений.

Блок 1 управления содержит задатчик размеров матриц операндов X, выполненный в виде счетчиков 13 (на m-1 счетных состояний), 14 (на q+1 счетных состояний), 15 (на n-1 счетных состояний), 16 (на p+1 счетных состояний), схему ИЛИ 17, схему НЕ 18, схему ИЛИ 19, схемы НЕ 20 и 21 и схемы И 22 и 23.

Каждая линия 3.m задержки содержит схему НЕ 24, счетчик 25 (на s=p+n-k-1 счетных состояний) и оперативное запоминающее устройство (ОЗУ) 26, выход которого является выходом линии 3.m задержки.

(19) SU (11) 1681309 A1

Каждый цифровой фильтр 2.1–2.m содержит n регистров 27.1–27.n для операндов X, n регистров 28.1–28.n для операндов H, n умножителей 29.1–29.n, n-входовый сумматор 30 и выход сумматора 30, который служит выходом для одномерного цифрового фильтра.

Сумматор 4 содержит m входов, где m=6,11 регистров 31.1–31.6, 32.1–32.3, 33.1-33.2 1-го, 2-го и 3-го ярусов соответственно, 5 сумматоров 34.1–34.3, 35, 36 1-го, 2-го и 3-го ярусов соответственно и выход 12, являющийся также выходом сумматора 36 и одновременно выходом устройства.

Устройство работает следующим образом.

Известна формула для линейной двумерной свертки

$$y_{st} = \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} h_{ij} x_{s-i,t-j}, \qquad (1)$$

где h_{ij}, $x_{s-i,\,t-j}$ – операнды X и H устройства.

Внутренняя сумма в выражении (1) представляет собой одномерную линейную свертку и для ее вычисления применяются цифровые фильтры 2.1–2.m. Для вычисления внешней суммы в выражении (1) применяется m-входовой сумматор 4.

Для подготовки устройства к работе необходимо записать последовательность коэффициентов – операндов H, для этого на вход 8 необходимо подать последовательность операндов H, сопровождаемых тактовыми сигналами на входе 7.

Темп работы устройства определяется тактовым сигналом на входе 5. После включения тактового сигнала на входе 5 устройство будет готово к работе только после того, как на выходе 10.1 появится сигнал запроса начала последовательности операндов X (исключение составляет первый сигнал на выходе 10.1, появившийся после включения тактового сигнала на входе 5, его необходимо пропустить, так как устройство может оказаться неготовым).

По запросу начала последовательности операндов X (выход 10.1) на входе 6 должен быть установлен первый операнд последовательности X – x_{oo}. После этого по запросу очередного операнда последовательности X (выход 9) на вход 6 должны поступать очередные операнды последовательности X: x_{01}, x_{02},...,x_{pq}. На выходе 12 устройства появляются элементы последовательности двумерной линейной свертки y_{00}, y_{01},...,$y_{m+q-2,n+p-2}$, сопровождаемые тактовым сигналом на входе 5. Задержка во времени появления элемента y_{01} на выходе 12 по отношению к моменту поступления операнда x_{01} на вход 6 определяется суммарной задержкой на одном одномерном цифровом фильтре и m-входовом сумматоре 4.

Устройство работает в конвейерном режиме. По окончании свертки одной последовательности операндов X устройство готово для вычисления свертки с другой последовательностью X операндов, так что на выходе 12 после последнего элемента $y_{m+q-1,n+p-2}$ одной последовательности двумерной линейной свертки у сразу следует элемент y_{00} следующей последовательности двумерной линейной свертки.

После загрузки операндов последовательности H первый цифровой фильтр 2.1 будет настроен на вычисление одномерной свертки с последовательностью операндов $h_{oo}, h_{01},...,h_{on}$, которая записана в его регистрах 28.1–28.n. Соответственно второй цифровой фильтр 2.2 будет настроен на вычисление свертки с последовательностью операндов $h_{10}, h_{11},...,h_{1n}$ и т.д., m-й цифровой фильтр 2.m – с $h_{m0}, h_{m1},...,h_{mn}$.

Покажем, что, если в момент прихода начала последовательности операндов X во всех цифровых фильтрах регистры 27.1–27.n для последовательности X операндов обнулены, во всех цифровых линиях задержки 3.m записаны нули, в каждый такт на вход 6 устройства поступают операнды X-матрицы $X^0 = (\!| x_{ij}^{\circ} |\!)$ i=0,1,...,m+q-2; j=01,...,n+p-2), которая читается справа налево и сверху вниз, причем в левом верхнем углу матрицы операндов X° располагается матрица операндов X, а остальные элементы матрицы операндов X° – нули, то устройство будет вычислять элементы y последовательности двумерной линейной свертки. Действительно, пусть матрица операндов X° уже частично считана, и на вход первого цифрового фильтра 2.1 поступает операнд $X_{s,t}^{\circ}$, в этот момент на вход второго цифрового фильтра 2.2 поступает операнд $X_{s-1,t}^{\circ}$, третьего – $X_{s-2,t}^{\circ}$ и т.д., на вход m-го цифрового цильтра 2.m – $X_{s-m+1,t}^{\circ}$.

Нумеруя цифровые фильтры 2.1–2.m числами 0,1,...,m-1, получим в соответствии с (1) на выходе i-го цифрового фильтра результат линейной свертки

$$\sum_{j=0}^{n-1} h_{ij} x_{s-i,t-j}^{\circ} \quad (i=0,1,...,m-1).$$

Эти числа суммируются на m-входовом сумматоре 4, в результате на выходе устройства получаем результат: элементы последовательности двумерной линейной свертки y_{st} по формуле (1).

Блок 1 управления предназначен для формирования последовательности матрицы операндов X° в результате дополнения последовательности операндов матрицы X

нулями. Счетчики 13 и 14 образуют счетчик столбцов матрицы операндов X^o, счетчики 15 и 16 – счетчик строк матрицы операндов X^o. Счетчик 14 имеет q+1-счетное состояние. Сигнал логического нуля на выходе счетчика 14, который появляется при достижении q+1-го состояния, через схему И 22 обеспечивает появление сигнала обнуления на выходе 11, а также прекращает прохождение через схему И 23 тактовых сигналов с входа 5 на выход 9 запроса очередного элемента.

Кроме того, сигнал на выходе счетчика 14 подключен к входу разрешения счета счетчика 13, а через схему НЕ 18 – к входу разрешения счета счетчика 14. Поэтому при его появлении счетчик 14 останавливается, а счетчик 13, имеющий m-1 счетных состояний, начинает счет и отсчитывает m-1 тактов, в течение которых на вход последовательности операндов X первого цифрового фильтра 2.1 поступают нулевые элементы последних m-1 столбцов каждой строки матрицы операндов X^o.

При достижении счетчиком 13 m-1-го состояния на его выходе появляется сигнал логического нуля, который передается на выход схемы ИЛИ 17, устанавливает одновременно счетчики 13 и 14 в исходное состояние и обеспечивает через схему НЕ 21 появление положительного фронта сигнала на тактовом входе счетчиков 15 и 16, что обеспечивает переход на следующую строку.

Аналогично работает счетчик строк матрицы операндов X^o, образованный счетчиками 15 и 16. Счетчик 16 имеет P+1 счетных состояний и отсчитывает первые p строк матрицы операндов X^o. При достижении P+1-го состояния сигнал на выходе счетчика 16 через схему И 22 обеспечивает появление сигнала обнуления на выходе 11, а также прекращает прохождение через схему И 23 тактовых сигналов с входа 5 на выход 9 запроса очередного операнда. При этом также счетчик 16 останавливается, а счетчик 15 начинает счет. Счетчик 15, имеющий n-1 счетных состояний, отсчитывает n-1 нулевых строк матрицы операндов X^o. При установке счетчика 15 в n-1-е состояние, т.е. перед поступлением первого элемента последней строки матрицы операндов X^o, на выходе 10.1 запроса начала последовательности операндов X появляется сигнал логического нуля, свидетельствующий о запросе первого элемента новой последовательности операндов X.

Таким образом, перед приходом первого элемента новой последовательности операндов X во все цифровые линии задержки 3.1–3.(m-1) и во все m цифровых фильтров будут записаны нулевые элементы, что необходимо для нормальной работы устройства, а все счетчики блока 1 управления будут находиться в исходных состояниях.

Состояния счетчиков 16 и 14 использованы для управления выборкой операнда последовательноси X: состояния счетчика 16 (1,2,...,p) соответствуют номеру строки, а состояния счетчика 14 (1,2,...,q) – номеру столбца матрицы операндов X, который должен в этот момент поступать на вход 6 последовательности операндов X.

Цифровая линия 3.m задержки, изображенная на фиг.3, работает следующим образом.

В течение положительного полупериода тактового сигнала, который инвертируется схемой НЕ 24, происходит запись данных, установленных на входе ОЗУ. По окончании положительного полупериода тактового сигнала значение счетчика 25 увеличивается на единицу и происходит чтение данных из ОЗУ 26 по новому адресу. Поскольку счетчик 25 имеет s счетных состояний и выход счетчика соединен с входом установки начального состояния счетчика, то за состоянием s следует первое состояние. Адрес данных ОЗУ 26 определяется значением счетчика, поэтому данные, записанные в ОЗУ 26, появятся на выходе с задержкой на s тактов.

Каждый цифровой фильтр 2.1–2.m работает так, как в прототипе.

Сумматор 4 разбит на ярусы. На первом ярусе m чисел на входе запоминаются в m регистрах 31.1–31.6 и попарно суммируются на сумматорах 34.1–34.3, результаты суммирования запоминаются в регистрах 32.1–32.2 второго яруса и снова попарно суммируются и т.д. На последнем 3-м ярусе суммируются два числа (на фиг.5 m=6). Если же для какого-то числа не находится пары, то оно переносится в регистр следующего яруса без изменений. Для синхронизации работы всех регистров сумматора 4 их тактовые входы соединены с входом 5 тактового сигнала последовательности операндов X.

Формула изобретения

1. Устройство для вычисления линейной свертки, содержащее двумерный цифровой фильтр, источник операндов и блок управления, отличающееся тем, что, с целью повышения быстродействия и экономии оборудования, блок управления содержит задатчик размеров матриц, выполненный в виде четырех счетчиков соответственно на m-1, q+1, n-1 и p+1 счетных состояний, две схемы И, две схемы ИЛИ и три схемы НЕ,

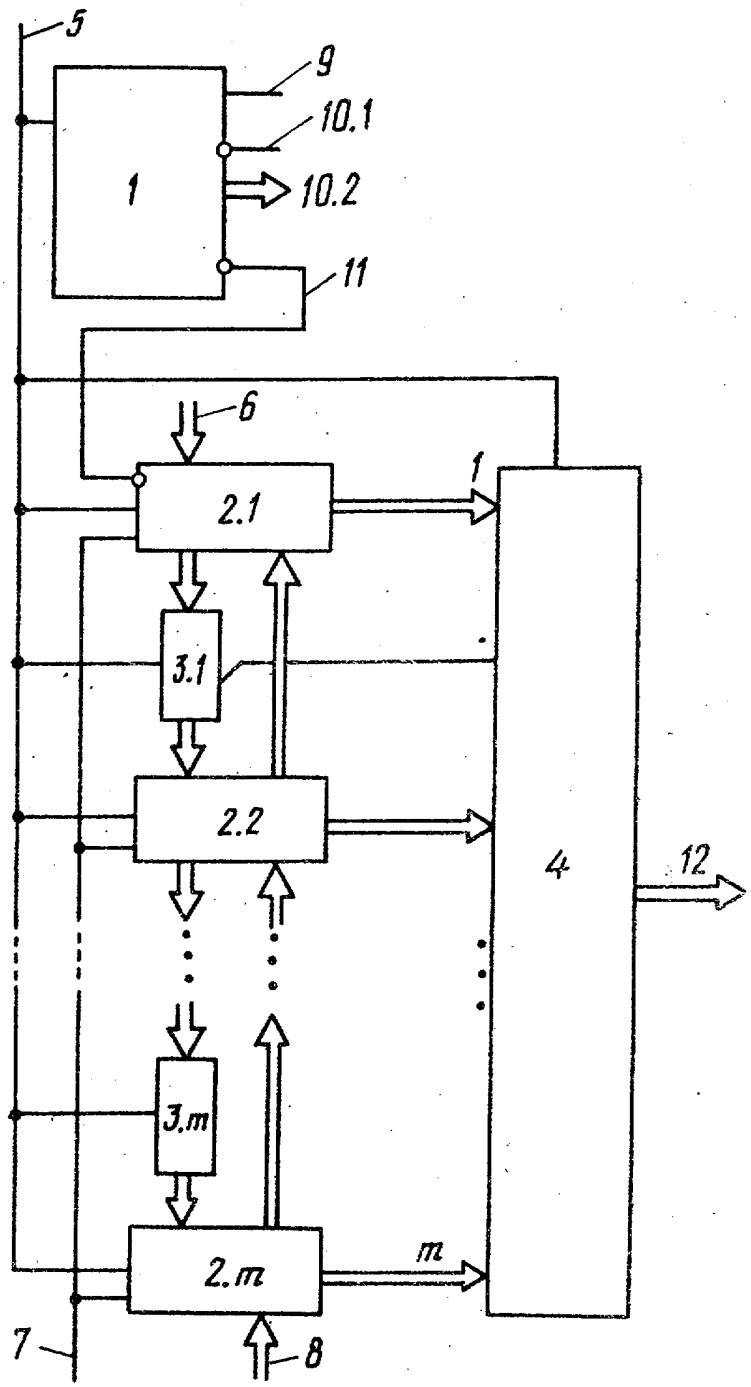
причем тактовый вход блока управления подсоединен к тактовым входам первого и второго счетчиков и первому входу первой схемы И, выход первого счетчика подсоединен к первому входу первой схемы ИЛИ, выход второго счетчика подсоединен к входу первой схемы НЕ, второму входу первой схемы ИЛИ, первому входу второй схемы И и входу разрешения счета первого счетчика, выход третьего счетчика подсоединен к первому входу второй схемы ИЛИ, выход четвертого счетчика подсоединен к входу второй схемы НЕ, второму входу второй схемы ИЛИ, второму входу второй схемы И и входу разрешения счета третьего счетчика, выход первой схемы ИЛИ подсоединен к входу третьей схемы НЕ и входам начальной установки первого и второго счетчиков, выход третьей схемы НЕ подсоединен к тактовым входам третьего и четвертого счетчиков, выход первой схемы НЕ подсоединен к входу разрешения счета второго счетчика, выход второй схемы НЕ подсоединен к входу разрешения счета четвертого счетчика, выход второй схемы ИЛИ подсоединен к входам начальной установки третьего и четверого счетчиков и является выходом запроса начала последовательности операндов X блока управления, выход второй схемы И подсоединен к второму входу первой схемы И и является выходом обнуления, выход первой схемы И является выходом запроса очередного операнда последовательности X, а адресные выходы второго и четвертого счетчиков являются выходами адресов операндов X.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что двумерный цифровой фильтр выполнен в виде одномерных m цифровых фильтров, m-1 цифровых линий задержки на s=p+n-k-1 тактов, где k – количество тактов задержки последовательности X в цифровых фильтрах, и m-входового сумматора, причем входом устройства для операндов X является вход последовательности операндов X первого цифрового цильтра, входом устройства для операндов H является вход операндов последовательности H m-го цифрового фильтра, все цифровые фильтры последовательно соединены между собой так, что выход последовательности операндов X предыдущего цифрового фильтра подсоединен к входу последовательности операндов X следующего цифрового фильтра через цифровую линию задержки, а выход последовательности операндов H следующего цифрового фильтра подсоединен к входу последовательности операндов H предыдущего цифрового фильтра, выход каждого цифрового фильтра, на котором появляется результат свертки, подсоединен к соответствующему входу m-входового сумматора, выход m-входового сумматора является выходом устройства, вход тактового сигнала последовательности операндов H подсоединен к входам тактового сигнала последовательности операндов H всех цифровых фильтров, вход тактового сигнала последовательности операндов X подсоединен к входу тактового сигнала последовательности операндов X каждого цифрового фильтра, входу тактового сигнала каждой цифровой линии задержки, тактовому входу m-входового сумматора и тактовому входу блока управления, выход обнуления блока управления подсоединен к входу обнуления первого цифрового фильтра, выход запроса начала последовательности операндов X, выход запроса очередного элемента последовательности операндов X и адресные выходы второго и четвертого счетчиков блока управления подключены к источникам операндов устройства.

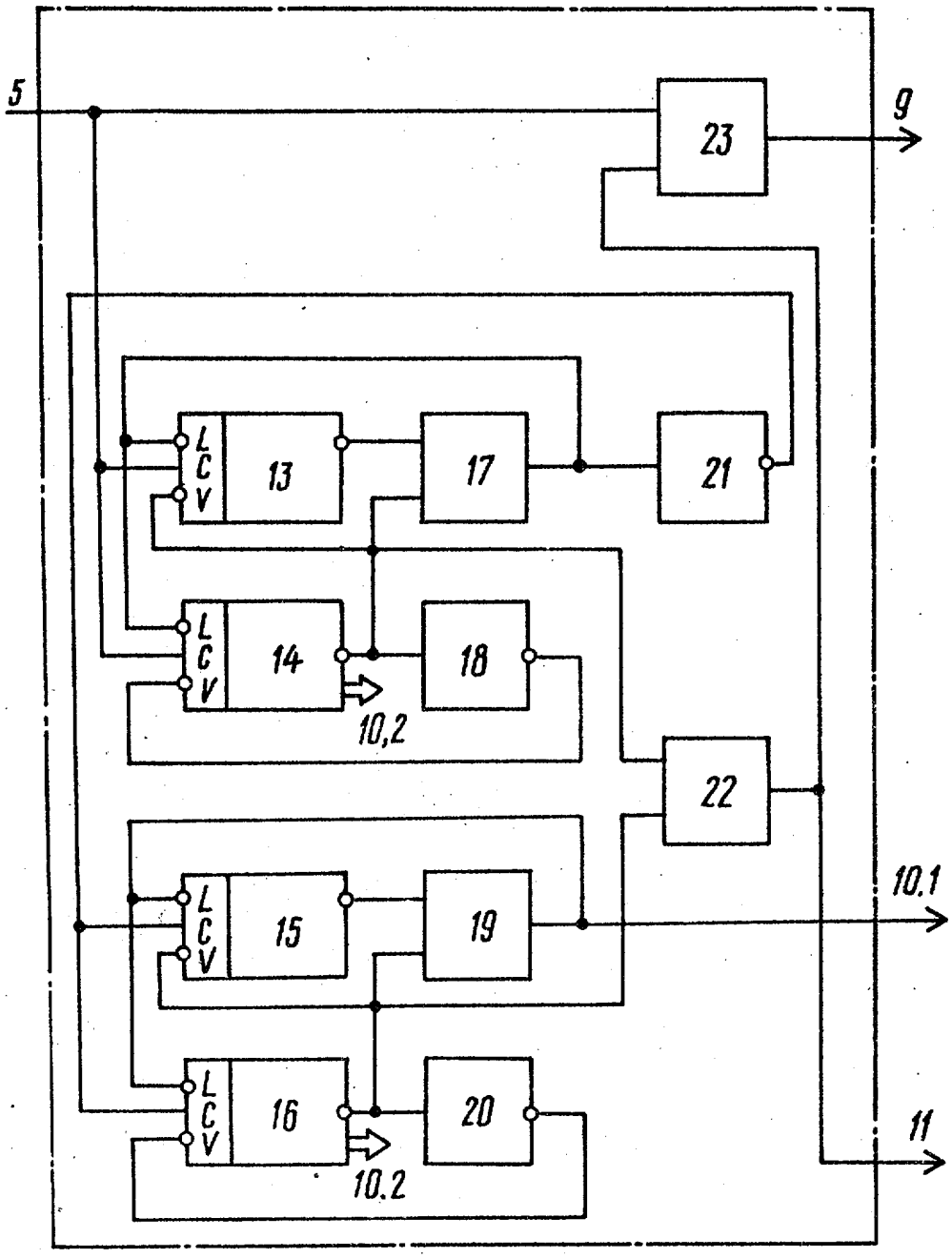
3. Устройство по п.1, о т л и ч а ю щ е е с я тем, что цифровая линия задержки содержит счетчик на p+n-k-1 счетных состояний, оперативное запоминающее устройство (ОЗУ) и схему НЕ, причем тактовый вход цифровой линии задержки подсоединен к входу схемы НЕ, выход схемы НЕ подсоединен к тактовому входу счетчика и входу "Чтение-запись" ОЗУ, выход счетчика подсоединен к адресному входу ОЗУ, выход переноса счетчика подсоединен к входу начальной установки счетчика, вход цифровой линии задержки подсоединен к входу данных ОЗУ, выход данных ОЗУ является выходом цифровой линии задержки.

4. Устройство по п.1, о т л и ч а ю щ е е с я тем, что одномерный цифровой фильтр содержит n последовательно соединенных между собой регистров для последовательностей операндов X и H, входы первых регистров соединены с входами последовательностей операндов X и H цифрового фильтра соответственно, n умножителей, первые входы которых соединены с выходами соответствующих регистров последовательности операндов X, а вторые входы соединены с выходами регистров последовательности операндов H в обратном порядке, n-входовый сумматор, к входам которого подсоединены выходы умножителей, а выход соединен с выходом цифрового фильтра, дополнительно соединены с тактовым входом последовательности операндов H цифрового фильтра – тактовые входы регистров последовательности операндов H, с тактовым входом последовательности операндов X цифрового фильтра – тактовые вхо-

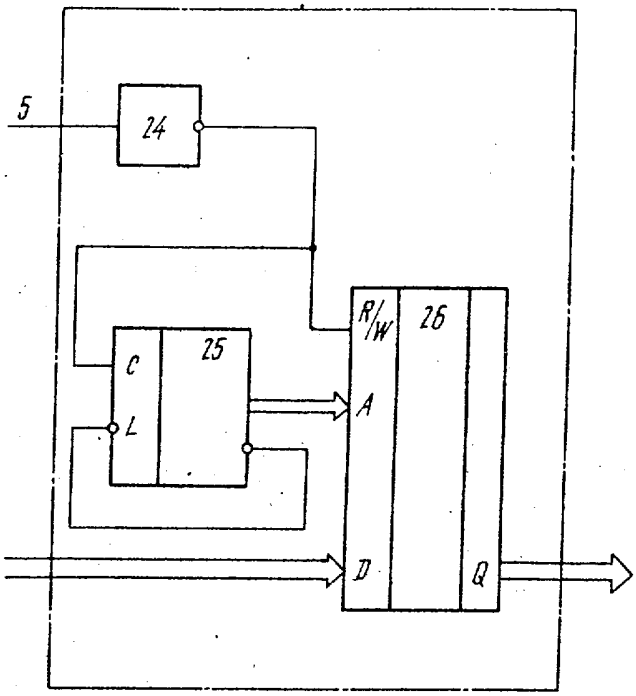
ды регистров последовательности операндов X и n-входового сумматора, с выходом последовательности операндов H цифрового фильтра – выход последнего регистра последовательности операндов H, с выходом последовательности операндов X цифрового фильтра – выход последнего регистра последовательности операндов X.



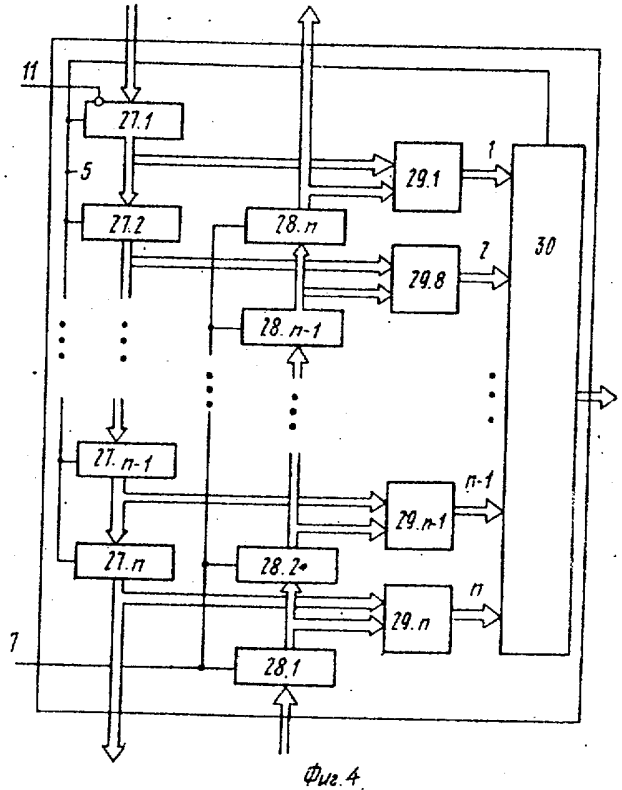
Фиг. 1



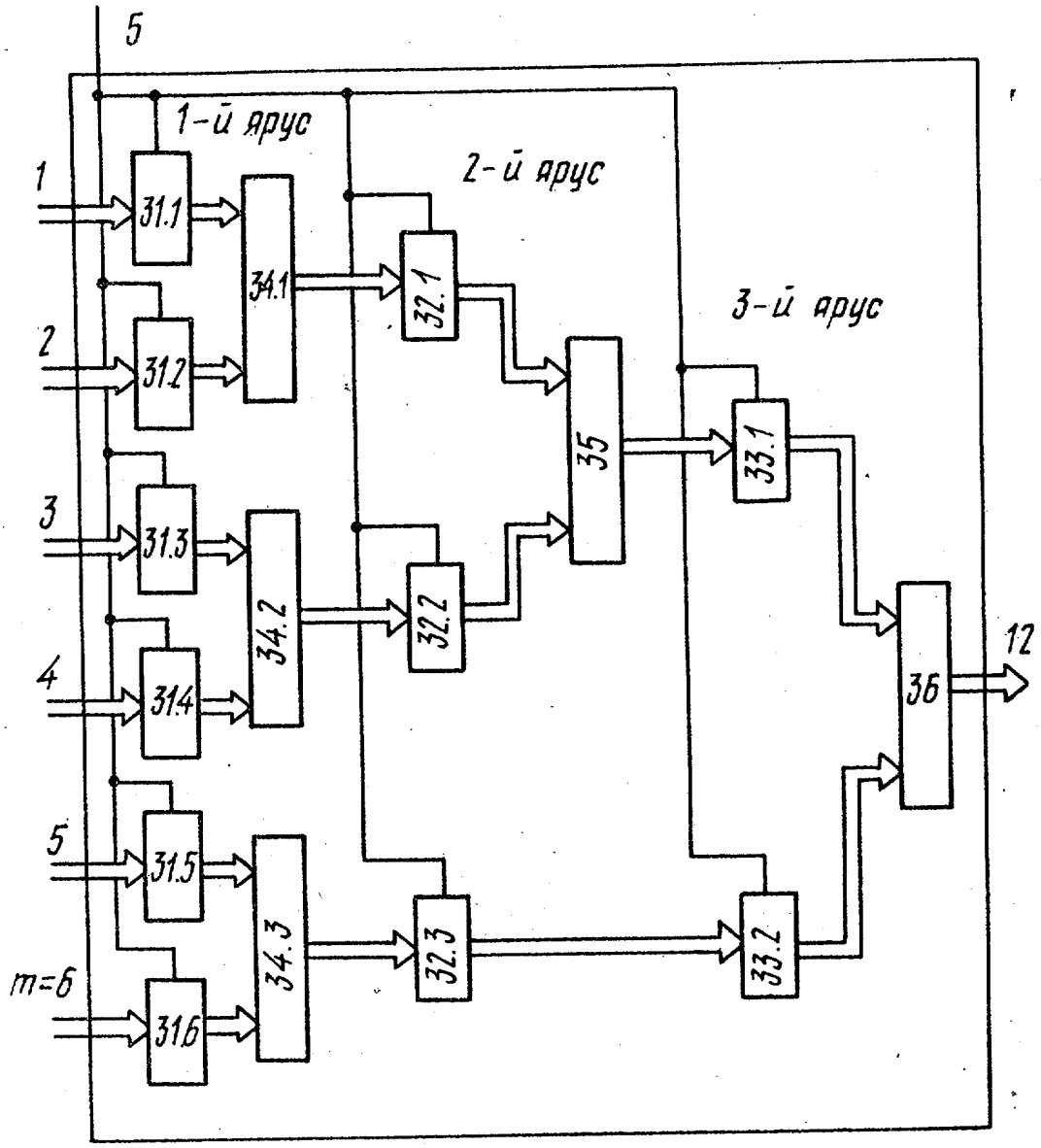
Фиг. 2


5
24
25
C
L
R/W
26
A
D
Q

Фиг.3


11
27.1
5
27.2
27.n-1
27.n
7
28.n
28.n-1
28.2
28.1
29.1
29.8
29.n-1
29.n
1
7
n-1
n
30

Фиг.4



Фиг. 5

Составитель В.Белозеров
Редактор А.Лежнина Техред М.Моргентал Корректор М.Максимишинец

Заказ 3313 Тираж Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101