

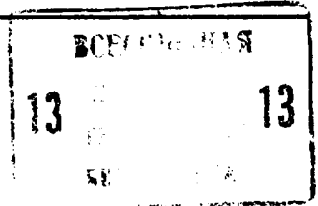


СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1368919 A1**

(51) 4 G 11 C 11/14

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3967780/24-24

(22) 21.10.85

(46) 23.01.88. Бюл. № 3

(71) Институт электронных управляющих машин

(72) С.М.Захарян, В.Е.Красовский, С.О.Кузнецов, Д.И.Леонтьев, О.В.Матвеев, В.К.Раев и А.Е.Шотов

(53) 681.327.6(088.8)

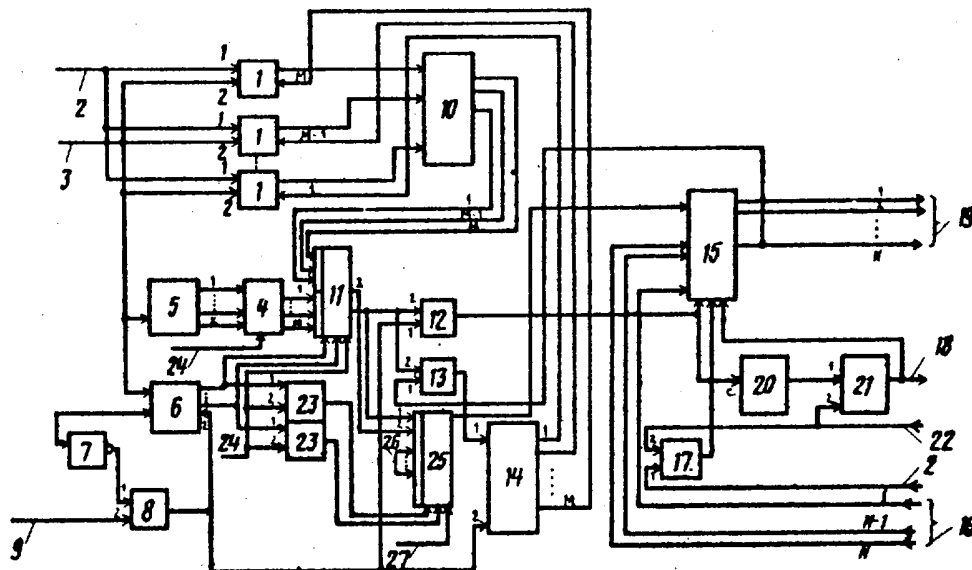
(56) Патент США № 4139886, опублик. 1984.

Авторское свидетельство СССР
№ 1327183, кл. G 11 C 11/14, 04.02.85.

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ
ФОРМАТА ДАННЫХ В ДОМЕННОЙ ПАМЯТИ

(57) Изобретение относится к вычислительной технике и может быть ис-

пользовано в тех случаях, когда блоки памяти запоминающего устройства на цилиндрических магнитных доменах (ЦМД) имеют последовательно-параллельную накопительную структуру и содержат некоторое количество дефектных накопительных регистров. Целью изобретения является повышение надежности устройства путем самодиагностики отказов. Устройство для преобразования формата данных содержит блок 4 памяти с произвольной выборкой информации, группу блоков памяти на ЦМД 1, счетчики 5, 6 и 20, элемент 7 НЕ, элементы И 8, 12, 13, 17, регистр 10 чтения, мультиплексоры 11 и 25, регистр 14 записи, буферный регистр 15 и группу элементов И 23. 1 ил.



(19) **SU** (11) **1368919 A1**

Изобретение относится к вычислительной технике и может быть использовано в тех случаях, когда блоки памяти заминающего устройства на цилиндрических магнитных доменах (ЦМД) имеют последовательно-параллельную накопительную структуру и содержат некоторое количество дефектных накопительных регистров.

Целью изобретения является повышение надежности устройства путем самодиагностики отказов.

На чертеже изображена блок-схема устройства.

Устройство используют для группы блоков памяти на ЦМД 1 (с последовательно-параллельной организацией), первые входы которых соединены с шиной 2 чтения-записи, а вторые входы - с первой шиной 3 синхронизации.

Устройство для преобразования формата данных содержит блок 4 памяти с произвольной выборкой информации для хранения карты дефектных регистров, первый счетчик 5, второй счетчик 6, элемент НЕ 7, первый элемент И 8, вторую шину 9 синхронизации, регистр 10 чтения, первый мультиплексор 11, второй элемент И 12, третий элемент И 13, регистр 14 записи, буферный регистр 15, шины 16 ввода данных, четвертый элемент И 17, шину 18 запроса передачи данных, шины 19 вывода данных, третий счетчик 20, триггер 21, шину 22 подтверждения передачи данных, группу элементов И 23, первую управляющую шину 24, второй мультиплексор 25, группу контрольных шин 26 и вторую управляющую шину 27.

Устройство работает следующим образом.

В режиме записи-чтения, во-первых, происходит включение поля управления в М блоках памяти на ЦМД 1, частота которого f задается синхросигналами на первой шине 3 синхронизации. В режиме записи (высокий уровень сигнала по шинам 2, 24 и 27) по сигналу высокого уровня на шине 22 подтверждения передачи на выходе логического элемента И 17 вырабатывается сигнал приема данных, по которому данные от контроллера по шинам 16 ввода данных поступают в буферный регистр 15. Каждый период управляющего поля на счетчик 5 по шине 3 синхронизации поступает синхроимпульс.

задающий очередной адрес блока 4 памяти с произвольной выборкой, хранящего карту дефектных регистров (дефектный регистр - состояние "0", бездефектный - состояние "1"). Информация с выходов блоков 4 памяти с произвольной выборкой поступает на входы первой группы мультиплексора (М-1) 11, который осуществляет параллельно-последовательное преобразование кода. Управление мультиплексором 11 осуществляет счетчик 6 по модулю М.

Каждый период управляющего поля после поступления М синхроимпульсов частоты Mf по второй шине 9 синхронизации через элемент И 8 на счетный вход счетчика 6 сигнал переноса единичного уровня поступает через элемент НЕ 7 на элемент И 8 и запрещает дальнейшее поступление этих синхроимпульсов на счетчик 6; синхроимпульсом по шине синхронизации 3 счетчик 6 сбрасывается в ноль.

Подача синхроимпульсов Mf на синхровход N-разрядного буферного регистра 15 происходит через элемент И 12 только при единичном уровне сигнала на первом выходе мультиплексора 2 (М-1) 11, т.е. в том случае, если очередной регистр блока памяти на ЦМД 1 бездефектный. В результате информация из N-разрядного буферного регистра 15 через элемент И 13 переписывается в М-разрядный регистр 14 записи.

Если очередной регистр дефектный, синхроимпульс Mf поступает на N-разрядный буферный регистр 15, но поступает на М-разрядный регистр 14 записи. В результате в М-разрядный регистр 14 записи записывается "0", что соответствует пропуску дефектного регистра блока памяти на ЦМД 1.

Информация из М-разрядного регистра 14 записи поступает параллельно на входы группы М блоков памяти на ЦМД 1.

Счетчик 20 по модулю N ведет подсчет количества бит, переданных из N-разрядного буферного регистра 15 в М-разрядный регистр 14 записи. После подсчета N синхроимпульсов Mf на выходе переноса счетчика 20 формируется сигнал переноса, поступающий на триггер 21 запроса передачи данных, который формирует запрос передачи данных на соответствующей шине 18.

Из контроллера по шинам 16 ввода данных поступает очередное N-разрядное информационное слово, которое записывается в N-разрядный буферный регистр 15 по высокому уровню сигнала на шине 22 подтверждения передачи данных; при этом триггер 21 запроса передачи данных сбрасывается в ноль.

В режиме чтения (низкий уровень сигнала на шинах 2 и 24, высокий уровень по шине 27) каждый период управляющего поля информация с выходов группы из M блоков памяти на ЦМД 1 поступает на M-разрядный регистр 10 чтения. С выхода M-разрядного регистра 10 чтения информация поступает на входы второй группы мультиплексора (M→1) 11, который осуществляет ее параллельно-последовательное преобразование. С второго выхода мультиплексора 2 (M→1) 11 информация поступает на второй из входов первой группы мультиплексора 25 и с его выхода - на последовательный вход N-разрядного буферного регистра 15.

В N-разрядном буферном регистре 15 происходит прием данных только от бездефектных регистров блоков памяти на ЦМД 1, так как поступление синхроимпульсов Mf на синхровход этого регистра происходит только при единичном уровне сигнала на первом выходе мультиплексора (M→1) 11. С выходов N-разрядного буферного регистра 15, после формирования N-разрядного информационного слова по сигналу передачи данных от триггера 21 запроса передачи данных, информация поступает на шины 19 вывода данных. Прием информационного слова подтверждается сигналом подтверждения передачи по шине 22.

В первом режиме теста (низкий уровень сигнала на шинах 2, 24 и 27) на первый вход первой группы входов мультиплексора 25 подается карта дефектов с первого выхода мультиплексора (M→1) 11. Информация с выхода мультиплексора 25 принимается в буферный регистр 15. Так как поступление синхроимпульсов на синхровход этого регистра происходит только при единичном уровне сигнала на первом выходе мультиплексора (M→1) 11, в буферном регистре 15 формируется код $FF_{(16)}$, передаваемый по сигналу от триггера 21 запроса передачи данных

на шины 19 вывода данных. Отличие переданного кода от $FF_{(16)}$ свидетельствует о неисправности устройства.

Во втором режиме теста (низкий уровень сигнала на шинах 2 и 27 и высокий - на шине 24, код $XX...X$ на контрольных шинах 26) блок памяти с произвольной выборкой 4 отключается и на первом выходе мультиплексора устанавливается высокий уровень. Сигналы с выходов счетчика 6 через группу элементов И 23 поступает на входы второй группы (адресные) мультиплексора 25. На выходе мультиплексора 25 формируется код $XX...X1$, записываемый в буферный регистр 15. Отличие переданного на шины 19 вывода данных кода от $XX...X1$ свидетельствует о неисправности устройства.

Ф о р м у л а и з о б р е т е н и я

Устройство для преобразования формата данных в доменной памяти, содержащее блок памяти с произвольной выборкой информации, счетчики, счетный вход первого из которых является первым входом синхронизации устройства, а информационные выходы соединены с соответствующими адресными входами блока памяти с произвольной выборкой информации, элемент НЕ, вход которого соединен с выходом переполнения второго счетчика, элементы И, первый вход первого из которых соединен с выходом элемента НЕ, второй вход является вторым входом синхронизации устройства, а выход соединен со счетным входом второго счетчика и первым входом второго элемента И, регистр записи, информационный вход которого соединен с выходом третьего элемента И, вход синхронизации - с выходом первого элемента И, а выходы являются информационными выходами первой группы устройства, регистр чтения, входы которого являются входами данных первой группы устройства, буферный регистр, информационные входы параллельного приема которого являются входами данных второй группы устройства, синхровход, вход приема данных и вход запроса передачи данных буферного регистра соединены соответственно с выходом второго элемента И, выходом четвертого элемента И и с выходом триггера, выходы буферного регистра являют-

ся информационными выходами второй группы устройства, причем выход младшего разряда буферного регистра соединен с первым входом третьего элемента И, первый мультиплексор, входы первой группы которого соединены с соответствующими выходами регистра чтения, входы второй группы - с соответствующими выходами блока памяти с произвольной выборкой информации, входы третьей группы - с соответствующими выходами второго счетчика, первый выход первого мультиплексора соединен с вторым входом второго элемента И и вторым входом третьего элемента И, счетный вход второго элемента И, первый и второй входы четвертого элемента И являются первым и вторым управляющими входами устройства, триггер, установочный вход которого соединен с выходом переполнения третьего счетчика, вход сброса триггера соединен с вторым входом четвертого элемента И, установочный вход второго счетчика соеди-

нен со счетным входом первого счетчика, о т л и ч а ю щ е е с я тем, что, с целью повышения надежности устройства путем самодиагностики от- 5 казов, оно содержит второй мультиплексор и группу элементов И, первые входы группы элементов И подключены к выходам второго счетчика, вторые 10 входы являются управляющими входами устройства и подключены к управляющему входу блока памяти с произвольной выборкой информации, первый и второй информационные входы второго мультиплексора подключены соответ- 15 ственно к первому и второму выходам первого мультиплексора, а остальные информационные входы второго мультиплексора являются входами константы 20 устройства, первый адресный вход второго мультиплексора является управляющим входом устройства, а остальные адресные входы второго мультиплексо- 25 ра подключены к выходам элементов И группы, а выход второго мультиплексо- ра соединен с входом последовательного приема буферного регистра.

Редактор А.Ворович	Составитель Ю.Розенталь Техред Л.Олийнык	Корректор М.Максимишинец
Заказ 307/53	Тираж 590	Подписное
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий 113035, Москва, Ж-35, Раушская наб., д. 4/5		
Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4		