

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6188900号
(P6188900)

(45) 発行日 平成29年8月30日 (2017. 8. 30)

(24) 登録日 平成29年8月10日 (2017. 8. 10)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 2 7 C

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 1 9 A

H O 1 L 29/78 6 1 8 C

請求項の数 3 (全 38 頁)

(21) 出願番号 特願2016-187951 (P2016-187951)
 (22) 出願日 平成28年9月27日 (2016. 9. 27)
 (62) 分割の表示 特願2012-117666 (P2012-117666)
 の分割
 原出願日 平成24年5月23日 (2012. 5. 23)
 (65) 公開番号 特開2016-219851 (P2016-219851A)
 (43) 公開日 平成28年12月22日 (2016. 12. 22)
 審査請求日 平成28年10月6日 (2016. 10. 6)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 横井 智和
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 徳丸 亮
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 吉住 健輔
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物層と、

ゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物層と重なるゲート電極と、を有する半導体装置
 の作製方法であって、

前記酸化物層上に、絶縁膜を形成し、

前記絶縁膜をエッチングして開口部を形成する際、前記酸化物層の上層をエッチングし
 て、前記開口部における前記絶縁膜の端部には第 1 のテーパーを形成し、かつ前記第 1 のテ
 ーパーと連続した領域における前記酸化物層には第 2 のテーパーを形成することを特徴とする
 半導体装置の作製方法。

【請求項 2】

酸化物層と、

ゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物層と重なるゲート電極と、を有する半導体装置
 の作製方法であって、

前記酸化物層上に、絶縁膜を形成し、

レジストマスクを用いて、前記絶縁膜をエッチングして開口部を形成し、前記レジスト
 マスクを用いて、前記酸化物層の上層をエッチングして、前記開口部における前記絶縁膜
 の端部には第 1 のテーパーを形成し、かつ前記第 1 のテーパーと連続した領域における前記酸

化物層には第2のテーパを形成することを特徴とする半導体装置の作製方法。

【請求項3】

酸化物層と、

ゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記酸化物層と重なるゲート電極と、を有する半導体装置の作製方法であって、

前記酸化物層上に、絶縁膜を形成し、

レジストマスクを用いて、前記絶縁膜をエッチングして開口部を形成し、前記レジストマスクを除去し、前記開口部が形成された絶縁膜を用いて、前記酸化物層の上層をエッチングして、前記開口部における前記絶縁膜の端部には第1のテーパを形成し、かつ前記第1のテーパと連続した領域における前記酸化物層には第2のテーパを形成することを特徴とする半導体装置の作製方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体膜の作製方法に関する。本発明は半導体装置、及び半導体装置の作製方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

20

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ、TFTともいう）を構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体として、シリコン系半導体が広く知られている。

【0004】

また他の半導体として、酸化物半導体が注目されている。例えば、酸化物半導体として、Zn-O系酸化物半導体、又はIn-Ga-Zn-O系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

30

【0005】

また、非特許文献1では、露出した酸化物半導体にアルゴンプラズマ処理をおこなう自己整合プロセスにより、その部分の酸化物半導体の抵抗率を低下させてソース領域及びドレイン領域とした酸化物半導体トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

40

【非特許文献】

【0007】

【非特許文献1】S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. Dig., p.504, 2010.

【発明の概要】

【発明が解決しようとする課題】

【0008】

画像表示装置の高精細化や、集積回路の大規模化に伴い、回路の高速駆動が求められて

50

いる。トランジスタはそのオン特性（例えば、オン電流や電界効果移動度）が高いほど、回路の高速動作に適している。

【0009】

しかしながら、ソース電極とドレイン電極の間の寄生抵抗が高いと、十分に高いオン特性が得られないといった問題がある。

【0010】

非特許文献1に開示された方法では、酸化物半導体表面を露出させて、アルゴンプラズマ処理を行うことにより、ソース領域及びドレイン領域となるべき部分の酸化物半導体も同時にエッチングされ、ソース領域及びドレイン領域が薄層化する（非特許文献1の図8参照）。その結果、ソース領域及びドレイン領域の抵抗が増加し、また、薄層化に伴うオーバーエッチングによる不良品発生の確率も増加する。

10

【0011】

本発明は、このような技術的背景のもとでなされたものである、したがって、本発明の一態様は、ソース電極とドレイン電極間の寄生抵抗が低減され、オン特性が改善された半導体装置を提供することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0012】

上記課題を解決するため、本発明はチャンネルが形成される酸化物半導体膜の形成方法に着眼した。不純物元素が添加された酸化物半導体を含む導電性の酸化物膜に対して、当該酸化物膜の一部の領域における不純物元素を酸素と置換して半導体領域を形成する。そして酸化物膜における不純物元素が酸素と置換されていない低抵抗領域をソース領域及びドレイン領域として用い、不純物元素が酸素と置換された半導体領域をチャンネル形成領域として用いばよい。

20

【0013】

すなわち、本発明の一態様の半導体膜の形成方法は、被形成面上に不純物元素が添加された酸化物半導体を含む酸化物層を形成し、酸化物層の上面の一部を露出させるように、酸化物層上に保護層を形成し、酸化物層の当該露出した領域に対して不純物元素を酸素と置換する置換処理を施して、酸化物層の一部に半導体領域を形成する工程を有する。

【0014】

このような方法により、低抵抗な酸化物層の一部に半導体領域が形成された、半導体膜を形成できる。また、上記本発明の一態様の方法を用いることで低抵抗領域が薄膜化することがないため、当該領域の抵抗を十分に低減することができる。

30

【0015】

このような半導体膜はトランジスタ以外にも、例えば高抵抗な半導体領域を抵抗として用いた抵抗素子として応用することも可能である。半導体領域への置換処理の条件を変えることにより、当該半導体領域における抵抗率の値を自由に設定することができる。さらに、不純物元素が添加された酸化物半導体を含む低抵抗領域によって寄生抵抗が極めて低減されているため、抵抗率の値の設計値からのずれを抑制することができる。

【0016】

また、上記半導体膜の形成方法における上記不純物元素は窒素であることが好ましい。

40

【0017】

窒素が含有した酸化物半導体を含む薄膜は、極めて高い導電性を示す導電膜として用いることができる。さらに、窒素原子は酸素原子と原子半径が近く、置換処理により比較的容易に酸素原子と置換することが可能なため好ましい。

【0018】

また、上記半導体膜の形成方法における、上記置換処理として、酸素ラジカル処理、酸素イオン注入処理、酸素プラズマ処理、又は熱酸化処理の、いずれか1つ以上の処理を施すことが好ましい。

【0019】

50

不純物元素の置換は、高エネルギーの酸素を酸化物層に接触させることにより行うことができる。上述した処理方法は、従来の半導体プロセスとの親和性が高いため、特別な設備投資を行うことなく上述の方法を適用できるため好ましい。

【0020】

また、上述の処理方法のうち2つ以上を用いてもよい。例えば不純物元素が添加された酸化物層に酸素ラジカル処理と酸素イオン注入処理を施すことにより、酸化物層の表層から下層にかけて均一に置換が行える。

【0021】

また、本発明の一態様の半導体装置の作製方法は、被形成面上に不純物元素が添加された酸化物半導体を含む酸化物層を形成し、酸化物層の上面の一部を露出させるように、酸化物層上に保護層を形成し、酸化物層の当該露出した領域に対して不純物元素を酸素と置換する置換処理を施して、酸化物層に、第1の低抵抗領域及び第2の低抵抗領域に挟持された半導体領域を形成する工程と、ゲート絶縁層を形成する工程と、ゲート電極層を形成する工程と、を有する。さらに、ゲート絶縁層と半導体領域とは接して形成され、ゲート電極層とゲート絶縁層とは接して形成され、ゲート電極層と半導体領域とは重なるように形成されることを特徴とする。

10

【0022】

このような方法により、半導体領域を挟持する低抵抗領域をソース領域又はドレイン領域として用いることにより、ソース電極又はドレイン電極との接触抵抗も十分に低減できる。したがって、ソース電極とドレイン電極の間の寄生抵抗が低減され、オン特性が改善された半導体装置を作製することができる。

20

【0023】

また、本発明の他の一態様の半導体装置の作製方法は、被形成面上に不純物元素が添加された酸化物半導体を含む酸化物層を形成し、酸化物層の上面の一部を露出させるように、酸化物層上に保護層を形成し、当該露出した領域における酸化物層の上部の一部をエッチングし、酸化物層の露出した領域に対して不純物元素を酸素と置換する置換処理を施して、酸化物層の一部に半導体領域を形成する工程と、ゲート絶縁層を形成する工程と、ゲート電極層を形成する工程と、を有する。さらに、ゲート絶縁層と半導体領域とは接して形成され、ゲート電極層とゲート絶縁層とは接して形成され、ゲート電極層と半導体領域とは重なるように形成されることを特徴とする。

30

【0024】

このような方法により、低抵抗領域の厚さを半導体領域よりも厚く形成できるため、当該領域の抵抗をより低減できる。また、同時に半導体領域を薄膜化できるため、半導体装置を微細化した場合でも短チャネル効果を効果的に抑制することができる。

【0025】

また、上記いずれかの半導体装置の作製方法における上記不純物元素は窒素であることが好ましい。

【0026】

また、上記いずれかの半導体装置の作製方法における上記置換処理として、酸素ラジカル処理、酸素イオン注入処理、酸素プラズマ処理、又は熱酸化処理の、いずれか1つ以上の処理を施すことが好ましい。

40

【0027】

また、本発明の一態様の半導体装置は、同一面上に第1の低抵抗領域と、第2の低抵抗領域と第1の低抵抗領域と第2の低抵抗領域に挟持された半導体領域と、半導体領域と重なるゲート電極層と、半導体領域とゲート電極層に挟持されたゲート絶縁層と、を有する。また半導体領域の厚さは、第1の低抵抗領域及び第2の低抵抗領域よりも薄く、第1の低抵抗領域、第2の低抵抗領域、及び半導体領域は、不純物元素を含む酸化物半導体を含み、さらに半導体領域は、第1の低抵抗領域及び第2の低抵抗領域よりも、酸素の含有量が多く、且つ、不純物元素の含有量が少ないことを特徴とする。

【0028】

50

このような構成とすることにより、低抵抗領域の厚さが半導体領域よりも厚いため、当該領域の抵抗をより低減できる。また、同時に半導体領域が薄膜化されているため、半導体装置が微細化された場合であっても短チャネル効果を効果的に抑制することができる。またこのように半導体領域に十分に低減された量の窒素が含有されていることにより、オン電流を高めることができ、オン特性が向上した半導体装置とすることができる。

【0029】

また、上記半導体装置において、半導体領域は、第1の低抵抗領域又は第2の低抵抗領域と接する端部に向かって、連続的に厚さが増すように設けられることが好ましい。

【0030】

このような構成では、半導体領域の端部において電流密度を緩和することができるため、チャンネルとソース又はドレインの境界における発熱が抑制され、信頼性の高い半導体装置とすることができる。

10

【0031】

また特に、トップゲート型のトランジスタでは、厚さの異なる半導体領域と低抵抗領域の境界において、ゲート絶縁層の被覆性が高まるため、ゲート絶縁層が局所的に薄くなることによるゲートリークや絶縁破壊といった不具合が抑制され、信頼性の高い半導体装置とすることができる。

【0032】

また、上記いずれかの半導体装置における不純物元素は、窒素であることが好ましい。

【0033】

20

特に、不純物元素として窒素を用いることにより、高い導電性を有する低抵抗領域とすることができる。

【0034】

また、上記いずれかの半導体装置における酸化物半導体は、インジウム、ガリウム、及び亜鉛を含む酸化物であることが好ましい。

【0035】

このような酸化物半導体をトランジスタ等の半導体装置に用いた場合では、比較的低温で形成されたアモルファス状態の酸化物半導体であっても、他の酸化物半導体に比べて良好な電気的特性（高い電界効果移動度や小さいS値など）と高い信頼性を兼ね備えているため好ましい。ここで、例えば酸化物半導体の一つである酸化亜鉛は低温で多結晶状態となりやすく、その結晶粒界により所望の電界効果移動度やS値などの電気特性を得ることが困難である。

30

【発明の効果】

【0036】

本発明によれば、ソース電極とドレイン電極間の寄生抵抗が低減され、オン特性が改善された半導体装置を提供できる。また、信頼性の高い半導体装置を提供できる。

【図面の簡単な説明】

【0037】

【図1】本発明の一態様の、半導体装置の構成例を説明する図。

【図2】本発明の一態様の、半導体装置の作製工程例を説明する図。

40

【図3】本発明の一態様の、半導体装置の構成例を説明する図。

【図4】本発明の一態様の、半導体装置の作製工程例を説明する図。

【図5】本発明の一態様の、半導体装置の構成例を説明する図。

【図6】本発明の一態様の、半導体装置の作製工程例を説明する図。

【図7】本発明の一態様の、半導体装置の構成例を説明する図。

【図8】本発明の一態様の、半導体装置の構成例を説明する図。

【図9】本発明の一態様の、抵抗素子の構成例を説明する図。

【図10】本発明の一態様の、抵抗素子の構成例を説明する図。

【図11】本発明の一態様の、CPUの構成例を説明する図。

【図12】本発明の一態様の、電子機器の構成例を説明する図。

50

【図 1 3】本発明の一態様の、電子機器の構成例を説明する図。

【図 1 4】実施例にかかる、シート抵抗の測定結果。

【図 1 5】実施例にかかる、断面観察像。

【図 1 6】実施例にかかる、断面観察像。

【図 1 7】実施例にかかる、EDX 分析の測定結果。

【図 1 8】実施例にかかる、XPS 分析の測定結果。

【発明を実施するための形態】

【0038】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0039】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0040】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通又は非導通を制御するスイッチング動作等を実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

20

【0041】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0042】

30

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子等が含まれる。

【0043】

(実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置、及びその作製方法について、図面を参照して説明する。本実施の形態では、半導体装置の一例としてトランジスタの構成例及び作製方法例について説明する。

40

【0044】

< 構成例 >

図 1 (A) は、本構成例で例示するトランジスタ 100 の上面概略図であり、図 1 (B) は、図 1 (A) 中の切断線 A - B で切断した断面概略図である。なお、明瞭化のため図 1 (A) には構成要素の一部 (保護層 109、ゲート絶縁層 111 等) は明示していない。

【0045】

基板 101 上に形成されるトランジスタ 100 は、低抵抗領域 105 a、低抵抗領域 105 b、及び半導体領域 107 を備える酸化物層 103 と、低抵抗領域 105 a 及び低抵

50

抗領域 105b を覆う保護層 109 と、少なくとも半導体領域 107 の上面に接するゲート絶縁層 111 と、ゲート絶縁層 111 の上面に接し、且つ半導体領域 107 と重なるゲート電極層 113 と、酸化物層 103 及びゲート電極層 113 を覆う絶縁層 117 と、絶縁層 117 に設けられた開口部を介してそれぞれ低抵抗領域 105a 又は低抵抗領域 105b に電氣的に接続するソース電極層 115a 及びドレイン電極層 115b と、を有する。

【0046】

酸化物層 103 は、不純物元素が添加された酸化物半導体を含んで構成されている。

【0047】

低抵抗領域 105a 及び低抵抗領域 105b は上記不純物元素により十分に低抵抗化された領域であり、トランジスタ 100 のソース領域又はドレイン領域をなしている。したがって、ソース電極層 115a とドレイン電極層 115b の間の寄生抵抗が十分に低減されている。

10

【0048】

半導体領域 107 は、トランジスタ 100 のチャンネルが形成される領域を含み、低抵抗領域 105a 及び低抵抗領域 105b よりも、酸素の含有量が多く、且つ上記不純物元素の含有量が少ない。

【0049】

半導体領域 107 には十分に低減された量の上記不純物元素が含まれていると、トランジスタ 100 のオン特性（電界効果移動度やオン電流等）が向上するため好ましい。

20

【0050】

さらに、半導体領域 107 に低抵抗領域 105a 及び低抵抗領域 105b と同一の微量な不純物元素が含まれていることにより、半導体領域 107 と、低抵抗領域 105a 又は低抵抗領域 105b の境界におけるショットキー障壁を小さくすることができるため、ソース電極層 115a とドレイン電極層 115b の間の寄生抵抗を低減できる。

【0051】

ゲート電極層 113 は、少なくとも半導体領域 107 の一部と重なるように設けられていればよいが、図 1 に示すように半導体領域 107 の全部と重なるように設けることにより、半導体領域 107 中のチャンネルが形成されない領域（LoFF 領域ともいう）をなくすることができるため、トランジスタ 100 のオン電流を増大させることができる。

30

【0052】

また、ゲート電極層 113 と低抵抗領域 105a 又は低抵抗領域 105b とが重なる領域には、保護層 109 が形成されている。当該保護層 109 によりゲート電極層 113 と低抵抗領域 105a 又は低抵抗領域 105b との間の寄生容量を低減できるため、低消費電力駆動が可能なトランジスタ 100 が実現できる。また、当該保護層 109 を設けることにより当該寄生容量を低減しつつ、ゲート絶縁層 111 を薄膜化できる。ゲート絶縁層 111 を薄膜化することで、さらにオン特性を向上させることができる。

【0053】

なお、上記では一つのゲート電極層 113 を半導体領域 107 の上層に設ける構成としたが、図 1 (C) のように、半導体領域 107 よりも基板 101 側に第 2 のゲート絶縁層として機能する絶縁層 118 を介して第 2 のゲート電極層 116 を設ける構成としてもよい。一方のゲートに適切な電位を与えることにより、トランジスタのしきい値電圧を自由に設定することができる。例えば一方のゲートにトランジスタをオフ状態とする電位を与えることにより、確実にノーマリーオフのトランジスタを実現できる。

40

【0054】

またこのとき、第 2 のゲート電極層 116 を被覆する絶縁層 118 の表面は、当該第 2 のゲート電極層 116 の厚さを反映して形成される段差を無くすように、当該表面が平坦化されていることが好ましい。例えば、絶縁層 118 の表面に対して、CMP 法などの研磨処理、ドライエッチング処理、又はプラズマ処理などの平坦化処理を行えばよい。

【0055】

50

本構成例で例示したトランジスタ１００は、ソース電極層１１５aとドレイン電極層１１５bの間の寄生抵抗が低減され、オン特性が向上したトランジスタである。

【００５６】

<作製方法例>

以下では、上記トランジスタ１００の作製方法の一例について説明する。図２は本実施の形態で例示するトランジスタの作製方法にかかる断面概略図である。

【００５７】

まず、基板１０１上に絶縁層１１９を形成する。

【００５８】

絶縁表面を有する基板１０１に使用することのできる基板に大きな制限はないが、少なくとも後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス等のガラス基板、セラミック基板、石英基板、サファイア基板等を用いることができる。また、シリコンや炭化シリコン等の単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、ＳＯＩ基板等を適用することもでき、これらの基板上に半導体素子が設けられたものを、基板１０１として用いてもよい。

【００５９】

また、基板１０１として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタ１００を直接作製してもよいし、他の作製基板にトランジスタ１００を作製し、その後可撓性基板に転置してもよい。なお、トランジスタ１００を作製基板から剥離し、可撓性基板に転置するために、作製基板とトランジスタ１００の間に剥離層を設けるとよい。

【００６０】

絶縁層１１９は、基板１０１に含まれる不純物がトランジスタ１００に拡散しないための保護膜として機能する。絶縁層１１９としては、プラズマＣＶＤ法又はスパッタリング法等により形成することができ、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を含む膜の単層又は積層構造とすることができる。但し、絶縁層１１９は、酸化物絶縁層を含む単層又は積層構造として、該酸化物絶縁層が後に形成される酸化物層１０３と接する構造とすることが好ましい。なお、絶縁層１１９は、必ずしも設けなくともよい。

【００６１】

絶縁層１１９は酸素過剰領域を有すると、絶縁層１１９に含まれる過剰な酸素によって、後に形成される半導体領域１０７のチャネル形成領域の酸素欠損を補填することが可能であるため好ましい。絶縁層１１９が積層構造の場合は、少なくとも酸化物層１０３と接する層（好ましくは酸化物絶縁層）において酸素過剰領域を有することが好ましい。絶縁層１１９に酸素過剰領域を設けるには、例えば、酸素雰囲気下にて絶縁層１１９を成膜すればよい。又は、成膜後の絶縁層１１９に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して、酸素過剰領域を形成してもよい。酸素の導入方法としては、イオン注入法（イオンドーピング法、イオンインプランテーション法ともいう。）や、プラズマ処理等を用いることができる。

【００６２】

また、絶縁層１１９は、酸素過剰領域を有する層の下側に接して、窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することが好ましい。絶縁層１１９が窒化シリコン膜、窒化酸化シリコン膜又は酸化アルミニウム膜を有することで、トランジスタ１００への不純物の拡散を防止することができる。

【００６３】

絶縁層１１９において酸化物層１０３が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法）、ドライエッチング処理、プラズマ処理を用いることができる。

10

20

30

40

50

【 0 0 6 4 】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素等を用いてもよい。逆スパッタリングを行うと、絶縁層 1 1 9 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【 0 0 6 5 】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、絶縁層 1 1 9 表面の凹凸状態に合わせて適宜設定すればよい。

10

【 0 0 6 6 】

また、絶縁層 1 1 9 を水素（水や水酸基を含む）等の不純物が低減され、かつ酸素過剰な状態とするために、絶縁層 1 1 9 に水素（水や水酸基を含む）を除去（脱水化又は脱水素化）するための加熱処理（脱水化又は脱水素化処理）及び／又は酸素ドーブ処理を行ってもよい。脱水化又は脱水素化処理と、酸素ドーブ処理は複数回行ってよく、両方を繰り返し行ってもよい。

【 0 0 6 7 】

続いて、絶縁層 1 1 9 上に不純物元素が添加された酸化物半導体を含む導電性の酸化物膜を成膜し、当該酸化物膜を島状に加工して酸化物層 1 0 3 を形成する（図 2（A）参照）。

20

【 0 0 6 8 】

酸化物膜の成膜方法として、スパッタリング法、MBE（M o l e c u l e r B e a m E p i t a x y）法、プラズマ C V D 法、パルスレーザ堆積法、ALD（A t o m i c L a y e r D e p o s i t i o n）法等を適宜用いることができる。好適にはスパッタリング法を用いる。

【 0 0 6 9 】

酸化物膜は、添加する不純物元素を含む雰囲気下、好ましくは不純物元素と酸素を含む雰囲気下で成膜する。不純物元素を含む雰囲気下で成膜することで、成膜された膜中に均一に不純物元素を添加することができる。

30

【 0 0 7 0 】

また、スパッタリング法を用いて成膜する場合には、上記に加えて不純物元素を含むターゲットを用いて成膜することで不純物元素が添加された酸化物半導体を含む酸化物膜を成膜してもよい。また、酸化物半導体を含むターゲットと、不純物元素を含むターゲットの 2 つのターゲットを用い、2 つのターゲットから同時に、又は交互に成膜することにより、酸化物膜を成膜してもよい。

【 0 0 7 1 】

酸化物半導体としては、少なくともインジウム（I n）あるいは亜鉛（Z n）を含むことが好ましい。特に I n と Z n を含むことが好ましい。また、トランジスタ 1 0 0 の電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（G a）、スズ（S n）、ハフニウム（H f）、ジルコニウム（Z r）、アルミニウム（A l）のうち、少なくとも一を有することが好ましい。

40

【 0 0 7 2 】

また、他のスタビライザーとして、ランタノイドである、ランタン（L a）、セリウム（C e）、プラセオジウム（P r）、ネオジウム（N d）、サマリウム（S m）、ユウロピウム（E u）、ガドリニウム（G d）、テルビウム（T b）、ジスプロシウム（D y）、ホルミウム（H o）、エルビウム（E r）、ツリウム（T m）、イッテルビウム（Y b）、ルテチウム（L u）のいずれか一種あるいは複数種を有してもよい。

【 0 0 7 3 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸

50

化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物、 In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する。)、 In-Al-Zn 系酸化物、 In-Sn-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物、 In-Hf-Zn 系酸化物、 In-Zr-Zn 系酸化物、 In-La-Zn 系酸化物、 In-Ce-Zn 系酸化物、 In-Pr-Zn 系酸化物、 In-Nd-Zn 系酸化物、 In-Sm-Zn 系酸化物、 In-Eu-Zn 系酸化物、 In-Gd-Zn 系酸化物、 In-Tb-Zn 系酸化物、 In-Dy-Zn 系酸化物、 In-Ho-Zn 系酸化物、 In-Er-Zn 系酸化物、 In-Tm-Zn 系酸化物、 In-Yb-Zn 系酸化物、 In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、 In-Hf-Ga-Zn 系酸化物、 In-Al-Ga-Zn 系酸化物、 In-Sn-Al-Zn 系酸化物、 In-Sn-Hf-Zn 系酸化物、 In-Hf-Al-Zn 系酸化物等のターゲットを用いてスパッタリング法等により形成することができる。なお、スパッタリング法に限らず、上述の酸化物半導体を真空蒸着法、パルスレーザ堆積法、 CVD 法等を用いて形成することができる。

【0074】

なお、ここで、例えば、 In-Ga-Zn 系酸化物とは、 In と Ga と Zn を有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0075】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co のうちの 1 つ又は複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0076】

例えば、 $\text{In:Ga:Zn} = 1:1:1$ 、 $\text{In:Ga:Zn} = 2:2:1$ 、あるいは $\text{In:Ga:Zn} = 3:1:2$ の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In:Sn:Zn} = 1:1:1$ 、 $\text{In:Sn:Zn} = 2:1:3$ あるいは $\text{In:Sn:Zn} = 2:1:5$ の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0077】

インジウムを含む酸化物半導体は、これらの組成に限られず、必要とする電気的特性 (電界効果移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする電気的特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0078】

例えば、 In-Sn-Zn 系酸化物半導体を用いたトランジスタでは比較的容易に高い電界効果移動度が得られる。しかしながら、 In-Ga-Zn 系酸化物半導体を用いたトランジスタでも、バルク内欠陥密度を低くすることにより電界効果移動度を上げることができる。

【0079】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In:Ga:Zn} = a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $\text{In:Ga:Zn} = A:B:C$ ($A+B+C=1$) の酸化物の組成の r だけ近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、 0.05 とすればよい。他の酸化物でも同様である。

【0080】

本実施の形態において、酸化物膜は単層構造を有する。但し、酸化物膜は、不純物が添加された酸化物半導体を含む酸化物膜が複数積層された構造としてもよい。例えば、酸化物膜を、第 1 の酸化物膜と第 2 の酸化物膜の積層として、第 1 の酸化物膜と第 2 の酸化物

10

20

30

40

50

膜に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物膜に三元系金属の酸化物を用い、第2の酸化物膜に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物膜と第2の酸化物膜を、どちらも三元系金属の酸化物としてもよい。

【0081】

また、第1の酸化物膜と第2の酸化物膜の構成元素を同一とし、両者の組成比を異ならせてもよい。例えば、第1の酸化物膜の原子数比を $I n : G a : Z n = 1 : 1 : 1$ とし、第2の酸化物膜の原子数比を $I n : G a : Z n = 3 : 1 : 2$ としてもよい。また、第1の酸化物膜の原子数比を $I n : G a : Z n = 1 : 3 : 2$ とし、第2の酸化物膜の原子数比を $I n : G a : Z n = 2 : 1 : 3$ としてもよい。

【0082】

この時、第1の酸化物膜と第2の酸化物膜のうち、ゲート電極に近い側（チャネル側）の酸化物膜の $I n$ と $G a$ の含有率を $I n > G a$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物膜の $I n$ と $G a$ の含有率を $I n < G a$ とするとよい。

【0083】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 $I n$ の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、 $I n > G a$ の組成となる酸化物は $I n < G a$ の組成となる酸化物と比較して高い移動度を備える。また、 $G a$ は $I n$ と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、 $I n < G a$ の組成となる酸化物は $I n > G a$ の組成となる酸化物と比較して安定した特性を備える。

【0084】

チャネル側に $I n > G a$ の組成となる酸化物半導体を適用し、バックチャネル側に $I n < G a$ の組成となる酸化物半導体を適用することで、トランジスタの移動度及び信頼性をさらに高めることが可能となる。

【0085】

また、第1の酸化物膜と第2の酸化物膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体を適宜組み合わせた構成としてもよい。また、第1の酸化物膜と第2の酸化物膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物膜の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0086】

酸化物半導体に添加する不純物元素としては、例えば、リン（ P ）、砒素（ As ）、アンチモン（ Sb ）、ホウ素（ B ）、アルミニウム（ Al ）、タングステン（ W ）、モリブデン（ Mo ）、窒素（ N ）、フッ素（ F ）、塩素（ Cl ）、チタン（ Ti ）、炭素（ C ）、及び亜鉛（ Zn ）のいずれかから選択される一以上を用いることができる。

【0087】

また不純物元素として、窒素を用いることが好ましい。窒素は酸素と原子半径が近く、酸化物半導体内の酸素原子のサイトに容易に置換可能なため、酸化物半導体内の結合を破壊することなく（結晶性を有する場合にはその結晶構造を維持したまま）低抵抗な酸化物膜を得ることができる。また、後の置換処理によって容易に窒素を酸素と置換させることができるため、半導体領域107中の不純物元素濃度を十分に低減でき、トランジスタ100は良好な電気的特性を得ることができる。

【0088】

酸化物膜の成膜時、上述した元素を含む気体雰囲気下で成膜を行う。又は、上述した元素を含むターゲットを用いてスパッタリング法により成膜する。

【0089】

不純物元素が添加された酸化物半導体中には酸素欠損が生成される。酸化物半導体において酸素欠損はドナーとなり、酸化物半導体中にキャリアである電子を生成する。よって、酸化物半導体の酸素欠損を生成するための不純物元素を導入された酸化物膜は、不純物

10

20

30

40

50

元素が添加されていない酸化物半導体と比較して低抵抗となり、後のトランジスタ100のソース領域又はドレイン領域として機能する。

【0090】

酸化物膜中の不純物元素の濃度は、用いる不純物元素の種類や、目的とする酸化物膜の抵抗率に応じて適宜設定すればよい。例えば、不純物元素として窒素を用いる場合には、酸化物膜中に含まれる窒素濃度が、0.1原子%以上30atomic%以下、より好ましくは1atomic%以上20atomic%以下とする。酸化物膜に含まれる窒素濃度が0.1atomic%よりも低いと、キャリア密度が不十分であり、酸化物膜に含まれる窒素濃度が30atomic%より高いと、後の置換処理によって窒素と酸素の置換が不十分となり、半導体領域107の半導体としての機能が損なわれてしまう恐れがある。

10

【0091】

また、他の酸化物膜の形成方法として、酸化物半導体を含む半導体膜を成膜した後、上述した不純物元素を導入して酸化物膜を形成することもできる。

【0092】

半導体膜へ不純物元素を導入する方法の一つとして、イオン注入法を用いることができる。また、不純物元素を含む雰囲気化で半導体膜表面をプラズマに曝す処理（プラズマ処理）、又は半導体膜表面を不純物元素のラジカルに曝す処理（ラジカル処理）等により、半導体膜中に不純物元素を導入してもよい。

【0093】

また、半導体膜へ不純物元素を導入した後、不純物元素を半導体膜中に拡散させるための熱処理を行ってもよい。当該熱処理により不純物元素が膜中に均一に分布し、形成される酸化物膜の抵抗のばらつきを低減できる。

20

【0094】

本実施の形態では酸化物膜を、In-Ga-Zn系酸化物をターゲットとして用い、成膜ガスとして窒素ガスを用いた減圧雰囲気下でスパッタリング法により形成する。

【0095】

また、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜を行うことで、成膜された酸化物膜の水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H₂O)等水素原子を含む化合物等の排気能力が高いため、当該成膜室で成膜した酸化物膜に含まれる意図しない不純物の濃度を低減できる。

30

【0096】

また、酸化物膜をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物膜を緻密な膜とすることができる。

40

【0097】

また、被形成面を加熱した状態で成膜することでも、水や水素等の意図しない不純物の、膜中への混入を抑制できる。被形成面を加熱する温度としては、150℃以上450℃以下とすればよく、好ましくは基板温度が200℃以上350℃以下とすればよい。また、成膜時に基板を高温で加熱することで、結晶性を有する酸化物膜を形成することができる。

【0098】

上述の方法により成膜した酸化物膜をフォトリソグラフィ工程により島状に加工して、酸化物層103を形成することができる。島状の酸化物層103を形成するためのレジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形

50

成するとフォトリソグラフィを使用しないため、製造コストを低減することができる。

【0099】

続いて、酸化物層103上に絶縁膜を成膜し、当該絶縁膜を加工して酸化物層103の上面の一部を露出させる開口部を有する保護層109を形成する(図2(B))。

【0100】

保護層109は、酸化物層103の保護層109と重なる領域が、後の置換処理に曝されないために設けられる。したがって、保護層109の材料や厚さは、後の置換処理に用いる方法や条件に応じて適宜選択する。

【0101】

例えば、保護層109としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を含む膜の単層又は積層構造とすることができる。ここで、保護層109は、酸化物絶縁層を含む単層又は積層構造として、該酸化物絶縁層が酸化物層103と接する構造とすることが好ましい。

10

【0102】

また、保護層109の少なくとも酸化物層103と接する層には、絶縁層119と同様に酸素過剰な領域を有する酸化絶縁膜を用いることが好ましい。

【0103】

保護層109となる絶縁膜は、プラズマCVD法又はスパッタリング法等により成膜することができる。

20

【0104】

保護層109の有する開口部は、酸化物層103の対向する一対の端部にかからないように形成する。さらに当該開口部は、酸化物層103の他の対向する一対の端部において、それぞれ端部の一部を含むように酸化物層103を横断するように形成する。このような開口部を設けることで、酸化物層103には、上面が露出した領域と、当該領域を挟持する2つの保護層109と重なる領域が形成される。なお、当該開口部の形成は、フォトリソグラフィ法等を用いればよい。

【0105】

続いて、酸化物層103の露出した領域に対して、置換処理を施すことにより、酸化物層103の一部に半導体領域107を形成する(図2(C))。またこのとき、酸化物層103の保護層109と重なる一対の領域は、それぞれ低抵抗領域105a、低抵抗領域105bとなる。

30

【0106】

置換処理は、高エネルギーの酸素121を酸化物層103に導入することにより、酸化物層103中の不純物元素を酸素と置換する処理である。置換処理としては、酸素ラジカル処理、イオン注入法により酸素を導入する処理(酸素イオン注入処理)、酸素プラズマ処理、熱酸化処理等を用いることができる。

【0107】

酸素121としては、少なくとも、酸素ラジカル、オゾン、酸素原子、酸素イオン(分子イオン、クラスティオンを含む)、のいずれかが含まれている。

40

【0108】

置換処理により酸化物層103を構成する酸化物半導体中の不純物元素の一部が酸素と置換する。したがって酸化物半導体中の酸素欠損が低減されることに伴い、酸化物半導体内のキャリア濃度が低減する。よって、置換処理が施された半導体領域107はトランジスタ100のチャネルが形成される半導体として機能する。一方、置換処理が施されていない低抵抗領域105a及び低抵抗領域105bは、キャリア濃度が高い状態が維持されるため低抵抗な領域であり、トランジスタ100のソース領域又はドレイン領域として機能する。

【0109】

50

酸素ラジカル処理を施す場合、酸素雰囲気下で高周波により励起された高密度プラズマを発生させ、当該高密度プラズマにより励起された酸素ラジカルを、被処理面に接触させる。当該酸素ラジカルにより、酸化物層 103 中の不純物元素を酸素と置換することができる。

【0110】

より具体的には、減圧された処理室内に酸素を含むガスを導入し、基板 101 を室温若しくは 100 ～ 550 の温度に加熱した状態で、マイクロ波を導入することにより高密度なプラズマを生じさせることができる。マイクロ波の導入によりプラズマの励起を行うと、低電子温度 (3 eV 以下、好ましくは 1.5 eV 以下) で高電子密度 ($1 \times 10^{11} \text{ cm}^{-3}$ 以上) のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) によって、酸化物層 103 に対して置換処理を行うことができる。プラズマ処理用ガスにアルゴン等の希ガスを混合させると、希ガスの励起種により酸素ラジカルを効率よく生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500 以下の低温で固相反応を起こすことができる。

10

【0111】

酸素イオン注入処理に用いるイオン注入法として、プラズマイメージョンイオンインプランテーション法や、ガスクラスタイオンビームを用いた注入法等を用いてもよい。

【0112】

酸素イオン注入処理を用いる場合、酸素 121 の導入は、基板 101 の全面を一度に処理してもよいし、例えば線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板 101 とイオンビームを相対的に走査する。

20

【0113】

酸素の供給ガスとしては、酸素を含有するガスを用いることができる。例えば、 O_2 ガス、 N_2O ガス、 CO_2 ガス、 CO ガス、 NO_2 ガス等を用いることができる。酸素イオン注入処理に用いる装置が質量分析器を備える場合には、上述した窒素や炭素を含むガスを基板としても、酸素 121 のみを導入することができる。なお、酸素の供給ガスに希ガス (例えば Ar) を含有させてもよい。

【0114】

また、酸素の注入深さは、酸化物層 103 の厚さに応じて適宜設定すればよいが、酸化物層 103 の厚さ方向の中央付近に酸素濃度のピークが形成されるように設定することが好ましい。また、処理中に酸素の注入深さが可変な場合には、酸化物層 103 の厚さ方向に均一に注入されるように設定することがより好ましい。

30

【0115】

また、酸素イオン注入処理により酸化物層 103 に酸素 121 を導入した後、熱処理を施してもよい。熱処理を施すことにより、半導体領域 107 中に残留する不純物元素と、当該不純物元素置換されていない酸素 121 との置換の反応を促進することができる。

【0116】

酸素プラズマ処理を施す場合には、酸素を含む雰囲気下でプラズマを発生させて、当該プラズマにより酸素イオン、又は酸素ラジカルを生成させる。当該酸素イオンや酸素ラジカルが、バイアス電位が印加された電極上に配置された基板 101 の表面に衝突することにより、酸化物層 103 に酸素 121 を導入することができる。なお、酸素の供給ガスに希ガス (例えば Ar) を含有させると、プラズマを安定させつつ供給する酸素の濃度を制御できるため好ましい。

40

【0117】

なお、当該酸素プラズマ処理により、酸化物層 103 の露出した領域の上層の一部がエッチングされ、半導体領域 107 の厚さが低抵抗領域 105a 及び低抵抗領域 105b の厚さよりも薄くなる場合がある。

【0118】

熱酸化処理を施す場合には、酸素を含む雰囲気下で加熱することにより、酸化物層 10

50

3 中に酸素 1 2 1 を導入することができる。

【0119】

なお、熱処理装置は電気炉に限られず、抵抗発熱体等の発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプ等のランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。

【0120】

熱酸化処理は、酸素雰囲気下、又は酸素と希ガスの混合雰囲気下で行うことが好ましい。このとき、酸素ガス及び希ガス中に、水、水素等が含まれないことが好ましい。例えば、熱処理装置に導入する酸素ガス及び希ガスの純度を、6N (99.9999%) 以上好ましくは 7N (99.99999%) 以上 (即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0121】

また、熱処理で酸化物層 103 を加熱した後、加熱温度を維持、又はその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、又は超乾燥エア (CRDS (キャビティリングダウンレーザ分光法) 方式の露点計を用いて測定した場合の水分量が 20 ppm (露点換算で -55) 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下の空気) を導入してもよい。酸素ガスに、水、水素等が含まれないことが好ましい。又は、熱処理装置に導入する酸素ガスの純度を、6N 以上好ましくは 7N 以上 (即ち、酸素ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0122】

また熱酸化処理の他の方法として、酸素雰囲気下で基板 101 に対してレーザ光を照射し、酸化物層 103 を加熱することにより、酸化物層 103 中に酸素 1 2 1 を導入してもよい。

【0123】

続いて、保護層 109 及び半導体領域 107 上にゲート絶縁層 111 を形成する。

【0124】

ゲート絶縁層 111 は、スパッタリング法、MBE 法、CVD 法、パルスレーザ堆積法、ALD 法等を適宜用いて形成することができる。

【0125】

ゲート絶縁層 111 の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、又は窒化酸化シリコン等の向き絶縁材料を用いることができる。ゲート絶縁層 111 は、半導体領域 107 と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁層 111 は、膜中 (バルク中) に少なくとも化学量的組成論比を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁層 111 として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 > 0) とする。

【0126】

また、ゲート絶縁層 111 の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート、ハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$))、酸化ランタン等の材料を用いてもよい。さらに、ゲート絶縁層 111 は、単層構造としてもよいし、積層構造としてもよい。

【0127】

ゲート絶縁層 111 を水素 (水や水酸基を含む) 等の不純物が低減され、かつ酸素過剰な状態とするために、ゲート絶縁層 111 に水素 (水や水酸基を含む) を除去 (脱水化又は脱水素化) するための加熱処理 (脱水化又は脱水素化処理) や酸素ドーブ処理を行って

10

20

30

40

50

もよい。脱水化又は脱水素化処理と、酸素ドーピング処理は複数回行ってもよく、両方を繰り返し行ってもよい。

【0128】

続いて、ゲート絶縁層111上に導電膜を形成し、当該導電膜の一部をエッチングしてゲート電極層113を形成する(図2(D))。

【0129】

ゲート電極層113の材料としては、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いることができる。また、ゲート電極層113としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイド等のシリサイド膜を用いてもよい。ゲート電極層113は、単層構造としてもよいし、積層構造としてもよい。

10

【0130】

また、ゲート電極層113の材料として、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウムスズ酸化物等の導電性の金属酸化物材料を用いることもできる。また、当該金属酸化物材料と、上記金属材料の積層構造とすることもできる。

【0131】

また、ゲート絶縁層111と接するゲート電極層113の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜、窒素を含むIn-Sn-O膜、窒素を含むIn-Ga-O膜、窒素を含むIn-Zn-O膜、窒素を含むSn-O膜、窒素を含むIn-O膜、金属窒化膜(InN、SnN等)を用いることができる。これらの膜は5eV(電子ボルト)、好ましくは5.5eV(電子ボルト)以上の仕事関数を有し、ゲート電極層113として用いた場合、トランジスタのしきい値電圧を正の電圧にすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

20

【0132】

続いて、ゲート絶縁層111及びゲート電極層113上に絶縁層117を形成する。その後、絶縁層117、ゲート絶縁層111及び保護層109に低抵抗領域105a又は低抵抗領域105bに到達する開口部を形成する。次いで、当該開口部を介して低抵抗領域105a又は低抵抗領域105bと電氣的に接続するソース電極層115a及びドレイン電極層115bを形成する(図2(E))。

30

【0133】

絶縁層117は、プラズマCVD法、スパッタリング法、蒸着法、塗布法等により形成することができる。絶縁層117に用いる材料としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化マグネシウム、酸化ジルコニウム、酸化ランタン、酸化バリウム等の無機絶縁膜を単層で又は積層構造で用いることができる。又は、絶縁層117として、トランジスタ起因の表面凹凸を低減するために平坦化が容易な絶縁膜(平坦化絶縁膜)を形成してもよく、無機絶縁膜と平坦化絶縁膜を積層させてもよい。平坦化絶縁膜としては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂等の有機材料と用いることができる。又は、上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。

40

【0134】

ソース電極層115a及びドレイン電極層115bに用いる材料としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン等の金属、又は上述した金属の窒化物(窒化チタン、窒化モリブデン、窒化タングステン)等を用いることができる。また、アルミニウム、銅等の金属膜の下側又は上側の一方又は双方にチタン、モリブデン、タングステン等の高融点金属膜又はそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜等)を積層させた構成としてもよい。また、ソース電極層115a及びドレイン電極層115bに用いる導電膜を、導電性の金属酸化物

50

で形成してもよい。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物、インジウム亜鉛酸化物、又はこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0135】

例えば、ソース電極層115a及びドレイン電極層115bとして、モリブデン膜の単層、窒化タンタル膜と銅膜との積層膜、又は窒化タンタル膜とタンゲステン膜の積層膜等を用いることができる。

【0136】

ソース電極層115a及びドレイン電極層115bは、それぞれ酸化物層103の低抵抗領域105a又は低抵抗領域105bと接して設けられるため、これらの接触抵抗を低減することができる。

【0137】

以上の工程により、基板101上にトランジスタ100を作製することができる。

【0138】

本作製工程例で例示した方法によれば、不純物元素が添加され、十分に低抵抗な低抵抗領域をソース領域又はドレイン領域として用いることにより、ソース電極とドレイン電極の間の寄生抵抗が十分に低減され、オン特性が改善されたトランジスタを作製することができる。

【0139】

また、不純物元素が添加された酸化物半導体を含む酸化物層の一部の不純物元素を酸素と置換することにより、チャネルが形成される半導体領域を形成する。したがって、低抵抗領域を形成するための処理（例えばアルゴンプラズマ処理）によってソース領域及びドレイン領域が薄膜化することがなく、ソース領域及びドレイン領域を低抵抗な領域とすることができる。

【0140】

<変形例1>

以下では、上記構成例で例示したトランジスタとは異なる構成のトランジスタの構成例及び作製工程例について説明する。

【0141】

図3(A)に本変形例で例示するトランジスタ110の断面概略図を示す。トランジスタ110は半導体領域107内に、低抵抗領域105a及び低抵抗領域105bよりも厚さが薄い領域を備える点で、上記構成例で例示したトランジスタ100と相違している。

【0142】

半導体領域107の一部は、低抵抗領域105a又は低抵抗領域105bよりも薄く形成されている。

【0143】

このように、半導体領域107の一部が低抵抗領域105a及び低抵抗領域105bよりも薄く設けられていることにより、トランジスタ110のしきい値電圧を正の電圧にすることが容易であり、所謂ノーマリーオフのスイッチング素子を実現できる。また、半導体領域107の厚さを薄くできるため短チャネル効果を抑制できる。さらに、低抵抗領域105a及び低抵抗領域105bの厚さを厚く形成できるため、ソース電極とドレイン電極の間の寄生抵抗を低減することができる。

【0144】

また半導体領域107は、低抵抗領域105a又は低抵抗領域105bと接する端部に近いほど厚さが増す、いわゆるテーパ形状を有している。さらに、半導体領域107の低抵抗領域105a又は低抵抗領域105bと接する端部の厚さは、低抵抗領域105a及び低抵抗領域105bの厚さと等しい厚さであることが好ましい。

【0145】

図3(B)には、図3(A)中の破線で示す半導体領域107とドレインとして機能する低抵抗領域105bの境界付近を拡大した図を示す。ここで図3(B)には、トランジ

10

20

30

40

50

スタ１１０がオン状態のときのキャリア１２３が低抵抗領域１０５ｂに向かって流れる様子を模式的に示している。

【０１４６】

図３（Ｂ）に示すように半導体領域１０７の端部がテーパ形状をなしていることにより、半導体領域１０７の端部において、キャリア１２３は厚さ方向に広がって低抵抗領域１０５ｂに流れることができ、半導体領域１０７と低抵抗領域１０５ｂの境界での電流密度を緩和することができる。したがって当該端部における発熱が抑制され、信頼性の高いトランジスタ１１０とすることができる。

【０１４７】

またこのとき、酸化物層１０３は、半導体領域１０７と低抵抗領域１０５ａ又は低抵抗領域１０５ｂの境界で段差が生じないように連続的に厚さが増すように設けると、これらの境界における電流密度の緩和が促進されるため好ましい。

10

【０１４８】

また特に、トップゲート型のトランジスタでは、厚さの異なる半導体領域１０７と低抵抗領域１０５ａ又は低抵抗領域１０５ｂの境界において、ゲート絶縁層１１１の被覆性が高まるため、ゲート絶縁層１１１が局所的に薄くなることによるゲートリークや絶縁破壊といった不具合が抑制され、信頼性の高いトランジスタ１１０とすることができる。

【０１４９】

このような形状の半導体領域１０７を備える酸化物層１０３を有するトランジスタ１１０を作製する場合について図４を用いて以下に説明する。

20

【０１５０】

まず、上記作製工程例と同様に、基板１０１上に絶縁層１１９、酸化物層１０３、及び保護層１０９となる絶縁膜１０８を形成する（図４（Ａ））。続いて、絶縁膜１０８の一部をエッチングして保護層１０９を形成する（図４（Ｂ））。

【０１５１】

このとき、絶縁膜１０８のエッチングの際に酸化物層１０３の上層をエッチングするように、オーバーエッチングを施すことにより、図４（Ｂ）に示すように酸化物層１０３の後の半導体領域１０７となる領域の一部を薄膜化させることができる。

【０１５２】

又は、絶縁膜１０８をエッチングした後に、同一のレジストマスクを用いてさらに酸化物層１０３の上層のエッチングを行うことで、酸化物層１０３の加工を行ってもよい。又は、絶縁膜１０８をエッチングして保護層１０９を形成してレジストマスクを除去した後、保護層１０９をエッチングマスク（ハードマスクともいう）として用いて、酸化物層１０３の上層をエッチングしてもよい。

30

【０１５３】

続いて、酸化物層１０３の露出した領域に対して還元処理を施し、当該領域に酸素１２１を導入して不純物元素を酸素と置換することにより、酸化物層１０３の一部に半導体領域１０７を形成する（図４（Ｃ））。

【０１５４】

以降、上述の作製工程例に倣い、ゲート絶縁層１１１、ゲート電極層１１３、絶縁層１１７、ソース電極層１１５ａ及びドレイン電極層１１５ｂを形成する（図４（Ｄ））。

40

【０１５５】

なお上記では、酸化物層１０３の半導体領域１０７となる領域を薄膜化させた後に、当該領域に対して還元処理を施す方法について説明したが、還元処理と酸化物層１０３の上層のエッチング処理を同時に行ってもよい。例えば、絶縁膜１０８をエッチングして保護層１０９を形成した後、酸化物層１０３の露出した領域に対する還元処理として、酸化物層１０３に酸素プラズマ処理等、酸化物層１０３の一部がエッチングされる処理を施すことにより、酸化物層１０３の半導体領域１０７となる領域に酸素１２１を導入しつつ、当該領域を薄膜化する。

【０１５６】

50

以上の工程により、トランジスタ 110 を作製することができる。

【0157】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせ実施することができる。

【0158】

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置の他の例として、上記実施の形態とは異なる構成のトランジスタの構成例、及びその作製方法例について説明する。なお以下では、上記実施の形態と重複する部分については説明を省略し、相違点について詳細に説明する。

10

【0159】

< 構成例 >

図 5 (A) は本実施の形態で例示するトランジスタ 150 の上面概略図であり、図 5 (B) は、図 5 (A) 中の切断線 C - D で切断した断面概略図である。なお、明瞭化のため図 5 (A) には構成要素の一部 (ゲート絶縁層 111 等) は明示していない。

【0160】

トランジスタ 150 は実施の形態 1 で例示したトランジスタ 110 と比較して、保護層 109 を有していない点、またソース電極層 115 a 又はドレイン電極層 115 b が酸化物層 103 の上面及び側面に接して設けられている点で相違している。

【0161】

20

ソース電極層 115 a 及びドレイン電極層 115 b は、それぞれ低抵抗領域 105 a 又は低抵抗領域 105 b を覆い、且つこれらの上面及び側面に接して設けられている。したがって、トランジスタ 110 と比較してソース電極層 115 a 及びドレイン電極層 115 b の低抵抗領域 105 a 又は低抵抗領域 105 b との接触面積を極めて大きくできるため、ソース電極層 115 a とドレイン電極層 115 b との間の寄生抵抗を極めて小さいものとすることができる。

【0162】

< 作製工程例 >

以下では、トランジスタ 150 の作製工程例について、図 6 を用いて説明する。図 6 は本実施の形態で例示するトランジスタの作製方法にかかる断面概略図である。

30

【0163】

まず、実施の形態 1 で例示した方法により、基板 101 上に絶縁層 119、酸化物層 103 を形成する。

【0164】

続いて、絶縁層 119 及び酸化物層 103 上に後のソース電極層 115 a 及びドレイン電極層 115 b となる導電膜 114 を成膜する (図 6 (A))。

【0165】

続いて、導電膜 114 の一部をエッチングしてソース電極層 115 a 及びドレイン電極層 115 b を形成する (図 6 (B))。

【0166】

40

このとき、図 6 (B) に示すように、酸化物層 103 の露出した領域の上層をエッチングし、後の半導体領域 107 となる領域を薄膜化させてもよい。酸化物層 103 の上層をエッチングする方法は、実施の形態 1 の変形例 1 を参酌すればよい。

【0167】

続いて、酸化物層 103 の露出した領域に対して還元処理を施し、当該領域に酸素 121 を導入して不純物元素を酸素と置換することにより、酸化物層 103 の一部に半導体領域 107 を形成する (図 6 (C))。

【0168】

このとき、置換処理の方法によってはソース電極層 115 a 及びドレイン電極層 115 b の上面の一部が酸化され、絶縁化する場合がある。したがって、ソース電極層 115 a

50

及びドレイン電極層 115b を構成する導電膜 114 は、用いる置換処理の方法に応じて、あらかじめ厚く形成しておくことが好ましい。

【0169】

また、置換処理によってソース電極層 115a 及びドレイン電極層 115b の上面に酸化膜が形成されることにより、当該酸化膜をソース電極層 115a 及びドレイン電極層 115b の腐食やマイグレーションを抑制するバリア膜として用いることができる。

【0170】

以降、実施の形態 1 に倣い、ゲート絶縁層 111、ゲート電極層 113、及び絶縁層 117 を形成する（図 6（D））。

【0171】

以上の工程により、トランジスタ 150 を作製することができる。

【0172】

このような方法によれば、ソース電極層 115a 及びドレイン電極層 115b が実施の形態 1 における保護層 109 としての機能を兼ねるため、作製工程を簡略化でき、歩留まりよく作製することができる。

【0173】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせて実施することができる。

【0174】

（実施の形態 3）

本実施の形態では、本発明の一態様の半導体装置の他の例として、上記実施の形態とは異なる構成のトランジスタの構成例について説明する。なお以下では、上記実施の形態と重複する部分については説明を省略し、相違点について詳細に説明する。

【0175】

< 構成例 1 >

図 7（A）は、本構成例で例示するトランジスタ 170 の上面概略図であり、図 7（B）は図 7（A）中の切断線 E - F で切断した断面概略図である。なお、明瞭化のため図 7（A）には構成要素の一部（保護層 109、ゲート絶縁層 111 等）は明示していない。

【0176】

トランジスタ 170 は、実施の形態 1 で例示したトランジスタ 110 と比較して、ソース電極層 115a 及びドレイン電極層 115b が酸化物層 103 よりも基板 101 側に配置されている点で相違している。

【0177】

ソース電極層 115a 及びドレイン電極層 115b は、絶縁層 119 上に互いに離間して設けられ、ソース電極層 115a 及びドレイン電極層 115b 上に接して酸化物層 103 が設けられている。またソース電極層 115a 及びドレイン電極層 115b のそれぞれは、低抵抗領域 105a 又は低抵抗領域 105b と電気的に接続している。また酸化物層 103 の半導体領域 107 は、ソース電極層 115a とドレイン電極層 115b の間の領域と重なるように設けられている。

【0178】

ここで、ソース電極層 115a 又はドレイン電極層 115b は、ゲート電極層 113 と重ねて設けられていてもよい。本構成例では、ゲート電極層 113 とソース電極層 115a 又はドレイン電極層 115b の間に保護層 109 が設けられているため、これらが重なって設けられたとしても電極間の寄生容量を十分に低減することができる。

【0179】

また、ソース電極層 115a 及びドレイン電極層 115b の対向する端部は、半導体領域 107 と重なる領域にまで延在していてもよい。またこのとき、ソース電極層 115a 及びドレイン電極層 115b の一部が半導体領域 107 の下面と接していてもよい。このようにソース電極層 115a 及びドレイン電極層 115b を、低抵抗領域 105a 又は低抵抗領域 105b との接触面積を大きくするように設けることにより、ソース電極層 11

10

20

30

40

50

5 aとドレイン電極層 1 1 5 bの間の寄生抵抗をより低減することができる。

【0180】

また、上記トランジスタ 1 1 0のような構成では、ソース電極層 1 1 5 a又はドレイン電極層 1 1 5 bとゲート電極層 1 1 3とが接する恐れがあるため、ソース電極層 1 1 5 aとドレイン電極層 1 1 5 bとの間の距離を十分に小さくすることができないが、本構成例で例示したトランジスタ 1 7 0ではこのような必要がないため、微細なトランジスタを実現できる。

【0181】

<構成例 2>

図 8 (A) は本構成例で例示するトランジスタ 1 8 0の上面概略図であり、図 8 (B) は図 8 (A) 中の切断線 G - Hで切断した断面概略図である。なお、明瞭化のため図 8 (A) には構成要素の一部(ゲート絶縁層 1 1 1、絶縁層 1 1 7等)は明示していない。

【0182】

トランジスタ 1 8 0は、実施の形態 2で例示したトランジスタ 1 5 0と比較して、ゲート電極層 1 1 3及びゲート絶縁層 1 1 1が酸化物層 1 0 3よりも基板 1 0 1側に設けられている点で相違している。

【0183】

具体的には、ゲート電極層 1 1 3は絶縁層 1 1 9上に設けられ、ゲート電極層 1 1 3を覆ってゲート絶縁層 1 1 1が設けられている。またゲート絶縁層 1 1 1上に接して、ゲート電極層 1 1 3と重なるように酸化物層 1 0 3が設けられている。また酸化物層 1 0 3の低抵抗領域 1 0 5 a及び低抵抗領域 1 0 5 bのそれぞれの上面に接して、ソース電極層 1 1 5 a又はドレイン電極層 1 1 5 bが設けられている。また、酸化物層 1 0 3のソース電極層 1 1 5 a及びドレイン電極層 1 1 5 bと重ならない領域に、半導体領域 1 0 7が設けられている。

【0184】

ここで、図 8に示すように、ゲート電極層 1 1 3がソース電極層 1 1 5 a及びドレイン電極層 1 1 5 bの一部と重なるように設けられていることにより、トランジスタ 1 8 0をオン状態としたときに、半導体領域 1 0 7の端部を含めた全域にチャネルが形成されるため、トランジスタ 1 8 0のオン電流を増大させることができる。

【0185】

また、図 8 (C) に示すように半導体領域 1 0 7の上面に接する第 2のゲート絶縁層 1 8 1と、当該第 2のゲート絶縁層 1 8 1上に接し、半導体領域 1 0 7と重なる第 2のゲート電極層 1 8 3を設ける構成としてもよい。一方のゲートに適切な電位を与えることにより、トランジスタのしきい値電圧を自由に設定することができる。また、図 8 (C) に示すように半導体領域 1 0 7を 2つのゲート絶縁層で挟持する構成とすることにより、半導体領域 1 0 7への不純物の拡散が抑制され、信頼性の高いトランジスタを実現できる。

【0186】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせて実施することができる。

【0187】

(実施の形態 4)

本実施の形態では、上述した半導体装置の作製方法により作製可能な抵抗素子の例について、図面を参照して説明する。なお以下では、上記実施の形態と重複する部分については説明を省略し、相違点について詳細に説明する。

【0188】

また本実施の形態で例示する抵抗素子は、上記実施の形態で例示したトランジスタと同一の作製工程により作製できる。したがって工程を増やすことなくトランジスタと抵抗素子を同一基板上に作製することができる。また、本実施の形態で例示する抵抗素子を構成する層が、上記実施の形態で例示したトランジスタを構成するいずれかの層と共通する機能を有している場合には、名称や符号として共通のものをを用いる場合がある。

【 0 1 8 9 】

< 構成例 1 >

図 9 (A) は、本構成例で例示する抵抗素子 2 0 0 の上面概略図であり、図 9 (B) は図 9 (A) 中の切断線 I - J で切断した断面概略図である。なお明瞭化のため、図 9 (A) には構成要素の一部 (絶縁層 1 1 7 等) を明示していない。

【 0 1 9 0 】

抵抗素子 2 0 0 は、実施の形態 1 で例示したトランジスタ 1 0 0 と比較して、ゲート電極層 1 1 3 を有していない点で相違している。

【 0 1 9 1 】

抵抗素子 2 0 0 は、低抵抗領域 1 0 5 a と低抵抗領域 1 0 5 b に挟持された半導体領域 1 0 7 を備える酸化層 1 0 3 を有する。また低抵抗領域 1 0 5 a 及び低抵抗領域 1 0 5 b のそれぞれの上面に接して、保護層 1 0 9 が設けられている。また、絶縁層 1 1 7、ゲート絶縁層 1 1 1、及び保護層 1 0 9 に設けられた開口部を介して、絶縁層 1 1 7 上に設けられた第 1 の電極層 1 2 5 a 及び第 2 の電極層 1 2 5 b が、低抵抗領域 1 0 5 a 又は低抵抗領域 1 0 5 b と電氣的に接続されている。

10

【 0 1 9 2 】

抵抗素子 2 0 0 は、半導体領域 1 0 7 の抵抗成分を利用した抵抗素子である。ここで低抵抗領域 1 0 5 a 及び低抵抗領域 1 0 5 b は十分に低抵抗化され、且つ当該領域と第 1 の電極層 2 1 5 a 又は第 2 の電極層 2 1 5 b との接触抵抗も十分に低減されている。第 1 の電極層 2 1 5 a 又は第 2 の電極層 2 1 5 b の間の寄生抵抗が極めて小さいため、実質的に抵抗素子 2 0 0 の抵抗値は、半導体領域 1 0 7 の抵抗成分で決定される。

20

【 0 1 9 3 】

ここで、半導体領域 1 0 7 を形成する際の置換処理の条件を変えることにより、半導体領域 1 0 7 の導電性を変化させることができる。したがって、同一の形状で抵抗素子 2 0 0 を形成したとしても、要求される抵抗値に応じて置換処理条件を変化させることで、様々な抵抗値の抵抗素子を作製することができる。

【 0 1 9 4 】

なお、ゲート絶縁層 1 1 1 及び絶縁層 1 1 7 を設けない構成としてもよい。またゲート絶縁層 1 1 1 又は絶縁層 1 1 7 のうち少なくとも一方を、半導体領域 1 0 7 の上面に接して設けると、半導体領域 1 0 7 への不純物の拡散が抑制されるため信頼性の高い抵抗素子 2 0 0 とすることができ好ましい。

30

【 0 1 9 5 】

< 構成例 2 >

図 1 0 (A) は、本構成例で例示する抵抗素子 2 1 0 の上面概略図であり、図 1 0 (B) は図 1 0 (A) 中の切断線 K - L で切断した断面概略図である。なお明瞭化のため、図 1 0 (A) には構成要素の一部 (絶縁層 1 1 7 等) を明示していない。

【 0 1 9 6 】

抵抗素子 2 1 0 は、実施の形態 2 で例示したトランジスタ 1 5 0 と比較して、ゲート電極層 1 1 3 を有していない点で相違している。

【 0 1 9 7 】

40

第 1 の電極層 2 1 5 a 及び第 2 の電極層 2 1 5 b は、それぞれ低抵抗領域 1 0 5 a 又は低抵抗領域 1 0 5 b を覆い、且つこれらの上面及び側面に接して設けられている。したがって、抵抗素子 2 0 0 と比較して第 1 の電極層 2 1 5 a 及び第 2 の電極層 2 1 5 b の低抵抗領域 1 0 5 a 又は低抵抗領域 1 0 5 b との接触面積を極めて大きくできるため、第 1 の電極層 2 1 5 a と第 2 の電極層 2 1 5 b の間の接触抵抗を極めて小さいものとすることができる。

【 0 1 9 8 】

また、上記構成例 1 と同様に、ゲート絶縁層 1 1 1 及び絶縁層 1 1 7 を設けない構成としてもよいが、これらの少なくとも一方を設けると信頼性の高い抵抗素子 2 1 0 とすることができするため好ましい。

50

【0199】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせる実施することができる。

【0200】

(実施の形態5)

上記実施の形態で例示した酸化物層103に適用可能な酸化物半導体として、結晶性を有する酸化物半導体膜を用いると、トランジスタの電気特性を向上できる。好ましくは、酸化物半導体膜としてCAAC-OS(C Axis Aligned Crystal line Oxide Semiconductor)膜を用いることが好ましい。以下では、CAAC-OS膜が適用された半導体装置について説明する。

10

【0201】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0202】

20

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形又は六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0203】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0204】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状又は表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線方向又は表面の法線方向に平行な方向となる。結晶部は、成膜することにより、又は成膜後に熱処理等の結晶化処理を行うことにより形成される。

40

【0205】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0206】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0207】

また、CAAC-OSのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは

50

0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0208】

なお、Raは、JIS B 0601:2001 (ISO 4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式(1)にて定義される。

【0209】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad \dots (1)$$

10

【0210】

なお、上記において、指定面とは、粗さ計測の対象となる面であり、座標((x₁, y₁, f(x₁, y₁))(x₁, y₂, f(x₁, y₂))(x₂, y₁, f(x₂, y₁))(x₂, y₂, f(x₂, y₂))の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS₀、基準面の高さ(指定面の平均の高さ)をZ₀とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0211】

上記のようなCAAC-OS膜を得る方法としては、例えば、基板を加熱して(例えば、基板温度を170℃として)酸化物半導体膜の成膜を行い、表面に概略垂直にc軸配向させる方法がある。

20

【0212】

なお、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよく、第1の酸化物半導体膜と第2の酸化物半導体膜に、CAAC-OSとは異なる結晶性の酸化物半導体を適用してもよい。すなわち、CAAC-OSと、単結晶酸化物半導体、多結晶酸化物半導体、又は非晶質酸化物半導体を適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、積層された酸化物半導体膜の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。一方で、非晶質酸化物半導体は水素等のドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体膜は、CAAC-OS等の結晶性を有する酸化物半導体を適用することが好ましい。

30

【0213】

また、酸化物半導体膜を3層以上の積層構造とし、複数層の結晶性を有する酸化物半導体膜で非晶質酸化物半導体膜を挟む構造としてもよい。また、結晶性を有する酸化物半導体膜と非晶質酸化物半導体膜を交互に積層する構造としてもよい。また、酸化物半導体膜を複数の膜の積層構造とする場合の上記構成は、それぞれを適宜組み合わせることができる。

【0214】

以上のように、酸化物半導体膜としてCAAC-OS膜を用いることにより、熱処理(脱水素化処理)において、CAAC-OS膜の上面から容易に水素を離脱させることができる。また、当該熱処理において、酸素の離脱を低減して選択的に水素を多く離脱させることができる。

40

【0215】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0216】

(実施の形態6)

本実施の形態では、半導体装置の一例として、上記実施の形態に開示した半導体装置を

50

少なくとも一部に用いたCPU (Central Processing Unit) について説明する。

【0217】

図11(A)は、CPUの具体的な構成を示すブロック図である。図11(A)に示すCPUは、基板1190上に、ALU1191 (ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198 (Bus I/F)、書き換え可能なROM1199、及びROMインターフェース1189 (ROM I/F) を有している。基板1190は、半導体基板、SOI基板、ガラス基板等を用いる。ROM1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図11(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

10

【0218】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0219】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0220】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

30

【0221】

図11(A)に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルには、論理を反転させる論理素子 (以降、反転素子と呼ぶ。) と不揮発性記憶素子の両方を備える。

【0222】

図11(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、反転素子によるデータの保持を行うか、不揮発性記憶素子によるデータの保持を行うかを、選択する。反転素子によるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。不揮発性記憶素子におけるデータの保持が選択されている場合、不揮発性記憶素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

40

【0223】

電源停止に関しては、図11(B)又は図11(C)に示すように、メモリセル群と、電源電位VDD又は電源電位VSSの与えられているノード間に、スイッチング素子を設

50

けることにより行うことができる。以下に図 1 1 (B) 及び図 1 1 (C) の回路の説明を行う。

【 0 2 2 4 】

図 1 1 (B) 及び図 1 1 (C) では、レジスタ 1 1 9 6 は、メモリセルへの電源電位の供給を制御するスイッチング素子を備える。

【 0 2 2 5 】

図 1 1 (B) に示すレジスタ 1 1 9 6 は、スイッチング素子 1 1 4 1 と、メモリセル 1 1 4 2 を複数有するメモリセル群 1 1 4 3 とを有している。具体的に、各メモリセル 1 1 4 2 には、反転素子と不揮発性記憶素子の両方を備えている。メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

10

【 0 2 2 6 】

図 1 1 (B) では、スイッチング素子 1 1 4 1 として、トランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 $SigA$ によりスイッチングが制御される。

【 0 2 2 7 】

なお、図 1 1 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

20

【 0 2 2 8 】

また、図 1 1 (C) には、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 VSS が供給されている、レジスタ 1 1 9 6 の一例を示す。スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ローレベルの電源電位 VSS の供給を制御することができる。

【 0 2 2 9 】

メモリセル群と、電源電位 VDD 又は電源電位 VSS の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボード等の入力装置への情報の入力を停止している間でも、 CPU の動作を停止することができ、それにより消費電力を低減することができる。

30

【 0 2 3 0 】

また、このような CPU が適用された電子機器は、消費電力が低減されているため、例えば太陽電池や非接触給電（ワイヤレス給電ともいう）によって得られる比較的小さな電力でも十分に動作させることができる。例えば、電子機器に太陽電池モジュール又は非接触給電モジュールと、このようなモジュールによって得られた電力を蓄電する 2 次電池（リチウムイオン電池等）を備える構成とする。

40

【 0 2 3 1 】

このような CPU を構成するスイッチング素子や抵抗素子に、上記実施の形態で例示した半導体装置を適用することにより、高いオン特性により高速動作が実現された CPU とすることができる。

【 0 2 3 2 】

ここでは、 CPU を例に挙げて説明したが、 DSP (Digital Signal Processor)、カスタム LSI 、 $FPGA$ (Field Programmable Gate Array) 等の LSI にも応用可能である。

【 0 2 3 3 】

50

(実施の形態 7)

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)等の記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナー等の空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、煙感知器、放射線測定器、透析装置等の医療機器、等が挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体等も、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車(EV)、内燃機関と電動機を併せ持ったハイブリッド車(HEV)、プラグインハイブリッド車(PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の具体例を図12及び図13に示す。

【0234】

図12(A)は、携帯音楽プレーヤであり、本体3021には表示部3023と、耳に装着するための固定部3022と、スピーカ、操作ボタン3024、外部メモリスロット3025等が設けられている。上記実施の形態で例示した半導体装置を、本体3021に内蔵されているCPU等に適用することにより、より省電力化された携帯音楽プレイヤー(PDA)とすることができる。

【0235】

さらに、図12(A)に示す携帯音楽プレーヤにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車等を運転しながらワイヤレスによるハンズフリーでの会話も可能である。

【0236】

図12(B)はコンピュータであり、CPUを含む本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206等を含む。上記実施の形態に示したCPU等の半導体装置を利用すれば、省電力化されたコンピュータとすることが可能となる。

【0237】

図13(A)において、テレビジョン装置8000は、筐体8001に表示部8002が組み込まれており、表示部8002により映像を表示し、スピーカ部8003から音声を出力することが可能である。上記実施の形態で例示した半導体装置を筐体8001に組み込まれた表示部8002を動作するための駆動回路に用いることが可能である。

【0238】

表示部8002は、液晶表示装置、有機EL素子等の発光素子を各画素に備えた発光装置、電気泳動表示装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)等の、半導体表示装置を用いることができる。

【0239】

テレビジョン装置8000は、受信機やモデム等を備えていてもよい。テレビジョン装置8000は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向(送信者から

受信者)又は双方向(送信者と受信者間、あるいは受信者間同士等)の情報通信を行うことも可能である。

【0240】

また、テレビジョン装置8000は、情報通信を行うためのCPUや、メモリを備えていてもよい。テレビジョン装置8000は、上記実施の形態で例示したCPU等の半導体装置を用いることが可能である。

【0241】

図13(A)において、室内機8200及び室外機8204を有するエアコンディショナーは、上記実施の形態で例示したCPU等の半導体装置を用いた電子機器の一例である。具体的には、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図13(A)において、CPU8203が、室内機8200に設けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。或いは、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。上記実施の形態で例示したCPUを用いることにより、省電力に優れたエアコンディショナーを実現できる。

10

【0242】

図13(A)において、電気冷凍冷蔵庫8300は、上記実施の形態で例示したCPU等の半導体装置を備える電子機器の一例である。具体的には、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、CPU8304等を有する。図13(A)では、CPU8304が、筐体8301の内部に設けられている。上記実施の形態で例示したCPU等の半導体装置を電気冷凍冷蔵庫8300のCPU8304に用いることによって省電力化が図れる。

20

【0243】

図13(B)、及び図13(C)において、電子機器の一例である電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。上記実施の形態で例示したCPU等の半導体装置を電気自動車9700の処理装置9704に用いることによって省電力化が図れる。

【0244】

30

駆動装置9703は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせる構成される。処理装置9704は、電気自動車9700の運転者の操作情報(加速、減速、停止等)や走行時の情報(上り坂や下り坂等の情報、駆動輪にかかる負荷情報等)の入力情報に基づき、制御回路9702に制御信号を出力する。制御回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【0245】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

40

【実施例1】

【0246】

本実施例では、不純物元素が添加された酸化物半導体を含む酸化物膜に対して置換処理を行い、置換処理前後でシート抵抗の測定を行った結果と、置換処理後に断面観察を行った結果について示す。

【0247】

<試料の作製>

まず、126mm×126mmのガラス基板上に厚さが100nmとなるように、酸化シリコン膜をスパッタリング法により成膜した。

【0248】

50

続いて、酸化シリコン膜上に厚さが30nmとなるように、窒素が添加されたIn-Ga-Zn-O膜（以降IGZO-N膜ともいう）をスパッタリング法により成膜した。

【0249】

IGZO-N膜の成膜条件は、組成比として $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol比]の酸化物ターゲットを用い、基板とターゲットとの間の距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、窒素(N_2 流量40sccm)雰囲気下、基板温度200とした。

【0250】

IGZO-N膜に対し、置換処理として酸素ラジカル処理を行った試料(試料1)と、酸素イオン注入処理を行った試料(試料2)を作製した。

10

【0251】

酸素ラジカル処理の条件は、アルゴンと酸素(Ar流量900sccm、 O_2 流量5sccm)雰囲気下、電力3.8kW(周波数2.45GHz)、基板温度200、処理室内圧力 10^{-6} Pa、電極間隔60mmとし、10分間処理を行った。

【0252】

酸素イオン注入処理としては、イオンインプランテーション法を用いた。酸素イオン注入処理の条件は、酸素イオンのドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧5kVとした。

【0253】

以上の工程により、IGZO-N膜に対して置換処理として酸素ラジカル処理を行った試料1、置換処理として酸素イオン注入処理を行った試料2を、それぞれ作製した。また置換処理を施していないものを比較例として用いた。

20

【0254】

ここで、試料1、試料2について、置換処理の工程の前後において、シート抵抗測定を行った。測定は、100mm×100mmの領域内の25点について行った。

【0255】

<シート抵抗測定>

続いて、試料1及び試料2における、置換処理の前後で測定したシート抵抗測定の結果を示す。

【0256】

30

[試料1]

試料1のシート抵抗の測定結果を図14(A)に示す。置換処理を施す前の段階ではシート抵抗値が0.43M Ω /〜1.63M Ω /の範囲であったのに対し、置換処理を施した後では、シート抵抗値は装置の検出上限以上(1G Ω /以上)であった。

【0257】

[試料2]

試料2のシート抵抗の測定結果を図14(B)に示す。置換処理を施す前の段階ではシート抵抗値が0.40M Ω /〜1.39M Ω /の範囲であったのに対し、置換処理を施した後では、異常値を除くと装置の検出上限以上(1G Ω /以上)であった。ここで、置換処理を施した後において、極端にシート抵抗値が低く見積もられた点は基板の端部に偏って分布していたため、ここでは異常値として対象から除外した。

40

【0258】

<断面像の観察結果>

続いて、作製した3つの試料について、走査型透過電子顕微鏡(STEM(Scanning Transmission Electron Microscopy))により断面観察を行った。なお、観察の前処理として各試料に対してカーボンとPtをコーティングした。

【0259】

[比較例]

比較例の断面観察像を図15に示す。酸化シリコン膜上にIGZO-N膜が、約32.

50

6 nmの厚さで成膜されていることが確認できた。

【0260】

[試料1]

試料1の断面観察像を図16(A)に示す。酸化シリコン膜上にIGZO-N膜が約35.3 nmの厚さで成膜されていることが確認できた。また、IGZO-N膜の上層約12.1 nmの領域(図中の矢印で示す領域)に、異層が形成されていることが確認できた。

【0261】

[試料2]

試料2の断面観察像を図16(B)に示す。酸化シリコン膜上にIGZO-N膜が約33.7 nmの厚さで成膜されていることが確認できた。また、IGZO-N膜の上層約6.2 nmの領域(図中の矢印で示す領域)に、異層が形成されていることが確認できた。

【0262】

< EDX分析 >

続いて、試料1及び試料2で見られたIGZO-N膜中の異層について、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray Spectroscopy)による分析を行った結果を示す。なお、比較例についても同様の分析を行った。

【0263】

比較例のIGZO-N膜と、試料1及び試料2のIGZO-N膜中の異層における、EDX分析結果を図17に示す。図17には、Inに対するGa、Zn、N、Oの相対濃度を示している。

【0264】

試料1、試料2共に、窒素濃度が低減し、酸素濃度が上昇していることが確認できた。

【0265】

以上の一連の結果から、置換処理によってIGZO-N膜中の不純物元素である窒素が酸素に置換されたことが確認できた。さらに、置換処理によってIGZO-N膜の上層の一部を酸素に置換することにより抵抗率が大幅に上昇することが確認できた。

【0266】

ここで、本実施例ではIGZO-N膜の上層の一部のみで置換処理の効果が見られたが、本実施例の結果から、IGZO-N膜の薄膜化、または置換処理の条件のさらなる最適化により、IGZO-N膜の全層に渡って置換処理が可能なが示唆された。

【実施例2】

【0267】

< XPS分析による組成分析結果 >

本実施例では、実施例1で作製した3つの試料について、X線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)を用いて、さらに詳細に組成分析を行った結果を示す。

【0268】

比較例、試料1、及び試料2について、IGZO-N膜の最表面におけるXPS分析による組成分析結果を図18に示す。図18には、In、Ga、Zn、N、Oの濃度を示している。

【0269】

窒素濃度について、置換処理を施していない比較例では約10.5 atom%であるのに対し、試料1では約1.4 atom%、試料2では約5.1 atom%であった。

【0270】

一方、酸素濃度については、比較例では約47.8 atom%であるのに対し、試料1では59.5 atom%、試料2では約55.5 atom%であった。

【0271】

以上のように、置換処理を施すことで窒素の大幅な濃度の低下と、酸素の大幅な濃度の

10

20

30

40

50

上昇がみられたことから、膜中の窒素が酸素に置換されたことが確認できた。

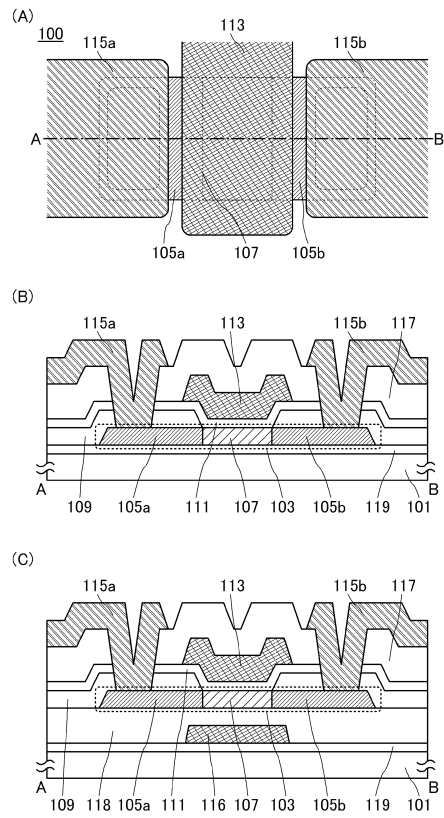
【符号の説明】

【 0 2 7 2 】

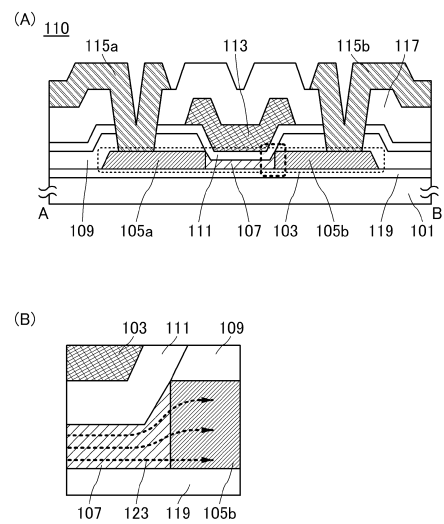
1 0 0	トランジスタ	
1 0 1	基板	
1 0 3	酸化物層	
1 0 5 a	低抵抗領域	
1 0 5 b	低抵抗領域	
1 0 7	半導体領域	
1 0 8	絶縁膜	10
1 0 9	保護層	
1 1 0	トランジスタ	
1 1 1	ゲート絶縁層	
1 1 3	ゲート電極層	
1 1 4	導電膜	
1 1 5 a	ソース電極層	
1 1 5 b	ドレイン電極層	
1 1 6	ゲート電極層	
1 1 7	絶縁層	
1 1 8	絶縁層	20
1 1 9	絶縁層	
1 2 1	酸素	
1 2 3	キャリア	
1 2 5 a	電極層	
1 2 5 b	電極層	
1 5 0	トランジスタ	
1 7 0	トランジスタ	
1 8 0	トランジスタ	
1 8 1	ゲート絶縁層	
1 8 3	ゲート電極層	30
2 0 0	抵抗素子	
2 1 0	抵抗素子	
2 1 5 a	電極層	
2 1 5 b	電極層	
1 1 4 1	スイッチング素子	
1 1 4 2	メモリセル	
1 1 4 3	メモリセル群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	40
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
3 0 2 1	本体	
3 0 2 2	固定部	50

3 0 2 3	表示部	
3 0 2 4	操作ボタン	
3 0 2 5	外部メモリスロット	
8 0 0 0	テレビジョン装置	
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	10
8 2 0 3	C P U	
8 2 0 4	室外機	
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	20
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	制御回路	
9 7 0 3	駆動装置	
9 7 0 4	処理装置	

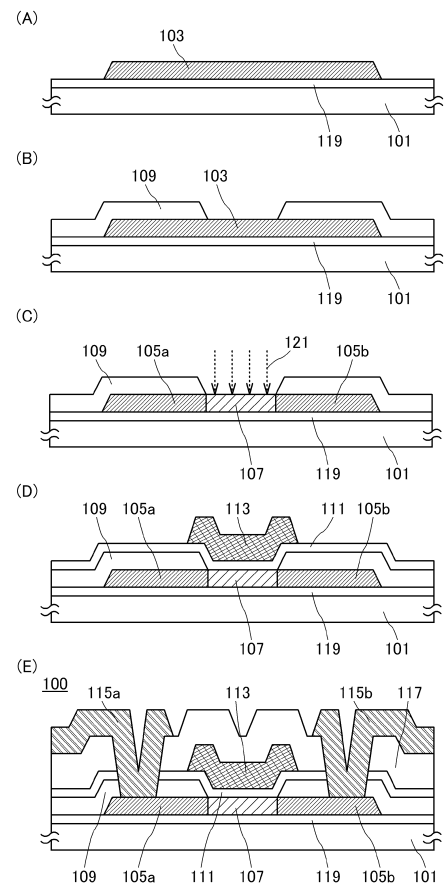
【図 1】



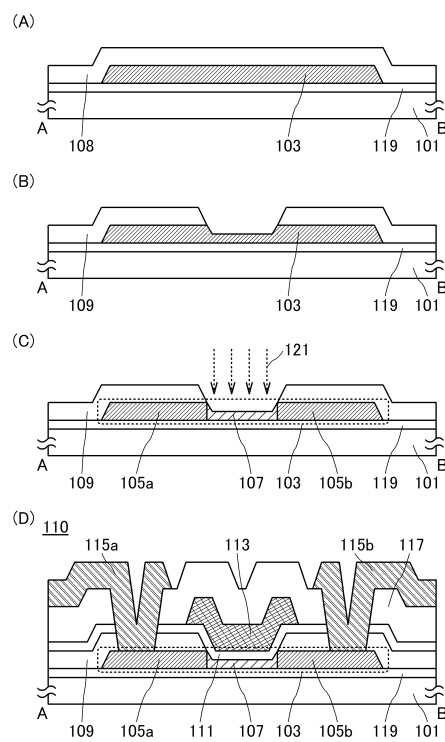
【図 3】



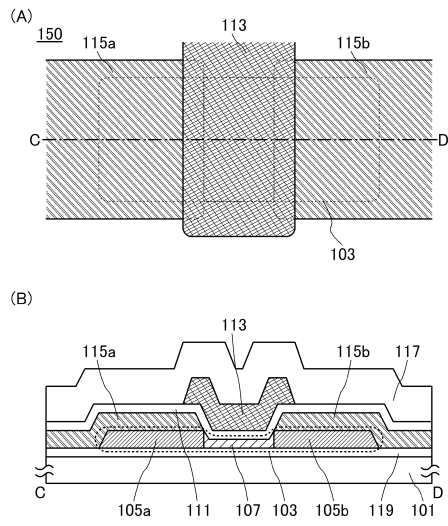
【図 2】



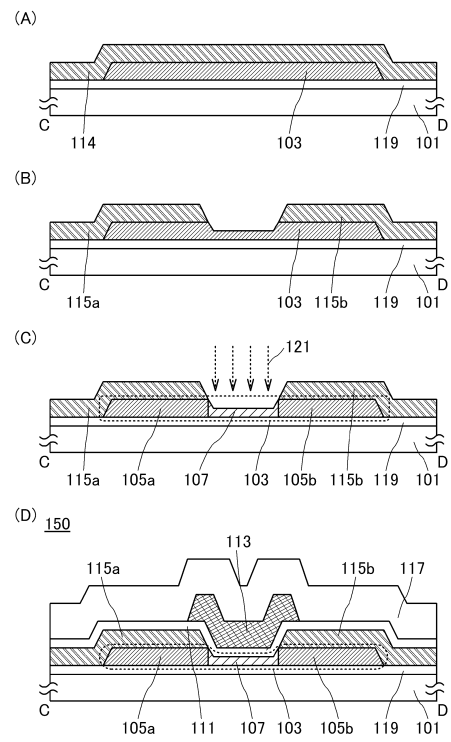
【図 4】



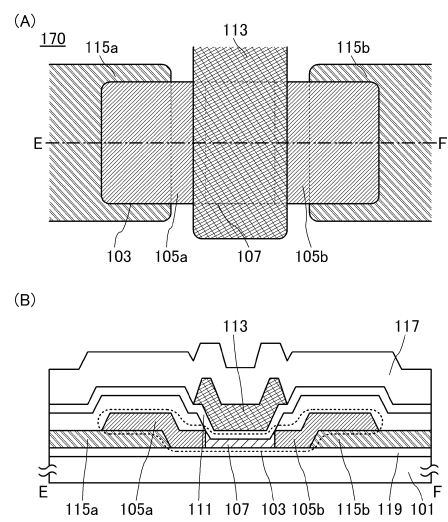
【図 5】



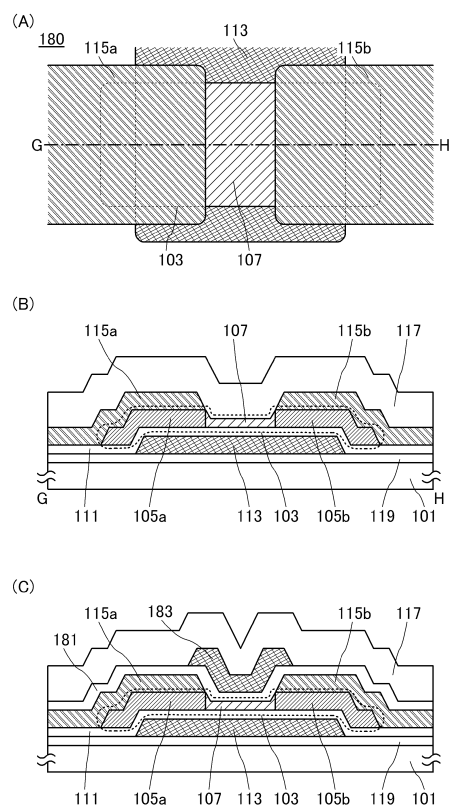
【図 6】



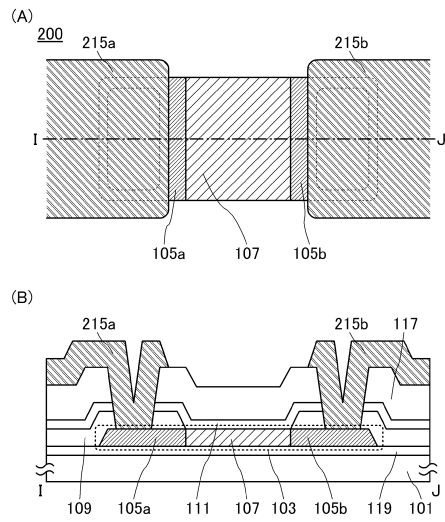
【図 7】



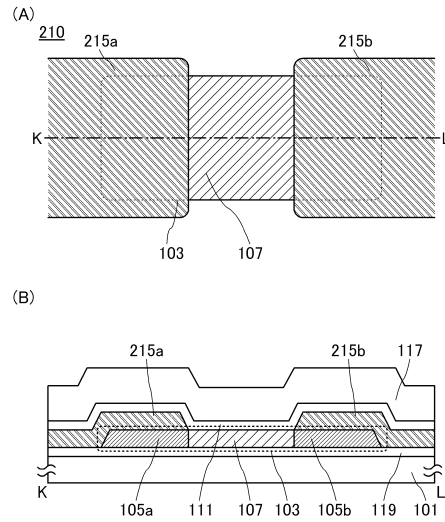
【図 8】



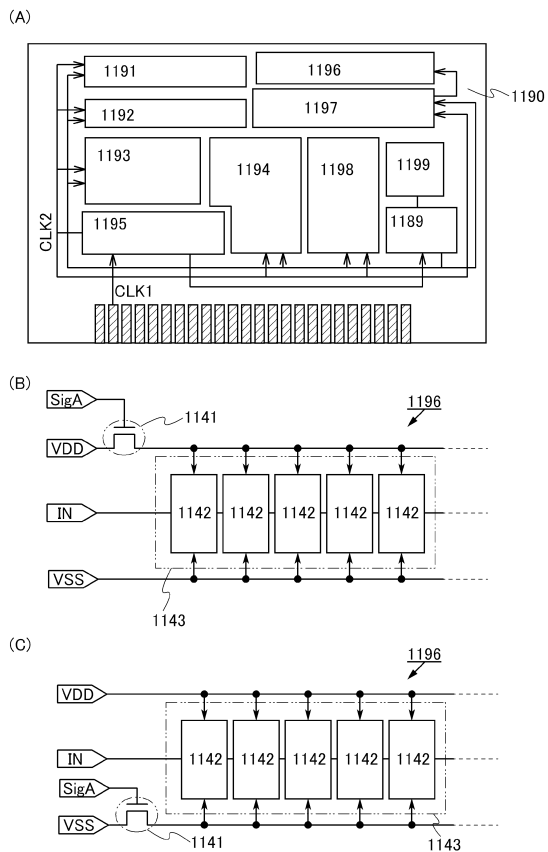
【図 9】



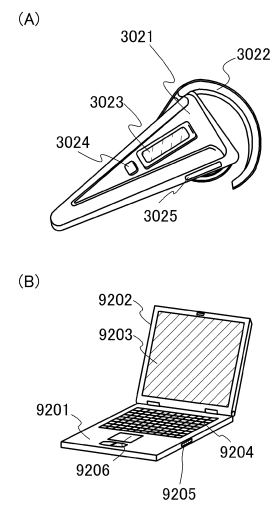
【図 10】



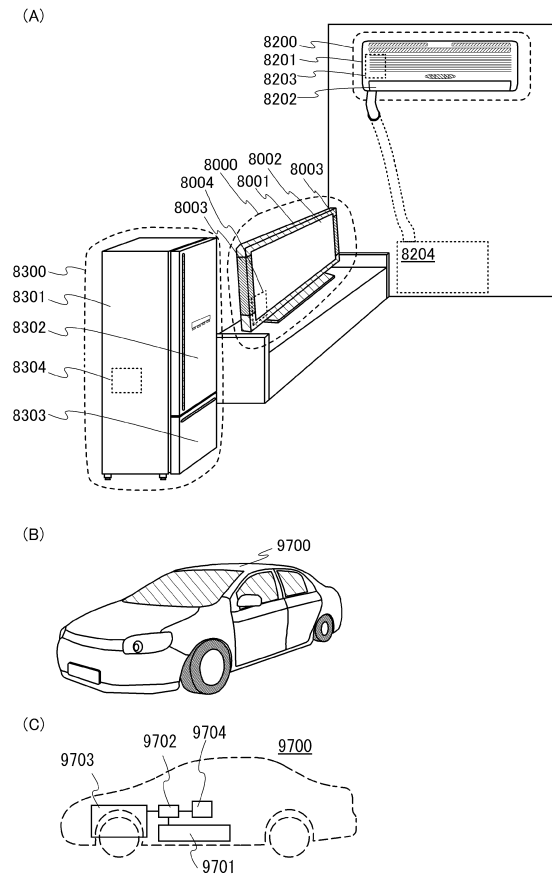
【図 11】



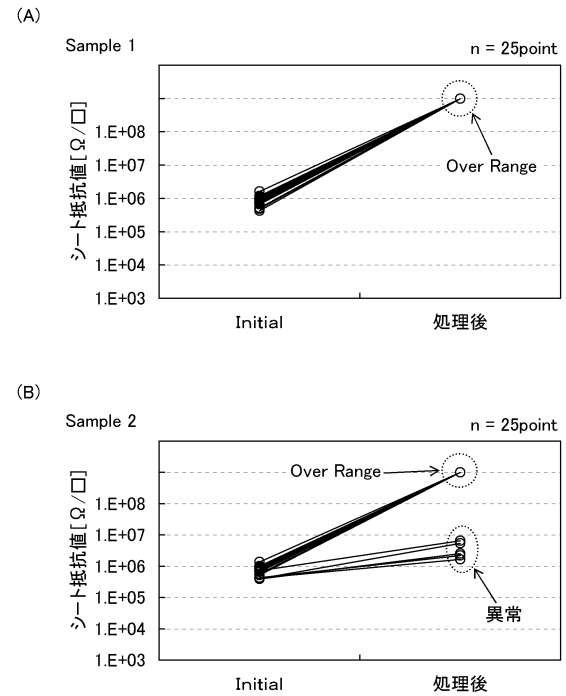
【図 12】



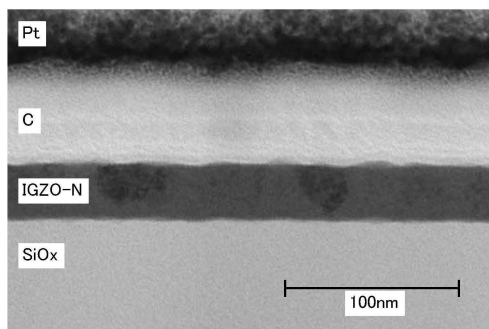
【図 13】



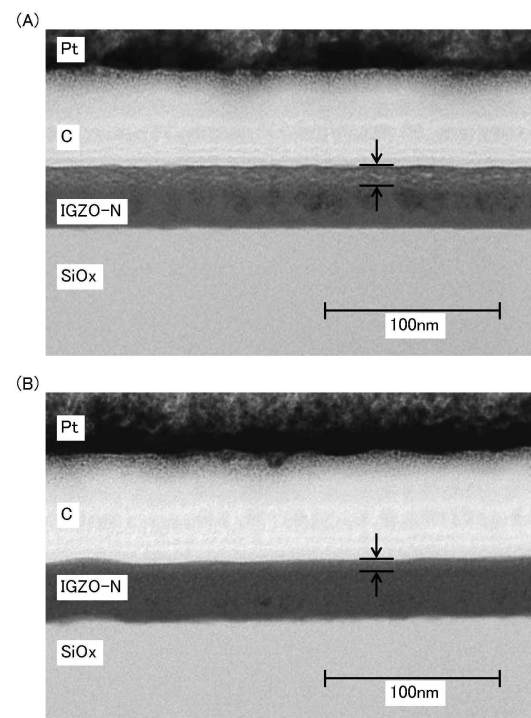
【図 14】



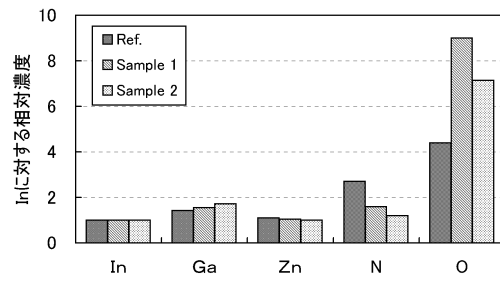
【図 15】



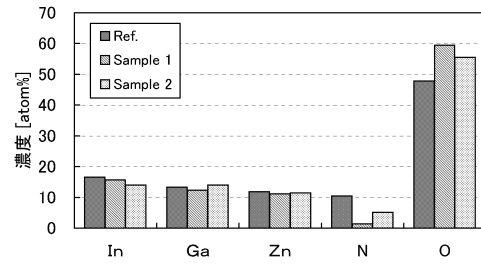
【図 16】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開2004-165622(JP,A)
米国特許出願公開第2004/0113214(US,A1)
特開2004-014094(JP,A)
特開2011-135063(JP,A)
米国特許出願公開第2013/0082256(US,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/786
H01L 21/336