

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6599622号
(P6599622)

(45) 発行日 令和1年10月30日(2019. 10. 30)

(24) 登録日 令和1年10月11日(2019. 10. 11)

(51) Int. Cl.

F I

G 1 1 C 11/405 (2006. 01)

G 1 1 C 11/405

G 1 1 C 11/56 (2006. 01)

G 1 1 C 11/56 2 5 O

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/108 3 2 1

H O 1 L 27/108 (2006. 01)

H O 1 L 29/78 6 1 3 B

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

請求項の数 6 (全 53 頁)

(21) 出願番号 特願2015-50214 (P2015-50214)
 (22) 出願日 平成27年3月13日(2015. 3. 13)
 (65) 公開番号 特開2015-195074 (P2015-195074A)
 (43) 公開日 平成27年11月5日(2015. 11. 5)
 審査請求日 平成30年3月7日(2018. 3. 7)
 (31) 優先権主張番号 特願2014-51497 (P2014-51497)
 (32) 優先日 平成26年3月14日(2014. 3. 14)
 (33) 優先権主張国・地域又は機関
 日本国(JP)
 (31) 優先権主張番号 特願2014-69626 (P2014-69626)
 (32) 優先日 平成26年3月28日(2014. 3. 28)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 熱海 知昭
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

ビット線と、

電源線と、

第1のワード線及び第2のワード線と、

第1のトランジスタ乃至第4のトランジスタと、

第1の容量素子及び第2の容量素子と、

第1のノード及び第2のノードと、を有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のノードと電氣的に接続され、

前記第1のトランジスタのソース及びドレインの他方は、前記ビット線と電氣的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第2のノードと電氣的に接続され、

前記第2のトランジスタのソース及びドレインの他方は、前記ビット線と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第1のノードと電氣的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記ビット線と電氣的に接続され、

前記第3のトランジスタのソース及びドレインの他方は、前記第4のトランジスタのソ

ース及びドレインの一方と電氣的に接続され、

前記第4のトランジスタのソース及びドレインの他方は、前記電源線と電氣的に接続され、

前記第4のトランジスタのゲートは、前記第2のノードと電氣的に接続され、

前記第1の容量素子の第1の端子は、前記第1のノードと電氣的に接続され、

前記第1の容量素子の第2の端子は、前記第1のワード線と電氣的に接続され、

前記第2の容量素子の第1の端子は、前記第2のノードと電氣的に接続され、

前記第2の容量素子の第2の端子は、前記第2のワード線と電氣的に接続され、

前記第1のノードに保持されるデータは、 2^M 値（Mは1以上の自然数）のデータであり、

前記第2のノードに保持されるデータは、 2^M 値（Mは1以上の自然数）のデータであり、

前記第1のトランジスタ及び前記第2のトランジスタのチャンネルはそれぞれ、酸化物半導体を有し、

前記ビット線は複数のプラグを有することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記ビット線が有する第1のプラグは、前記第1のトランジスタのソース及びドレインの他方となる第1の電極が有するコンタクトホール内において、前記第1の電極の側面と接する領域を有し、

前記ビット線が有する第2のプラグは、前記第2のトランジスタのソース及びドレインの他方となる第2の電極が有するコンタクトホール内において、前記第2の電極の側面と接する領域を有する

ことを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタ及び前記第2のトランジスタはそれぞれ、

前記チャンネルの上方側に配置された第1のゲート電極と、

前記チャンネルの下方に配置された第2のゲート電極と、を有することを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記第3のトランジスタ及び前記第4のトランジスタはそれぞれ、pチャンネル型トランジスタであることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項3のいずれかーにおいて、

前記第3のトランジスタ及び前記第4のトランジスタはそれぞれ、nチャンネル型トランジスタであることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれかーに記載の半導体装置と、表示装置、マイクロフォン、スピーカー、操作キー、または、筐体と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、又は製造方法に関する。又は、本発明は、プロセス、マシン、マニファクチャ、又は組成物（コンポジション・オブ・マター）に関する。また、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置、又は発光装置に関する。

10

20

30

40

50

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0003】

シリコン(Si)を半導体層に用いたトランジスタと、酸化物半導体(Oxide Semiconductor:OS)を半導体層に用いたトランジスタと、を組み合わせるデータの保持を可能にした半導体装置が注目されている(特許文献1参照)。

【0004】

近年、扱われるデータ量の増大に伴って、大きな記憶容量を有する半導体装置が求められている。そうした中で、前述した特許文献1に記載の半導体装置では、多値のデータを記憶し、該データを読み出す構成について開示している。なお、本明細書中では特に断りがない限り、多値のデータとはjビット(jは2以上の自然数)のデータのことを表す。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2012-256400号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

例えば、特許文献1に記載の半導体装置では、1つのトランジスタを用いて、多値データの書き込みを行っているが、多値データのビット数が増えると、それぞれのデータに対応する電位と電位の差が小さくなり、データを読み出す際の電位の判定が難しくなり、誤った値を読み出す可能性がある。

【0007】

本発明の一態様は、多値のデータの書き込みと読み出しを行うことのできる半導体装置を提供すること、または、多値のデータの書き込みと読み出しを行うことのできる半導体装置の駆動方法を提供することを課題の一とする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

【0008】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0009】

本発明の一態様は、ビット線と、電源線と、第1及び第2のワード線と、第1乃至第4のトランジスタと、第1及び第2の容量素子と、第1及び第2の保持ノードと、を有する半導体装置である。第1の保持ノードは、第1のトランジスタを介して、第1のデータが与えられる。第2の保持ノードは、第2のトランジスタを介して、第2のデータが与えられる。第3のトランジスタのゲートは第1の保持ノードに電氣的に接続される。第3のトランジスタのソース及びドレインの一方は、ビット線に電氣的に接続される。第3のトランジスタのソース及びドレインの他方は、第4のトランジスタのソース及びドレインの一方に電氣的に接続される。第4のトランジスタのソース及びドレインの他方は、電源線に電氣的に接続される。第4のトランジスタのゲートは、第2の保持ノードに電氣的に接続される。第1の容量素子の第1の端子は、第1の保持ノードに電氣的に接続される。第1の容量素子の第2の端子は、第1のワード線に電氣的に接続される。第2の容量素子の第1の端子は、第2の保持ノードに電氣的に接続される。第2の容量素子の第2の端子は、第2のワード線に電氣的に接続される。第1及び第2のデータは、2値又は多値のデータか

10

20

30

40

50

ら成る。第 1 及び第 2 のトランジスタは半導体層に酸化物半導体を有する。

【 0 0 1 0 】

上記態様において、第 3 及び第 4 のトランジスタは、p チャネル型トランジスタである。

【 0 0 1 1 】

上記態様において、第 3 及び第 4 のトランジスタは、n チャネル型トランジスタである。

【 0 0 1 2 】

本発明の一態様は、上記態様に記載の半導体装置と、表示装置、マイクロフォン、スピーカー、操作キー、または、筐体と、を有する電子機器である。

【 0 0 1 3 】

本明細書等において、トランジスタとは、ゲート（ゲート端子又はゲート電極）と、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。

【 0 0 1 4 】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第 1 電極と表記し、ソースとドレインとの他方を第 2 電極と表記する場合がある。

【 0 0 1 5 】

本明細書にて用いる「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【 0 0 1 6 】

本明細書において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電氣的に接続されているとは、A と B との間で、何らかの電氣的作用を有する対象物が存在するとき、A と B との電氣信号の授受を可能とするものをいう。

【 0 0 1 7 】

例えば、トランジスタのソース（又は第 1 の端子など）が、Z 1 を介して（又は介さず）、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソース（又は第 1 の端子など）が、Z 1 の一部と直接的に接続され、Z 1 の別の一部が X と直接的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 の一部と直接的に接続され、Z 2 の別の一部が Y と直接的に接続されている場合では、以下のように表現することが出来る。

【 0 0 1 8 】

例えば、「X と Y とトランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y の順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）は Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この順序で電氣的に接続されている」と表現することができる。または、「X は、トランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とを介して、Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別

10

20

30

40

50

して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0019】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0020】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電位差（ V_{GS} ）がしきい値電圧（ V_{th} ）よりも低い状態、pチャネル型トランジスタでは、 V_{GS} が V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 V_{GS} が V_{th} よりも低いときのドレイン電流を言う場合がある。トランジスタのオフ電流は、 V_{GS} に依存する場合がある。従って、トランジスタのオフ電流が 10^{-21} A以下である、とは、トランジスタのオフ電流が 10^{-21} A以下となる V_{GS} の値が存在することを言う場合がある。

【0021】

また、トランジスタのオフ電流は、ドレインとソースの間の電位差（ V_{DS} ）に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{DS} の絶対値が0.1 V、0.8 V、1 V、1.2 V、1.8 V、2.5 V、3 V、3.3 V、10 V、12 V、16 V、または20 Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等に要求される信頼性において用いられる V_{DS} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{DS} におけるオフ電流、を表す場合がある。

【発明の効果】

【0022】

本発明の一態様により、多値のデータの書き込みと読み出しを行うことのできる半導体装置を提供すること、または、多値のデータの書き込みと読み出しを行うことのできる半導体装置の駆動方法を提供することが可能になる。また、本発明の一態様により、新規な半導体装置を提供することが可能になる。

【0023】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0024】

【図1】メモリセルの一例を示す回路図。

【図2】メモリセルの動作の一例を示すタイミングチャート。

【図3】メモリセルの動作の一例を示すタイミングチャート。

【図4】メモリセルの一例を示す回路図。

【図5】メモリセルの動作の一例を示すタイミングチャート。

【図6】メモリセルの動作の一例を示すタイミングチャート。

【図7】半導体装置の一例を示す回路ブロック図。

【図8】半導体装置の一例を示す回路ブロック図。

【図9】行選択ドライバの一例を示す回路ブロック図。

【図10】列選択ドライバの一例を示す回路ブロック図。

【図11】A/Dコンバータの一例を示す回路ブロック図。

【図12】半導体装置の一例を示す断面図。

10

20

30

40

50

【図 1 3】トランジスタの一例を示す上面図及び断面図。

【図 1 4】トランジスタの一例を示す断面図およびバンド図。

【図 1 5】酸化物半導体の断面における高分解能 T E M 像および局所的なフーリエ変換像。

【図 1 6】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。

【図 1 7】電子照射による結晶部の変化を示す図。

【図 1 8】透過電子回折測定による構造解析の一例を示す図、および平面における高分解能 T E M 像。

【図 1 9】電子機器の一例を示す図。

10

【図 2 0】R F タグの一例を示す図。

【図 2 1】メモリセルの一例を示す回路図。

【図 2 2】メモリセルの一例を示す回路図。

【図 2 3】メモリセルの一例を示す回路図。

【図 2 4】半導体装置の一例を示す回路ブロック図。

【図 2 5】半導体装置の一例を示す回路ブロック図。

【発明を実施するための形態】

【 0 0 2 5 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

20

【 0 0 2 6 】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。また、以下に説明する実施の形態において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

【 0 0 2 7 】

(実施の形態 1)

本実施の形態では、本発明の一態様に係る半導体装置が有する、メモリセルの回路構成およびその動作について、図 1 乃至図 3 を参照して説明する。

【 0 0 2 8 】

メモリセルの構成例

図 1 は、本発明の一態様であるメモリセル 1 0 0 の回路図である。

【 0 0 2 9 】

図 1 に示すメモリセル 1 0 0 では、トランジスタ 1 0 1 と、トランジスタ 1 0 2 と、トランジスタ 1 0 3 と、容量素子 1 0 4 と、トランジスタ 1 0 5 と、容量素子 1 0 6 と、ノード F N 1 と、ノード F N 2 と、を有している。また、メモリセル 1 0 0 は、ビット線 B L、電源線 S L、ワード線 W L C 1、ワード線 W L O S 1、ワード線 W L C 2 及びワード線 W L O S 2 に電氣的に接続されている。

40

【 0 0 3 0 】

トランジスタ 1 0 1 のゲートは、ワード線 W L O S 1 に電氣的に接続され、トランジスタ 1 0 1 のソースおよびドレインの一方は、ビット線 B L に電氣的に接続され、トランジスタ 1 0 1 のソースおよびドレインの他方は、ノード F N 1 に電氣的に接続され、トランジスタ 1 0 1 の第 2 のゲートは、信号 B G 1 が与えられる配線に電氣的に接続されている。

【 0 0 3 1 】

トランジスタ 1 0 2 のゲートは、ノード F N 1 に電氣的に接続され、トランジスタ 1 0 2

50

のソースおよびドレインの一方は、ビット線 B L に電氣的に接続され、トランジスタ 1 0 2 のソースおよびドレインの他方は、トランジスタ 1 0 3 のソース及びドレインの一方に電氣的に接続されている。

【 0 0 3 2 】

トランジスタ 1 0 3 のゲートは、ノード F N 2 に電氣的に接続され、トランジスタ 1 0 3 のソースおよびドレインの他方は、電源線 S L に電氣的に接続されている。

【 0 0 3 3 】

容量素子 1 0 4 の一方の端子は、ワード線 W L C 1 に電氣的に接続され、容量素子 1 0 4 の他方の端子は、ノード F N 1 に電氣的に接続されている。

【 0 0 3 4 】

トランジスタ 1 0 5 のゲートは、ワード線 W L O S 2 に電氣的に接続され、トランジスタ 1 0 5 のソースおよびドレインの一方は、ビット線 B L に電氣的に接続され、トランジスタ 1 0 5 のソースおよびドレインの他方は、ノード F N 2 に電氣的に接続され、トランジスタ 1 0 5 の第 2 のゲートは、信号 B G 2 が与えられる配線に電氣的に接続されている。

【 0 0 3 5 】

容量素子 1 0 6 の一方の端子は、ワード線 W L C 2 に電氣的に接続され、容量素子 1 0 6 の他方の端子は、ノード F N 2 に電氣的に接続されている。

【 0 0 3 6 】

ノード F N 1 は、2 値、または多値のデータを保持する機能を有する。すなわち、ノード F N 1 は、M ビット (2^M 値、M は 1 以上の自然数) のデータを保持する機能を有する。具体的には、2 ビットのデータであれば 4 値 (2^2) のデータであり、4 段階の電圧のいずれか一を有する信号である。

【 0 0 3 7 】

同様に、ノード F N 2 は、2 値、または多値のデータを保持する機能を有する。すなわち、ノード F N 2 は、N ビット (2^N 値、N は 1 以上の自然数) のデータを保持する機能を有する。

【 0 0 3 8 】

上記 M ビットのデータ及び N ビットのデータは、ビット線に与えられる。また、上記 M ビットのデータは、トランジスタ 1 0 1 を介して、ビット線からノード F N 1 へ与えられる。また、上記 N ビットのデータは、トランジスタ 1 0 5 を介して、ビット線からノード F N 2 へ与えられる。

【 0 0 3 9 】

本明細書において、ノード F N 1 またはノード F N 2 の電位が、ビット線 B L の電圧に応じた電位となることを、メモリセルにデータを書き込む、という。また、ビット線 B L の電位が、ノード F N 1 またはノード F N 2 の電位に応じた電位となることを、メモリセルからのデータを読み出す、という。

【 0 0 4 0 】

ワード線 W L O S 1、W L O S 2 には、書き込み信号が与えられる。

【 0 0 4 1 】

書き込み信号とはビット線 B L の電位をノード F N 1 または F N 2 に与えるために、トランジスタ 1 0 1 またはトランジスタ 1 0 5 を導通状態とする信号である。

【 0 0 4 2 】

ワード線 W L C 1、W L C 2 には、読み出し信号が与えられる。

【 0 0 4 3 】

読み出し信号は、メモリセルからデータを選択的に読み出すために、容量素子 1 0 4 の一方の端子または容量素子 1 0 6 の一方の端子に与えられる信号である。

【 0 0 4 4 】

トランジスタ 1 0 1、1 0 5 は、n チャネル型のトランジスタとして、説明を行うものとする。また、トランジスタ 1 0 2、1 0 3 は p チャネル型のトランジスタとして説明を行うものとする。

10

20

30

40

50

【 0 0 4 5 】

トランジスタ 1 0 1、1 0 5 は、導通状態と非導通状態とを切り換えることで、データの書き込みを制御するスイッチとしての機能を有する。また、非導通状態を保持することで、書き込んだデータに基づく電位を保持する機能を有する。

【 0 0 4 6 】

なお、トランジスタ 1 0 1、1 0 5 は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を 1 0 V とし、チャネル幅 1 μm あたりの規格化されたオフ電流が $1 0 \times 1 0^{-21}$ A 以下であることをいう。このようにオフ電流が低いトランジスタとしては、半導体層に酸化物半導体を有するトランジスタが挙げられる。

10

【 0 0 4 7 】

図 1 に示すメモリセル 1 0 0 の構成では、非導通状態を保持することで、書き込んだデータに基づく電位を保持している。そのため、ノード F N 1、F N 2 での電荷の移動を伴った電位の変動を抑えるスイッチとして、オフ電流が低いトランジスタが用いられることが特に好ましい。

【 0 0 4 8 】

トランジスタ 1 0 2、1 0 3 は、ノード F N 1、F N 2 の電位に従って、ビット線 B L と電源線 S L との間に電流を流す機能を有する。

【 0 0 4 9 】

なお、トランジスタ 1 0 2、1 0 3 には、閾値電圧のばらつきの小さいトランジスタが用いられることが好ましい。ここで、閾値電圧のばらつきが小さいトランジスタとは、トランジスタが同一プロセスで作製される際に、許容される閾値電圧の差が 1 0 0 m V 以内で形成されうるトランジスタのことをいう。具体的には、チャネルが単結晶シリコンで形成されているトランジスタが挙げられる。

20

【 0 0 5 0 】

なお、トランジスタ 1 0 1、1 0 5 が有する第 2 のゲートは、トランジスタ 1 0 1、1 0 5 の閾値電圧を制御する機能、または、トランジスタ 1 0 1、1 0 5 のオン電流を向上させる機能を有するが、場合によっては省略してもよい。

【 0 0 5 1 】

タイミングチャート

次いで、メモリセル 1 0 0 の動作の一例を図 2 及び図 3 のタイミングチャートを用いて説明する。

30

【 0 0 5 2 】

図 2 及び図 3 に示すタイミングチャートは、メモリセル 1 0 0 のビット線 B L、電源線 S L、ワード線 W L O S 1、ワード線 W L C 1、ノード F N 1、ワード線 W L O S 2、ワード線 W L C 2、ノード F N 2 の電位変化を示している。図 2 はメモリセル 1 0 0 にデータを書き込む際のタイミングチャートを表し、図 3 は図 2 でメモリセル 1 0 0 に書き込まれたデータを読み出す際のタイミングチャートを表している。

【 0 0 5 3 】

図 2 及び図 3 において、電源線 S L、ワード線 W L O S 1、W L O S 2 は、高電源電位として電位 V_{H1} が与えられ、低電源電位として電位 V_{GND} が与えられる。なお、電位 V_{GND} はグラウンド電位 G N D でもよい。また、電位 V_{H1} を H レベル電位、電位 V_{GND} を L レベル電位と呼ぶ場合もある。さらに、ワード線 W L O S 1、W L O S 2 は、電位 V_{GND} よりも低い電位 $-V_{L1}$ が与えられることもある。電位 $-V_{L1}$ は、負の電位（ $-V_{L1} < 0 \text{ V}$ ）であることが好ましい。

40

【 0 0 5 4 】

図 2 及び図 3 において、ワード線 W L C 1、W L C 2 は、高電源電位として電位 V_{H2} が与えられ、低電源電位として電位 V_{GND} が与えられる。なお、電位 V_{GND} はグラウンド電位 G N D でもよい。また、電位 V_{H2} を H レベル電位、電位 V_{GND} を L レベル電位

50

と呼ぶ場合もある。さらに、ワード線 $WLC1$ 、 $WLC2$ は、電位 V_{GND} よりも低い電位 $-V_{L2}$ が与えられることもある。電位 $-V_{L2}$ は、負の電位($-V_{L2} < 0V$)であることが好ましい。

【0055】

書き込み動作

図2のタイミングチャートに沿って、メモリセル100の書き込み動作について説明を行う。

【0056】

図2は期間 $p0$ 乃至 $p3$ の4つの期間で構成され、期間 $p0$ は初期期間、期間 $p1$ はノード $FN1$ にデータを書き込む期間、期間 $p2$ はノード $FN2$ にデータを書き込む期間、期間 $p3$ は書き込まれたデータを保持する期間をそれぞれ表している。また、図2に示す時刻 $T0$ 乃至 $T8$ は、動作のタイミングを説明するために付したものである。

10

【0057】

まず、期間 $p0$ において、ビット線 BL は V_{GND} に初期化され、電源線 SL は V_{GND} を維持し、ワード線 $WLOS1$ は L レベルの電位が与えられ、ワード線 $WLC1$ は H レベルの電位が与えられ、ワード線 $WLOS2$ は L レベルの電位が与えられ、ワード線 $WLC2$ は H レベルの電位が与えられている。

【0058】

次に、時刻 $T0$ において、ワード線 $WLOS1$ の電位は L レベルから H レベルへ変化し、ワード線 $WLC1$ の電位は H レベルから L レベルへと変化する。このとき、トランジスタ101はオンとなり、ビット線 BL とノード $FN1$ との接続が導通状態となり、ノード $FN1$ は電位 V_{GND} に初期化される。

20

【0059】

次に、時刻 $T1$ において、ビット線 BL に電位 V_1 が与えられ、ビット線 BL と導通状態にあるノード $FN1$ にも電位 V_1 が書き込まれる。

【0060】

なお、図2及び図3のタイミングチャートでハッチングパターンが施された部分は、ハッチングパターンが与えられた範囲の電位が与えられること、すなわち、多値のデータが与えられることを示している。例えば、ノード $FN1$ に4ビットのデータを書き込む場合は、電位 V_1 は $2^4 = 16$ 値の電位をとり得ることができる。

30

【0061】

次に時刻 $T2$ において、ワード線 $WLOS1$ の電位を L レベルにし、トランジスタ101をオフにしたあと、時刻 $T3$ において、ビット線 BL の電位を V_{GND} に初期化する。このとき、ノード $FN1$ は電氣的に浮遊状態となり、電位 V_1 を保持する。

【0062】

次に、時刻 $T4$ において、ワード線 $WLC1$ の電位を H レベルにし、容量結合によりノード $FN1$ の電位を $V_1 + V_{H2}$ まで上昇させる。ノード $FN1$ の電位を高く保つことで、 p チャネル型のトランジスタ102はオフを維持し、ビット線 BL と電源線 SL との間に流れるリーク電流を防ぐことができる。また、同時に、ワード線 $WLOS2$ の電位を L レベルから H レベルへ変化させ、ワード線 $WLC2$ の電位を H レベルから L レベルへ変化させる。このとき、トランジスタ105はオンになり、ノード $FN2$ は初期化される。

40

【0063】

なお、ワード線 $WLC1$ の電位を、容量素子104を介して、ノード $FN1$ に伝えるためには、容量素子104の容量はトランジスタ101のゲート容量よりも十分大きく、且つ、容量素子104の容量はトランジスタ102のゲート容量よりも十分大きいことが好ましい。本実施の形態では、説明を単純にするために、ワード線 $WLC1$ に与えた電位が、そのままノード $FN1$ に伝わる(例えば、ワード線 $WLC1$ に電位 V_{H2} を与えると、ノード $FN1$ の電位は電位 V_1 から電位 $V_1 + V_{H2}$ に上昇する)と説明しているが、容量素子104の容量、トランジスタ101のゲート容量、トランジスタ102のゲート容量の大小関係によっては、ワード線 $WLC1$ に与えた電位が、そのままノード $FN1$ に伝わ

50

らない場合がある。

【 0 0 6 4 】

次に、時刻 T 5 において、ビット線 B L に電位 V_2 が与えられ、ノード F N 2 に電位 V_2 が書き込まれる。なお、電位 V_2 は多値のデータが与えられる。例えば、ノード F N 2 に 4 ビットのデータを書き込む場合は、電位 V_2 は $2^4 = 16$ 値の電位をとり得ることができる。

【 0 0 6 5 】

次に、時刻 T 6 において、ワード線 W L O S 2 の電位を H レベルから L レベルへ変化させ、トランジスタ 1 0 5 をオフにし、時刻 T 7 でビット線 B L の電位を V_{GND} に初期化する。このとき、ノード F N 2 は電氣的に浮遊状態のため、電位 V_2 を保持する。

10

【 0 0 6 6 】

次に、時刻 T 8 において、ワード線 W L C 2 の電位を L レベルから H レベルにし、容量結合によりノード F N 2 の電位を $V_2 + V_{H2}$ へ上昇させる。ノード F N 2 の電位を高く保つことで、p チャネル型のトランジスタ 1 0 3 がオフを維持し、ビット線 B L から電源線 S L へリーク電流が流れることを防ぐ。

【 0 0 6 7 】

なお、ワード線 W L C 2 の電位を、容量素子 1 0 6 を介して、ノード F N 2 に伝えるためには、容量素子 1 0 6 の容量はトランジスタ 1 0 5 のゲート容量よりも十分大きく、且つ、容量素子 1 0 6 の容量はトランジスタ 1 0 3 のゲート容量よりも十分大きいことが好ましい。本実施の形態では、説明を単純にするために、ワード線 W L C 2 に与えた電位が、そのままノード F N 2 に伝わる（例えば、ワード線 W L C 2 に電位 V_{H2} を与えると、ノード F N 2 の電位は電位 V_2 から電位 $V_2 + V_{H2}$ に上昇する）と説明しているが、容量素子 1 0 6 の容量、トランジスタ 1 0 5 のゲート容量、トランジスタ 1 0 3 のゲート容量の大小関係によっては、ワード線 W L C 2 に与えた電位が、そのままノード F N 2 に伝わらない場合がある。

20

【 0 0 6 8 】

時刻 T 8 を経過した後の期間 p 3 では、ノード F N 1、F N 2 に書き込まれたデータが、それぞれ保持されている。

【 0 0 6 9 】

以上、図 2 のタイミングチャートで説明した書き込み動作により、ノード F N 1、F N 2 に多値のデータを書き込むことができる。

30

【 0 0 7 0 】

なお、期間 p 1 において、ワード線 W L O S 1 に与えられる電位 V_{H1} は、電位 V_1 にトランジスタ 1 0 1 の閾値電圧を加えた電位よりも高い電位であることが好ましい。例えば、電位 V_1 が 3 V をとる場合、トランジスタ 1 0 1 の閾値電圧を 1 V とすると、電位 V_{H1} は 4 V (3 V + 1 V) 以上であることが好ましい。なぜなら、ビット線 B L からノード F N 1 に 3 V の電位を書き込む際に、ワード線 W L O S 1 の電位が 4 V 未満であると、ノード F N 1 の電位が 3 V に到達する前に、トランジスタ 1 0 1 のゲートとソース間の電位差 (V_{GS}) が閾値電圧以下になり、トランジスタ 1 0 1 がオフになり、ノード F N 1 に 3 V の電位を書き込むことができないためである。

40

【 0 0 7 1 】

同様に、期間 p 2 において、ワード線 W L O S 2 に与えられる電位 V_{H1} は、電位 V_2 にトランジスタ 1 0 5 の閾値電圧を加えた電位よりも高い電位であることが好ましい。

【 0 0 7 2 】

なお、本明細書における V_{GS} とは、ソースを基準にしたときの、ゲートとソース間の電位差を言う。例えば、ソースに 1 V、ゲートに 3 V の電位が与えられている場合は、 V_{GS} は 2 V である。例えば、ソースに 3 V、ゲートに 1 V の電位が与えられている場合は、 V_{GS} は - 2 V である。

【 0 0 7 3 】

読み出し動作

50

図3のタイミングチャートに沿って、メモリセル100に書き込まれたデータの読み出し動作について説明を行う。

【0074】

図3は期間p3乃至p6の4つの期間で構成され、期間p3は、図2の期間p3からのデータを引き続き保持する期間、期間p4はノードFN1のデータを読み出す期間、期間p5はノードFN2のデータを読み出す期間、期間p6はデータを保持する期間をそれぞれ表している。また、図3に示す時刻T9乃至T13は、動作のタイミングを説明するために付したものである。

【0075】

まず、時刻T9において、ビット線BLが電位 V_{BL} へ充電（プリチャージ）される。

10

【0076】

次に、時刻T10において、ビット線BLを電氣的に浮遊状態にする。すなわち、ビット線BLは、電荷の充電又は放電により、電位が変動する状態となる。この状態はビット線BLに電位を与えるスイッチをオフにすることで実現する。

【0077】

また、時刻T10では、ワード線WLC1の電位がHレベルからLレベルへ低下し、容量結合により、ノードFN1の電位も電位 $V_1 + V_{H2}$ から電位 V_1 へ低下する。ノードFN1の電位が低下すると、pチャネル型のトランジスタ102の V_{GS} の絶対値は大きくなり、トランジスタ102はオンになる。また同時に、ワード線WLC2の電位がHレベルから電位 $-V_{L2}$ へと低下し、容量結合により、ノードFN2の電位も電位 $V_2 + V_{H2}$ から電位 $V_2 - V_{L2}$ へ低下する。ノードFN2の電位が低下すると、pチャネル型のトランジスタ103の V_{GS} の絶対値が大きくなり、トランジスタ103はオンになる。トランジスタ102とトランジスタ103が両方ともオンになれば、ビット線BLと電源線SLの間は導通状態になり、電流が流れ、ビット線BLは電荷を放電し、ビット線BLの電位は低下する。

20

【0078】

放電によりビット線BLの電位が低下すると、トランジスタ102の V_{GS} の絶対値と、トランジスタ103の V_{GS} の絶対値は、ともに低下する。どちらか一方のトランジスタの V_{GS} が、そのトランジスタの閾値電圧と等しくなった時点で、放電が完了し、ビット線BLの電位は一定の電位に収束する。期間p4では、ノードFN2の方がノードFN1よりも低い電位が与えられているため、トランジスタ103の方がトランジスタ102よりも、 V_{GS} の絶対値が大きい。つまり、トランジスタ103の方がトランジスタ102よりもチャネル抵抗が低く、オン電流が大きい。そのため、ビット線BLの放電が始まると、トランジスタ102の V_{GS} の方が先に閾値電圧に到達し、トランジスタ102の方が先にオフになる。

30

【0079】

トランジスタ102がオフになると、ビット線BLは一定の電位（電位 V_1' ）に収束する。この電位 V_1' は、概ねノードFN1の電位から、トランジスタ102の閾値電圧をひいた値として得られる。つまりビット線BLの電位 V_1' は、ノードFN1の電位の高低を反映した形で得ることができる。この電位の違いをデータの判定に用いることで、ノードFN1に書き込まれた多値のデータを読み出すことができる。

40

【0080】

なお、時刻T10では、ワード線WLOS2の電位をLレベルから $-V_{L1}$ へ変化させている。これにより、ビット線BLまたはノードFN2の電位変化により、トランジスタ105がオンになることを防いでいる。

【0081】

次に、時刻T11において、再びビット線BLの電位を電位 V_{BL} に復元させ、プリチャージを行う。また同時に、全てのワード線の電位、ノードFN1、FN2の電位を期間p3の状態に戻し、トランジスタ102、103をオフにする。

【0082】

50

次に、時刻 T_{12} において、ビット線 BL を電氣的に浮遊状態にする。この状態はビット線 BL に電位を与えるスイッチをオフにすることで実現する。

【0083】

また、時刻 T_{12} では、ワード線 WLC_1 の電位が H レベルから電位 $-V_{L2}$ へと変化し、ワード線 WLC_2 の電位が H レベルから L レベルへ変化する。この時に、容量結合により、ノード FN_1 の電位は電位 $V_1 + V_{H2}$ から電位 $V_1 - V_{L2}$ へと低下し、ノード FN_2 の電位は電位 $V_2 + V_{H2}$ から電位 V_2 へと低下する。その結果、トランジスタ 102 、 103 はオンとなり、ビット線 BL と電源線 SL の間は導通状態になり、ビット線 BL は電荷を放電し、ビット線 BL の電位は低下する。

【0084】

期間 p_5 では、ノード FN_1 の方がノード FN_2 よりも低い電位が与えられているため、トランジスタ 102 の方がトランジスタ 103 よりも、 V_{GS} の絶対値が大きい。つまり、トランジスタ 102 の方がトランジスタ 103 よりもチャネル抵抗が低く、オン電流が大きい。そのため、ビット線 BL の放電が始まると、トランジスタ 103 の V_{GS} の方が先に閾値電圧に到達し、トランジスタ 103 の方が先にオフになる。

【0085】

トランジスタ 103 がオフになると、ビット線 BL は一定の電位（電位 V_2' ）に収束する。この電位 V_2' は、概ねノード FN_2 の電位から、トランジスタ 103 の閾値電圧をひいた値として得られる。つまりビット線 BL の電位 V_2' は、ノード FN_2 の電位の高低を反映した形で得ることができる。この電位の違いをデータの判定に用いることで、ノード FN_2 に書き込まれた多値のデータを読み出すことができる。

【0086】

なお、時刻 T_{12} では、ワード線 $WLOS_1$ の電位を L レベルから $-V_{L1}$ へ変化させている。これにより、ビット線 BL またはノード FN_2 の電位変化により、トランジスタ 105 がオンになることを防いでいる。

【0087】

次に、時刻 T_{13} において、ビット線 BL を V_{GND} に初期化し、全てのワード線、ノード FN_1 、 FN_2 の電位を、期間 p_3 の状態に戻し、トランジスタ 102 、 103 をオフにして、ノード FN_1 、 FN_2 の電位を保持する。

【0088】

以上、図3のタイミングチャートで説明した読み出し動作により、ノード FN_1 、 FN_2 に書き込まれた多値のデータを読み出すことができる。

【0089】

例えば、8ビットのデータ、すなわち $256 (= 2^8)$ 値の電位を、一つのノードに書き込む場合を考える。その場合、1値の電位の幅を $0.17V$ とすると、データを保持するノードに与えられる電位の幅は、 $0.17V \times 256 = 43.52V$ となる。つまり、一つのノードに8ビットのデータを記憶させるには、およそ $45V$ の電源電位をメモリセルに与える必要があるが、この電源電位は、トランジスタの破壊を引き起こすため、現実的な値ではない。

【0090】

一方、本実施の形態に示したメモリセル 100 に、8ビットのデータを書き込む場合、8ビットのデータを、4ビットのデータと4ビットのデータの二つに分割し、一方をノード FN_1 に、他方をノード FN_2 に記憶させることができる。そのため、 $16 (= 2^4)$ 値の電位を一つのノードが請け負うことになる。1値の電位の幅を $0.17V$ とすると、一つのノードに与えられる電位の幅は、 $0.17V \times 16 = 2.72V$ となる。これは、メモリセルを駆動するのに、現実的な値である。

【0091】

以上、本発明の一態様であるメモリセル 100 を用いることにより、8ビットのデータを記憶する半導体装置を提供することが可能になる。

【0092】

10

20

30

40

50

また、メモリセル 100 が記憶できるデータのビット数は 8 ビットに限定されず、さまざまなビット数のデータを記憶することができる。例えば、ノード FN1 に M ビット (2^M 値) のデータを記憶させ、ノード FN2 に N ビット (2^N 値) を記憶させた場合、メモリセル 100 は M + N ビット (2^{M+N} 値) のデータを記憶することが可能になる。

【0093】

図 1 のメモリセル 100 は、図 21 (A) に示す回路図のように、トランジスタ 101、105 の第 2 のゲートに、共通の信号 BG を与えてもよい。

【0094】

図 1 のメモリセル 100 は、図 22 (A) に示す回路図で構成してもよい。図 22 (A) に示す回路図は、2 本のビット線 BL1 とビット線 BL2 を有する点と、トランジスタ 101 とトランジスタ 105 が共通のワード線 WLOS に接続されている点が、図 1 の回路図と異なる。また、図 22 (A) に示すトランジスタ 101 の第 2 のゲート及びトランジスタ 105 の第 2 のゲートに、図 21 (A) と同様に共通の信号を与えてもよい。また、場合によっては、これら第 2 のゲートを省略してもよい。

【0095】

図 1 のメモリセル 100 は、図 23 (A) に示す回路図で構成してもよい。図 23 (A) に示す回路図は、トランジスタ 107、容量素子 108、トランジスタ 109、ノード FN3、ワード線 WLOS3、ワード線 WLC3 を有する点で、図 1 に示す回路図と異なる。また、図 23 (A) に示す、トランジスタ 101 の第 2 のゲート、トランジスタ 105 の第 2 のゲート及びトランジスタ 107 の第 2 のゲートに、図 21 (A) と同様に共通の信号を与えてもよい。また、場合によっては、これら第 2 のゲートを省略してもよい。

【0096】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0097】

(実施の形態 2)

本実施の形態では、本発明の一態様に係る半導体装置が有する、メモリセルの回路構成およびその動作について、図 4 乃至図 6 を参照して説明する。

【0098】

メモリセルの構成例

図 4 は、本発明の一態様であるメモリセル 110 の回路図である。

【0099】

図 4 に示すメモリセル 110 では、トランジスタ 101 と、トランジスタ 112 と、トランジスタ 113 と、容量素子 104 と、トランジスタ 105 と、容量素子 106 と、ノード FN1 と、ノード FN2 と、を有している。また、メモリセル 110 は、ビット線 BL、電源線 SL、ワード線 WLC1、ワード線 WLOS1、ワード線 WLC2 及びワード線 WLOS2 に電氣的に接続されている。

【0100】

メモリセル 110 は、実施の形態 1 に示すメモリセル 100 のトランジスタ 102、103 を、n チャネル型トランジスタであるトランジスタ 112、113 に置きかえたものである。以降、トランジスタ 101、112、113、105 は、n チャネル型のトランジスタとして説明を行う。

【0101】

トランジスタ 112、113 は、ノード FN1、FN2 の電位に従って、ビット線 BL と電源線 SL との間に電流を流す機能を有する。

【0102】

なお、トランジスタ 112、113 には、閾値電圧のばらつきの小さいトランジスタが用いられることが好ましい。ここで、閾値電圧のばらつきが小さいトランジスタとは、トランジスタが同一プロセスで作製される際に、許容される閾値電圧の差が 100 mV 以内で形成されうるトランジスタのことをいう。具体的には、チャンネルが単結晶シリコンで形成

されているトランジスタが挙げられる。

【 0 1 0 3 】

メモリセル 1 1 0 のその他の構成要素に関する詳細は、メモリセル 1 0 0 の記載を参照すればよい。

【 0 1 0 4 】

タイミングチャート

次いで、メモリセル 1 1 0 の動作の一例を図 5 及び図 6 のタイミングチャートを用いて説明する。

【 0 1 0 5 】

図 5 及び図 6 に示すタイミングチャートは、メモリセル 1 1 0 のビット線 B L、電源線 S L、ワード線 W L O S 1、ワード線 W L C 1、ノード F N 1、ワード線 W L O S 2、ワード線 W L C 2、ノード F N 2 の電位変化を示している。図 5 はメモリセル 1 1 0 にデータを書き込む際のタイミングチャートを表し、図 6 は図 5 でメモリセル 1 1 0 に書き込まれたデータを読み出す際のタイミングチャートを表している。

【 0 1 0 6 】

図 5 及び図 6 において、電源線 S L は、高電源電位として電位 V_{H0} が与えられ、低電源電位として電位 V_{GND} が与えられる。なお、電位 V_{GND} はグラウンド電位 GND でもよい。また、電位 V_{H0} を H レベル電位、電位 V_{GND} を L レベル電位と呼ぶ場合もある。

【 0 1 0 7 】

図 5 及び図 6 において、ワード線 W L O S 1 及びワード線 W L O S 2 は、高電源電位として電位 V_{H1} が与えられ、低電源電位として電位 V_{GND} が与えられる。なお、電位 V_{GND} はグラウンド電位 GND でもよい。また、電位 V_{H1} を H レベル電位、電位 V_{GND} を L レベル電位と呼ぶ場合もある。さらに、ワード線 W L O S 1 及びワード線 W L O S 2 は、電位 V_{GND} よりも低い電位 $-V_{L1}$ が与えられることもある。電位 $-V_{L1}$ は、負の電位 ($-V_{L1} < 0V$) であることが好ましい。

【 0 1 0 8 】

図 5 及び図 6 において、ワード線 W L C 1 及びワード線 W L C 2 に、高電源電位として電位 V_{H2} が与えられ、低電源電位として電位 V_{GND} が与えられる。なお、電位 V_{GND} はグラウンド電位 GND でもよい。また、電位 V_{H2} を H レベル電位、電位 V_{GND} を L レベル電位と呼ぶ場合もある。さらに、ワード線 W L C 1 及びワード線 W L C 2 に、電位 V_{GND} よりも低い電位 $-V_{L2}$ が与えられることもある。電位 $-V_{L2}$ は負の電位 ($-V_{L2} < 0V$) であることが好ましい。

【 0 1 0 9 】

書き込み動作

図 5 のタイミングチャートに沿って、メモリセル 1 1 0 の書き込み動作の一例について説明を行う。

【 0 1 1 0 】

図 5 は期間 p 0 乃至 p 3 の 4 つの期間で構成され、期間 p 0 は初期期間、期間 p 1 はノード F N 1 にデータを書き込む期間、期間 p 2 はノード F N 2 にデータを書き込む期間、期間 p 3 は書き込まれたデータを保持する期間をそれぞれ表している。また、図 5 に示す時刻 T 0 乃至 T 8 は、動作のタイミングを説明するために付したものである。

【 0 1 1 1 】

まず、期間 p 0 において、ビット線 B L 及び電源線 S L は電位 V_{GND} に初期化され、ワード線 W L O S 1 に電位 $-V_{L1}$ が与えられ、ワード線 W L C 1 に電位 $-V_{L2}$ が与えられ、ワード線 W L O S 2 に電位 $-V_{L1}$ が与えられ、ワード線 W L C 2 に電位 $-V_{L2}$ が与えられる。

【 0 1 1 2 】

次に、時刻 T 0 において、ワード線 W L O S 1 に H レベルの電位が与えられ、ワード線 W L C 1 に L レベルの電位が与えられる。このとき、トランジスタ 1 0 1 はオンになり、ピ

10

20

30

40

50

ット線 B_L とノード F_{N1} が導通状態となり、ノード F_{N1} は電位 V_{GND} に初期化される。

【0113】

次に、時刻 T_1 において、ビット線 B_L に電位 V_1 が与えられ、ビット線 B_L と導通状態にあるノード F_{N1} に電位 V_1 が書き込まれる。

【0114】

なお、図5及び図6のタイミングチャートでハッチングパターンが施された部分は、ハッチングパターンが与えられた範囲の電位が与えられること、すなわち、多値のデータが与えられることを表している。例えば、4ビットのデータがノード F_{N1} に書き込まれる場合は、電位 V_1 は $2^4 = 16$ 値の電位をとり得ることができる。

10

【0115】

また、時刻 T_1 において、トランジスタ 112 のオフを維持させるために、電源線 S_L に H レベルの電位が与えられる。このとき、電源線 S_L に与えられる電位 V_{H0} は、ビット線 B_L 及びノード F_{N1} に与えられる電位 V_1 よりも高いことが好ましい。電位 V_{H0} が前述の条件を満たすことで、トランジスタ 112 の V_{GS} は $0V$ に保つことができる。

【0116】

次に、時刻 T_2 において、ワード線 W_{LOS1} に L レベルの電位が与えられ、トランジスタ 101 がオフになる。

【0117】

次に、時刻 T_3 において、ビット線 B_L 及び電源線 S_L は電位 V_{GND} に初期化される。このとき、ノード F_{N1} は電氣的に浮遊状態となり、電位 V_1 を保持する。

20

【0118】

次に、時刻 T_4 において、ワード線 W_{LOS2} に H レベルの電位が与えられ、ワード線 W_{LC2} に L レベルの電位が与えられる。このとき、トランジスタ 105 はオンとなり、ビット線 B_L とノード F_{N2} は導通状態となり、ノード F_{N2} は電位 V_{GND} に初期化される。

【0119】

また、時刻 T_4 において、ワード線 W_{LC1} に電位 $-V_{L2}$ が与えられ、ノード F_{N1} に電位 $V_1 - V_{L2}$ が与えられる。ノード F_{N1} の電位が低く保たれると、 n チャネル型のトランジスタ 112 は、オフを維持し、ビット線 B_L と電源線 S_L との間に流れるリーク電流を遮断する。このとき、トランジスタ 101 がオンになることを防ぐために、電位 $-V_{L1}$ がワード線 W_{LOS1} に与えられる。

30

【0120】

なお、ワード線 W_{LC1} の電位が、容量素子 104 を介して、ノード F_{N1} に伝わるためには、容量素子 104 の容量はトランジスタ 101 のゲート容量よりも十分大きく、且つ、容量素子 104 の容量はトランジスタ 112 のゲート容量よりも十分大きいことが好ましい。本実施の形態では、説明を単純にするために、ワード線 W_{LC1} に与えた電位が、そのままノード F_{N1} に伝わる（例えば、ワード線 W_{LC1} の電位が電位 V_{GND} から電位 $-V_{L2}$ に変化すると、ノード F_{N1} の電位は電位 V_1 から電位 $V_1 - V_{L2}$ に変化する）と説明している。容量素子 104 の容量と、トランジスタ 101 のゲート容量と、トランジスタ 112 のゲート容量との大小関係によっては、ワード線 W_{LC1} に与えられた電位が、そのままノード F_{N1} に伝わらない場合がある。

40

【0121】

次に、時刻 T_5 において、ビット線 B_L に電位 V_2 が与えられ、ノード F_{N2} に電位 V_2 が書き込まれる。なお、電位 V_2 は多値のデータをとり得る。例えば、4ビットのデータがノード F_{N2} に書き込まれる場合は、電位 V_2 は $2^4 = 16$ 値の電位をとり得ることができる。

【0122】

また、時刻 T_5 において、トランジスタ 113 のオフを維持させるために、電源線 S_L に H レベルの電位が与えられる。このときに、電源線 S_L に与えられる電位 V_{H0} は、ビッ

50

ト線 BL 及びノード $FN1$ に与えられる電位 V_2 よりも高いことが好ましい。電位 V_{H0} が前述の条件を満たすことで、トランジスタ 113 の V_{GS} は $0V$ に保たれる。

【0123】

次に、時刻 $T6$ において、ワード線 $WLOS2$ に L レベルの電位が与えられ、トランジスタ 105 はオフになる。

【0124】

次に、時刻 $T7$ において、ビット線 BL 及び電源線 SL は電位 V_{GND} に初期化される。このとき、ノード $FN2$ は、電氣的に浮遊状態のため、電位 V_2 を保持する。

【0125】

次に、時刻 $T8$ において、ワード線 $WLC2$ に電位 $-V_{L2}$ が与えられ、ノード $FN2$ に電位 $V_2 - V_{L2}$ が与えられる。ノード $FN2$ の電位が低く保たれると、 n チャネル型のトランジスタ 113 は、オフを維持し、ビット線 BL と電源線 SL との間に流れるリーク電流を遮断する。また、ワード線 $WLOS2$ に電位 $-V_{L1}$ が与えられ、トランジスタ 105 がオンになることを防いでいる。

【0126】

なお、ワード線 $WLC2$ の電位が、容量素子 106 を介して、ノード $FN2$ に伝わるためには、容量素子 106 の容量はトランジスタ 105 のゲート容量よりも十分大きく、且つ、容量素子 106 の容量はトランジスタ 113 のゲート容量よりも十分大きいことが好ましい。本実施の形態では、説明を単純にするために、ワード線 $WLC2$ に与えた電位が、そのままノード $FN2$ に伝わる（例えば、ワード線 $WLC2$ の電位が電位 V_{GND} から電位 $-V_{L2}$ に変化すると、ノード $FN2$ の電位は電位 V_2 から電位 $V_2 - V_{L2}$ に変化すると説明しているが、容量素子 106 の容量と、トランジスタ 105 のゲート容量と、トランジスタ 113 のゲート容量との大小関係によっては、ワード線 $WLC2$ に与えられた電位が、そのままノード $FN2$ に伝わらない場合がある。

【0127】

時刻 $T8$ を経過した後の期間 $p3$ では、ノード $FN1$ 及びノード $FN2$ に書き込まれたデータが、それぞれ保持されている。

【0128】

以上、図5のタイミングチャートで説明した書き込み動作により、ノード $FN1$ 及びノード $FN2$ に多値のデータを書き込むことができる。

【0129】

なお、期間 $p1$ において、ワード線 $WLOS1$ に与えられる電位 V_{H1} は、電位 V_1 にトランジスタ 101 の閾値電圧を加えた電位よりも高い電位であることが好ましい。

【0130】

同様に、期間 $p2$ において、ワード線 $WLOS2$ に与えられる電位 V_{H1} は、電位 V_2 にトランジスタ 105 の閾値電圧を加えた電位よりも高い電位であることが好ましい。

【0131】

読み出し動作

図6のタイミングチャートに沿って、メモリセル 110 に書き込まれたデータの読み出し動作について説明を行う。

【0132】

図6は期間 $p3$ 乃至 $p6$ の4つの期間で構成され、期間 $p3$ は、図5の期間 $p3$ からのデータを引き続き保持する期間、期間 $p4$ はノード $FN1$ のデータを読み出す期間、期間 $p5$ はノード $FN2$ のデータを読み出す期間、期間 $p6$ はデータを保持する期間をそれぞれ表している。また、図6に示す時刻 $T9$ 乃至 $T15$ は、動作のタイミングを説明するために付したものである。

【0133】

まず、時刻 $T9$ において、ワード線 $WLOS1$ に L レベルの電位が与えられ、ワード線 $WLC1$ に L レベルの電位が与えられ、容量結合により、ノード $FN1$ の電位が電位 $V_1 - V_{L2}$ から電位 V_1 へ引き上げられる。ノード $FN1$ の電位が引き上げられると、 n チャ

10

20

30

40

50

ネル型のトランジスタ 1 1 2 の V_{GS} が大きくなり、トランジスタ 1 1 2 はオンになる。

【 0 1 3 4 】

また、時刻 T 9 では、ワード線 W L O S 2 に L レベルの電位が与えられ、ワード線 W L C 2 に H レベルの電位が与えられ、容量結合により、ノード F N 2 の電位が電位 $V_2 - V_{L2}$ から電位 $V_2 + V_{H2}$ へ引き上げられる。ノード F N 2 の電位が引き上げられると、n チャンネル型のトランジスタ 1 1 3 の V_{GS} が大きくなり、トランジスタ 1 1 3 がオンになる。

【 0 1 3 5 】

次に、時刻 T 1 0 において、ビット線 B L は電氣的に浮遊状態になる。すなわち、ビット線 B L は、電荷の充電又は放電により、電位が変動する状態になる。この状態はビット線 B L に電位を与えるスイッチをオフにすることで実現できる。

10

【 0 1 3 6 】

また、時刻 T 1 0 において、電源線 S L に H レベルの電位を与える。電源線 S L に H レベルの電位が与えられると、ビット線 B L と電源線 S L との間に電位差が生じ、電源線 S L からビット線 B L へ電流が流れる。ビット線 B L は充電され、ビット線 B L の電位は上昇する。

【 0 1 3 7 】

充電によりビット線 B L の電位が上昇すると、トランジスタ 1 1 2 の V_{GS} と、トランジスタ 1 1 3 の V_{GS} は、ともに低下する。どちらか一方のトランジスタの V_{GS} が、そのトランジスタの閾値電圧と等しくなった時点で、充電が完了し、ビット線 B L の電位は一定の電位に収束する。期間 p 4 では、ノード F N 1 よりもノード F N 2 の方に高電位が与えられているため、トランジスタ 1 1 3 の方がトランジスタ 1 1 2 よりも V_{GS} が大きい。つまり、トランジスタ 1 1 3 の方がトランジスタ 1 1 2 よりも、チャンネル抵抗が低く、オン電流が大きい。そのため、ビット線 B L の充電が始まると、トランジスタ 1 1 2 の V_{GS} が先に閾値電圧に到達し、トランジスタ 1 1 2 が先にオフになる。

20

【 0 1 3 8 】

トランジスタ 1 1 2 がオフになると、ビット線 B L は一定の電位（電位 V_1' ）に収束する。この電位 V_1' は、概ねノード F N 1 の電位から、トランジスタ 1 1 2 の閾値電圧をひいた値として得られる。つまりビット線 B L の電位 V_1' は、ノード F N 1 の電位の高低を反映した形で得られる。この電位の違いをデータの判定に用いることで、ノード F N 1 に書き込まれた多値のデータを読み出すことができる。

30

【 0 1 3 9 】

次に、時刻 T 1 1 において、ビット線 B L 及び電源線 S L が電位 V_{GND} に初期化される。

【 0 1 4 0 】

次に、時刻 T 1 2 において、ワード線 W L C 1 に H レベルの電位が与えられ、容量結合により、ノード F N 1 の電位が電位 V_1 から電位 $V_1 + V_{H2}$ へ引き上げられる。また同時に、ワード線 W L C 2 に L レベルの電位が与えられ、ノード F N 2 の電位は電位 $V_2 + V_{H2}$ から電位 V_2 へ引き下げられる。トランジスタ 1 1 2、1 1 3 は、両方ともオンになる。

40

【 0 1 4 1 】

次に、時刻 T 1 3 において、ビット線 B L は電氣的に浮遊状態になる。

【 0 1 4 2 】

また同時に、時刻 T 1 3 では、電源線 S L に H レベルの電位が与えられる。電源線 S L の電位が H レベルになると、ビット線 B L と電源線 S L との間に電位差が生じ、電源線 S L からビット線 B L へ電流が流れる。ビット線 B L は充電され、ビット線 B L の電位は上昇する。

【 0 1 4 3 】

充電によりビット線 B L の電位が上昇すると、トランジスタ 1 1 2 の V_{GS} と、トランジスタ 1 1 3 の V_{GS} は、ともに低下する。どちらか一方のトランジスタの V_{GS} が、その

50

トランジスタの閾値電圧と等しくなった時点で、充電が完了し、ビット線 BL の電位は一定の電位に収束する。期間 $p5$ では、ノード $FN2$ よりもノード $FN1$ に高電位が与えられているため、トランジスタ 112 の方がトランジスタ 113 よりも V_{GS} が大きい。つまり、トランジスタ 112 の方がトランジスタ 113 よりも、チャネル抵抗が低く、オン電流が大きい。そのため、ビット線 BL の充電が始まると、トランジスタ 113 の V_{GS} が先に閾値電圧に到達し、トランジスタ 113 が先にオフになる。

【0144】

トランジスタ 113 がオフになると、ビット線 BL は一定の電位（電位 V_2' ）に収束する。この電位 V_2' は、概ねノード $FN2$ の電位から、トランジスタ 113 の閾値電圧をひいた値として得られる。つまりビット線 BL の電位 V_2' は、ノード $FN2$ の電位の高低を反映した形で得ることができる。この電位の違いをデータの判定に用いることで、ノード $FN2$ に書き込まれた多値のデータを読み出すことができる。

10

【0145】

次に、時刻 $T14$ において、ビット線 BL 及び電源線 SL が電位 V_{GND} に初期化される。

【0146】

次に、時刻 $T15$ において、図6の全ての配線及びノードに、期間 $p3$ と同じ電位が与えられ、ノード $FN1$ 、 $FN2$ の電位が保持される。

【0147】

以上、図6のタイミングチャートで説明した読み出し動作により、ノード $FN1$ 、 $FN2$ に書き込まれた多値のデータを読み出すことができる。

20

【0148】

例えば、8ビットのデータ、すなわち $256 (= 2^8)$ 値の電位を、一つのノードに書き込む場合を考える。その場合、1値の電位の幅を $0.17V$ とすると、データを保持するノードに与えられる電位の幅は、 $0.17V \times 256 = 43.52V$ となる。つまり、一つのノードに8ビットのデータを記憶させるには、およそ $45V$ の電源電位をメモリセルに与える必要があるが、この電源電位は、トランジスタの破壊を引き起こすため、現実的な値ではない。

【0149】

一方、本実施の形態に示したメモリセル 110 に、8ビットのデータを書き込む場合、8ビットのデータを、4ビットのデータと4ビットのデータの二つに分割し、一方をノード $FN1$ に、他方をノード $FN2$ に記憶させることができる。そのため、 $16 (= 2^4)$ 値の電位を一つのノードが請け負うことになる。1値の電位の幅を $0.17V$ とすると、一つのノードに与えられる電位の幅は、 $0.17V \times 16 = 2.72V$ となる。これは、メモリセルを駆動するのに、現実的な値である。

30

【0150】

以上、本発明の一態様であるメモリセル 110 を用いることにより、8ビットのデータを記憶する半導体装置を提供することが可能になる。また、メモリセル 110 が記憶できるデータのビット数は8ビットに限定されず、さまざまなビット数のデータを記憶することができる。例えば、ノード $FN1$ に M ビット (2^M 値) のデータを記憶させ、ノード $FN2$ に N ビット (2^N 値) を記憶させた場合、メモリセル 110 は $M + N$ ビット (2^{M+N} 値) のデータを記憶することが可能になる。

40

【0151】

図4のメモリセル 110 は、図21(B)に示す回路図のように、トランジスタ 101 、 105 の第2のゲートに、共通の信号 BG を与えてもよい。

【0152】

図4のメモリセル 110 は、図22(B)に示す回路図で構成してもよい。図22(B)に示す回路図は、2本のビット線 $BL1$ とビット線 $BL2$ を有する点と、トランジスタ 101 とトランジスタ 105 が共通のワード線 $WLOS$ に接続されている点が、図4の回路図と異なる。また、図22(B)に示すトランジスタ 101 の第2のゲート及びトランジ

50

スタ１０５の第２のゲートに、図２１（Ｂ）と同様に共通の信号を与えてもよい。また、場合によっては、これら第２のゲートを省略してもよい。

【０１５３】

図４のメモリセル１１０は、図２３（Ｂ）に示す回路図で構成してもよい。図２３（Ｂ）に示す回路図は、トランジスタ１０７、容量素子１０８、トランジスタ１１４、ノードＦＮ３、ワード線ＷＬＯＳ３、ワード線ＷＬＣ３を有する点で、図４に示す回路図と異なる。また、図２３（Ｂ）に示す、トランジスタ１０１の第２のゲート、トランジスタ１０５の第２のゲート及びトランジスタ１０７の第２のゲートに、図２１（Ｂ）と同様に共通の信号を与えてもよい。また、場合によっては、これら第２のゲートを省略してもよい。

【０１５４】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様として、メモリセルに適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、メモリセルに適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する回路に適用してもよい。

【０１５５】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【０１５６】

（実施の形態３）

本実施の形態では、実施の形態１で説明した駆動方法を行うことのできる、半導体装置の一例について図を用いて説明する。

【０１５７】

半導体装置の構成例

図７は、実施の形態１で説明したメモリセル１００を有する、半導体装置の構成例を示すブロック図である。

【０１５８】

図７に示す半導体装置５００は、図４で説明したメモリセル１００が複数設けられたメモリセルアレイ５０１、行選択ドライバ５０２、列選択ドライバ５０３、およびＡ／Ｄコンバータ５０４を有する。なお半導体装置５００は、 m 行（ m は２以上の自然数） n 列（ n は２以上の自然数）のマトリクス状に設けられたメモリセル１００を有する。また、図７では、（ $m-1$ ）行目のメモリセル１００に接続されたワード線として、ワード線ＷＬＯＳ１[$m-1$]、ワード線ＷＬＣ１[$m-1$]、ワード線ＷＬＯＳ２[$m-1$]、ワード線ＷＬＣ２[$m-1$]を示し、 m 行目のメモリセル１００に接続されたワード線として、ワード線ＷＬＯＳ１[m]、ワード線ＷＬＣ１[m]、ワード線ＷＬＯＳ２[m]、ワード線ＷＬＣ２[m]を示し、（ $n-1$ ）列目のメモリセル１００に接続されたビット線ＢＬ[$n-1$]、 n 列目のメモリセル１００に接続されたビット線ＢＬ[n]を示し、（ $n-1$ ）列目のメモリセル１００および n 列目のメモリセル１００に接続された電源線ＳＬを示している。

【０１５９】

図７に示すメモリセルアレイ５０１は、図４で説明したメモリセル１００が、マトリクス状に設けられている。なおメモリセル１００が有する各構成の説明は、図４と同様であり、図４での説明を援用するものとして説明を省略する。

【０１６０】

なお図７に示すメモリセルアレイ５０１では、隣り合うメモリセルで、電源線ＳＬを共有化した構成としている。この構成を採用することにより、電源線ＳＬが占めていた分の面積の縮小が図られる。そのため、この構成を採用する半導体装置では、単位面積あたりの記憶容量の向上を図ることができる。

【０１６１】

行選択ドライバ502は、メモリセル100の各行におけるトランジスタ101及びトランジスタ105を選択的に導通状態とする機能、およびメモリセル100の各行におけるノードFN1、FN2の電位を選択的に変化させる機能、を備えた回路である。行選択ドライバ502を備えることで、半導体装置500は、メモリセル100へのデータの書き込みおよび読み出しを行毎に選択して行うことができる。

【0162】

列選択ドライバ503は、メモリセル100の各列におけるノードFN1及びノードFN2に選択的にデータを書き込む機能、ビット線BLの電位を初期化する機能、およびビット線BLを電氣的に浮遊状態とする機能、を備えた回路である。具体的には、ビット線BLに、多値のデータに対応する電位及び電位 V_{GND} を、スイッチを介して与える回路である。列選択ドライバ503を備えることで、半導体装置500は、メモリセル100へのデータの書き込みおよび読み出しを列毎に選択して行うことができる。

10

【0163】

A/Dコンバータ504は、アナログ値であるビット線BLの電位を、デジタル値に変換して外部に出力する機能を備えた回路である。具体的には、フラッシュ型のA/Dコンバータを有する回路である。A/Dコンバータ504を備えることで、半導体装置500は、メモリセル100より読み出されたデータに対応するビット線BLの電位を外部に出力することができる。

【0164】

なおA/Dコンバータ504は、フラッシュ型のA/Dコンバータとして説明を行うが、逐次比較型、マルチスロープ型、デルタシグマ型のA/Dコンバータを用いてもよい。

20

【0165】

図8は、図7のメモリセル100を、実施の形態2で説明したメモリセル110に置き換えたものである。詳細は、図7の記載を参照すればよい。

【0166】

図7及び図8に示す半導体装置500は、図24に示すブロック図で構成してもよい。図24に示すブロック図は、同じワード線に接続されたトランジスタの第2のゲートが、共通の配線に接続されている場合である。ワード線WLOS1[m-1]に接続されたトランジスタの第2のゲートは、信号BG1[m-1]が与えられる配線に接続されている。ワード線WLOS2[m-1]に接続されたトランジスタの第2のゲートは、信号BG2[m-1]が与えられる配線に接続されている。ワード線WLOS1[m]に接続されたトランジスタの第2のゲートは、信号BG1[m]が与えられる配線に接続されている。ワード線WLOS2[m]に接続されたトランジスタの第2のゲートは、信号BG2[m]が与えられる配線に接続されている。信号BG1[m-1]と信号BG2[m-1]は共通の信号でもよいし、異なる信号でもよい。同様に、信号BG1[m]と信号BG2[m]は共通の信号でもよいし、異なる信号でもよい。

30

【0167】

図7及び図8に示す半導体装置500は、図25に示すブロック図で構成してもよい。図25に示すブロック図は、メモリセルアレイ501に含まれる全ての第2のゲートが、共通の配線に接続され、共通の信号BGが与えられている。

40

【0168】

行選択ドライバの構成例

図9は、図7及び図8で説明した行選択ドライバ502の構成例を示すブロック図である。

【0169】

図9に示す行選択ドライバ502は、デコーダ517、および読み出し書き込み制御回路518を有する。読み出し書き込み制御回路518はワード線WLOS1、WLC1、WLOS2、WLC2に接続され、各行毎に設けられる。

【0170】

デコーダ517は、ワード線が設けられる行を選択するための信号を出力する機能を備え

50

た回路である。具体的には、アドレス信号 *Address* が入力され、該アドレス信号 *Address* に従っていずれかの行の読み出し書き込み制御回路 518 を選択する回路である。デコーダ 517 を備えることで、行選択ドライバ 502 は、任意の行を選択して、データの書き込み又は読み出しを行うことができる。

【0171】

読み出し書き込み制御回路 518 は、デコーダ 517 で選択されたワード線を有する行の、書き込みワード信号を出力する機能および読み出しワード信号を選択的に出力する機能、を備えた回路である。具体的に読み出し書き込み制御回路 518 は、書き込み制御信号 *Write__CONT* および読み出し制御信号 *Read__CONT* が入力され、該信号に従って書き込み信号又は読み出し信号を選択的に出力する回路である。読み出し書き込み制御回路 518 を備えることで、行選択ドライバ 502 は、デコーダ 517 で選択された行での、書き込みワード信号又は読み出しワード信号を選択して出力することができる。

10

【0172】

列選択ドライバの構成例

図 10 は、図 7 及び図 8 で説明した列選択ドライバ 503 の構成例を示すブロック図である。

【0173】

図 10 に示す列選択ドライバ 503 は、デコーダ 521、ラッチ回路 522、D/A コンバータ 523、スイッチ回路 524、およびトランジスタ 526 を有する。前述の各回路およびトランジスタは、列毎に設けられる。また各列のスイッチ回路 524 およびトランジスタ 526 は、ビット線 *BL* に接続される。

20

【0174】

デコーダ 521 は、ビット線 *BL* が設けられる列を選択し、入力されるデータを振り分けて出力する機能を備えた回路である。具体的には、アドレス信号 *Address* およびデータ *Data* が入力され、該アドレス信号 *Address* に従っていずれかの列のラッチ回路 522 にデータ *Data* を出力する回路である。デコーダ 521 を備えることで、列選択ドライバ 503 は、任意の列を選択して、データの書き込みを行うことができる。

【0175】

なおデコーダ 521 に入力されるデータ *Data* は、*k* ビットのデジタルデータである。*k* ビットのデジタルデータは、ビット毎に '1' 又は '0' の 2 値のデータで表される信号である。具体的には、2 ビットのデジタルデータであれば、'00'、'01'、'10'、'11' で表されるデータである。

30

【0176】

ラッチ回路 522 は、入力されるデータ *Data* を一時的に記憶する機能を備えた回路である。具体的には、ラッチ信号 *W__LAT* が入力され、記憶したデータ *Data* を、該ラッチ信号 *W__LAT* に従って D/A コンバータ 523 に出力するフリップフロップ回路である。ラッチ回路 522 を備えることで、列選択ドライバ 503 は、任意のタイミングでデータの書き込みを行うことができる。

【0177】

D/A コンバータ 523 は、入力されるデジタル値のデータ *Data* を、アナログ値のデータ *V_{data}* に変換する機能を備えた回路である。具体的に D/A コンバータ 523 は、データ *Data* のビット数が 3 ビットであれば、複数の電位 *V0* 乃至 *V7* の 8 段階の電位のいずれかに変換してスイッチ回路 524 に出力する回路である。D/A コンバータ 523 を備えることで、列選択ドライバ 503 は、メモリセル 110 に書き込むデータを、多値のデータに対応する電位とすることができる。

40

【0178】

なお D/A コンバータ 523 から出力されるデータ *V_{data}* は、異なる電圧値で表されるデータである。2 ビットのデータでいえば、0.5V、1.0V、1.5V、2.0V の 4 値のデータとなり、いずれかの電圧値で表されるデータということができる。

【0179】

50

スイッチ回路524は、入力されるデータ V_{data} をビット線BLに与える機能、およびビット線BLを電氣的に浮遊状態とする機能を備えた回路である。具体的には、アナログスイッチとインバータを備え、スイッチ制御信号 $Write_SW$ による制御により、データ V_{data} をビット線BLに与え、その後アナログスイッチをオフにすることで電氣的に浮遊状態とする回路である。スイッチ回路524を備えることで、列選択ドライバ503は、データ V_{data} をビット線BLに与えた後、ビット線BLを電氣的に浮遊状態に保持することができる。

【0180】

トランジスタ526は、初期化するための電位 V_{GND} をビット線BLに与える機能、およびビット線BLを電氣的に浮遊状態とする機能を備えた回路である。具体的には、初期化制御信号 $Init_EN$ による制御で電位 V_{GND} をビット線BLに与え、その後、ビット線BLを電氣的に浮遊状態とするスイッチである。トランジスタ526を備えることで、列選択ドライバ503は、電位 V_{GND} をビット線BLに与えた後、ビット線BLを電氣的に浮遊状態に保持することができる。

【0181】

A/Dコンバータの構成例

図11は、図8で説明したA/Dコンバータ504の構成例を示すブロック図である。

【0182】

図11に示すA/Dコンバータ504は、コンパレータ531、エンコーダ532、ラッチ回路533、およびバッファ534を有する。前述の各回路およびトランジスタは、列毎に設けられる。また各列のバッファ534は、データ $Dout$ を出力する。

【0183】

コンパレータ531は、ビット線BLの電位と、参照電圧 V_{ref0} 乃至 V_{ref6} との電位の高低を比較し、ビット線BLの電位が多値のデータのいずれかに応じた電位であるかを判定する機能を備えた回路である。具体的には、複数のコンパレータ531を備え、それぞれのコンパレータ531にビット線BLの電位と、異なる参照電圧 V_{ref0} 乃至 V_{ref6} とが与えられ、ビット線BLの電位がいずれかの電位の間にあるかを判定する回路である。コンパレータ531を備えることで、A/Dコンバータ504は、ビット線BLの電位が、多値のデータのいずれかに対応する電位かを判定することができる。

【0184】

なお、一例として図11で示す参照電圧 V_{ref0} 乃至 V_{ref6} は、多値のデータが3ビット、すなわち8値のデータである場合に与えられる電位である。

【0185】

エンコーダ532は、コンパレータ531から出力されるビット線BLの電位を判定する信号をもとに、多ビットのデジタル信号を生成する機能を備えた回路である。具体的には、複数のコンパレータ531より出力されるHレベル又はLレベルの信号をもとに符号化を行い、デジタル信号を生成する回路である。エンコーダ532を備えることで、A/Dコンバータ504は、メモリセル110から読み出されたデータをデジタル値のデータとすることができる。

【0186】

ラッチ回路533は、入力されるデジタル値のデータを一時的に記憶する機能を備えた回路である。具体的には、ラッチ信号 LAT が入力され、記憶したデータを、該ラッチ信号 LAT に従ってバッファ534に出力するフリップフロップ回路である。ラッチ回路533を備えることで、A/Dコンバータ504は、任意のタイミングでデータの出力を行うことができる。なおラッチ回路533は、省略することができる。

【0187】

バッファ534は、ラッチ回路533より出力されたデータを増幅して出力信号 $Dout$ として出力する機能を備えた回路である。具体的には、インバータ回路を偶数段備えた回路である。バッファ534を備えることで、A/Dコンバータ504は、デジタル信号に対するノイズを低減することができる。なおバッファ534は、省略することができる。

10

20

30

40

50

【 0 1 8 8 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 8 9 】

(実施の形態 4)

本実施の形態では、メモリセル 1 0 0 及びメモリセル 1 1 0 の回路を実現可能な半導体装置の一例について、図 1 2 を用いて説明する。

【 0 1 9 0 】

半導体装置の構成例

図 1 2 に示す半導体装置は、基板 2 0 0 0 と、トランジスタ 1 0 1 と、トランジスタ 1 2 2 と、トランジスタ 1 2 3 と、トランジスタ 1 0 5 と、容量素子 1 0 4 と、容量素子 1 0 6 と、絶縁膜 2 0 0 1 と、絶縁膜 2 0 0 2 と、絶縁膜 2 0 0 3 と、絶縁膜 2 0 0 4 と、絶縁膜 2 0 0 5 と、絶縁膜 2 0 0 6 と、絶縁膜 2 0 0 7 と、絶縁膜 2 0 0 8 と、プラグ 2 1 0 1 と、プラグ 2 1 0 2 と、プラグ 2 1 0 3 と、プラグ 2 1 0 4 と、プラグ 2 1 0 5 と、プラグ 2 1 0 6 と、プラグ 2 1 0 7 と、プラグ 2 1 0 8 と、配線 2 3 0 1 と、配線 2 3 0 2 と、配線 2 5 0 1 と、配線 2 5 0 2 と、導電膜 2 7 0 1 と、導電膜 2 7 0 2 と、を有している。

10

【 0 1 9 1 】

なお、図 1 2 でメモリセル 1 0 0 を実現する場合、以下の説明では、トランジスタ 1 2 2 をトランジスタ 1 0 2 に置き換え、トランジスタ 1 2 3 をトランジスタ 1 0 3 に置き換えればよい。同様に、図 1 2 でメモリセル 1 1 0 を実現する場合、以下の説明では、トランジスタ 1 2 2 をトランジスタ 1 1 2 に置き換え、トランジスタ 1 2 3 をトランジスタ 1 1 3 に置き換えればよい。

20

【 0 1 9 2 】

トランジスタ 1 2 2、1 2 3 は、ゲート電極 2 2 0 5 と、ゲート絶縁膜 2 2 0 4 と、側壁絶縁層 2 2 0 6 と、ソース領域又はドレイン領域として機能する不純物領域 2 2 0 3 と、LDD (Lightly Doped Drain) 領域やエクステンション領域として機能する不純物領域 2 2 0 2 と、チャネル形成領域 2 2 0 1 と、を有する。

【 0 1 9 3 】

容量素子 1 0 4 は、第 1 の電極 2 4 0 1 と、第 2 の電極 2 4 0 2 と、絶縁膜 2 4 0 3 と、を有する。

30

【 0 1 9 4 】

容量素子 1 0 6 は、第 1 の電極 2 6 0 1 と、第 2 の電極 2 6 0 2 と、絶縁膜 2 6 0 3 と、を有する。

【 0 1 9 5 】

導電膜 2 7 0 1 は、トランジスタ 1 0 1 のソース電極またはドレイン電極と同一の導電膜を加工する工程を経て形成された導電膜と、トランジスタ 1 0 1 の半導体層と同一の半導体層を加工する工程を経て形成された半導体層とで構成されている。

【 0 1 9 6 】

導電膜 2 7 0 2 は、トランジスタ 1 0 5 のソース電極またはドレイン電極と同一の導電膜を加工する工程を経て形成された導電膜と、トランジスタ 1 0 5 の半導体層と同一の半導体層を加工する工程を経て形成された半導体層とで構成されている。

40

【 0 1 9 7 】

なお、図 1 2 において、同じ階層に複数のプラグが存在する場合、代表する一つのみに符号を与え、他はこの符号を併用することにする。同様に、同じ階層に複数の配線が存在する場合、代表する一つのみに符号を与え、他はこの符号を併用する。

【 0 1 9 8 】

図 1 2 には、ビット線 B L と、電源線 S L と、ワード線 W L O S 1 と、ワード線 W L O S

50

2と、ワード線WLC1と、ワード線WLC2と、にそれぞれ接続される端子が図示されている。

【0199】

図12に示す半導体装置は、基板2000上にトランジスタ122、123が設けられ、トランジスタ122、123上に容量素子104が設けられ、容量素子104上にトランジスタ101が設けられ、トランジスタ101上にトランジスタ105が設けられ、トランジスタ105上に容量素子106が設けられている。なお、これら素子の上下関係は、これに限定されない。例えば、トランジスタ101上に容量素子106を設け、容量素子106上にトランジスタ105を設けてもよい。

【0200】

基板2000としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、SOI(Silicon on Insulator)基板などを用いることができる。半導体基板を用いて形成されたトランジスタは、高速動作が容易である。なお、基板2000としてp型の単結晶シリコン基板を用いた場合、基板2000の一部にn型を付与する不純物元素を添加してn型のウェルを形成し、n型のウェルが形成された領域にp型のトランジスタを形成することも可能である。n型を付与する不純物元素としては、リン(P)、砒素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)等を用いることができる。

【0201】

また、基板2000は絶縁基板又は金属基板上に半導体膜を設けたものでもよい。該金属基板としては、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板などが挙げられる。該絶縁基板として、例えば、ガラス基板、石英基板、プラスチック基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどが挙げられる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。

【0202】

なお、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。半導体素子が転置される基板の一例としては、上述した基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板(天然繊維(絹、綿、麻)、合成繊維(ナイロン、ポリウレタン、ポリエステル)若しくは再生繊維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0203】

トランジスタ122、123は、チャンネルに第1の半導体材料を用いることが好ましい。また、トランジスタ101、105は、チャンネルに第2の半導体材料を用いることが好ましい。第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコン(歪シリコン含む)、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体など)とし、第2の半導体材料を酸化物半導体とすることができ、半導体材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジ

10

20

30

40

50

スタは、オフ電流が小さい。

【0204】

トランジスタ101、105の詳細については、実施の形態4で説明を行う。

【0205】

トランジスタ122、123としてシリサイド(サリサイド)を有するトランジスタや、側壁絶縁層2206を有さないトランジスタを用いてもよい。シリサイド(サリサイド)を有する構造であると、ソース領域およびドレイン領域がより低抵抗化でき、半導体装置の高速化が可能である。また、低電圧で動作できるため、半導体装置の消費電力を低減することが可能である。

【0206】

トランジスタ122、123は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、不純物領域2203の不純物濃度は、不純物領域2202よりも高い。ゲート電極2205および側壁絶縁層2206をマスクとして用いて、不純物領域2203及び不純物領域2202を自己整合的に形成することができる。

【0207】

トランジスタ122、123にシリコン系半導体材料を用いた場合、絶縁膜2001及び絶縁膜2002は水素を含むことが好ましい。水素を含む絶縁膜をトランジスタ122、123の上に設け、加熱処理を行うことで、これら絶縁膜中の水素により半導体膜中のダングリングボンドが終端され、トランジスタ122、123の信頼性を向上させることができる。

【0208】

絶縁膜2001、2002としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。

【0209】

トランジスタ101、105に酸化物半導体を用いた場合、上述した絶縁膜2001、2002中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ101、105の信頼性を低下させる要因となる場合がある。したがって、トランジスタ101、105と、トランジスタ122、123の間に、水素の拡散を防止する機能を有する絶縁膜2003、2006を設けることは特に効果的である。絶縁膜2003、2006により、下層に水素を閉じ込めることでトランジスタ122及びトランジスタ123の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ101、105の信頼性も同時に向上させることができる。

【0210】

絶縁膜2003、2006としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。特に、酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高く好ましい。

【0211】

絶縁膜2004、2007は、絶縁膜2003、2006と同様、水や水素が拡散しにくい材料を用いることが好ましい。また、特に酸素を透過しにくい材料を用いることが好ましい。酸素を透過しにくい絶縁膜で、酸化物半導体膜を覆うことで、酸化物半導体膜から当該絶縁膜を超えて酸素が放出されることを抑制することができる。

【0212】

また、水や水素を透過しにくい絶縁膜2004、2007により、外部から酸化物半導体にとっての不純物である水や水素が混入することを抑制でき、トランジスタ101、105の電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0213】

10

20

30

40

50

絶縁膜 2005 はトランジスタ 101 を保護する機能を有し、絶縁膜 2008 はトランジスタ 105 を保護する機能を有する。絶縁膜 2005、2008 には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁膜 2005、2008 は、上記材料の積層であってもよい。なお、絶縁膜 2005、2008 は、場合によっては設けなくてもよい。

【0214】

配線 2301 はトランジスタ 101 の第 2 のゲート電極としての機能を有する。配線 2301 は、一定の電位が供給されていてもよいし、トランジスタ 101 の第 1 のゲート電極と同じ電位や、同じ信号が供給されていてもよい。配線 2302 はトランジスタ 105 の第 2 のゲート電極としての機能を有する。配線 2302 は、一定の電位が供給されていてもよいし、トランジスタ 105 の第 1 のゲート電極と同じ電位や、同じ信号が供給されていてもよい。なお、配線 2301、2302 は、場合によっては省略してもよい。

【0215】

プラグ 2101 乃至 2108 は、銅 (Cu)、タングステン (W)、モリブデン (Mo)、金 (Au)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta)、ニッケル (Ni)、クロム (Cr)、鉛 (Pb)、錫 (Sn)、鉄 (Fe)、コバルト (Co) の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが Cu の拡散を抑制する機能を持つので好ましい。

【0216】

配線 2301、2302、2501、2502、容量素子 104 の第 1 の電極 2401、容量素子 104 の第 2 の電極 2402、容量素子 106 の第 1 の電極 2601 及び容量素子 106 の第 2 の電極 2602 は、銅 (Cu)、タングステン (W)、モリブデン (Mo)、金 (Au)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta)、ニッケル (Ni)、クロム (Cr)、鉛 (Pb)、錫 (Sn)、鉄 (Fe)、コバルト (Co) の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn 合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンが Cu の拡散を抑制する機能を持つので好ましい。

【0217】

容量素子 104 の絶縁膜 2403 及び容量素子 106 の絶縁膜 2603 は、誘電率の高い絶縁膜を用いることが好ましい。例えば、これら絶縁膜には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁膜 2403 及び絶縁膜 2603 は、上記材料の積層であってもよい。なお、これら絶縁膜に、ランタン (La)、窒素、ジルコニウム (Zr) などを、不純物として含んでいてもよい。

【0218】

なお、図 12 において、符号及びハッチングパターンが与えられていない領域は絶縁体で構成された領域を表している。これらの領域には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化

10

20

30

40

50

ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体を用いることができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。

【0219】

なお、トランジスタ122、123は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN（フィン）型、TRI-GATE（トライゲート）型などのトランジスタなどとすることができる。

【0220】

図4に示すメモリセル110を、図12に示す構成にすることで、メモリセル一つあたりの占有面積を小さくできる。また、メモリセル110は多値のデータを記憶することができるので、図12に示す構成にすることで、小さな面積で、高密度の情報量を記憶できる半導体装置を提供することができる。

10

【0221】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0222】

（実施の形態5）

酸化物半導体トランジスタの構成例

本実施の形態では、図12に示したトランジスタ101、105に適用可能な、チャンネルに酸化物半導体層を用いたトランジスタ（以下、OS（Oxide Semiconductor）トランジスタ）の一例について、図13乃至図18を用いて説明を行う。

20

【0223】

図13（A）乃至図13（C）は、OSトランジスタの上面図および断面図である。図13（A）は上面図であり、図13（A）に示す一点鎖線A1-A2方向の断面が図13（B）に相当し、図13（A）に示す一点鎖線B1-B2方向の断面が図13（C）に相当する。なお、図13（A）乃至図13（C）では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線A1-A2方向をチャンネル長方向、一点鎖線B1-B2方向をチャンネル幅方向と呼称する場合がある。

【0224】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオンのときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0225】

チャンネル幅とは、例えば、半導体（またはトランジスタがオンのときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0226】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、

50

立体的な構造を有するトランジスタでは、実効的なチャネル幅が、トランジスタの上面図において示される見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャネル領域の割合に対して、半導体の側面に形成されるチャネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャネル幅よりも、実際にチャネルの形成される実効的なチャネル幅の方が大きくなる。

【0227】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

10

【0228】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャネル幅を、「囲い込みチャネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0229】

なお、トランジスタの電界効果移動度や、チャネル幅当たりの電流値などを計算して求める場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0230】

OSトランジスタは、絶縁膜651上の絶縁膜652と、絶縁膜652上に、第1の酸化物半導体661、第2の酸化物半導体662の順で形成された積層と、該積層の一部と電気的に接続するソース電極671およびドレイン電極672と、該積層の一部、ソース電極671の一部、およびドレイン電極672の一部を覆う第3の酸化物半導体663と、該積層の一部、ソース電極671の一部、ドレイン電極672の一部、第3の酸化物半導体663の一部と重なるゲート絶縁膜653およびゲート電極673と、ソース電極671およびドレイン電極672、ならびにゲート電極673上の絶縁膜654と、絶縁膜654上の絶縁膜655を有する。なお、第1の酸化物半導体661、第2の酸化物半導体662および第3の酸化物半導体663をまとめて、酸化物半導体660と呼称する。

30

【0231】

なお、ソース電極671（および／又は、ドレイン電極672）の、少なくとも一部（又は全部）は、第2の酸化物半導体662（および／又は、第1の酸化物半導体661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）に設けられている。

40

【0232】

または、ソース電極671（および／又は、ドレイン電極672）の、少なくとも一部（又は全部）は、第2の酸化物半導体662（および／又は、第1の酸化物半導体661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）と、接触している。または、ソース電極671（および／又は、ドレイン電極672）の、少なくとも一部（又は全部）は、第2の酸化物半導体662（および／又は、第1の酸化物半導体661）などの半導体層の少なくとも一部（又は全部）と、接触している。

【0233】

または、ソース電極671（および／又は、ドレイン電極672）の、少なくとも一部（又は全部）は、第2の酸化物半導体662（および／又は、第1の酸化物半導体661）

50

などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）と、電氣的に接続されている。または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の一部（又は全部）と、電氣的に接続されている。

【0234】

または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）に、近接して配置されている。または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の一部（又は全部）に、近接して配置されている。

10

【0235】

または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）の横側に配置されている。または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の一部（又は全部）の横側に配置されている。

20

【0236】

または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）の斜め上側に配置されている。または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の一部（又は全部）の斜め上側に配置されている。

【0237】

または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の、表面、側面、上面、および／又は、下面の少なくとも一部（又は全部）の上側に配置されている。または、ソース電極 671（および／又は、ドレイン電極 672）の、少なくとも一部（又は全部）は、第 2 の酸化物半導体 662（および／又は、第 1 の酸化物半導体 661）などの半導体層の一部（又は全部）の上側に配置されている。

30

【0238】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

40

【0239】

本発明の一態様のトランジスタは、チャネル長が 10 nm 以上 1000 nm 以下、好ましくはチャネル長が 20 nm 以上 500 nm 以下、より好ましくはチャネル長が 30 nm 以上 300 nm 以下のトップゲート型構造である。

【0240】

以下に、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

【0241】

下地絶縁膜

50

絶縁膜 651 及び絶縁膜 652 は、絶縁膜 651 の下からの不純物の拡散を防止する役割を有するほか、酸化物半導体 660 に酸素を供給する役割を担うことができる。したがって、絶縁膜 651 及び絶縁膜 652 は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上である膜とする。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。また、図 12 のように、絶縁膜 651 の下に他のデバイスが形成されている場合、絶縁膜 651 及び絶縁膜 652 は、表面が平坦になるように CMP (Chemical Mechanical Polishing) 法等で平坦化処理を行うことが好ましい。

10

【0242】

絶縁膜 651 及び絶縁膜 652 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いて形成することができる。

【0243】

酸化物半導体

酸化物半導体 660 は、代表的には、In - Ga 酸化物、In - Zn 酸化物、In - M - Zn 酸化物 (M は、Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf) がある。とくに、酸化物半導体 660 としては、In - M - Zn 酸化物を用いると好ましい。

20

【0244】

ただし、酸化物半導体 660 は、インジウムを含む酸化物に限定されない。酸化物半導体 660 は、例えば、Zn 酸化物、Zn - Sn 酸化物、Ga 酸化物、Ga - Sn 酸化物であっても構わない。

【0245】

酸化物半導体 660 がスパッタリング法で作製された In - M - Zn 酸化物の場合、In - M - Zn 酸化物を成膜するために用いるターゲットの金属元素の原子数比は、In : M : Zn を満たすことが好ましい。このようなターゲットの金属元素の原子数比として、In : M : Zn = 1 : 1 : 1、In : M : Zn = 1 : 1 : 1.2、In : M : Zn = 3 : 1 : 2 が好ましい。なお、成膜される酸化物半導体 660 の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス 40% の変動を含む。

30

【0246】

次に、第 1 の酸化物半導体 661、第 2 の酸化物半導体 662、および第 3 の酸化物半導体 663 の積層により構成される酸化物半導体 660 の機能およびその効果について、図 14 (B) に示すエネルギーバンド構造図を用いて説明する。図 14 (A) は、図 13 (B) に示す OSTRANSISTOR のチャネル部分を拡大した図で、図 14 (B) は、図 14 (A) に C1 - C2 の鎖線で示した部位のエネルギーバンド構造を示している。つまり、図 14 (B) は、OSTRANSISTOR のチャネル形成領域のエネルギーバンド構造を示している。

40

【0247】

図 14 (B) 中、Ec652、Ec661、Ec662、Ec663、Ec653 は、それぞれ、絶縁膜 652、第 1 の酸化物半導体 661、第 2 の酸化物半導体 662、第 3 の酸化物半導体 663、ゲート絶縁膜 653 の伝導帯下端のエネルギーを示している。

【0248】

ここで、真空準位と伝導帯下端のエネルギーとの差 (「電子親和力」ともいう。) は、真空準位と価電子帯上端のエネルギーとの差 (イオン化ポテンシャルともいう。) からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ (

50

HORIBA JOBIN YVON社 UT-300)を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(ULVAC PHI社 VersaProbe)を用いて測定できる。

【0249】

なお、原子数比がIn:Ga:Zn=1:3:2のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:4のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:6のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.3 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:6:2のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.9 eV、電子親和力は約4.3 eVである。また、原子数比がIn:Ga:Zn=1:6:8のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.4 eVである。また、原子数比がIn:Ga:Zn=1:6:10のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:1:1のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.2 eV、電子親和力は約4.7 eVである。また、原子数比がIn:Ga:Zn=3:1:2のスputタリングターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約2.8 eV、電子親和力は約5.0 eVである。

【0250】

絶縁膜652とゲート絶縁膜653は絶縁体であるため、Ec653とEc652は、Ec661、Ec662、およびEc663よりも真空準位に近い(電子親和力が小さい)。

【0251】

また、Ec661は、Ec662よりも真空準位に近い。具体的には、Ec661は、Ec662よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

【0252】

また、Ec663は、Ec662よりも真空準位に近い。具体的には、Ec663は、Ec662よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

【0253】

また、第1の酸化物半導体661と第2の酸化物半導体662との界面近傍、および、第2の酸化物半導体662と第3の酸化物半導体663との界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

【0254】

従って、当該エネルギーバンド構造を有する積層構造において、電子は第2の酸化物半導体662を主として移動することになる。そのため、第1の酸化物半導体661と絶縁膜652との界面、または、第3の酸化物半導体663とゲート絶縁膜653との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、第1の酸化物半導体661と第2の酸化物半導体662との界面、および第3の酸化物半導体663と第2の酸化物半導体662との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有

するＯＳトランジスタは、高い電界効果移動度を実現することができる。

【０２５５】

なお、図６に示すように、第１の酸化物半導体６６１と絶縁膜６５２の界面、および第３の酸化物半導体６６３とゲート絶縁膜６５３の界面近傍には、不純物や欠陥に起因したトラップ準位 E_t600 が形成され得るものの、第１の酸化物半導体６６１、および第３の酸化物半導体６６３があることにより、第２の酸化物半導体６６２と当該トラップ準位とを遠ざけることができる。

【０２５６】

特に、本実施の形態に例示するＯＳトランジスタは、チャネル幅方向において、第２の酸化物半導体６６２の上面と側面が第３の酸化物半導体６６３と接し、第２の酸化物半導体
10
６６２の下面が第１の酸化物半導体６６１と接して形成されている（図１３（Ｃ）参照。
）。このように、第２の酸化物半導体６６２を第１の酸化物半導体６６１と第３の酸化物半導体６６３で覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

【０２５７】

ただし、 E_c661 または E_c663 と、 E_c662 とのエネルギー差が小さい場合、第２の酸化物半導体６６２の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【０２５８】

従って、 E_c661 、および E_c663 と、 E_c662 とのエネルギー差を、それぞれ
20
０．１eV以上、好ましくは０．１５eV以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

【０２５９】

また、第１の酸化物半導体６６１、および第３の酸化物半導体６６３のバンドギャップは、第２の酸化物半導体６６２のバンドギャップよりも広いほうが好ましい。

【０２６０】

第１の酸化物半導体６６１および第３の酸化物半導体６６３には、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを第２の酸化物半導体６６２よりも
30
高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を１．５倍以上、好ましくは２倍以上、さらに好ましくは３倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体に生じることを抑制する機能を有する。すなわち、第１の酸化物半導体６６１および第３の酸化物半導体６６３は、第２の酸化物半導体６６２よりも酸素欠損が生じにくいということができる。

【０２６１】

また、第３の酸化物半導体６６３がInを含むと、Inがゲート絶縁膜６５３に拡散し、ゲートリークを引き起こすことがある。そのため、第３の酸化物半導体６６３は、Inを
40
含まない材料を用いることが好ましい。例えば、酸化ガリウムなどが好ましい。

【０２６２】

なお、第１の酸化物半導体６６１、第２の酸化物半導体６６２、第３の酸化物半導体６６３が、少なくともインジウム、亜鉛およびM（Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属）を含むIn-M-Zn酸化物であるとき、第１の酸化物半導体６６１をIn：M：Zn＝ x_1 ： y_1 ： z_1 〔原子数比〕、第２の酸化物半導体
50
６６２をIn：M：Zn＝ x_2 ： y_2 ： z_2 〔原子数比〕、第３の酸化物半導体６６３をIn：M：Zn＝ x_3 ： y_3 ： z_3 〔原子数比〕とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなることが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも１．５倍以上、好ましくは２倍以上、さらに好ましくは３倍以上とする。このとき、第２の酸化物半導体６６２において、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の３倍以上になると、トランジスタの

電界効果移動度が低下してしまうため、 y_2 は x_2 の 3 倍未満であることが好ましい。

【0263】

第1の酸化物半導体661および第3の酸化物半導体663のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50 atomic %未満、Mが50 atomic %以上、さらに好ましくはInが25 atomic %未満、Mが75 atomic %以上とする。また、第2の酸化物半導体662のZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25 atomic %以上、Mが75 atomic %未満、さらに好ましくはInが34 atomic %以上、Mが66 atomic %未満とする。

【0264】

第1の酸化物半導体661および第3の酸化物半導体663の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上50 nm以下とする。また、第2の酸化物半導体662の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。また、第2の酸化物半導体662は、第1の酸化物半導体661および第3の酸化物半導体663より厚い方が好ましい。

【0265】

なお、酸化物半導体をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0266】

また、酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、第1の酸化物半導体661、第2の酸化物半導体662および第3の酸化物半導体663の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0267】

酸化物半導体を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0268】

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶性を低下させることがある。酸化物半導体の結晶性を低下させないためには、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$

10

20

30

40

50

未満とする部分を有していればよい。

【0269】

また、上述のように高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数yA/μmから数zA/μmにまで低減することが可能となる。

【0270】

本実施の形態に例示するOSトランジスタは、酸化物半導体660のチャネル幅方向を電氣的に取り囲むようにゲート電極673が形成されているため、酸化物半導体660に対しては垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される(図13(C)参照)。すなわち、酸化物半導体の全体的にゲート電界が印加させることとなり、電流はチャネルとなる第2の酸化物半導体662全体に流れるようになり、さらにオン電流を高められる。

【0271】

ゲート電極

ゲート電極673は、クロム(Cr)、銅(Cu)、アルミニウム(Al)、金(Au)、銀(Ag)、亜鉛(Zn)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)、タングステン(W)、マンガン(Mn)、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金等を用いて形成することができる。また、ゲート電極673は、一層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、Cu-Mn合金膜の単層構造、Cu-Mn合金膜上にCu膜を積層する二層構造、Cu-Mn合金膜上にCu膜を積層し、さらにその上にCu-Mn合金膜を積層する三層構造等がある。特にCu-Mn合金膜は、電気抵抗が低く、且つ、酸素を含む絶縁膜との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため好ましい。

【0272】

また、ゲート電極673には、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0273】

ゲート絶縁膜

ゲート絶縁膜653には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、ゲート絶縁膜653は上記材料の積層であってもよい。なお、ゲート絶縁膜653に、ランタン(La)、窒素、ジルコニウム(Zr)などを、不純物として含んでもよい。

【0274】

また、ゲート絶縁膜653の積層構造の一例について説明する。ゲート絶縁膜653は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0275】

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがっ

10

20

30

40

50

て、等価酸化膜厚に対して物理的な膜厚を大きくできるため、等価酸化膜厚を10 nm以下または5 nm以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。

【0276】

ソース電極およびドレイン電極

ソース電極671およびドレイン電極672は、ゲート電極673と同様の材料で作製することができる。特にCu-Mn合金膜は、電気抵抗が低く、且つ、酸化物半導体660との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため好ましい。

【0277】

保護絶縁膜

絶縁膜654は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜654を設けることで、酸化物半導体660からの酸素の外部への拡散と、外部から酸化物半導体660への水素、水等の入り込みを防ぐことができる。絶縁膜654としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0278】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁膜654に適用するのに好ましい。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体660への混入防止、酸化物半導体660を構成する主成分材料である酸素の酸化物半導体からの放出防止、絶縁膜652からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体中に拡散させることもできる。

【0279】

酸化物半導体の結晶構造

次に、OSトランジスタに適用可能な酸化物半導体の結晶構造について説明を行う。

【0280】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0281】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0282】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0283】

まずは、CAAC-OS膜について説明する。

【0284】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

10

20

30

40

50

【0285】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで、複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0286】

試料面と概略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

10

【0287】

一方、試料面と概略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0288】

図15(a)は、CAAC-OS膜の断面の高分解能TEM像である。また、図15(b)は、図15(a)をさらに拡大した断面の高分解能TEM像であり、理解を容易にするために原子配列を強調表示している。

20

【0289】

図15(c)は、図15(a)のA-O-A'間において、丸で囲んだ領域 (直径約4nm) の局所的なフーリエ変換像である。図15(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が 14.3° 、 16.6° 、 26.4° のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が -18.3° 、 -17.6° 、 -15.9° と少しずつ連続的に変化していることがわかる。

【0290】

なお、CAAC-OS膜に対し、電子回折を行うと、配向性を示すスポット (輝点) が観測される。例えば、CAAC-OS膜の上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折 (ナノビーム電子回折ともいう。) を行うと、スポットが観測される (図16(A)参照。)

30

【0291】

断面の高分解能TEM像および平面の高分解能TEM像より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0292】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能TEM像において、 2500nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

40

【0293】

CAAC-OS膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

50

【0294】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0295】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

10

【0296】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0297】

20

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、不純物の添加されたCAAC-OS膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

【0298】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

30

【0299】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

40

【0300】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0301】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノー

50

マリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0302】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0303】

次に、微結晶酸化物半導体膜について説明する。

【0304】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0305】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図16(B)参照。)

【0306】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0307】

次に、非晶質酸化物半導体膜について説明する。

【0308】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0309】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0310】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-p

10

20

30

40

50

lane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0311】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(amorphous-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

【0312】

amorphous-like OS膜は、高分解能TEM像において鬆(ボイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。amorphous-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0313】

なお、amorphous-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応すると見なした。その格子縞の観察される領域における最大長を、amorphous-like OS膜およびnc-OS膜の結晶部の大きさとする。なお、結晶部の大きさは、0.8nm以上のものを選択的に評価する。

【0314】

図17は、高分解能TEM像により、amorphous-like OS膜およびnc-OS膜の結晶部(20箇所から40箇所)の平均の大きさの変化を調査した例である。図17より、amorphous-like OS膜は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、TEMによる観察初期においては1.2nm程度の大きさだった結晶部が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、良質なnc-OS膜は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。

【0315】

また、図17に示す、amorphous-like OS膜およびnc-OS膜の結晶部の大きさの変化を線形近似して、電子の累積照射量 $0 \text{ e}^- / \text{nm}^2$ まで外挿すると、結晶部の平均の大きさが正の値をとることがわかる。そのため、amorphous-like OS膜およびnc-OS膜の結晶部が、TEMによる観察前から存在していることがわかる。

【0316】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0317】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能となる場合がある。

10

20

30

40

50

【 0 3 1 8 】

図 1 6 (C) に、電子銃室 1 0 と、電子銃室 1 0 の下の光学系 1 2 と、光学系 1 2 の下の試料室 1 4 と、試料室 1 4 の下の光学系 1 6 と、光学系 1 6 の下の観察室 2 0 と、観察室 2 0 に設置されたカメラ 1 8 と、観察室 2 0 の下のフィルム室 2 2 と、を有する透過電子回折測定装置を示す。カメラ 1 8 は、観察室 2 0 内部に向けて設置される。なお、フィルム室 2 2 を有さなくても構わない。

【 0 3 1 9 】

また、図 1 6 (D) に、図 1 6 (C) で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室 1 0 に設置された電子銃から放出された電子が、光学系 1 2 を介して試料室 1 4 に配置された物質 2 8 に照射される。物質 2 8 を通過した電子は、光学系 1 6 を介して観察室 2 0 内部に設置された蛍光板 3 2 に入射する。蛍光板 3 2 では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

【 0 3 2 0 】

カメラ 1 8 は、蛍光板 3 2 を向いて設置されており、蛍光板 3 2 に現れたパターンを撮影することが可能である。カメラ 1 8 のレンズの中央、および蛍光板 3 2 の中央を通る直線と、蛍光板 3 2 の上面と、の為す角度は、例えば、 15° 以上 80° 以下、 30° 以上 75° 以下、または 45° 以上 70° 以下とする。該角度が小さいほど、カメラ 1 8 で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ 1 8 をフィルム室 2 2 に設置しても構わない場合がある。例えば、カメラ 1 8 をフィルム室 2 2 に、電子 2 4 の入射方向と対向するように設置してもよい。この場合、蛍光板 3 2 の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

【 0 3 2 1 】

試料室 1 4 には、試料である物質 2 8 を固定するためのホルダが設置されている。ホルダは、物質 2 8 を通過する電子を透過するような構造をしている。ホルダは、例えば、物質 2 8 を X 軸、Y 軸、Z 軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、 1 nm 以上 10 nm 以下、 5 nm 以上 50 nm 以下、 10 nm 以上 100 nm 以下、 50 nm 以上 500 nm 以下、 100 nm 以上 $1\text{ }\mu\text{m}$ 以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質 2 8 の構造によって最適な範囲を設定すればよい。

【 0 3 2 2 】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【 0 3 2 3 】

例えば、図 1 6 (D) に示すように物質におけるナノビームである電子 2 4 の照射位置を変化させる（スキャンする）ことで、物質の構造が変化していく様子を確認することができる。このとき、物質 2 8 が C A A C - O S 膜であれば、図 1 6 (A) に示したような回折パターンが観測される。または、物質 2 8 が n c - O S 膜であれば、図 1 6 (B) に示したような回折パターンが観測される。

【 0 3 2 4 】

ところで、物質 2 8 が C A A C - O S 膜であったとしても、部分的に n c - O S 膜などと同様の回折パターンが観測される場合がある。したがって、C A A C - O S 膜の良否は、一定の範囲における C A A C - O S 膜の回折パターンが観測される領域の割合（C A A C 化率ともいう。）で表すことができる場合がある。例えば、良質な C A A C - O S 膜であれば、C A A C 化率は、 50% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上、より好ましくは 95% 以上となる。なお、C A A C - O S 膜と異なる回折パターンが観測される領域の割合を非 C A A C 化率と表記する。

【 0 3 2 5 】

一例として、成膜直後（a s - s p u t t e r e d と表記。）、または酸素を含む雰囲気

10

20

30

40

50

における450 加熱処理後のCAAC-OSS膜を有する各試料の上面に対し、スキャンしながら透過電子回折パターンを取得した。ここでは、5nm/秒の速度で60秒間スキャンしながら回折パターンを観測し、観測された回折パターンを0.5秒ごとに静止画に変換することで、CAAC化率を導出した。なお、電子線としては、プローブ径が1nmのナノビーム電子線を用いた。なお、同様の測定は6試料に対して行った。そしてCAAC化率の算出には、6試料における平均値を用いた。

【0326】

各試料におけるCAAC化率を図18(A)に示す。成膜直後のCAAC-OSS膜のCAAC化率は75.7%(非CAAC化率は24.3%)であった。また、450 加熱処理後のCAAC-OSS膜のCAAC化率は85.3%(非CAAC化率は14.7%)であった。成膜直後と比べて、450 加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度(例えば400 以上)における加熱処理によって、非CAAC化率が低くなる(CAAC化率が高くなる)ことがわかる。また、500 未満の加熱処理においても高いCAAC化率を有するCAAC-OSS膜が得られることがわかる。

10

【0327】

ここで、CAAC-OSS膜と異なる回折パターンのほとんどはnc-OSS膜と同様の回折パターンであった。また、測定領域において非晶質酸化物半導体膜は、確認することができなかった。したがって、加熱処理によって、nc-OSS膜と同様の構造を有する領域が、隣接する領域の構造の影響を受けて再配列し、CAAC化していることが示唆される。

20

【0328】

図18(B)および図18(C)は、成膜直後および450 加熱処理後のCAAC-OSS膜の平面の高分解能TEM像である。図18(B)と図18(C)とを比較することにより、450 加熱処理後のCAAC-OSS膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAAC-OSS膜の膜質が向上することがわかる。

【0329】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能となる場合がある。

【0330】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

30

【0331】

(実施の形態6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図19に示す。

40

【0332】

図19(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図19(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0333】

50

図１９（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度に従って、切り替える構成としても良い。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【０３３４】

図１９（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

【０３３５】

図１９（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０３３６】

図１９（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度に従って切り替える構成としても良い。

20

【０３３７】

図１９（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【０３３８】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

30

【０３３９】

（実施の形態７）

本実施の形態では、本発明の一態様に係るＲＦタグの使用例について図２０を用いながら説明する。ＲＦタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類（運転免許証や住民票等、図２０（Ａ）参照）、記録媒体（ＤＶＤやビデオテープ等、図２０（Ｂ）参照）、包装用容器類（包装紙やボトル等、図２０（Ｃ）参照）、乗り物類（自転車等、図２０（Ｄ）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、ＥＬ表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図２０（Ｅ）、図２０（Ｆ）参照）等に設けて使用することができる。

40

【０３４０】

本発明の一態様に係るＲＦタグ４０００は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るＲＦタグ４０００は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の一態様に係るＲＦタグ４０００を設けることにより、認証機能を設けるこ

50

とができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るＲＦタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るＲＦタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【０３４１】

以上のように、本発明の一態様に係わるＲＦタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

10

【０３４２】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【０３４３】

B G 1 信号

B G 2 信号

B L ビット線

B L 1 ビット線

B L 2 ビット線

F N 1 ノード

F N 2 ノード

F N 3 ノード

p 0 期間

p 1 期間

p 2 期間

p 3 期間

p 4 期間

p 5 期間

p 6 期間

T 0 時刻

T 1 時刻

T 2 時刻

T 3 時刻

T 4 時刻

T 5 時刻

T 6 時刻

T 7 時刻

T 8 時刻

T 9 時刻

T 1 0 時刻

T 1 1 時刻

T 1 2 時刻

T 1 3 時刻

T 1 4 時刻

T 1 5 時刻

W L C 1 ワード線

W L C 2 ワード線

W L C 3 ワード線

20

30

40

50

W L O S 1	ワード線	
W L O S 2	ワード線	
W L O S 3	ワード線	
1 0	電子銃室	
1 2	光学系	
1 4	試料室	
1 6	光学系	
1 8	カメラ	
2 0	観察室	
2 2	フィルム室	10
2 4	電子	
2 8	物質	
3 2	蛍光板	
1 0 0	メモリセル	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	容量素子	
1 0 5	トランジスタ	
1 0 6	容量素子	20
1 0 7	トランジスタ	
1 0 8	容量素子	
1 0 9	トランジスタ	
1 1 0	メモリセル	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 4	トランジスタ	
1 2 2	トランジスタ	
1 2 3	トランジスタ	
5 0 0	半導体装置	30
5 0 1	メモリセルアレイ	
5 0 2	行選択ドライバ	
5 0 3	列選択ドライバ	
5 0 4	A / D コンバータ	
5 1 7	デコーダ	
5 1 8	制御回路	
5 2 1	デコーダ	
5 2 2	ラッチ回路	
5 2 3	D / A コンバータ	
5 2 4	スイッチ回路	40
5 2 6	トランジスタ	
5 3 1	コンパレータ	
5 3 2	エンコーダ	
5 3 3	ラッチ回路	
5 3 4	バッファ	
6 5 1	絶縁膜	
6 5 2	絶縁膜	
6 5 3	ゲート絶縁膜	
6 5 4	絶縁膜	
6 5 5	絶縁膜	50

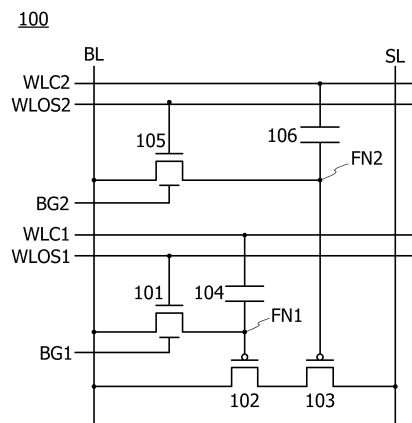
6 6 0	酸化物半導体	
6 6 1	酸化物半導体	
6 6 2	酸化物半導体	
6 6 3	酸化物半導体	
6 7 1	ソース電極	
6 7 2	ドレイン電極	
6 7 3	ゲート電極	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	10
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	20
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	30
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
2 0 0 0	基板	
2 0 0 1	絶縁膜	40
2 0 0 2	絶縁膜	
2 0 0 3	絶縁膜	
2 0 0 4	絶縁膜	
2 0 0 5	絶縁膜	
2 0 0 6	絶縁膜	
2 0 0 7	絶縁膜	
2 0 0 8	絶縁膜	
2 1 0 1	プラグ	
2 1 0 2	プラグ	
2 1 0 3	プラグ	50

2 1 0 4	プラグ
2 1 0 5	プラグ
2 1 0 6	プラグ
2 1 0 7	プラグ
2 1 0 8	プラグ
2 2 0 1	チャネル形成領域
2 2 0 2	不純物領域
2 2 0 3	不純物領域
2 2 0 4	ゲート絶縁膜
2 2 0 5	ゲート電極
2 2 0 6	側壁絶縁層
2 3 0 1	配線
2 3 0 2	配線
2 4 0 1	電極
2 4 0 2	電極
2 4 0 3	絶縁膜
2 5 0 1	配線
2 5 0 2	配線
2 6 0 1	電極
2 6 0 2	電極
2 6 0 3	絶縁膜
2 7 0 1	導電膜
2 7 0 2	導電膜
4 0 0 0	R F タグ

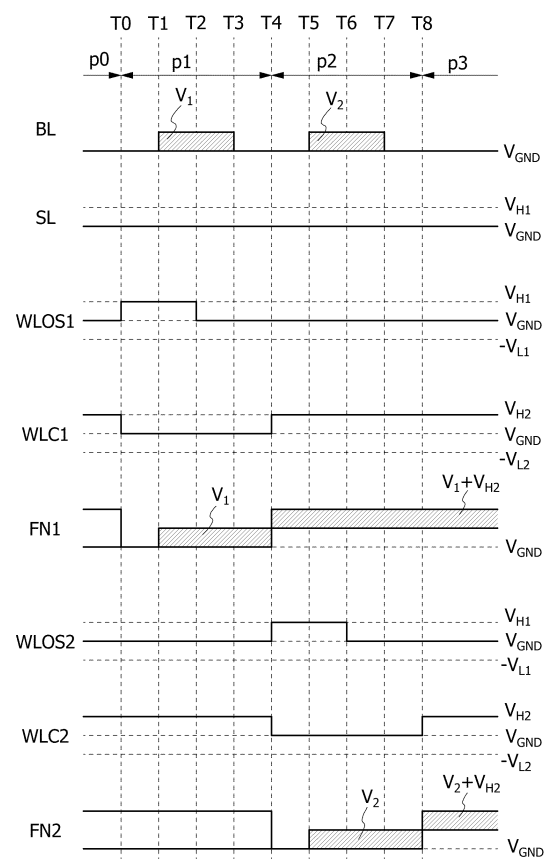
10

20

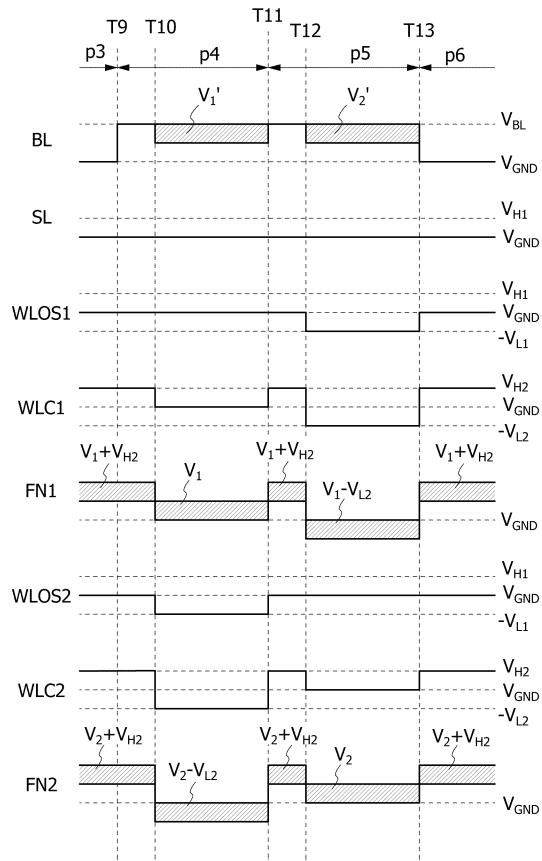
【図 1】



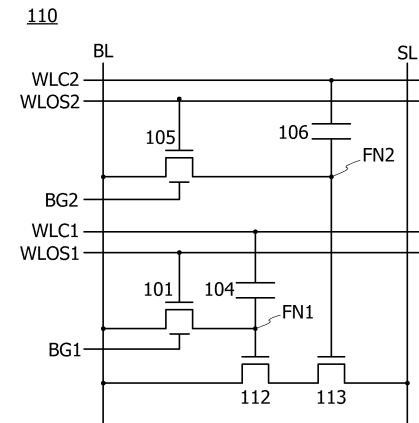
【図 2】



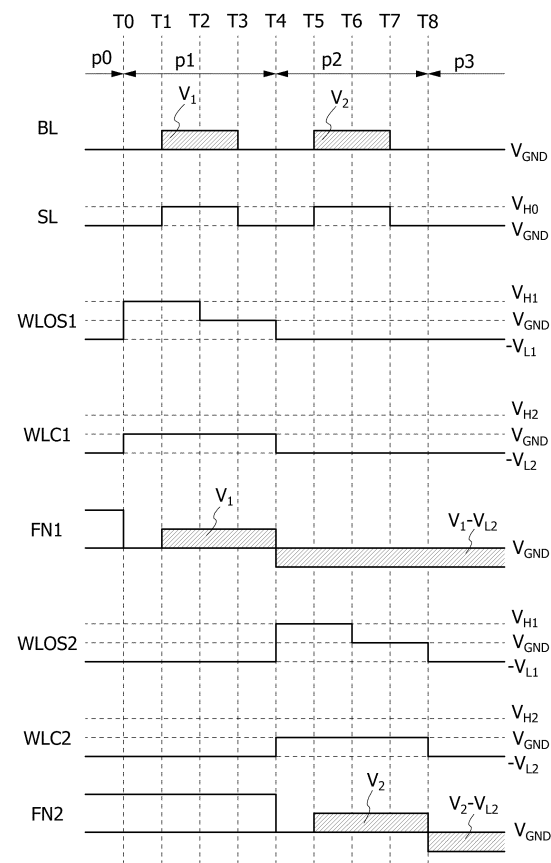
【図 3】



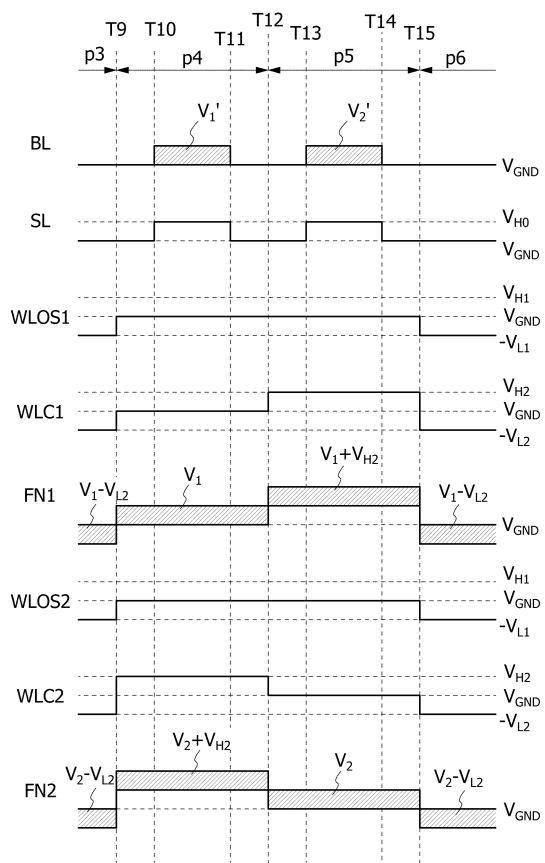
【図 4】



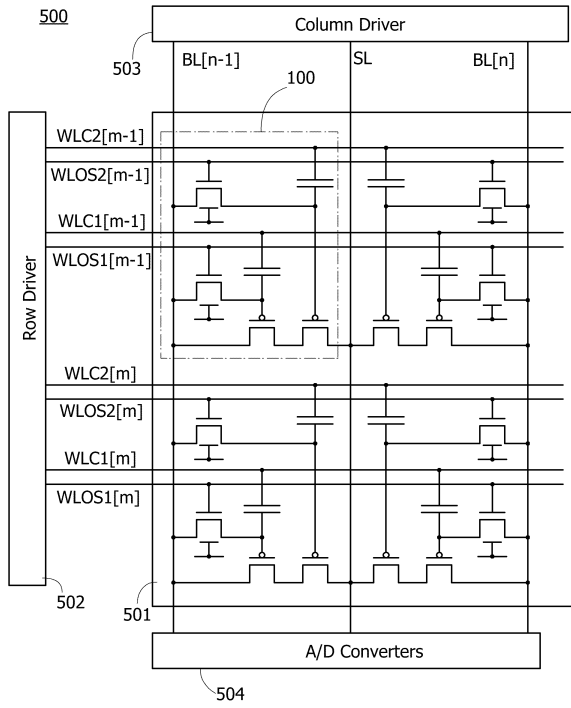
【図 5】



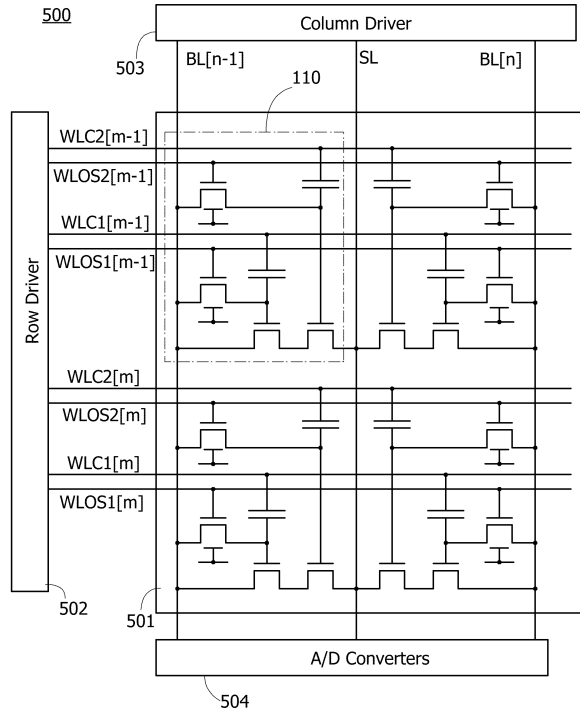
【図 6】



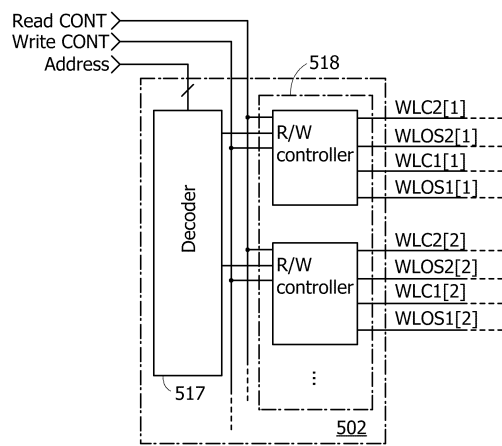
【図 7】



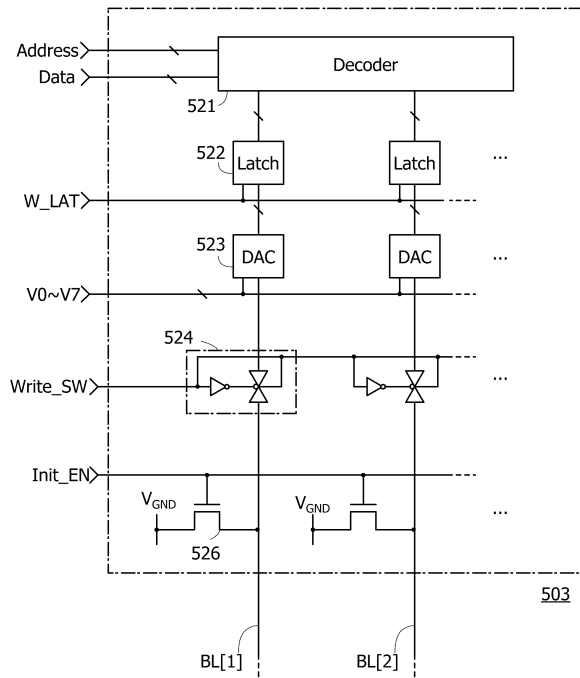
【図 8】



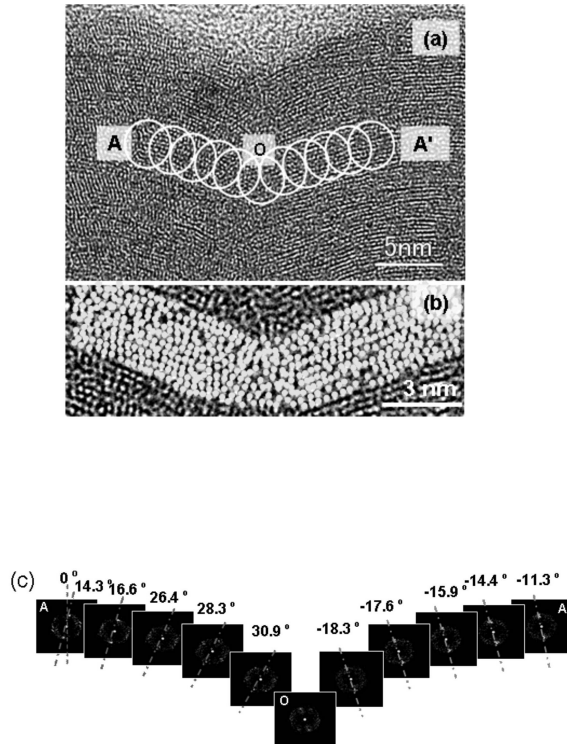
【図 9】



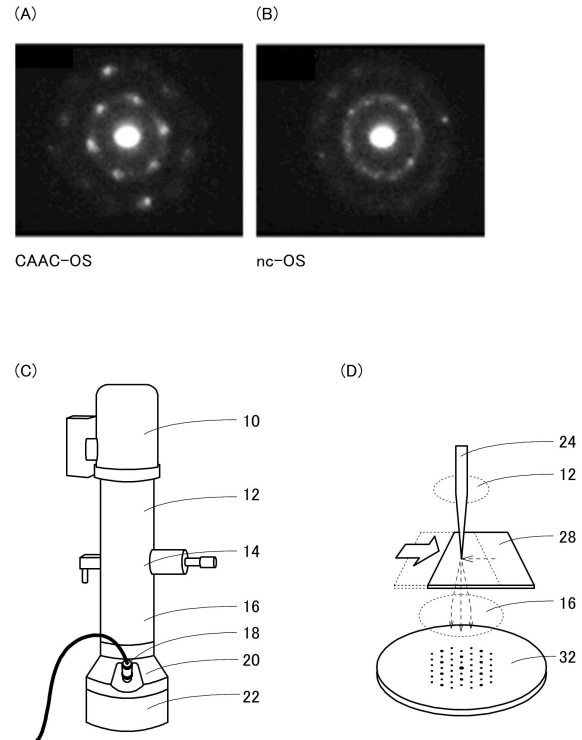
【図 10】



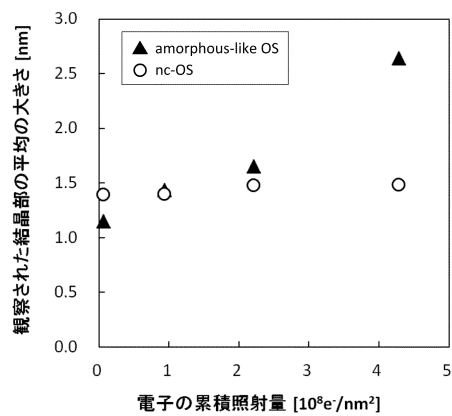
【図 15】



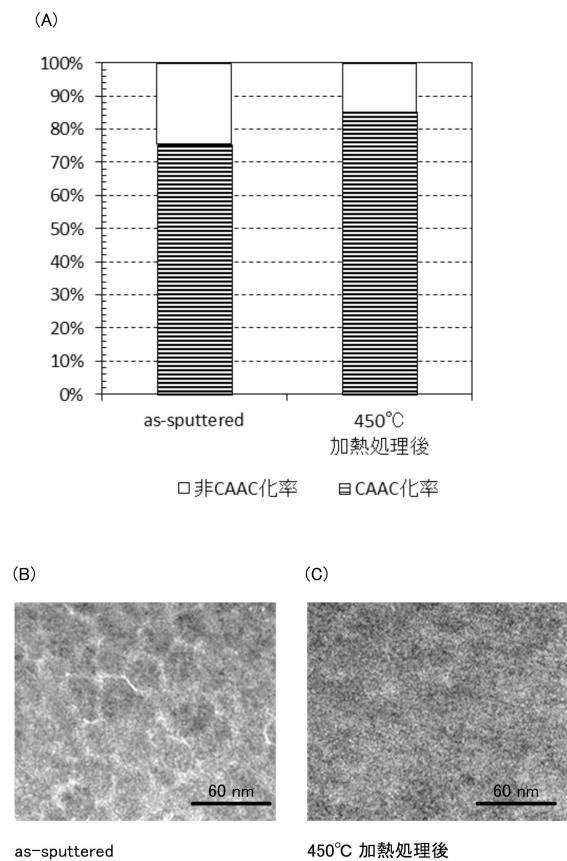
【図 16】



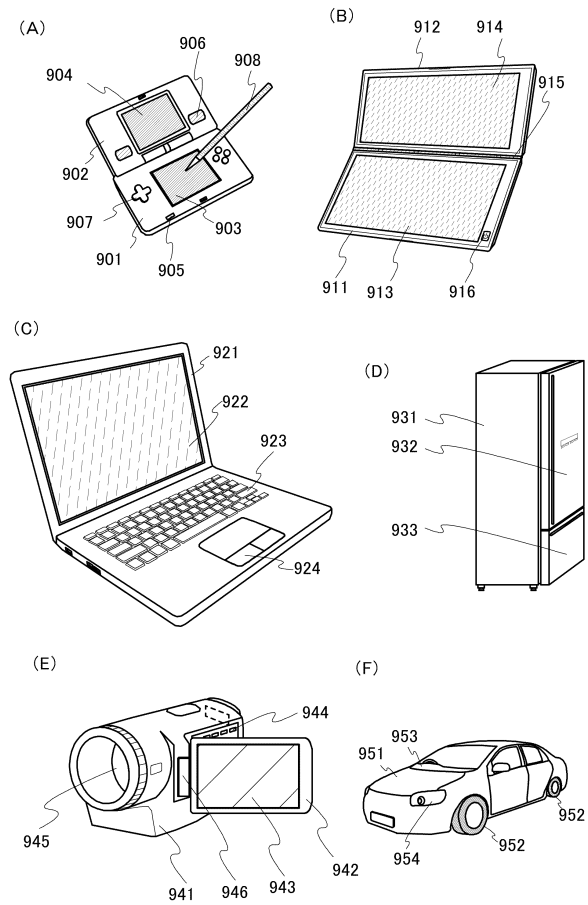
【図 17】



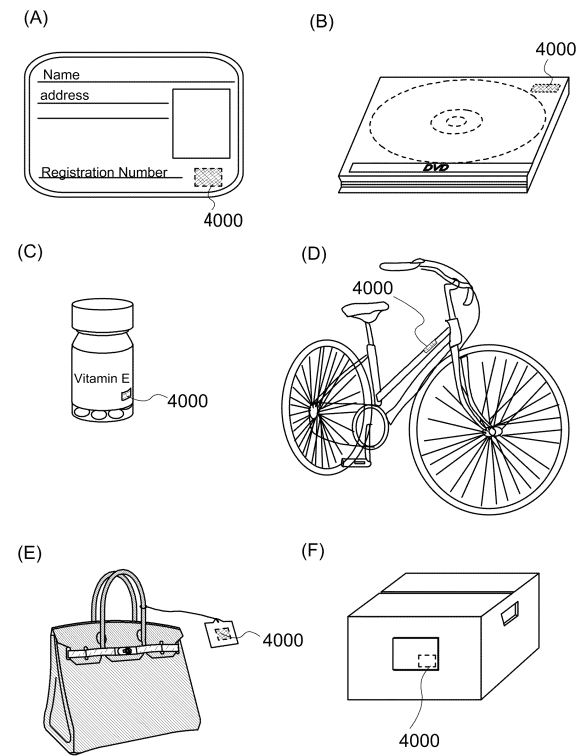
【図 18】



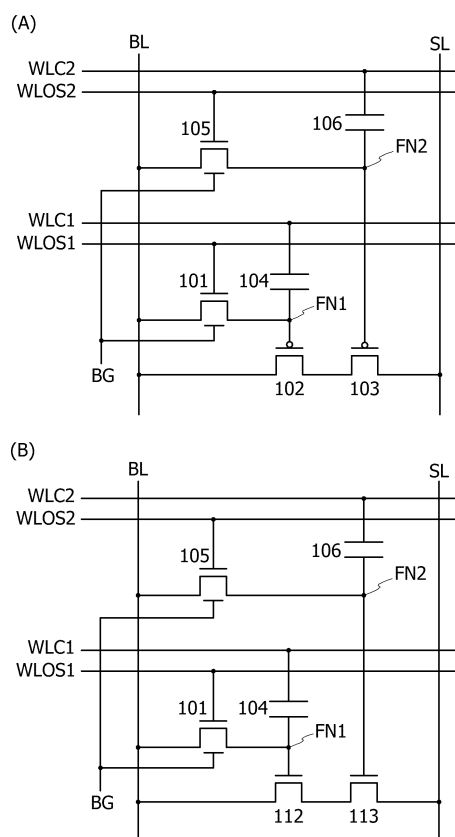
【図 19】



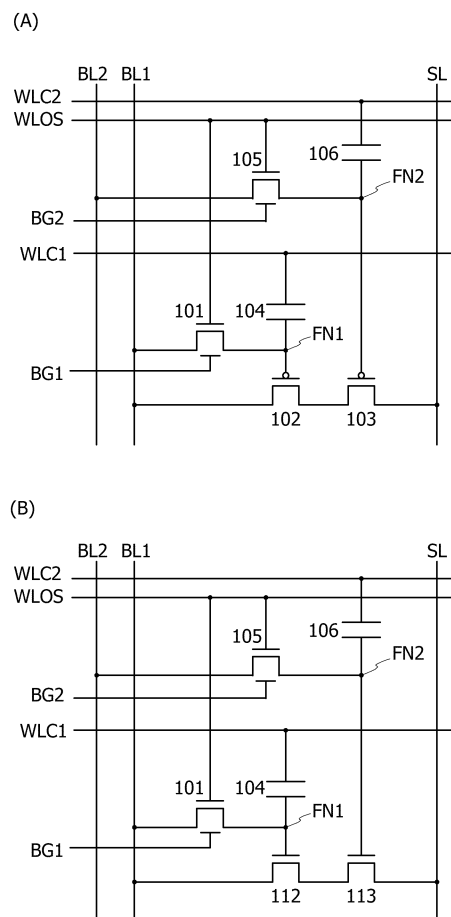
【図 20】



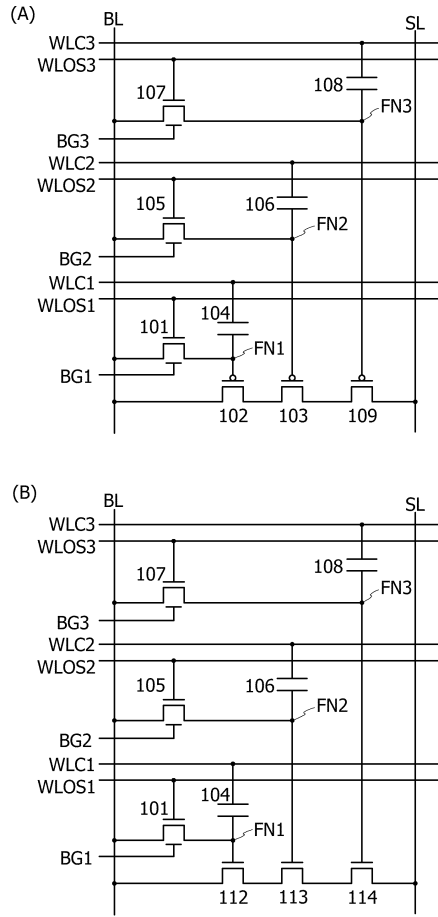
【図 21】



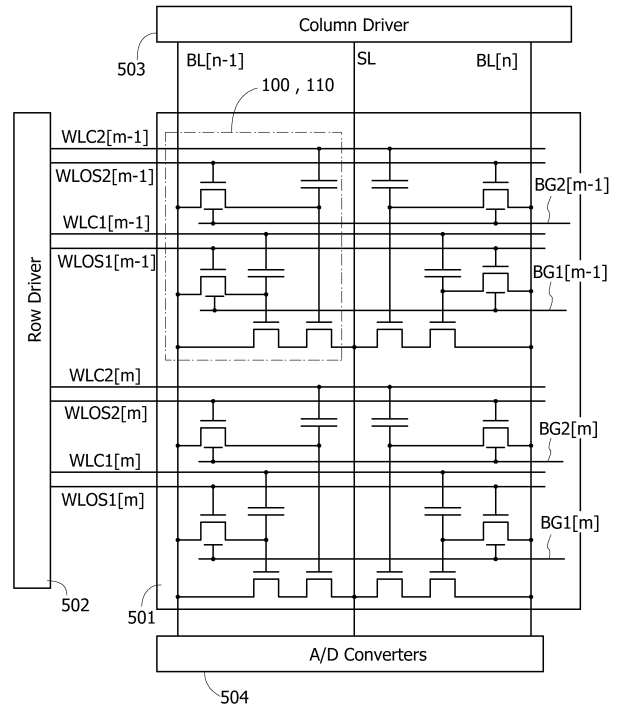
【図 22】



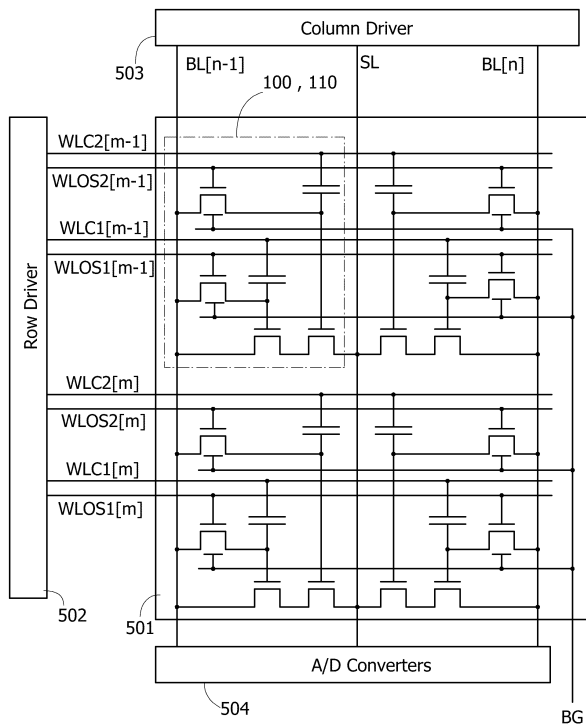
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

(56)参考文献 特開 2012 - 84851 (JP, A)
特開 2012 - 198977 (JP, A)
特開 2012 - 238374 (JP, A)
特開 2012 - 256398 (JP, A)
特開 2015 - 170749 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C	11 / 405
G11C	11 / 56
H01L	21 / 8242
H01L	27 / 108
H01L	29 / 786