

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年9月15日(15.09.2011)

(10) 国際公開番号
WO 2011/111262 A1

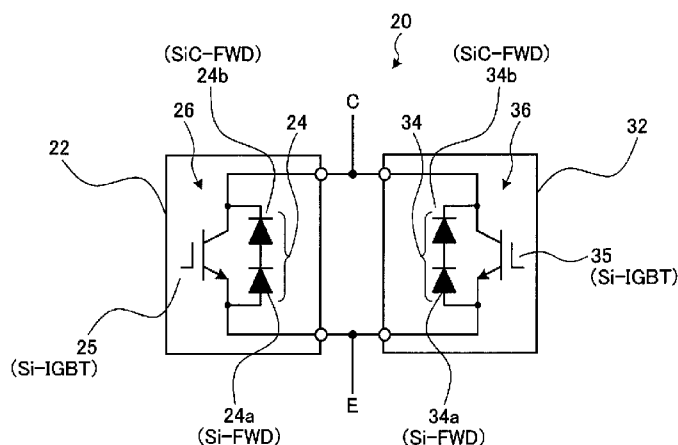
- (51) 国際特許分類:
H02M 7/5387 (2007.01)
- (21) 国際出願番号: PCT/JP2010/069383
- (22) 国際出願日: 2010年10月29日(29.10.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2010/053906 2010年3月9日(09.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中 毅 (TANAKA, Takeshi) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 木ノ内 伸一 (KINOUCHI, Shinichi) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER SEMICONDUCTOR MODULE, ELECTRIC POWER CONVERTER, AND RAILWAY VEHICLE

(54) 発明の名称: パワー半導体モジュール、電力変換装置および鉄道車両

[図2]



(57) Abstract: Disclosed is a power semiconductor module which comprises: an element pair (26) wherein an IGBT (25) is connected in inverse parallel with an FWD group (24) wherein an FWD (24a) the voltage drop characteristics of which have a negative temperature coefficient when an electric current is passed therethrough and an FWD (24b) the voltage drop characteristics of which have a positive temperature coefficient when an electric current is passed therethrough are connected in series with each other; and an element pair (36) wherein an IGBT (35) is connected in inverse parallel with an FWD group (34) wherein an FWD (34a) the voltage drop characteristics of which have a negative temperature coefficient when an electric current is passed therethrough and an FWD (34b) the voltage drop characteristics of which have a positive temperature coefficient when an electric current is passed therethrough are connected in series with each other. The power semiconductor module is configured such that the element pairs (26, 36) are connected in parallel with each other.

(57) 要約:

[続葉有]

WO 2011/111262 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

I G B T 2 5 と、導通時の電圧降下特性が負の温度係数を有する F W D 2 4 a および導通時の電圧降下特性が正の温度係数を有する F W D 2 4 b が直列接続された F W D 群 2 4 と、が逆並列に接続されてなる素子対 2 6 ならびに、I G B T 3 5 と、導通時の電圧降下特性が負の温度係数を有する F W D 3 4 a および導通時の電圧降下特性が正の温度係数を有する F W D 3 4 b が直列接続された F W D 群 3 4 と、が逆並列に接続されてなる素子対 3 6 を有し、これら素子対 2 6, 3 6 が並列に接続されて構成される。

明 細 書

発明の名称：

パワー半導体モジュール、電力変換装置および鉄道車両

技術分野

[0001] 本発明は、鉄道車両に適用可能な電力変換装置に係り、詳細には、この種の電力変換装置に搭載可能なパワー半導体モジュールに関する。

背景技術

[0002] 鉄道車両用に限定されるものではないが、例えば下記特許文献1には、トランジスタチップと、フライ・ホイール・ダイオード (Fly Wheel Diode : FWD) チップと、が逆並列に接続されてなる素子対を2個有するパワー半導体モジュールが開示されている (同文献の図1、図6を参照)。

[0003] なお、この種のパワー半導体モジュールにおいて、各素子対におけるコレクタ端子、エミッタ端子およびベース端子の各端子同士を電氣的に接続すれば、各素子対が並列接続された構成となり、電流容量を増大させたパワー半導体モジュールとしての使用 (しばしば「並列応用」と称される) が可能となる。

先行技術文献

特許文献

[0004] 特許文献1：特開昭62-202548号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、並列応用における従来のパワー半導体モジュールでは、製造上のばらつきなどによって、一方のFWDの順方向飽和電圧と他方のFWDの順方向飽和電圧との間にある一定値以上の差がある場合、一方のFWDの温度が他方のFWDの温度より高くなり、使用と共に両者の温度差が拡大して行くというある種の熱暴走状態を呈するという問題点があった。このため、従来の並列応用においては、並列接続されるFWDの順方向飽和電圧の

差が一定値以下となるように選別しなければならなかった。

[0006] また、パワー半導体モジュールでは、FWDに逆並列接続されたスイッチング素子（例えばIGBT）があり、このスイッチング素子についても、FWDと同様に順方向電圧特性のばらつきを一定値以下に抑える必要があった。このため、従来の並列応用におけるパワー半導体モジュールでは、スイッチング素子およびFWDの両者を同時に選別しなければならないという困難性があり、並列運用のための歩留まりは非常に大きく、製造コストが高くなるという課題があった。

[0007] 本発明は、上記に鑑みてなされたものであって、並列応用におけるパワー半導体モジュールの歩留まりを改善し、製造コストの上昇を抑制することができるパワー半導体モジュールを提供することを目的とする。

[0008] また、本発明は、上記のようなパワー半導体モジュールを備えた電力変換装置および、この電力変換装置を備えた鉄道車両を提供することを目的とする。

課題を解決するための手段

[0009] 上述した課題を解決し、目的を達成するため、本発明にかかるパワー半導体モジュールは、第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有する第1の一方向性導通素子および導通時の電圧降下特性が正の温度係数を有する第1の導通素子が直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対ならびに、第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有する第2の一方向性導通素子および導通時の電圧降下特性が正の温度係数を有する第2の導通素子が直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対を有し、これら第1および第2の素子対が並列に接続されて構成されていることを特徴とする。

発明の効果

[0010] 本発明によれば、並列応用におけるパワー半導体モジュールの歩留まりを改善し、製造コストの上昇を抑制することができるパワー半導体モジュール

を提供することができるという効果を奏する。

図面の簡単な説明

[0011] [図1] 図1は、本発明の実施の形態にかかる電力変換装置の概略の機能構成を示す図である。

[図2] 図2は、本実施の形態に係るパワー半導体モジュールの回路構成を概略的に示す図である。

[図3] 図3は、Siダイオードの順方向電圧特性を示す図である。

[図4] 図4は、比較例として示す従来技術に係るパワー半導体モジュールの回路構成を概略的に示す図である。

[図5] 図5は、SiCダイオードの順方向電圧特性を示す図である。

[図6] 図6は、スイッチング素子におけるIGBTのターンオン時の電流シミュレーション波形を示す比較図である。

[図7] 図7は、図6に対応するFWDリカバリ電流のシミュレーション波形を示す比較図である。

[図8] 図8は、SiCMOSFETの線形領域における電流電圧特性の温度依存性を示す図である。

[図9] 図9は、Si-IGBTおよびSiCMOSFETのターンオフ電流波形に関する模式図である。

発明を実施するための形態

[0012] 以下、添付図面を参照し、本発明の実施の形態にかかるパワー半導体モジュールおよび電力変換装置について説明する。なお、以下に示す実施の形態により本発明が限定されるものではない。

[0013] 実施の形態1.

まず、本発明の実施の形態1にかかる電力変換装置について説明する。図1は、実施の形態1にかかる電力変換装置の概略の機能構成を示す図であり、鉄道車両1に搭載される電力変換装置10の一構成例を示している。図1に示すように、電力変換装置10は、コンバータ12、コンデンサ14およびインバータ16を備えて構成される。鉄道車両1には、電力変換装置10

の入力端側に配置されてコンバータ 12 に接続される変圧器 6 および、電力変換装置 10 の出力端側に配置されてインバータ 16 に接続され、電力変換装置 10 からの電力供給を受けて車両を駆動する電動機 18 が搭載されている。なお、電動機 18 としては、誘導電動機や同期電動機が好適である。

[0014] 変圧器 6 の一次巻線の一端は集電装置 3 を介して架線 2 に接続され、他端は車輪 4 を介して大地電位であるレール 5 に接続されている。架線 2 から供給される電力は、集電装置 3 を介して変圧器 6 の一次巻線に入力されるとともに、変圧器 6 の二次巻線に生じた電力がコンバータ 12 に入力される。

[0015] コンバータ 12 は、スイッチング素子 U_{PC} , V_{PC} で構成される正側アーム（例えば U 相では U_{PC} ）と、スイッチング素子 U_{NC} , V_{NC} で構成される負側アーム（例えば U 相では U_{NC} ）とがそれぞれ直列に接続された回路部（以下「レグ」という）を有している。すなわち、コンバータ 12 には、2 組（U 相分、V 相分）のレグを有する単相ブリッジ回路が構成されている。

[0016] コンバータ 12 は、スイッチング素子 U_{PC} , V_{PC} , U_{NC} , V_{NC} を PWM 制御することで入力された交流電圧を所望の直流電圧に変換して出力する。

[0017] コンバータ 12 の出力端には、直流電源となるコンデンサ 14 が並列に接続されるとともに、コンデンサ 14 の直流電圧を入力とし、任意電圧および任意周波数の交流電圧に変換し出力するインバータ 16 が接続される。

[0018] インバータ 16 は、スイッチング素子 U_{PI} , V_{PI} , W_{PI} で構成される正側アーム（例えば U 相では U_{PI} ）と、スイッチング素子 U_{NI} , V_{NI} , W_{NI} で構成される負側アーム（例えば U 相では U_{NI} ）とがそれぞれ直列に接続されたレグを有している。すなわち、インバータ 16 には、3 組（U 相分、V 相分、W 相分）のレグを有する 3 相ブリッジ回路が構成されている。

[0019] インバータ 16 は、スイッチング素子 U_{PI} , V_{PI} , W_{PI} , U_{NI} , V_{NI} , W_{NI} を PWM 制御することで入力された直流電圧を所望の交流電

圧に変換して出力する。

[0020] なお、図1では、本実施の形態に係る電力変換装置の好適な例として、交流入力 of 電気車に適用する場合を一例として示したが、地下鉄や郊外電気車等に多用される直流入力 of 電気車に対しても同様に適用することができる。なお、直流入力 of 電気車に適用する場合、変圧器6およびコンバータ12の構成が不要となる点を除き、図1と同等の構成を採ることができ、本実施の形態にかかる内容を当該直流入力 of 電気車に適用することも無論可能である。

[0021] つぎに、本実施の形態の電力変換装置に適用可能なパワー半導体モジュールについて説明する。図2は、本実施の形態に係るパワー半導体モジュールの回路構成を概略的に示す図である。本実施の形態に係るパワー半導体モジュール20は、図2に示すように、第1のパワーモジュール22と、第2のパワーモジュール32とを有し、これら第1、第2のパワーモジュール22、32が並列接続されることで構成されている。

[0022] なお、このパワー半導体モジュール20は、図1に示す電力変換装置であれば、例えばコンバータ12を構成するスイッチング素子UPC、VPC、UNC、VNCに適用可能であり、あるいはインバータ16を構成するスイッチング素子UPI、VPI、WPI、UNI、VNI、WNIに適用可能である。

[0023] 図2に戻り、第1のパワーモジュール22では、例えばシリコン(Si)をベースとするSi-FWD(FWD24a)と、例えばシリコン・カーバイド(炭化ケイ素:SiC)をベースとするSiC-FWD(FWD24b)とが直列に接続されたFWD群24を有し、これら直列接続されたFWD群24とシリコンをベースとするSi-IGBT(IGBT25)とが逆並列に接続されて素子対26を構成している。第2のパワーモジュール32の構成も同様であり、Si-FWD(FWD34a)とSiC-FWD(FWD34b)とが直列に接続されたFWD群34を有し、これら直列接続されたFWD群34と、Si-IGBT(IGBT35)とが逆並列に接続され

て素子対36を構成している。

[0024] また、素子対26, 36の各一端(Si-IGBTの各コレクタ端)から引き出された端子同士は接続されてコレクタ電極Cを成し、素子対26, 36の各他端(Si-IGBTの各エミッタ端)から引き出された端子同士は接続されてエミッタ電極Eを成している。

[0025] なお、図2では、スイッチング素子とFWD群とが逆並列に接続されてなる1つの素子対が1つのモジュール内に収容(いわゆる「1in1」の構成)されたパワーモジュール同士を並列に接続する構成を示したが、並列に接続された素子対の1組を1つのモジュール内に収容する構成(いわゆる「2in1」の構成)であっても構わない。

[0026] つぎに、背景技術の項でも触れた並列応用における熱暴走現象について図3および図4を参照して説明する。なお、図3は、Siダイオードの順方向電圧特性を示す図である。この図3では、SiダイオードにおけるPN接合部のジャンクション温度(T_j)をパラメータとし、順方向飽和電圧(いわゆる「オン電圧」)に対する順方向電流(いわゆる「オン電流」)の変化を示している。また、図4は、比較例として示す従来技術に係るパワー半導体モジュールの回路構成を概略的に示す図である。

[0027] まず、Siダイオードにおける順方向飽和電圧の温度依存性は、図3に示すように、同一の順方向電流値であればジャンクション温度が高くなるほど順方向飽和電圧が小さくなるという特性を有している。すなわち、Siダイオードは、導通時の電圧降下特性が負の温度係数を有する素子である。

[0028] ここで、例えば製造上のばらつきによって、例えば素子対56側のSi-FWD(FWD54)の順方向飽和電圧が素子対66側のSi-FWD(FWD64)の順方向飽和電圧よりも低い場合、FWD54に流れる電流 i_1 はFWD64に流れる電流 i_2 よりも大きくなる。

[0029] このとき、パワー半導体モジュール52とパワー半導体モジュール62とは互いに並列接続されているため、各Si-IGBT55, 65のコレクタ端子とエミッタ端子間の電圧(電位差) V_{CE} は等しい。したがって、FW

D54の損失 $V_{CE} \times i_1$ は、FWD64の損失 $V_{CE} \times i_2$ よりも大きくなり、FWD54の発熱量がFWD64の発熱量よりも大きくなる。その結果、FWD54の温度がFWD64の温度より高くなり、これらの温度差はより大きくなる。そうすると、FWD54の順方向飽和電圧はFWD64の順方向飽和電圧よりもさらに低くなり、FWD54に流れる電流がさらに増加して両者の温度差はさらに増大することになる。

[0030] このように、パワー半導体モジュールを構成する一方のFWDの順方向飽和電圧と他方のFWDの順方向飽和電圧との間に差がある場合、温度上昇→順方向電圧降下→電流増加→温度上昇→順方向電圧降下→電流増加を繰り返す熱暴走状態となる。なお、現実にはFWDの温度上昇は冷却器を通じた放熱現象によって抑制されるので、順方向飽和電圧に係る製造上のばらつきを所定値以下（例えば0.2V以下）に抑え込めれば、上記のような熱暴走状態は抑止可能である。何れにしても、並列応用のパワー半導体モジュールの場合、並列接続されるFWDの順方向飽和電圧の差が一定値以下となるように選別しなければならなかった。

[0031] 一方、図5は、SiCダイオードの順方向電圧特性を示す図である。図5に示すグラフでは、ジャンクション温度（ T_j ）をパラメータとし、順方向飽和電圧（オン電圧）に対する順方向電流（オン電流）の変化を示している。

[0032] SiCダイオードにおける順方向飽和電圧の温度依存性は、図5に示すように、同一の順方向電流値であればジャンクション温度が高くなるほど順方向飽和電圧が大きくなるという特性を有しており、Siダイオードの特性と反対である。すなわち、SiCダイオードは、導通時の電圧降下特性が正の温度係数を有する素子である。

[0033] したがって、図2に示すようにSi-FWDとSiC-FWDとを直列接続することにより、それら直列接続されたFWD群の順方向飽和電圧特性は、Siダイオードの順方向飽和電圧特性に、SiCダイオードの順方向飽和電圧特性が加わった特性となる。このとき、Siダイオードの温度特性をS

SiCダイオードの温度特性が打ち消すように働くので、FWD群における順方向飽和電圧の温度依存性は、Si-FWDのみと比べて非常に小さくなる。したがって、製造上のばらつきなどによって、相互に並列接続されるSi-FWDの順方向電圧特性に極端な差がなければ熱暴走することがなくなるので、素子選別のための時間および労力の低減が可能となり、素子選別の困難性が解消される。

[0034] また、FWD群を構成する各FWD（Si-FWD，SiC-FWD）は、逆並列接続されたスイッチング素子の耐圧（Si-IGBTのコレクターエミッタ間の耐圧）よりも小さい耐圧のものを用いることができるので、低価格のパワーモジュールとすることができ、装置の低コスト化に貢献することが可能となる。

[0035] つぎに、Si-FWDとSiC-FWDとの直列接続により生じる効果について更なる補足説明を行う。

[0036] まず、Siダイオードは、その製造技術が比較的確立しているため、耐圧を高くしても高価にはならない。これに対し、SiCダイオードは、製造の歴史が比較的浅いため、高耐圧のものは非常に高価になる。しかしながら、Si-FWDとSiC-FWDとを直列接続すれば、逆並列接続されたスイッチング素子全体の耐圧をSi-FWDとSiC-FWDとで分担（分圧）することができるので、SiC-FWDの耐圧をスイッチング素子全体の耐圧よりも小さくすることができる。

[0037] 例えば、鉄道車両用の電力変換装置に用いられるスイッチング素子として3.3kVの耐圧が要求されるとき、直列接続されたFWD群にも同等の耐圧が要求されるが、この場合、Si-FWDおよびSiC-FWDの各リーク電流を考慮して設計すれば、例えばSi-FWDの耐圧を3.0kVとし、SiC-FWDの耐圧を0.3kVとするような設計が可能である。

[0038] 鉄道車両用の電力変換装置に用いられるスイッチング素子の場合、その製造コストは耐圧に比例するといっても過言ではなく、直列接続するSiC-FWDの耐圧を低くすることで製造コストの上昇を抑制することが可能とな

る。

[0039] ここで、ダイオード素子の耐圧は、リーク電流の大きさによってほぼ決定される。2つのダイオード素子を直列接続した場合、これら2つのダイオード素子に流れる電流は同じであるため、リーク電流の大きい素子よりもリーク電流の小さな素子の方が印加電圧が大きくなる。したがって、リーク電流の大きい素子よりもリーク電流の小さな素子の方が大きな耐圧が要求されることになる。したがって、上記の例であれば、Si-FWDよりもSiC-FWDの方がリーク電流が大きくなる。

[0040] なお、上記の例は、Si-FWDの耐圧 V_{Si} とSiC-FWDの耐圧 V_{SiC} との分担比 V_{Si}/V_{SiC} が、 $V_{Si}/V_{SiC}=10$ の場合であったが、この例に限定されるものではない。例えば $V_{Si}/V_{SiC}>1$ とする設計を行えば、SiC-FWDを併用する場合のコスト増を抑制するという観点において、十分な抑制効果が得られるといっても過言ではない。

[0041] 一方、上記の例とは逆に、例えばSi-FWDの耐圧を1.5kVとし、SiC-FWDの耐圧を1.8kVとするような設計も可能である。Si-FWDに比してオン電圧が小さいというSiC-FWDを併用することにより、FWD群全体のオン電圧を小さくすることができるという効果が得られる。なお、上記でも説明したが、このような設計を行う場合、耐圧を低下させたい側の素子、すなわちSi-FWDのリーク電流をSiC-FWDのリーク電流よりも大きくすればよい。

[0042] また、上述した観点到に鑑みれば、Si-FWDとSiC-FWDとの耐圧配分を同等に設計することも可能である。この例の場合、製造コスト上の利点と、オン電圧低減の利点とを両立させる設計が可能になるという効果がある。

[0043] なお、Si-FWDとSiC-FWDとの耐圧配分をどのように設定するかは、高耐圧SiC-FWDの製造技術に係る進展と、コストメリットの観点から製造時点で任意に決定することが可能である。この意味で、Si-FWDとSiC-FWDとを直列接続する意義は非常に大きい。

- [0044] 以上説明したように、本実施の形態のパワー半導体モジュールによれば、 Si-IGBT と、導通時の電圧降下特性が負の温度係数を有する Si-FWD と導通時の電圧降下特性が正の温度係数を有する SiC-FWD とが直列接続されたFWD群と、が逆並列に接続されてなる素子対が2個形成され、これらの2個の素子対が並列に接続されて構成されているので、製造上のばらつきなどに起因する熱暴走減少を抑止することができ、素子選別のための時間および労力の低減が可能となり、設計や製造の簡易化が図れる。
- [0045] また、本実施の形態のパワー半導体モジュールによれば、並列応用における一方のFWDの順方向飽和電圧と他方のFWDの順方向飽和電圧との間のばらつきの許容値を従来よりも拡大することができるので、並列応用におけるパワー半導体モジュールの歩留まりを改善し、製造コストの上昇を抑制することができる。
- [0046] また、本実施の形態のパワー半導体モジュールによれば、逆並列接続されたスイッチング素子全体の耐圧を Si-FWD と SiC-FWD とで分担することができるので、 Si-FWD および SiC-FWD 共に低耐圧品を用いることができ、FWDを低コスト化することができ、もって半導体パワーモジュールの低コスト化および電力変換装置の低コスト化に寄与することができる。
- [0047] なお、本実施の形態では、直列接続される2つの半導体素子として SiC-FWD 1素子と、 Si-FWD 1素子を用いる例を示したが、それぞれが1素子である必要はない。例えば、 SiC-FWD の複数素子と Si-FWD 1素子とを直列接続してもよいし、 SiC-FWD 1素子と Si-FWD の複数素子とを直列接続しても構わない。
- [0048] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子の一方に SiC-FWD を用いる例を示したが、本発明はこの SiC-FWD に限定されるものではない。 SiC は、ワイドバンドギャップ半導体と称される半導体の一例であり、この SiC 以外にも、例えば窒化ガリウム系材料または、ダイヤモンドを用いて形成される半導体もワイ

ドバンドギャップ半導体に属し、その特性もSiCに類似した点が多い。したがって、SiC以外の他のワイドバンドギャップ半導体を用いる構成も、本発明の要旨を成すものである。

[0049] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子の他方にSi-FWDを用いる例を示したが、本発明はこのSi-FWDに限定されるものではない。Siは、ナローバンドギャップ半導体と称される半導体の一例であり、図3に示すような導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体であれば、他のものを用いても構わない。

[0050] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子として、両者共に一方向導通性を有するダイオードを用いる構成を開示したが、何れか一方が一方向導通性を有する素子であればよく、他方は一方向導通性を有するものでなくても構わない。すなわち、FWD群を構成する一方が一方向性導通素子の場合、他方は一方向性を有さない導通素子であっても構わない。ただし、これら一方向性導通素子と導通素子との間には、導通時の電圧降下特性が相互に逆特性を有している必要がある。

[0051] 実施の形態2.

実施の形態1では、パワー半導体モジュールにおけるFWD群を構成する半導体素子の一方にSiC-FWDを用い、他方にSi-FWDを用いる例を示したが、実施の形態2では、SiC-FWDとしてSiCショットキーバリアダイオード(SiC-SBD)を用いる例を説明する。

[0052] SiC-SBDは、その構造的な特性により、電流導通時の電圧降下特性が必ず正の温度係数を有するという特徴を有している。このため、正の温度係数を有するSiC-SBDと負の温度係数を有するSi-FWDとを直列接続することにより、製造上のばらつきなどに起因する熱暴走を抑止することができ、素子選別のための時間および労力を低減して、設計や製造の簡易化を図ることができる。

[0053] また、SiC-FWDとしてSiC-SBDを用いる場合、例えば図1の

インバータ 16において、動作中のオンスイッチング損失を低減することができる。このため、SiC-SBDを用いれば、電力変換機器の冷却器を小型化し、省エネ効果を高めることが可能になる。なお、ここでいうオンスイッチング損失とは、例えば図1のインバータ16であれば、例えばスイッチング素子UNIがオフ状態からオン状態に移行するターンオン時に、スイッチング素子UNIのトランジスタ素子に発生する過渡的な損失（ターンオン損失）と、スイッチング素子UPIにおけるトランジスタ素子に逆並列接続されたFWD群に生ずる過渡的な損失（リカバリ損失）との和である。すなわち、一つのレグを構成する一方のアーム素子がオフ状態からオン状態に移行するときにトランジスタ素子側に発生するターンオン損失と、他方のアーム素子がオン状態からオフ状態に移行するときにFWD側（FWD群）に発生するターンオフ損失との和になる。

[0054] 図6は、スイッチング素子におけるIGBTのターンオン時の電流シミュレーション波形を示す比較図である。図6では、FWDとしてSiダイオード1素子を用いた場合と、Siダイオード1素子とSiC-SBD1素子を直列接続した場合のスイッチング波形を示している。ここで、計算に使用した主要なパラメータは以下のとおりである。

[0055] (1) Si-FWDおよびSiC-SBDの各素子モデルの定格

(a) 定格電圧：600V程度

(b) 定格電流：20A程度

(2) スwitching波形の計算条件

(a) 負荷電流：18A

(b) 電圧：350V

[0056] また、図7は、図6に対応するFWDリカバリ電流のシミュレーション波形を示す比較図である。一般的に、リカバリ電流のピーク値およびリカバリ電流の時間幅が大きければ大きいほどターンオン損失とリカバリ損失が大きくなる。一方、本実施の形態のように、FWDとしてSiダイオード1素子のみを用いる構成から、Siダイオード1素子とSiC-SBD1

素子の直列接続構成とすることにより、リカバリー電流のピーク値およびリカバリー電流の時間幅の双方を大きく減少させることができる。つまり、本実施の形態の構成によれば、ターンオン損失とリカバリー損失の双方を非常に小さくすることが可能となる。

[0057] ここで、結果のみ示すが、本シミュレーションによれば、ターンオン損失は $0.34\text{ mJ}/\text{パルス}$ から $0.11\text{ mJ}/\text{パルス}$ に減少し、リカバリー損失は $0.45\text{ mJ}/\text{パルス}$ から $1\text{ }\mu\text{J}/\text{パルス}$ に減少する。したがって、ターンオン損失とリカバリー損失の和であるオンスイッチング損失は、 0.79 mJ から 0.111 mJ となり、約86%の減少率となる。

[0058] なお、上記の例は、定格電圧 600 V 、定格電流 20 A 程度の素子を用いた場合の計算例であったが、定格電圧および定格電流が大きくなれば、更なるオンスイッチング損失の減少が期待できる。定格電圧および定格電流を大きくした場合、必然的にSiダイオードのチップ厚（基板厚）が大きくなるので、Siダイオードにおける耐圧層の体積が増大することになる。Siダイオードにおける耐圧層の体積が増大すれば、この耐圧層に蓄積される電荷が大きくなる。このため、この蓄積電荷を掃き出すときの電流を含むリカバリー電流もSiダイオードのみでは、定格電圧および定格電流に応じて非常に大きくなる。一方、SiC-SBDのリカバリー電流は、定格電圧および定格電流によらずほぼ一定である。このため、定格電圧および定格電流が大きくなれば、オンスイッチング損失の低減効果は必然的に大きくなる。

[0059] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子の一方にSiC-SBDを用いる例を示したが、本発明はこのSiC-SBDに限定されるものではない。SiCは、ワイドバンドギャップ半導体と称される半導体の一例であり、このSiC以外にも、例えば窒化ガリウム系材料または、ダイヤモンドを用いて形成される半導体もワイドバンドギャップ半導体に属し、その特性もSiCに類似した点が多い。したがって、SiC以外の他のワイドバンドギャップ半導体を用いる構成も、本発明の要旨を成すものである。

[0060] また、本実施の形態では、直列接続される2つの半導体素子としてSiC-SBD1素子と、Si-FWD1素子を用いる例を示したが、それぞれが1素子である必要はない。例えば、SiC-SBDの複数素子とSi-FWD1素子とを直列接続してもよいし、SiC-SBD1素子とSi-FWDの複数素子とを直列接続しても構わない。

[0061] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子の他方にSi-FWDを用いる例を示したが、本発明はこのSi-FWDに限定されるものではない。Siは、ナローバンドギャップ半導体と称される半導体の一例であり、図3に示すような導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体を用いる構成も本発明の要旨に含まれる。

[0062] また、本実施の形態では、パワー半導体モジュールにおけるFWD群を構成する半導体素子として、両者共に一方向導通性を有するダイオード(SiC-SBDおよびSi-FWD)を用いる構成を開示したが、SiC-SBDに直列接続される素子については一方向導通性を有する素子でなくともよく、単なる導通素子であっても構わない。

[0063] なお、導通時の電圧降下特性が正の温度係数を有する素子であれば、当該素子のみで動作的には安定し、上述した熱暴走状態を呈することはない。したがって、SiC-SBDに直列接続されるダイオード素子に係る導通時の電圧降下特性は、正負何れの電圧降下特性であっても構わない。

[0064] 実施の形態3.

実施の形態1, 2では、スイッチング素子におけるトランジスタ素子としてSi-IGBTを使用しているが(図2参照)、この実施の形態では、並列応用における2つのSi-IGBTのそれぞれをSiC-MOSFET(Metal Oxide Semiconductor Field Effect Transistor)とする構成について説明する。実施の形態1, 2では、並列応用における一方のFWDの順方向飽和電圧と他方のFWDの順方向飽和電圧とのばらつきに着目したが、このような素子間のばらつきは、FWD程ではないものの使用態様によっては

、トランジスタ素子について求められる場合がある。

[0065] 図8は、SiC-MOSFETの線形領域における電流電圧特性の温度依存性を示す図である。SiC-MOSFETは、図8に示すように、電流導通時の電圧降下特性が正の温度係数を有するため、並列接続した場合に互いにバランスするように動作する。さらに、SiC-MOSFETは、例えばN-チャンネルMOSFETの場合、電流を担う電荷が電子のみのユニポーラデバイスのため、オン状態からオフ状態に移行するターンオフ時にSiC-MOSFET内部に残留電荷を殆ど有しない。このため、スイッチング素子におけるトランジスタ素子として、Si-IGBTに代えてSiC-MOSFETを用いることにより、並列応用におけるトランジスタ素子の並列バランスを改善することができ、半導体モジュール全体の歩留まりを改善し製造コストの上昇を抑制することができる。

[0066] また、図9は、Si-IGBTおよびSiC-MOSFETのターンオフ電流波形に関する模式図である。Si-IGBTでは、図示のようなテール電流があるため、このテール電流に起因するターンオフ損失が存在する。一方、SiC-MOSFETは残留電荷を殆ど有さない構造であるため、ターンオフ時のテール電流が殆どない。このため、スイッチング素子におけるトランジスタ素子として、Si-IGBTに代えてSiC-MOSFETを用いることにより、ターンオフ損失を低減することができ、電力変換機器の冷却器を小型化し、省エネ効果を高めることが可能になる。

[0067] なお、上記ではSi-IGBTの温度特性については特に説明していないが、Si-IGBTは設計により、正の温度特性を有するもの、負の温度特性を有するものどちらも製造可能である。一方、MOSFETのようなユニポーラデバイス（ユニポーラ型のスイッチング素子）は、SiCに限らず、必然的に正の温度係数を有するため、本実施の形態のパワー半導体モジュールを構成する上での設計が容易であり、本実施の形態のパワー半導体モジュールにおいて非常に有用なデバイスとなる。

[0068] また、本実施の形態では、スイッチング素子におけるトランジスタ素子と

してSiC-MOSFETを用いる例を示したが、本発明はこのSiC-MOSFETに限定されるものではない。SiCは、ワイドバンドギャップ半導体と称される半導体の一例であり、このSiC以外にも、例えば窒化ガリウム系材料または、ダイヤモンドを用いて形成される半導体もワイドバンドギャップ半導体に属し、その特性もSiCに類似した点が多い。したがって、SiC以外の他のワイドバンドギャップ半導体を用いる構成も、本発明の要旨を成すものである。

[0069] 以上、実施の形態1～3に係るパワー半導体モジュールの構成例について説明したが、これら実施の形態1～3のパワー半導体モジュールは、鉄道車両や自動車に搭載される電力変換装置に用いられて好適である。車載用として用いられる場合、ブレーキ時や回生運転時には、FWD側の通電流が非常に大きくなるので、上記シミュレーション結果にもあるように、オンスイッチング損失の低減効果が大きくなり、電力変換装置の効率改善、コスト削減に効果的である。

産業上の利用可能性

[0070] 以上のように、本発明は、並列応用におけるパワー半導体モジュールの歩留まりを改善し、製造コストの上昇を抑制することができるパワー半導体モジュールとして有用である。

符号の説明

- [0071]
- 1 鉄道車両
 - 2 架線
 - 3 集電装置
 - 4 車輪
 - 5 レール
 - 6 変圧器
 - 10 電力変換装置
 - 12 コンバータ
 - 14 コンデンサ

- 16 インバータ
- 18 電動機
- 20 パワー半導体モジュール
- 22 第1のパワーモジュール
- 24, 34 FWD群
- 24a, 34a FWD (Si-FWD)
- 24b, 34b FWD (SiC-FWD)
- 25, 35 IGBT (Si-IGBT)
- 26 素子対 (第1の素子対)
- 32 第2のパワーモジュール
- 36 素子対 (第2の素子対)
- C コレクタ電極
- E エミッタ電極
- UNC, VNC, UNI, VNI, WNI, UPC, VPC, UPI, VPI, WPI スイッチング素子

請求の範囲

- [請求項1] 第1のスイッチング素子と、ワイドバンドギャップ半導体にて形成されるショットキーバリア型の第1の一方向性導通素子と導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、
- 第2のスイッチング素子と、ワイドバンドギャップ半導体にて形成されるショットキーバリア型の第2の一方向性導通素子と導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、
- を有し、
- これら第1および第2の素子対が並列に接続されて構成されていることを特徴とするパワー半導体モジュール。
- [請求項2] 前記第1および第2の導通素子は、一方向性導通素子であることを特徴とする請求項1に記載のパワー半導体モジュール。
- [請求項3] 前記第1および第2のスイッチング素子は、ワイドバンドギャップ半導体にて形成されるユニポーラ型のスイッチング素子であることを特徴とする請求項1に記載のパワー半導体モジュール。
- [請求項4] 前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体であることを特徴とする請求項1～3の何れか1項に記載のパワー半導体モジュール。
- [請求項5] 正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置において、
- 前記各パワー半導体モジュールは、
- 第1のスイッチング素子と、ワイドバンドギャップ半導体にて形成

されるショットキーバリア型の第1の一方方向性導通素子と導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、ワイドバンドギャップ半導体にて形成されるショットキーバリア型の第2の一方方向性導通素子と導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成されていることを特徴とする電力変換装置。

[請求項6] 前記第1および第2の導通素子は、一方方向性導通素子であることを特徴とする請求項5に記載の電力変換装置。

[請求項7] 前記第1および第2のスイッチング素子は、ワイドバンドギャップ半導体にて形成されるユニポーラ型のスイッチング素子であることを特徴とする請求項5に記載の電力変換装置。

[請求項8] 前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体にて形成されることを特徴とする請求項5～7の何れか1項に記載の電力変換装置。

[請求項9] 正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置と、

前記電力変換装置からの電力供給を受けて車両を駆動する電動機と、備えた鉄道車両において、

前記各パワー半導体モジュールは、

第1のスイッチング素子と、ワイドバンドギャップ半導体にて形成されるショットキーバリア型の第1の一方方向性導通素子と導通時の電

圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、ワイドバンドギャップ半導体にて形成されるショットキーバリア型の第2の一方方向性導通素子と導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成されていることを特徴とする鉄道車両。

[請求項10]

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

を有し、

これら第1および第2の素子対は、並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧よりも小さく、

前記第2の導通素子の耐圧は、前記第2の一方方向性導通素子の耐圧よりも小さい

ことを特徴とするパワー半導体モジュール。

[請求項11]

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性

導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

を有し、

これら第1および第2の素子対は、並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧よりも大きく、

前記第2の導通素子の耐圧は、前記第2の一方方向性導通素子の耐圧よりも大きい

ことを特徴とするパワー半導体モジュール。

[請求項12]

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

を有し、

これら第1および第2の素子対は、並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧

と同程度であり、

前記第 1 の導通素子の耐圧は、前記第 1 の一方向性導通素子の耐圧と同程度である

ことを特徴とするパワー半導体モジュール。

[請求項13]

前記第 1 および第 2 の導通素子は、一方向性導通素子であることを特徴とする請求項 10～12 の何れか 1 項に記載のパワー半導体モジュール。

[請求項14]

前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体にて形成されることを特徴とする請求項 10～12 の何れか 1 項に記載のパワー半導体モジュール。

[請求項15]

正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置において、

前記各パワー半導体モジュールは、

第 1 のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第 1 の一方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第 1 の導通素子とが直列接続された第 1 の素子群と、が逆並列に接続されてなる第 1 の素子対と、

第 2 のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第 2 の一方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第 2 の導通素子とが直列接続された第 2 の素子群と、が逆並列に接続されてなる第 2 の素子対と、

が並列に接続されて構成され、

前記第 1 の導通素子の耐圧は、前記第 1 の一方向性導通素子の耐圧

よりも小さく、

前記第2の導通素子の耐圧は、前記第2の一方向性導通素子の耐圧よりも小さい

ことを特徴とする電力変換装置。

[請求項16]

正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置において、

前記各パワー半導体モジュールは、

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方向性導通素子の耐圧よりも大きく、

前記第2の導通素子の耐圧は、前記第2の一方向性導通素子の耐圧よりも大きい

ことを特徴とする電力変換装置。

[請求項17]

正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流

電圧を所望の交流電圧に変換して出力する電力変換装置において、

前記各パワー半導体モジュールは、

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧と同程度であり、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧と同程度である

ことを特徴とする電力変換装置。

[請求項18] 前記第1および第2の導通素子は、一方方向性導通素子であることを特徴とする請求項15～17の何れか1項に記載の電力変換装置。

[請求項19] 前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体にて形成されることを特徴とする請求項15～17の何れか1項に記載の電力変換装置。

[請求項20] 正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置と、

前記電力変換装置からの電力供給を受けて車両を駆動する電動機と

、備えた鉄道車両において、

前記各パワー半導体モジュールは、

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧よりも小さく、

前記第2の導通素子の耐圧は、前記第2の一方方向性導通素子の耐圧よりも小さい

ことを特徴とする鉄道車両。

[請求項21]

正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置と、

前記電力変換装置からの電力供給を受けて車両を駆動する電動機と、備えた鉄道車両において、

前記各パワー半導体モジュールは、

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバン

ドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、

が並列に接続されて構成され、

前記第1の導通素子の耐圧は、前記第1の一方方向性導通素子の耐圧よりも大きく、

前記第2の導通素子の耐圧は、前記第2の一方方向性導通素子の耐圧よりも大きい

ことを特徴とする鉄道車両。

[請求項22]

正側アームを構成するパワー半導体モジュールと、負側アームを構成するパワー半導体モジュールとが直列接続されてなるレグを複数組有し、並列接続された複数組のレグに印加される直流電圧または交流電圧を所望の交流電圧に変換して出力する電力変換装置と、

前記電力変換装置からの電力供給を受けて車両を駆動する電動機と、備えた鉄道車両において、

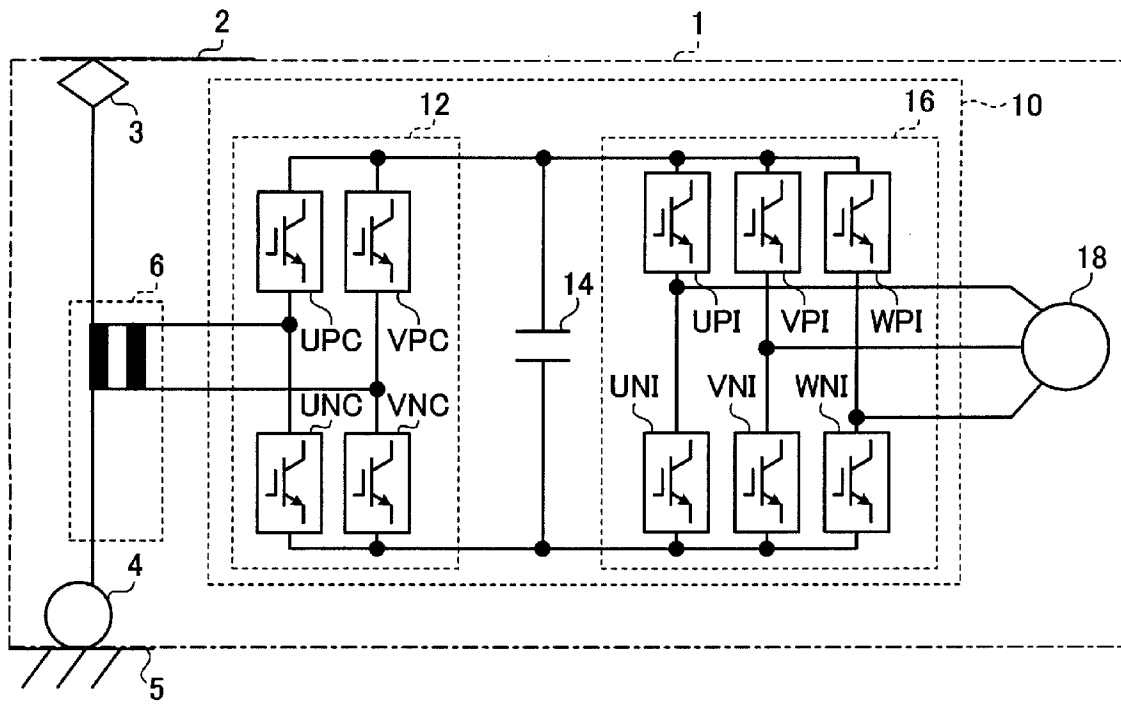
前記各パワー半導体モジュールは、

第1のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第1の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバンドギャップ半導体にて形成される第1の導通素子とが直列接続された第1の素子群と、が逆並列に接続されてなる第1の素子対と、

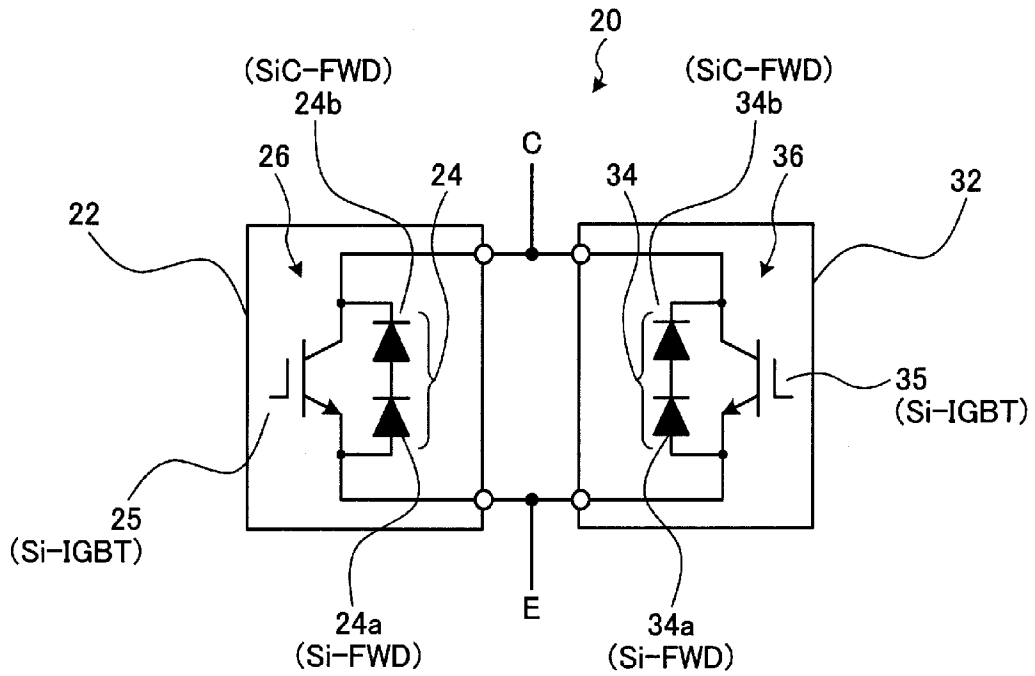
第2のスイッチング素子と、導通時の電圧降下特性が負の温度係数を有するナローバンドギャップ半導体にて形成される第2の一方方向性導通素子と導通時の電圧降下特性が正の温度係数を有するワイドバン

ドギャップ半導体にて形成される第2の導通素子とが直列接続された第2の素子群と、が逆並列に接続されてなる第2の素子対と、
が並列に接続されて構成され、
前記第1の導通素子の耐圧は、前記第1の一方向性導通素子の耐圧と同程度であり、
前記第1の導通素子の耐圧は、前記第1の一方向性導通素子の耐圧と同程度である
ことを特徴とする鉄道車両。

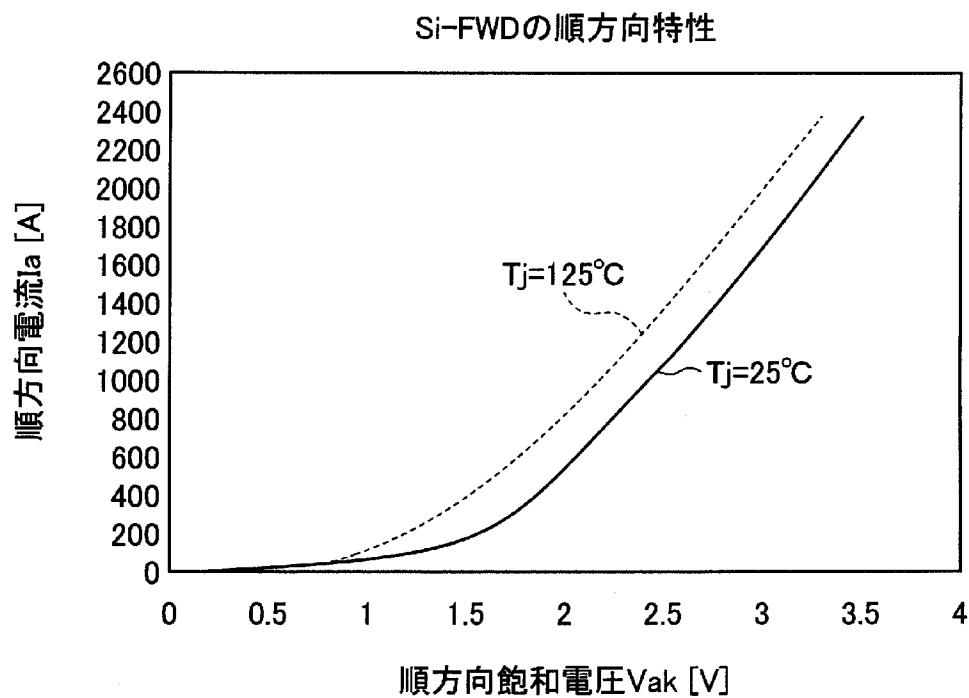
[図1]



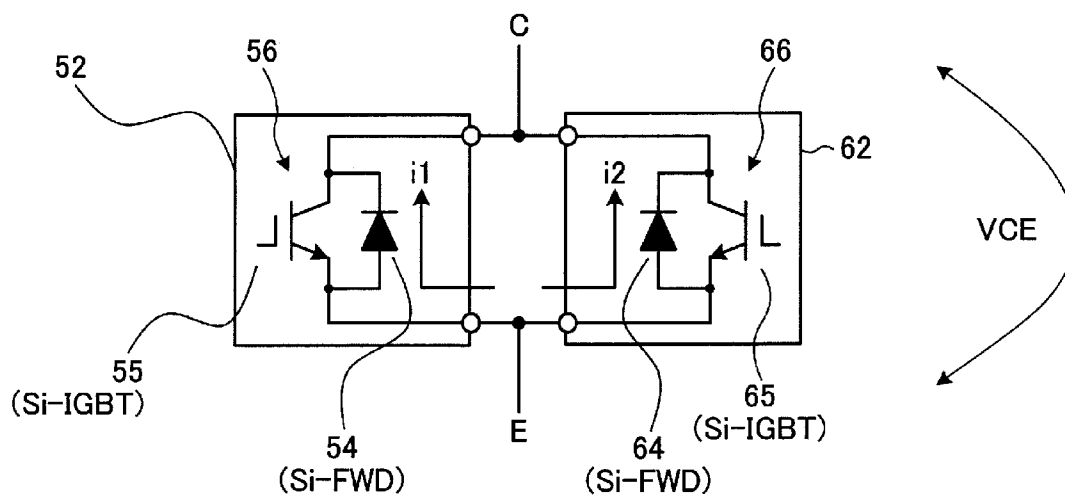
[図2]



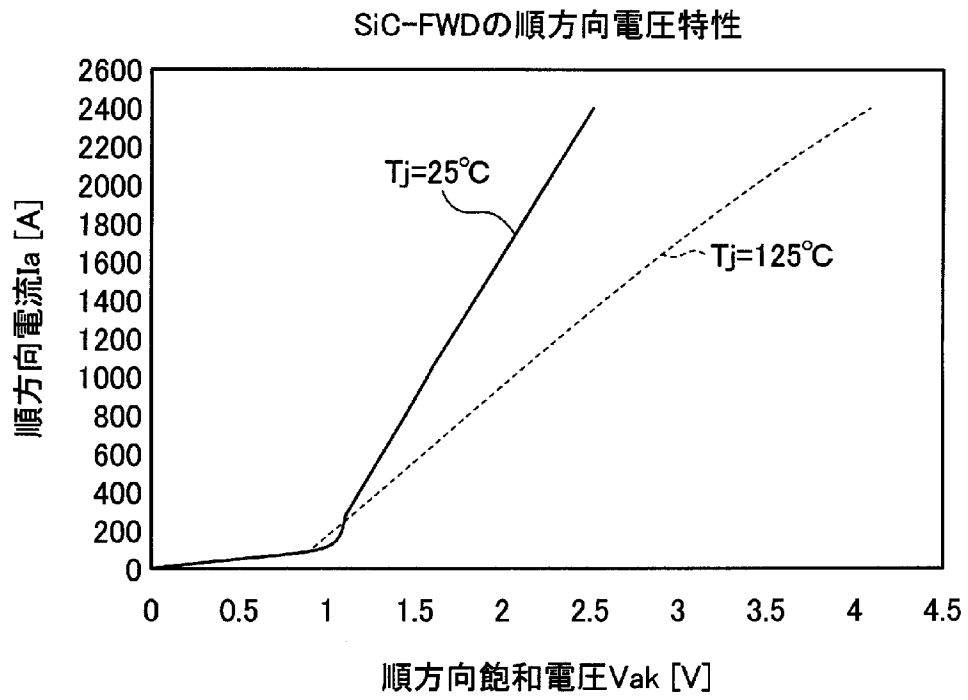
[図3]



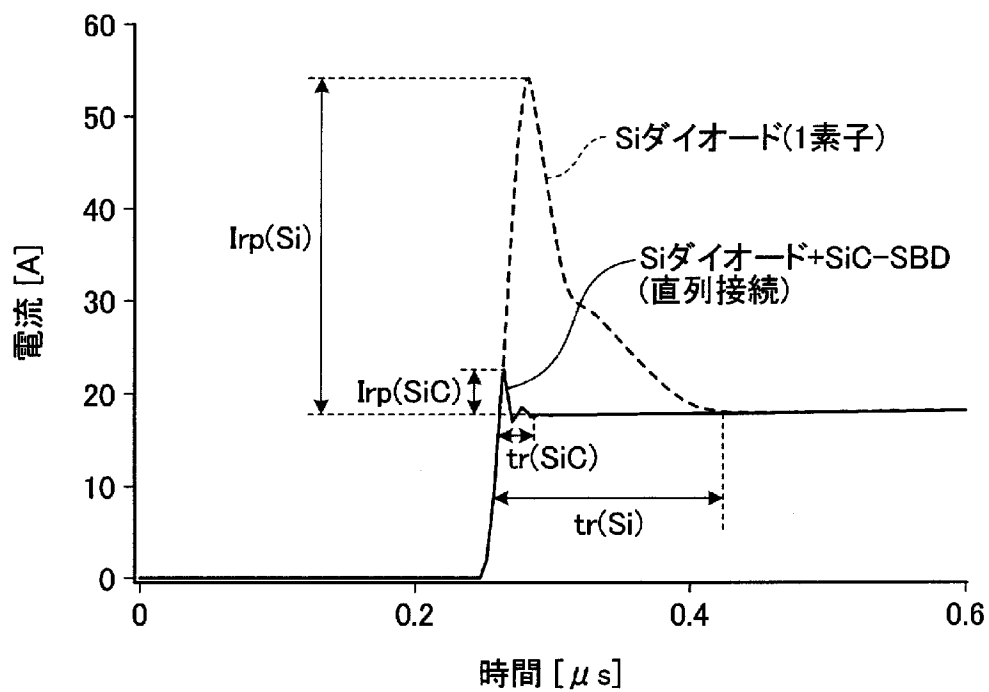
[図4]



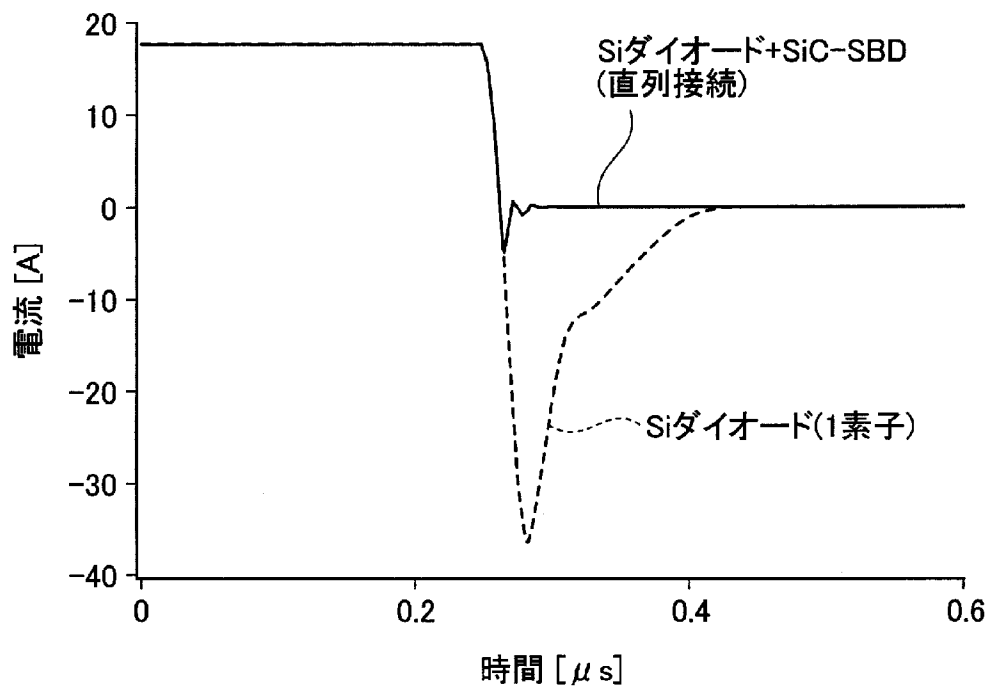
[図5]



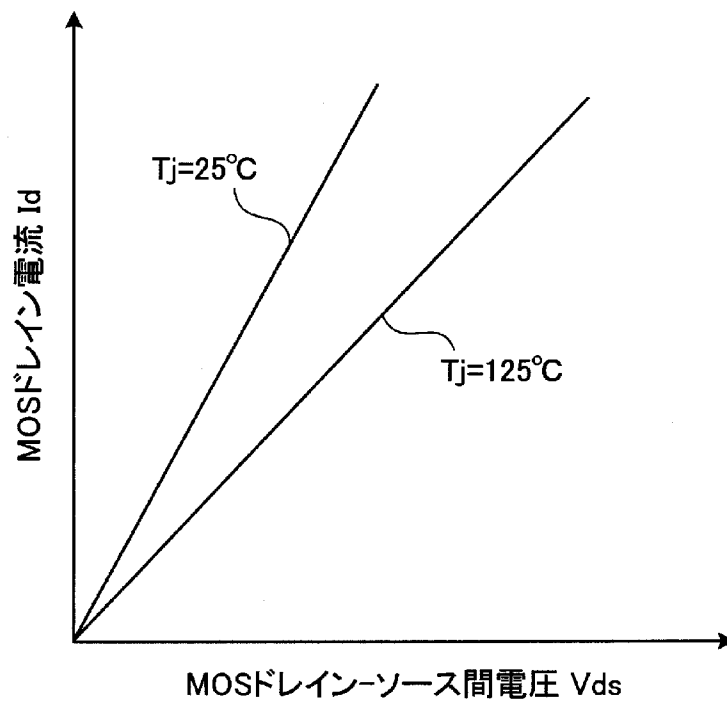
[図6]



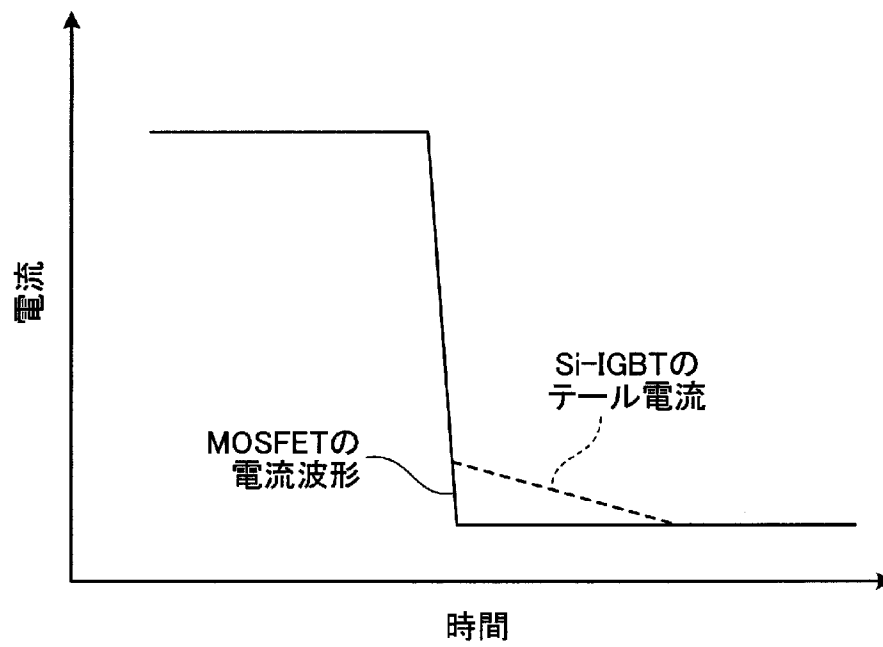
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/069383

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/5387(2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/5387

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-369498 A (Fuji Electric Co., Ltd.), 20 December 2002 (20.12.2002), paragraph [0003]; fig. 8 (Family: none)	1-22
A	JP 2001-245479 A (Mitsubishi Electric Corp.), 07 September 2001 (07.09.2001), paragraphs [0027] to [0034]; fig. 1 (Family: none)	1-22
A	JP 2003-284318 A (Mitsubishi Electric Corp.), 03 October 2003 (03.10.2003), paragraphs [0069] to [0081]; fig. 22 & DE 10301655 A1 & CN 1445928 A	1-22

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 January, 2011 (24.01.11)Date of mailing of the international search report
01 February, 2011 (01.02.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/069383

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-72863 A (Sanken Electric Co., Ltd.), 27 March 2008 (27.03.2008), paragraphs [0022] to [0038] (Family: none)	1-22
A	JP 2003-199354 A (Toshiba Corp.), 11 July 2003 (11.07.2003), paragraphs [0029] to [0040]; fig. 1 (Family: none)	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/5387 (2007.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/5387

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-369498 A (富士電機株式会社) 2002. 12. 20, [0003]、 [図8] (ファミリーなし)	1-22
A	JP 2001-245479 A (三菱電機株式会社) 2001. 09. 07, [0027] - [0034]、[図1] (ファミリーなし)	1-22
A	JP 2003-284318 A (三菱電機株式会社) 2003. 10. 03, [0069] - [0081]、[図22] & DE 10301655 A1 & CN 1445928 A	1-22

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

24. 01. 2011

国際調査報告の発送日

01. 02. 2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

塩治 雅也

電話番号 03-3581-1101 内線 3358

3V

3630

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-72863 A (サンケン電気株式会社) 2008.03.27, [0022] - [0038] (ファミリーなし)	1-22
A	JP 2003-199354 A (株式会社東芝) 2003.07.11, [0029] - [0040], [図1] (ファミリーなし)	1-22