(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7329719号
(P7329719)

(45)発行日　令和5年8月18日(2023.8.18)

(24)登録日　令和5年8月9日(2023.8.9)

(51)国際特許分類

		FI	
H02M	*7/49 (2007.01)*	H02M	7/49
H02M	*7/501(2007.01)*	H02M	7/501

請求項の数　11　（全41頁）

(21)出願番号　特願2023-521859(P2023-521859)
(86)(22)出願日　令和4年8月2日(2022.8.2)
(86)国際出願番号　PCT/JP2022/029665
審査請求日　令和5年4月11日(2023.4.11)
早期審査対象出願

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　110002941
弁理士法人ぱるも特許事務所
(72)発明者　吉野 浩行
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
(72)発明者　小鹿 聡士
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
(72)発明者　渡辺 章太
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
(72)発明者　岩蕗 寛康
最終頁に続く

(54)【発明の名称】　電力変換装置

(57)【特許請求の範囲】

【請求項１】

直流電力を交流電力にそれぞれ変換する４個以上の単相インバータと、前記単相インバータを制御する制御部とを有する電力変換装置であって、

前記単相インバータは直列に接続されており、前記単相インバータの出力電圧の絶対値を電圧絶対値とした場合、４個以上の前記単相インバータは、前記電圧絶対値が同じ第１共通電圧を出力する少なくとも２個の第１共通単相インバータと、前記第１共通電圧よりも小さい前記電圧絶対値の電圧を出力する少なくとも２個の単相インバータとを含んで構成されており、

４個以上の前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を１とし、前記第１共通単相インバータの前記第１共通電圧の比率をＪとし、前記電圧絶対値の比がＪよりも小さい前記単相インバータの前記電圧絶対値の比率の総和をＫとした場合に、Ｊ＝２Ｋ＋１が成り立つように構成されており、

前記制御部は、前記単相インバータの前記出力電圧の総和電圧を負荷に出力するように制御することを特徴とする電力変換装置。

【請求項２】

前記第１共通電圧は、前記単相インバータの前記電圧絶対値の中で最も大きな値であることを特徴とする請求項１に記載の電力変換装置。

【請求項３】

前記単相インバータは、前記電圧絶対値の極性を切り替えて出力することを特徴とする

請求項１または２に記載の電力変換装置。
【請求項４】
前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を１とした場合に、前記制御部は、少なくとも１つの前記単相インバータにＰＷＭ制御を行って、前記総和電圧を比率１よりも小さい電圧分解能で制御することを特徴とする請求項１または２に記載の電力変換装置。
【請求項５】
前記第１共通単相インバータは、それぞれ１つ以上のスイッチング素子を含んで構成されており、前記制御部は、２個以上の前記第１共通単相インバータにそれぞれ含まれる前記スイッチング素子の単位時間当たりのスイッチング回数の差を最小にすることを特徴とする請求項１または２に記載の電力変換装置。
【請求項６】
前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を１とした場合に、前記単相インバータの前記電圧絶対値の比率の中に少なくとも１および２、または１および３を含んで構成されていることを特徴とする請求項１または２に記載の電力変換装置。
【請求項７】
前記単相インバータの前記電圧絶対値の比において、最小の前記電圧絶対値の比率を１とした場合に、前記単相インバータの前記電圧絶対値の比率の中に少なくとも１および３および９を含み、比率９の前記電圧絶対値が前記第１共通電圧であることを特徴とする請求項１に記載の電力変換装置。
【請求項８】
前記単相インバータは、前記第１共通電圧よりも小さい前記電圧絶対値が同じ第２共通電圧を出力する少なくとも２個の第２共通単相インバータを含んで構成されていることを特徴とする請求項１に記載の電力変換装置。
【請求項９】
前記第２共通電圧は、４個以上の前記単相インバータの電圧絶対値の最小値であることを特徴とする請求項８に記載の電力変換装置。
【請求項１０】
前記第２共通単相インバータは、それぞれ１つ以上のスイッチング素子を含んで構成されており、前記制御部は、２個以上の前記第２共通単相インバータにそれぞれ含まれる前記スイッチング素子の単位時間当たりのスイッチング回数の差を最小にすることを特徴とする請求項８または９に記載の電力変換装置。
【請求項１１】
複数の前記単相インバータには直流電力を供給する複数の直流電源がそれぞれ接続されており、前記制御部は、前記負荷に印加する目標電圧、または前記負荷に供給する目標電流、または前記負荷に供給する目標電力の少なくとも１つに基づいて複数の前記直流電源の出力電圧を制御して、複数の前記単相インバータのそれぞれの前記電圧絶対値の比率を維持した状態で、前記第１共通単相インバータの少なくとも１つにおいて、前記第１共通単相インバータを構成する１つ以上の前記スイッチング素子の単位時間当たりの総スイッチング回数を最小とすることを特徴とする請求項５に記載の電力変換装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本願は、電力変換装置に関する。
【背景技術】
【０００２】
電力変換装置の１つとして、大容量の出力フィルタを必要とせずに、負荷に滑らかな交流波形を出力することができる階調制御型の電力変換装置が知られている。階調制御型の電力変換装置は、複数の単相インバータが直列に接続されて構成されている。従来の階調

制御型の電力変換装置として、複数の単相インバータの各々の出力電圧の絶対値をそれぞれ概ね2^K倍（Ｋ＝０、１、２、・・・）とした電力変換装置が開示されている。この電力変換装置は、複数の単相インバータがそれぞれ出力した電圧の総和電圧を階調制御して負荷に出力している（例えば、特許文献１参照）。

【先行技術文献】

【特許文献】

【０００３】

【文献】特開２００４－７９４１号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかしながら、従来の電力変換装置においては、複数の単相インバータの各々の出力電圧の絶対値をそれぞれ概ね2^K倍としているので、大きな電圧を出力する単相インバータが含まれている。そのため、最も大きな出力電圧の単相インバータが大型化すると共に、単相インバータの効率低下を抑制するための放熱器なども大型になる。その結果、従来の電力変換装置には、大型化、高コスト化するという問題があった。

【０００５】

本願は上述のような課題を解決するためになされたもので、複数の単相インバータを有する電力変換装置において、大型化、高コスト化を抑制することができる電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【０００６】

本願の電力変換装置は、直流電力を交流電力にそれぞれ変換する４個以上の単相インバータと、単相インバータを制御する制御部とを有している。そして、本願の電力変換装置においては、４個以上の単相インバータは直列に接続されており、単相インバータの出力電圧の絶対値を電圧絶対値とした場合、４個以上の単相インバータは、電圧絶対値が同じ第１共通電圧を出力する少なくとも２つの第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも２つの単相インバータとを含んで構成されており、４個以上の単相インバータの電圧絶対値の比において、最小の電圧絶対値の比率を１とし、第１共通単相インバータの第１共通電圧の比率をＪとし、電圧絶対値の比がＪよりも小さい単相インバータの電圧絶対値の比率の総和をＫとした場合に、Ｊ＝２Ｋ＋１が成り立つように構成されており、制御部は、単相インバータの出力電圧の総和電圧を負荷に出力するように制御する。

【発明の効果】

【０００７】

本願の電力変換装置は、４個以上の単相インバータが電圧絶対値が同じ第１共通電圧を出力する少なくとも２つの第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも２つの単相インバータとを含んで構成されており、４個以上の単相インバータの電圧絶対値の比において、最小の電圧絶対値の比率を１とし、第１共通単相インバータの第１共通電圧の比率をＪとし、電圧絶対値の比がＪよりも小さい単相インバータの電圧絶対値の比率の総和をＫとした場合に、Ｊ＝２Ｋ＋１が成り立つように構成されているので、電力変換装置の大型化、高コスト化を抑制することができる。

【図面の簡単な説明】

【０００８】

【図１】実施の形態１に係る電力変換装置の構成図である。

【図２】実施の形態１に係る電力変換装置における制御部および単相インバータの構成図である。

【図３】実施の形態１に係る電力変換装置おける単相インバータの制御の例を示す説明図である。

【図４】実施の形態１に係る電力変換装置おける４つの単相インバータの出力電圧波形と

全体の出力電圧波形とを示した説明図である。
【図５】実施の形態１に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図６】実施の形態１に係る比較例の電力変換装置における４つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。
【図７】実施の形態１に係る比較例の電力変換装置における階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図８】実施の形態１に係る電力変換装置の電圧構成を表にした説明図である。
【図９】実施の形態１に係る電力変換装置の電圧構成を表にした説明図である。
【図１０】実施の形態２に係る電力変換装置おける４つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。
【図１１】実施の形態２に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図１２】実施の形態２に係る電力変換装置おける４つの単相インバータの出力電圧波形と全体の出力電圧波形とを示した説明図である。
【図１３】実施の形態２に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図１４】実施の形態２に係る電力変換装置の電圧構成を表にした説明図である。
【図１５】実施の形態２に係る電力変換装置の電圧構成を表にした説明図である。
【図１６】実施の形態３に係る電力変換装置の構成図である。
【図１７】実施の形態３に係る電力変換装置の出力検出部の回路図である。
【図１８】実施の形態３に係る電力変換装置の出力検出部の回路図である。
【図１９】実施の形態３に係る電力変換装置の階調制御信号発生部の構成図である。
【図２０】実施の形態３に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図２１】実施の形態３に係る電力変換装置おける４つの単相インバータの出力電圧波形を示した説明図である。
【図２２】実施の形態４に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図２３】実施の形態４に係る電力変換装置おける制御方法を示すフローチャートである。
【図２４】実施の形態４に係る電力変換装置おけるスイッチング分散処理の説明図である。
【図２５】実施の形態４に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図２６】実施の形態４に係る電力変換装置おけるスイッチング分散処理の説明図である。
【図２７】実施の形態５に係る電力変換装置の構成図である。
【図２８】実施の形態５に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図２９】実施の形態５に係る電力変換装置の電圧構成を表にした説明図である。
【図３０】実施の形態５に係る電力変換装置の電圧構成を表にした説明図である。
【図３１】実施の形態６に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図３２】実施の形態６に係る電力変換装置おける制御方法を示すフローチャートである。
【図３３】実施の形態６に係る電力変換装置おけるスイッチング分散処理の説明図である。
【図３４】実施の形態６に係る電力変換装置おける階調レベルの出力を実現する４つの単相インバータの組み合わせを示した説明図である。
【図３５】実施の形態７に係る電力変換装置の構成図である。
【図３６】実施の形態７に係る電力変換装置の階調制御信号発生部の構成図である。
【図３７】実施の形態７に係る電力変換装置おける制御方法を示すフローチャートである。
【図３８】実施の形態７に係る電力変換装置おける直流電源の電圧調整の説明図である。
【図３９】実施の形態７に係る電力変換装置おける直流電源の電圧調整の説明図である。

【図４０】実施の形態１から７に係る電力変換装置の制御部を実現するハードウェア構成を示す図である。
【発明を実施するための形態】
【０００９】
以下、本願を実施するための実施の形態に係る電力変換装置について、図面を参照して詳細に説明する。なお、各図において同一符号は同一もしくは相当部分を示している。
【００１０】
実施の形態１．
図１は、実施の形態１に係る電力変換装置の構成図である。本実施の形態の電力変換装置１は、３個以上の単相インバータ２が直列に接続されている。図１に示す電力変換装置１においては、ＩＮＶ１、ＩＮＶ２、ＩＮＶ３、・・・ＩＮＶｎ－１、ＩＮＶｎのｎ個の単相インバータ２が直列に接続されている。ここで、ｎは自然数である。単相インバータ２には、それぞれ直流電源３が接続されている。ＩＮＶｎの単相インバータ２に接続された直流電源３の出力電圧をＶｄｎとする。それぞれの単相インバータ２は、直流電源３から供給された直流電力を階調制御された交流電力に変換する。ＩＮＶ１の単相インバータ２の電圧出力時の発生電圧の絶対値をＶ１、ＩＮＶ２の単相インバータ２の電圧出力時の発生電圧の絶対値をＶ２、ＩＮＶｎの単相インバータ２の電圧出力時の発生電圧の絶対値をＶｎとする。なお、これ以降、単相インバータ２の電圧出力時の発生電圧の絶対値を電圧絶対値と称する。それぞれの単相インバータ２には、制御部４が接続されている。制御部４は、それぞれの単相インバータ２を制御すると共に、それぞれの単相インバータ２の出力電圧の総和を、全体出力電圧Ｖｓｕｍとして電力変換装置１から負荷１０に出力するように制御する。なお、本実施の形態の電力変換装置１は、負荷１０の種類として抵抗性負荷、容量性負荷、誘導性負荷およびそれらが組み合わされた負荷など幅広い種類の負荷に対応可能である。
【００１１】
本実施の形態の電力変換装置１において、複数の単相インバータ２のうち２つの単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１に設定されている。図１に示す電力変換装置１においては、ＩＮＶｎ－１の単相インバータの電圧絶対値Ｖｎ－１とＩＮＶｎの単相インバータの電圧絶対値Ｖｎとが同じＶｓ１に設定されている。電圧絶対値が第１共通電圧に設定された単相インバータを第１共通単相インバータと称する。第１共通電圧Ｖｓ１は、他の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３、・・・Ｖｎ－２の最小値よりも大きな値に設定されている。２つの第１共通単相インバータは、第１共通電圧Ｖｓ１を同時に出力可能である。
【００１２】
図２は、本実施の形態の電力変換装置における制御部および単相インバータの構成図である。ＩＮＶｍの単相インバータ２は、４つのスイッチング素子２３（ＱｍＮＬ、ＱｍＮＨ、ＱｍＰＬおよびＱｍＰＨ）を有したフルブリッジインバータである。ここで、ｍは１からｎまでの自然数である。このフルブリッジインバータは、２つのスイッチング素子ＱｍＮＬおよびＱｍＮＨで構成された１つのハーフブリッジインバータ２１と、２つのスイッチング素子ＱｍＰＬおよびＱｍＰＨで構成された他の１つのハーフブリッジインバータ２２とで構成されている。ハーフブリッジインバータ２１、２２には、図２の矢印で示す向きが正電圧となる、出力電圧Ｖｄｍの直流電源３が接続されている。直流電源３とＩＮＶｍの単相インバータ２との間には、キャパシタを設けてもよい。
【００１３】
ＩＮＶｍの単相インバータ２は、図２の矢印で示す向きが正電圧となる電圧絶対値がＶｍの電圧を出力する。なお、本実施の形態において、直流電源３から単相インバータ２の出力端子間に存在するスイッチング素子、配線などの抵抗成分は無視可能なレベルと仮定することで、ＩＮＶｍの単相インバータ２の出力電圧Ｖｍは直流電源３の出力電圧Ｖｄｍと同じとする。
【００１４】

図２において、４つのスイッチング素子２３は、ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）として示されている。スイッチング素子２３は、ＭＯＳＦＥＴ以外に、トランジスタ、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）などであってもよい。また、図２においては１つのスイッチング素子２３は１つの部品で構成されているが、耐電圧および耐電流を確保するために、１つのスイッチング素子２３は複数個のスイッチング素子を直列接続、並列接続または直列と並列との混合接続で構成されてもよい。

【００１５】

ＩＮＶｍの単相インバータ２の２つのハーフブリッジインバータ２１、２２には制御部４からゲート駆動信号が入力される。制御部４は、階調制御信号生成部４１とゲートドライバ４２とで構成されている。階調制御信号生成部４１は、ＩＮＶｍの単相インバータ２を階調制御するための階調制御信号ＳｍＮおよびＳｍＰを生成する。階調制御信号ＳｍＮおよびＳｍＰはゲートドライバ４２に入力される。ゲートドライバ４２は、階調制御信号ＳｍＮおよびＳｍＰにデッドタイム生成部４３（ＤＴｍＮおよびＤＴｍＰ）でデッドタイムをそれぞれ付与する。さらに、ゲートドライバ４２は、ゲート駆動信号出力部４４（ＧＯｍＮＬ、ＧＯｍＮＨ、ＧＯｍＰＬおよびＧＯｍＰＨ）からレベルシフトされた階調制御信号をゲート駆動信号として２つのハーフブリッジインバータ２１、２２に出力する。２つのハーフブリッジインバータ２１、２２は、ゲート駆動信号によってゲート駆動が実施される。

【００１６】

なお、図２において、制御部４は１つのゲートドライバ４２で２つのハーフブリッジインバータを駆動する構成を示している。制御部４は、１つのハーフブリッジインバータを駆動するゲートドライバを２つ備えていてもよい。また、図２において、階調制御信号生成部４１は、それぞれのハーフブリッジインバータの制御用にそれぞれ１本の階調制御信号ＳｍＮおよびＳｍＰを出力している。別の構成として、階調制御信号生成部４１は、階調制御信号ＳｍＮおよびＳｍＰとそれらを論理反転させた信号を生成し、それぞれのハーフブリッジインバータの制御用にそれぞれ２本の階調制御信号を出力してもよい。この場合、ゲートドライバ４２のデッドタイム生成部４３（ＤＴｍＮおよびＤＴｍＰ）を取り除き、階調制御信号生成部４１で論理反転させた階調制御信号にデッドタイムを付与した状態でそれぞれの階調制御信号を出力してもよい。

【００１７】

図３は、本実施の形態におけるＩＮＶｍの単相インバータの制御の例を示す説明図である。図３は、階調制御信号ＳｍＮおよびＳｍＰに対するＩＮＶｍの単相インバータを構成する４つのスイッチング素子２３（ＱｍＮＬ、ＱｍＮＨ、ＱｍＰＬおよびＱｍＰＨ）のそれぞれのオン状態およびオフ状態の変化、並びにＩＮＶｍの単相インバータの出力電圧Ｖｍの変化を示している。なお、図３において、それぞれの信号はデッドタイムが省略された状態で示されている。

【００１８】

図３に示すように、階調制御信号ＳｍＮおよびＳｍＰが共にローレベル（Ｌ）の場合、それぞれのハーフブリッジインバータのローサイド側のスイッチング素子ＱｍＮＬおよびＱｍＰＬがオン状態となり、ハイサイド側のスイッチング素子ＱｍＮＨおよびＱｍＰＨはオフ状態となり、ＩＮＶｍの単相インバータは非電圧出力状態（Ｖｍ＝０Ｖ）となる。階調制御信号ＳｍＮがローレベル（Ｌ）、ＳｍＰがハイレベル（Ｈ）の場合、ハーフブリッジインバータのローサイド側のスイッチング素子ＱｍＮＬがオン状態でスイッチング素子ＱｍＰＬがオフ状態となり、ハーフブリッジインバータのハイサイド側のスイッチング素子ＱｍＮＨがオフ状態でスイッチング素子ＱｍＰＨがオン状態となる。そのため、単相インバータは電圧出力状態となり、出力電圧Ｖｍは＋Ｖｄｍ（正電圧）となる。階調制御信号ＳｍＮがハイレベル（Ｈ）、ＳｍＰがローレベル（Ｌ）の場合、ハーフブリッジインバータのローサイド側のスイッチング素子ＱｍＮＬがオフ状態でスイッチング素子ＱｍＰＬがオン状態となり、ハーフブリッジインバータのハイサイド側のスイッチング素子ＱｍＮ

Ｈがオン状態でスイッチング素子ＱｍＰＨがオフ状態となる。そのため、単相インバータは電圧出力状態となり、出力電圧Ｖｍは－Ｖｄｍ（負電圧）となる。

【００１９】

図２に示した単相インバータは、出力電圧Ｖｍの極性を切り替えて出力可能な場合の構成である。単極性のみの出力電圧を負荷に出力する電力変換装置の場合は、単相インバータの構成は図２に示したものに限らない。例えば、正電圧だけを出力すればよい電力変換装置の場合、図２におけるハーフブリッジインバータ２１のハイサイド側のスイッチング素子ＱｍＮＨを取り除いてオープン状態とし、かつローサイド側のスイッチング素子ＱｍＮＬのドレインおよびソース端子間をショート状態とし（ＱｍＮＬの取り除いてもよい）、ハーフブリッジインバータ２２のみで単相インバータを構成してもよい。

【００２０】

これ以降、本実施の形態の電力変換装置の制御方法について説明する。説明をわかり易くするために、４個の単相インバータで構成された電力変換装置を例に挙げて説明する。また、比較例として、４個の単相インバータの出力電圧の電圧絶対値の比が１：２：４：８の電力変換装置も合わせて説明する。

【００２１】

図４は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合のＶ１、Ｖ２、Ｖ３およびＶ４をそれぞれ出力する４個の単相インバータの出力電圧波形と、階調制御された全体出力電圧Ｖｓｕｍの波形を示した説明図である。また、図５は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。すなわち、４個の単相インバータのうち２個の単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１＝４７．２７Ｖに設定されている。図５に示す表において、４個の単相インバータがそれぞれ電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の出力指示を受けた状態を「１」、出力指示を受けていない状態を「０」で表記されている。また、それぞれの単相インバータは、出力電圧指示の波形が正電圧の期間に出力指示「１」を受けた場合は正電圧を、出力電圧指示の波形が負電圧の期間に出力指示「１」を受けた場合は負電圧を出力する。

【００２２】

図６は、比較例の電力変換装置において、出力電圧指示波形として正弦波を用いた場合のＶ１、Ｖ２、Ｖ３およびＶ４をそれぞれ出力する４個の単相インバータの出力電圧の波形と、階調制御された全体出力電圧Ｖｓｕｍの波形を示した説明図である。また、図７は、比較例の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。比較例の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：８である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝８．６６Ｖ、Ｖ２＝１７．３３Ｖ、Ｖ３＝３４．６６Ｖ、Ｖ４＝６９．３３Ｖである。

【００２３】

図４および図５に示す本実施の形態の電力変換装置において、単相インバータの中で電圧絶対値が最大となるものは第１共通電圧Ｖｓ１＝４７．２７Ｖに設定されたＶ３およびＶ４を出力する２つの単相インバータである。一般的なＭＯＳＦＥＴのスイッチング素子の耐圧ラインナップを考慮すると、Ｖ３およびＶ４を出力する単相インバータのＭＯＳＦＥＴのスイッチング素子は６０Ｖ以上の耐圧を有するものが必要となる。また次に電圧が高いＶ２（２３．６３Ｖ）を出力する単相インバータについても、スイッチング速度および遅延特性の違いによるＶｓｕｍ波形の精度悪化を防ぐためには、Ｖ４を出力する単相インバータと同じＭＯＳＦＥＴのスイッチング素子を用いた方が望ましい。以上のことから

、本実施の形態の電力変換装置においては、Ｖ３とＶ４を出力する２つの単相インバータについて、６０Ｖ以上の耐圧を有するＭＯＳＦＥＴのスイッチング素子が必要となる。

【００２４】

これに対して、図６および図７に示す比較例の電力変換装置において、単相インバータの中で電圧絶対値が最大となるものは６９．３３Ｖに設定されたＶ４を出力する単相インバータである。そのため、比較例の電力変換装置において、Ｖ４を出力する単相インバータのＭＯＳＦＥＴのスイッチング素子の耐電圧は６０Ｖでは不十分であり、ＭＯＳＦＥＴのスイッチング素子の耐圧ラインナップを考慮すると８０Ｖの耐圧を有するものが必要となる。また次に電圧が高いＶ３（３４．６６Ｖ）を出力する単相インバータについても、Ｖｓｕｍ波形の精度悪化を防ぐためには、Ｖ４を出力する単相インバータと同じＭＯＳＦＥＴのスイッチング素子を用いた方が望ましい。以上のことから、比較例の電力変換装置においては、Ｖ３とＶ４を出力する２つの単相インバータについて、８０Ｖ以上の耐圧を有するＭＯＳＦＥＴのスイッチング素子が必要となる。

【００２５】

なお、本実施の形態の電力変換装置および比較例の電力変換装置において、Ｖ１およびＶ２は低電圧であるため、Ｖ１およびＶ２を出力する単相インバータのＭＯＳＦＥＴのスイッチング素子については、耐電圧が３０Ｖの低耐圧ＭＯＳＦＥＴを使用することもできる。

【００２６】

Ｖ４を出力する単相インバータの出力電圧波形を図４と図６とで比較すると、出力電圧指示波形である正弦波の１周期においてＶ４を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置と比較例の電力変換装置とでは同じである。しかしながら、本実施の形態の電力変換装置のＶ４の電圧の方が比較例の電力変換装置のＶ４の電圧よりも小さいので、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

【００２７】

また、Ｖ３を出力する単相インバータの出力電圧波形を図４と図６とで比較すると、本実施の形態の電力変換装置のＶ３の電圧は比較例の電力変換装置のＶ３の電圧の１．３６倍である。しかしながら、出力電圧指示波形である正弦波の１周期においてＶ３を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置が４回であるのに対して比較例の電力変換装置は１２回である。スイッチング回数と電圧値との双方を考慮すると、Ｖ３を出力する単相インバータのスイッチング素子についても、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

【００２８】

このように本実施の形態の電力変換装置においては、３個以上の単相インバータが電圧絶対値が同じ第１共通電圧を出力する少なくとも２つの第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値を出力する少なくとも１つの単相インバータとを含んで構成されている。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。また、本実施の形態の電力変換装置は、耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることができるので、比較例の電力変換装置よりもオン抵抗が小さくなるため導通損失を低減することができる。さらに、本実施の形態の電力変換装置は、比較例の電力変換装置よりもスイッチング損失も低減できる。第１共通単相インバータに接続する直流電源の電圧も低くなるため、例えば直流電源に並列接続され、第１共通単相インバータ内に配置されるキャパシタなども耐圧の低い素子を用いることができる。その結果、本実施の形態の電力変換装置は小型の単相インバータおよび小型の放熱器で構成することができるので、電力変換装置の大型化、高コスト化を抑制することができる。

【００２９】

なお、第１共通電圧は、単相インバータの電圧絶対値の最小値でないことが必要である

。第１共通電圧が単相インバータの電圧絶対値の最小値に設定された場合、階調数を大きく減少させない限り単相インバータの出力の最大電圧を低電圧化できないためである。本実施の形態の電力変換装置においては、第１共通電圧を単相インバータの電圧絶対値の最大値に設定しているので、階調数を大きく減少させることなく電力変換装置の大型化、高コスト化を抑制することができる。

【００３０】

これまでの説明において、本実施の形態の電力変換装置として４個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、３個以上の単相インバータで構成されていればよい。これ以降、３～５個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶対値をそれぞれ概ね２^{K}倍（Ｋ＝０、１、２、・・・）とした比較例の電力変換装置の特性も合わせて説明する。

【００３１】

図８は、３～５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図８の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。図８に示すように、比較例の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定されている。

【００３２】

本実施の形態の電力変換装置において、実施例１～実施例８の電力変換装置は５個の単相インバータで構成されており、実施例９の電力変換装置は３個の単相インバータで構成されており、実施例１０の電力変換装置は４個の単相インバータで構成されている。実施例１の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：８に設定されている。実施例２の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：５：９：９に設定されている。実施例３の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：６：１０：１０に設定されている。実施例４の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：７：１１：１１に設定されている。実施例５の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：２：２：２に設定されている。実施例６の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：４：４に設定されている。実施例７の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：９：１４：１４に設定されている。実施例８の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：５：５：５に設定されている。実施例９の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３＝１：２：２に設定されている。実施例１０の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４＝１：２：２：２に設定されている。実施例１～実施例１０の電力変換装置は、いずれも電圧比率が１および２を含む、または電圧比率が１および３を含んで構成されている。

【００３３】

図８に示された実施例１～実施例１０の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例１～実施例１０の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。

【００３４】

ここで、実施例２および実施例７においては、各階調レベルを実現するために複数の単相インバータにおいて同じ時間に異なる極性の電圧出力が必要となる場合がある。例えば、実施例２においては、電圧絶対値の比率が１のＶ１を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が５のＶ３を出力する単相インバータが正電圧を出力することで、階調レベル４を実現することができる（５－１＝４）。また、実施例７においては、電圧絶対値の比率が１のＶ１を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が３のＶ２を出力する単相インバータが負電圧を出力し、電圧絶対値の比率が９のＶ３を出力する単相インバータが正電圧を出力することで、階調レベル５を実現すること

ができる（９－３－１＝５）。
【００３５】
このように、図８に示された実施例１～実施例１０の電力変換装置においては、それぞれの最大階調レベル以下の範囲で負荷に交流電力を出力することができる。ここで、電圧絶対値の最小比率１に対して第１共通電圧の比率をＪとし、比率がＪよりも小さい電圧絶対値の比率の総和をＫとする。例えば、実施例２ではＪ＝９、Ｋ＝１＋２＋５＝８となり、ＪとＫとの関係はＪ＝Ｋ＋１である。また、実施例７ではＪ＝１４、Ｋ＝１＋３＋９＝１３となり、ＪとＫとの関係はＪ＝Ｋ＋１である。このように、実施例１～実施例１０の電力変換装置においては、すべてＪ＝Ｋ＋１の関係が成り立つ。このような関係が成り立つようにすることで、本実施の形態の電力変換装置は、各階調レベルの出力を実現する組み合わせの重複を回避して、より少ない個数の単相インバータで構成できると共に、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることができるため、電力変換装置の大型化、高コスト化を抑制することができる。
なお、このＪとＫとの関係は、実施例９の３個の単相インバータで構成された電力変換装置、および実施例１０の４個の単相インバータで構成された電力変換装置においても成り立つ。このＪとＫとの関係は、６個以上の単相インバータで構成された電力変換装置においても成り立つ。
【００３６】
実施例１～実施例１０の電力変換装置においては、単相インバータの最大の出力電圧を第１共通電圧としている。本実施の形態の電力変換装置においては、第１共通電圧は単相インバータの最大の出力電圧でなくてもよい。
【００３７】
図９は、５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図９の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。なお、図９にはＶ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定された比較例の電力変換装置も示している。
【００３８】
図９に示す実施例１１の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：２：２：４に設定されている。実施例１２の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：４：８に設定されている。実施例１３の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：５：５：１０に設定されている。実施例１１～実施例１３の電力変換装置においては、第１共通電圧は単相インバータの最大の出力電圧ではない。
【００３９】
図９に示された実施例１１～実施例１３の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例１１～実施例１３の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。
【００４０】
なお、図９に示された実施例１１～実施例１３の電力変換装置においても、Ｊ＝Ｋ＋１の関係が成り立つ。例えば、実施例１２ではＪ＝４、Ｋ＝１＋２＝３となり、Ｊ＝Ｋ＋１となる。
【００４１】
実施の形態２．
実施の形態１に係る電力変換装置においては、電圧絶対値の最小比率１に対して、第１共通電圧の比率をＪとし、比率がＪよりも小さい電圧絶対値の比率の総和をＫとしたときに、Ｊ＝Ｋ＋１の関係が成り立つ。実施の形態２においては、Ｊ＝２Ｋ＋１の関係が成り立つ電力変換装置について説明する。
【００４２】

本実施の形態の電力変換装置の構成は、実施の形態１の図１に示した電力変換装置の構成と同様である。本実施の形態の電力変換装置においては、複数の単相インバータの出力電圧が実施の形態１の電力変換装置と異なっている。なお、説明をわかり易くするために、４個の単相インバータで構成された電力変換装置を例に挙げて説明する。

【００４３】

図１０は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合のＶ１、Ｖ２、Ｖ３およびＶ４をそれぞれ出力する４個の単相インバータの出力電圧波形と、階調制御された全体出力電圧Ｖｓｕｍの波形を示した説明図である。また、図１１は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：７：７である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝７．６４Ｖ、Ｖ２＝１５．２９Ｖ、Ｖ３＝Ｖ４＝５３．５２Ｖである。すなわち、４個の単相インバータのうち２個の単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１＝５３．５２Ｖに設定されている。図１１に示す表において、４個の単相インバータがそれぞれ電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の出力指示を受けた状態を「１」または「－１」、出力指示を受けていない状態を「０」で表記されている。それぞれの単相インバータは、出力電圧指示の波形が正電圧の期間に出力指示「１」を受けた場合は正電圧を、出力指示「－１」を受けた場合は負電圧を出力する。また、それぞれの単相インバータは、出力電圧指示の波形が負電圧の期間に出力指示「１」を受けた場合は負電圧を、出力指示「－１」を受けた場合は正電圧を出力する。

【００４４】

本実施の形態の電力変換装置においては、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：７：７である。この場合Ｊ＝７、Ｋ＝３となり、Ｊ＝２Ｋ＋１の関係が成り立つ。実施の形態１の図４および図５に示した電力変換装置においては、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。この電力変換装置においては、Ｊ＝Ｋ＋１の関係が成り立つ。また、この電力変換装置においては、最大階調レベルは１１である。これに対して、Ｊ＝２Ｋ＋１の関係が成り立つ本実施の形態の電力変換装置においては、最大階調レベルは１７となる。したがって、本実施の形態の電力変換装置の方が実施の形態１の電力変換装置よりも多くの最大階調レベルを実現できる。

【００４５】

本実施の形態の電力変換装置における単相インバータの最大電圧は、実施の形態１で示した比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となり、導通損失を低減することができる。

【００４６】

Ｖ４を出力する単相インバータの出力電圧波形を図６と図１０とで比較すると、出力電圧指示波形である正弦波の１周期においてＶ４を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置と比較例の電力変換装置とでは同じである。しかしながら、本実施の形態の電力変換装置のＶ４の電圧の方が比較例の電力変換装置のＶ４の電圧よりも小さいので、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

【００４７】

また、Ｖ３を出力する単相インバータの出力電圧波形を図６と図１０とで比較すると、本実施の形態の電力変換装置のＶ３の電圧は比較例の電力変換装置のＶ３の電圧の１．５４倍である。しかしながら、出力電圧指示波形である正弦波の１周期においてＶ３を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置が４回であるのに対して比較例の電力変換装置は１２回である。スイッチング回数と電圧値との双方を考

慮すると、Ｖ３を出力する単相インバータのスイッチング素子についても、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもスイッチング損失を低減することができる。

【００４８】

なお、Ｖ１およびＶ２を出力する単相インバータの出力電圧波形を図６と図１０とで比較すると、出力電圧指示波形である正弦波の１周期においてＶ１およびＶ２を出力する単相インバータのスイッチング回数は、本実施の形態の電力変換装置の方が比較例の電力変換装置よりもが多い。しかしながら、Ｖ１およびＶ２はＶ３およびＶ４よりも十分低電圧であるため、Ｖ１およびＶ２を出力する単相インバータのスイッチング損失は、Ｖ３およびＶ４を出力する単相インバータのスイッチング損失よりも小さい。したがって、４個の単相インバータの全てのスイッチング損失は、本実施の形態の電力変換装置の方が比較例の電力変換装置よりも小さくなる。

【００４９】

図１２は、本実施の形態の電力変換装置において、出力電圧指示波形として正弦波を用いた場合のＶ１、Ｖ２、Ｖ３およびＶ４をそれぞれ出力する４個の単相インバータの出力電圧の波形と、階調制御された全体出力電圧Ｖｓｕｍの波形を示した説明図である。また、図１３は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：３：９：９である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝５．９１Ｖ、Ｖ２＝１７．７２Ｖ、Ｖ３＝Ｖ４＝５３．１８Ｖである。すなわち、４個の単相インバータのうち２個の単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１＝５３．１８Ｖに設定されている。

【００５０】

本実施の形態の電力変換装置においては、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：３：９：９である。この場合Ｊ＝９、Ｋ＝４となり、Ｊ＝２Ｋ＋１の関係が成り立つ。Ｊ＝２Ｋ＋１の関係が成り立つ本実施の形態の電力変換装置においては、最大階調レベルは２２となる。したがって、本実施の形態の電力変換装置の方が実施の形態１の電力変換装置よりも多くの最大階調レベルを実現できる。

【００５１】

本実施の形態の電力変換装置における単相インバータの最大電圧は、実施の形態１で示した比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、本実施の形態の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となり、導通損失を低減することができる。

【００５２】

これまでの説明において、本実施の形態の電力変換装置として４個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、３個以上の単相インバータで構成されていればよい。これ以降、３～５個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶対値をそれぞれ概ね2^{K}倍（Ｋ＝０、１、２、・・・）とした比較例の電力変換装置の特性も合わせて説明する。

【００５３】

図１４は、３～５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図１４の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。図１４に示すように、比較例の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定されている。

【００５４】

本実施の形態の電力変換装置において、実施例１４～実施例１８の電力変換装置は５個

の単相インバータで構成されており、実施例１９の電力変換装置は３個の単相インバータで構成されており、実施例２０の電力変換装置は４個の単相インバータで構成されている。実施例１４の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：７：７：７に設定されている。実施例１５の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：７：２１：２１に設定されている。実施例１６の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：３：３：３に設定されている。実施例１７の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：９：９：９に設定されている。実施例１８の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：９：２７：２７に設定されている。実施例１９の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３＝１：３：３に設定されている。実施例２０の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４＝１：３：３：３に設定されている。実施例１４～実施例２０の電力変換装置は、いずれも電圧比率が１および２を含む、または電圧比率が１および３を含んで構成されている。

【００５５】

図１４に示された実施例１４～実施例２０の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例１１～実施例２０の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。

【００５６】

また、実施例１４～実施例２０の電力変換装置においては、Ｊ＝２Ｋ＋１の関係が成り立つ。したがって、単相インバータの最大電圧が同程度の条件において、実施例１１～実施例２０の電力変換装置の方が、実施の形態１の電力変換装置よりも多くの最大階調レベルを実現できる。なお、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：９：９：９に設定された実施例１７の電力変換装置は、最大階調レベルが３１で比較例の最大階調レベルと同等であり、かつ３つの単相インバータの電圧絶対値において、最大電圧が３７．７４Ｖと比較例の最大電圧６７．１Ｖの約半分となる。そのため、実施例１７の電力変換装置は、比較例の電力変換装置に対してＭＯＳＦＥＴの導通損失とスイッチング損失との低減効果が最も大きい。このように、電圧絶対値の比率に１、３および９を含み、かつ比率９となる電圧を第１共通電圧に設定することで、多くの階調レベルを実現し、かつ小型で低コストの電力変換装置を得ることができる。

【００５７】

実施例１４～実施例２０の電力変換装置においては、単相インバータの最大の出力電圧を第１共通電圧としている。本実施の形態の電力変換装置においては、第１共通電圧は単相インバータの最大の出力電圧でなくてもよい。

【００５８】

図１５は、５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図１５の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。なお、図１５にはＶ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定された比較例の電力変換装置も示している。

【００５９】

図１５に示す実施例２１の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：７：７：１４に設定されている。実施例２２の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：３：３：９に設定されている。実施例２３の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：９：９：１８に設定されている。実施例２１～実施例２３の電力変換装置においては、第１共通電圧は単相インバータの最大の出力電圧ではない。

【００６０】

図１５に示された実施例２１～実施例２３の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。その

ため、実施例２１～実施例２３の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。

【００６１】

実施の形態３．

実施の形態１および２の電力変換装置においては、全体出力電圧Ｖｓｕｍの階調レベルは電圧絶対値の最小比率１の単位で階調制御が行われている。なお、電圧絶対値の最小比率１の単位を便宜上１段と表現する。実施の形態３の電力変換装置は、複数の単相インバータの少なくとも１つの単相インバータをＰＷＭ（Ｐｕｌｓｅ Ｗｉｄｔｈ Ｍｏｄｕｌａｔｉｏｎ）制御することで、全体出力電圧Ｖｓｕｍの階調レベルを等価的に１段よりも小さい単位で階調制御を行う。

【００６２】

図１６は、本実施の形態に係る電力変換装置の構成図である。本実施の形態の電力変換装置は、実施の形態１の図１に示した電力変換装置の構成に出力検出部５とＡＤコンバータ（Ａｎａｌｏｇ ｔｏ Ｄｉｇｉｔａｌ Ｃｏｎｖｅｒｔｅｒ）６とが追加されている。出力検出部５は、負荷１０に出力する電圧または電流の少なくとも一方を検出し、負帰還用信号を出力する。なお、これ以降、負帰還用信号をＯＦＢ（Ｏｕｔｐｕｔ Ｆｅｅｄｂａｃｋ）と記す。ＡＤコンバータ６は、出力検出部５から出力されたＯＦＢをデジタルの負帰還用信号に変換し、このデジタルの負帰還用信号を制御部４へ出力する。なお、これ以降、デジタルに変換された負帰還用信号をＯＦＢａｄｃと記す。ただし、後述する制御部４の内部に設置された第１減算部がアナログ回路で構成されている場合は、ＡＤコンバータ６はなくてもよい。

【００６３】

図１７は、負荷に出力する電圧を検出する出力検出部の回路図である。出力検出部５は、単相インバータ２と負荷１０への出力端子との間に設置されている。出力検出部５は、オペアンプ５１と複数の抵抗５２とで構成された差動回路を有している。出力検出部５は、負荷に印加される電圧から差動電圧を検出してＯＦＢを出力する。

【００６４】

図１８は、負荷に流れる電流を検出する出力検出部の回路図である。出力検出部５は、単相インバータ２と負荷１０への出力端子との間に設置されている。出力検出部５は、負荷１０に対して直列に接続された電流検知抵抗５３と、オペアンプ５１と複数の抵抗５２とで構成された差動回路とを有している。出力検出部５は、電流検知抵抗５３の両端の電圧から差動電圧を検出してＯＦＢを出力する。なお、電流検知抵抗５３は、負荷１０と接地電位（ＧＮＤ）との間に設けられていてもよい。

【００６５】

本実施の形態の電力変換装置１の出力検出部５は、図１７および図１８に示された回路の少なくとも一方の回路を備えている。出力検出部５が負荷１０に出力する電圧および電流の両方を検出する場合は、図１７および図１８に示された回路の両方を備えていてもよい。なお、図１７および図１８に示された出力検出部の構成は一例であり、例えばトランスを用いた構成など、負荷に出力する電圧または電流の少なくとも一方を検出できる構成であれば別の構成であってもよい。

【００６６】

図１９は、本実施の形態の電力変換装置の階調制御信号生成部の構成図である。本実施の形態の階調制御信号生成部４１は、出力値指示部４０１、第１減算部４０２、補償部４０３、出力極性判定部４０４、絶対値化処理部４０５、整数化処理部４０６、第２減算部４０７、パルス幅変調部４０８、加算部４０９、および階調制御信号変換部４１０を備えている。

【００６７】

出力値指示部４０１は、例えば正弦波などの出力値指示波形Ｏｒｅｆを出力する。第１減算部４０２は、出力値指示波形Ｏｒｅｆから負帰還用信号ＯＦＢａｄｃを減算した差分信号Ｏｓｕｂを出力する。補償部４０３は、差分信号Ｏｓｕｂに対して、比例演算、積分

演算または微分演算などを用いて補償した補償差分信号Ｏｃｍｐを出力する。出力極性判定部４０４は、補償差分信号Ｏｃｍｐから全体出力電圧Ｖｓｕｍの正負いずれかの極性を判定した出力極性指示信号Ｏｐｏｌを出力する。絶対値化処理部４０５は、補償差分信号Ｏｃｍｐを絶対値化した絶対値化信号Ｏａｂｓを出力する。整数化処理部４０６は、絶対値化信号Ｏａｂｓを整数値化した整数化信号Ｏｉｎｔを出力する。第２減算部４０７は、絶対値化信号Ｏａｂｓから整数化信号Ｏｉｎｔを減算した小数値信号Ｏｄｅｃｉを出力する。パルス幅変調部４０８は、小数値信号Ｏｄｅｃｉに対してキャリア周波数でパルス幅変調を行って小数部ＰＷＭ信号ｄＰＭＷを生成し、この小数部ＰＷＭ信号ｄＰＭＷを出力する。加算部４０９は、整数化信号Ｏｉｎｔに小数部ＰＷＭ信号ｄＰＭＷを加算した出力電圧制御信号Ｏｃｎｔを出力する。階調制御信号変換部４１０は、出力極性指示信号Ｏｐｏｌと出力電圧制御信号Ｏｃｎｔとに基づいて、各単相インバータのスイッチング素子に対してスイッチング制御を行うための階調制御信号ＳｍＮおよびＳｍＰ（ｍ＝１、２、・・・、ｎ）を出力する。

【００６８】

出力値指示波形Ｏｒｅｆは、負荷に出力する目標が電圧波形の場合は出力電圧指示波形である。負荷に出力する目標が電流波形の場合は、出力値指示波形Ｏｒｅｆは出力電流指示波形である。また、負荷に出力する目標が電力波形の場合は、出力値指示波形Ｏｒｅｆは出力電圧指示波形と出力電流指示波形との両方であってもよく、電力指示波形であってもよい。

【００６９】

このように構成された電力変換装置の動作について説明する。なお、これ以降４つの単相インバータで構成された電力変換装置を例に挙げて説明する。

図２０は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。すなわち、４個の単相インバータのうち２個の単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１＝４７．２７Ｖに設定されている。ここで、全体出力電圧Ｖｓｕｍの階調レベルが７（＋８２．６７Ｖ）から８（＋９４．４８Ｖ）の間のレベルを出力するように指示された場合の電力変換装置の動作について説明する。

【００７０】

図２１は、全体出力電圧Ｖｓｕｍの階調レベルが７と８との間のレベルを出力するように指示された場合の４つの単相インバータの出力電圧波形を示している。比較のためにＰＷＭ制御なしの場合とＰＷＭ制御ありの場合の出力電圧波形を示している。図２１において、ＰＷＭ制御なしの場合、全体出力電圧Ｖｓｕｍは階調レベル７と８との間の階調は表現できず、この電圧区間では階調レベル７と８との間の１段で変化する。これに対して、ＰＷＭ制御ありの場合、階調レベル７における各単相インバータの出力状態Ｖ１＝“１”、Ｖ２＝“１”、Ｖ３＝“１”、Ｖ４＝“０”と、階調レベル８における各単相インバータの出力状態Ｖ１＝“０”、Ｖ２＝“０”、Ｖ３＝“１”、Ｖ４＝“１とにおいて、キャリア周波数の逆数の周期単位でその組み合わせを切り替えることができる。すなわち、Ｖ１、Ｖ２、Ｖ４を出力する３つの単相インバータを同時にＰＷＭ制御する。その結果、全体出力電圧Ｖｓｕｍの電圧パルスは、平均値が出力値指示波形Ｏｒｅｆの指示する電圧に近づくようにオンとオフとが制御される。

【００７１】

なお、Ｖｓｕｍを電圧パルスとして制御するために、同時にＰＷＭ制御を行う単相インバータの必要個数は、出力値指示波形Ｏｒｅｆが指示する階調レベルの段数によって異なる。例えば、図２０において、全体出力電圧Ｖｓｕｍを階調レベル０と１との間で２値の電圧パルスとして変化させる場合、Ｖ１を出力する１つの単相インバータのみでＰＷＭ制

御すればよい。また、全体出力電圧Ｖｓｕｍを階調レベル１と２との間で２値の電圧パルスとして変化させる場合、Ｖ１およびＶ２を出力する２つの単相インバータを同時にＰＷＭ制御すればよい。

【００７２】

このように構成された電力変換装置においては、階調制御にＰＷＭ制御を加えることで等価的に１段より小さい電圧分解能で全体出力電圧Ｖｓｕｍを階調制御することができる。

【００７３】

実施の形態４．

実施の形態３で説明した階調制御にＰＷＭ制御が加えられた電力変換装置においては、３個以上の単相インバータ２のうち少なくとも２つの第１共通単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１に設定されている。なお、これ以降４つの単相インバータで構成された電力変換装置において、２つの第１共通単相インバータを有する電力変換装置を例に挙げて説明する。この電力変換装置においては、全体出力電圧Ｖｓｕｍの出力波形によっては、一方の第１共通単相インバータのＰＷＭ制御のスイッチング回数が多くなり、他方の第１共通単相インバータのＰＷＭ制御のスイッチング回数が少なくなる、あるいはスイッチングしない場合がある。この場合、一方の第１共通単相インバータにスイッチング損失が集中することになる。実施の形態４の電力変換装置は、第１共通電圧Ｖｓ１に設定された２つの第１共通単相インバータにおけるスイッチング回数がほぼ均等になるように制御する。なお、本実施の形態の電力変換装置の構成は、実施の形態３の電力変換装置の構成と同様である。

【００７４】

図２２は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。ここで、全体出力電圧Ｖｓｕｍの階調レベルが３と４との間のレベルを出力するように指示された場合、第１共通単相インバータであるＶ３を出力する単相インバータのみが出力し、第１共通単相インバータであるＶ４を出力する単相インバータは出力しないことになる。すなわち、Ｖ３を出力する単相インバータのみがＰＷＭ制御のスイッチング動作を行い、Ｖ４を出力する単相インバータはＰＷＭ制御のスイッチング動作を行わないことになる。本実施の形態の電力変換装置は、一方の第１共通単相インバータに集中するスイッチング動作を他方の第１共通単相インバータに分散させるように制御する。なお、これ以降、複数の第１共通単相インバータの間でスイッチング動作を分散させる処理をスイッチング分散処理と称する。

【００７５】

図２３は、本実施の形態の電力変換装置における制御方法を示すフローチャートである。図２３は、図１９に示した階調制御信号変換部４１０が単位周期の処理を開始したときの動作を示すフローチャートである。なお、図２３のフローチャートに限っては、ｒ個の第１共通単相インバータで構成された電力変換装置とする。

【００７６】

処理が開始されると、階調制御信号変換部４１０は、ステップＳ０１において出力電圧制御信号Ｏｃｎｔを取得する。次に、階調制御信号変換部４１０は、ステップＳ０２において初期状態を設定する。ステップＳ０２において、階調制御信号変換部４１０は、ｒ個の第１共通単相インバータ全ての出力をオフに設定し、第１共通単相インバータのアップ制御カウンタｕＣＴを１に、第１共通単相インバータのダウン制御カウンタｄＣＴを１に、パラメータｈおよびｊを０に設定する。なお、ステップＳ０２における初期状態の設定は最初の単位周期の処理を開始したときのみ実施され、次の制御周期においては前回の値が保持される。

【００７７】
次に、階調制御信号変換部４１０は、ステップＳ０３において、出力電圧制御信号Ｏｃｎｔに基づいて出力がオフからオンに切り替わる第１共通単相インバータの個数ｇを判別する。次に、階調制御信号変換部４１０は、ステップＳ０４において、ｈがｇと等しいか否かを判定する。ステップＳ０４においてｈがｇと等しいと判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ０５に進み、ｈを０に設定する。ステップＳ０４においてｈがｇと等しくないと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ０６に進み、ｈに１を加算して新たなｈを設定する。
【００７８】
ステップＳ０６に進んだ階調制御信号変換部４１０は、ステップＳ０７において、ｕＣＴ番の第１共通単相インバータの出力をオンにする。さらに、階調制御信号変換部４１０は、ステップＳ０８において、ｕＣＴがｒと等しいときはｕＣＴを１に設定し、ｕＣＴがｒよりも小さいときはｕＣＴに１を加算して新たなｕＣＴを設定する。次に、階調制御信号変換部４１０は、ステップＳ０４に戻る。
【００７９】
ステップＳ０５に進んだ階調制御信号変換部４１０は、ステップＳ０９において、出力電圧制御信号Ｏｃｎｔに基づいて出力がオンからオフに切り替わる第１共通単相インバータの個数ｉを判別する。次に、階調制御信号変換部４１０は、ステップＳ１０において、ｉがｊと等しいか否かを判定する。ステップＳ１０においてｉがｊと等しいと判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ１１に進み、ｊを０に設定する。ステップＳ１０においてｉがｊと等しくないと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ１４に進み、ｊに１を加算して新たなｊを設定する。
【００８０】
ステップＳ１４に進んだ階調制御信号変換部４１０は、ステップＳ１５において、ｄＣＴ番の第１共通単相インバータの出力をオフにする。さらに、階調制御信号変換部４１０は、ステップＳ１６において、ｄＣＴがｒと等しいときはｄＣＴを１に設定し、ｄＣＴがｒよりも小さいときはｄＣＴに１を加算して新たなｄＣＴを設定する。次に、階調制御信号変換部４１０は、ステップＳ１０に戻る。
【００８１】
ステップＳ１１に進んだ階調制御信号変換部４１０は、ステップＳ１２において、出力極性指示信号Ｏｐｏｌに基づいて階調制御信号の極性を判別する。次に、階調制御信号変換部４１０は、ステップＳ１３において、階調制御信号ＳｍＮおよびＳｍＰ（ｍ＝１、２、・・・、ｎ）を出力する。
【００８２】
階調制御信号変換部４１０がこのような制御を行うことで、複数の第１共通単相インバータの間でスイッチング動作を分散させることができる。図２４は、４つの単相インバータで構成された電力変換装置におけるスイッチング分散処理の説明図である。図２４は、図２２に示した４つの単相インバータで構成された電力変換装置において、全体出力電圧Ｖｓｕｍを階調レベル３と４と間の２値の電圧パルスとして変化させた場合の例である。なお、図２４には、スイッチング分散処理が行われない場合も合わせて示している。
【００８３】
図２２に示したように、Ｖ３およびＶ４をそれぞれ出力する第１共通単相インバータの出力状態は、階調レベルが３の場合Ｖ３＝“０”、Ｖ４＝”０“であり、階調レベルが４の場合Ｖ３＝“１”、Ｖ４＝”０“である。したがって、階調レベルを３と４との間で切り替える場合は、Ｖ３を出力する第１共通単相インバータのみ出力状態を切り替える必要がある。図２４に示したように、スイッチング分散処理が行われない場合、Ｖ３を出力する第１共通単相インバータの出力はキャリア周波数の逆数の周期で変化しているが、Ｖ４を出力する第１共通単相インバータの出力は変化していない。
【００８４】
これに対して、スイッチング分散処理が行われる場合、Ｖ３を出力する第１共通単相イ

ンバータの出力電圧パルスが、Ｖ３を出力する第１共通単相インバータとＶ４を出力する第１共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧Ｖｓｕｍの波形は、スイッチング分散処理が行われない場合の全体出力電圧Ｖｓｕｍの波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを３と４との間で切り替える場合、Ｖ３を出力する第１共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、Ｖ３およびＶ４を出力する第１共通単相インバータのそれぞれに均等に分散される。全体出力電圧Ｖｓｕｍを階調レベル３と４と間の２値の電圧パルスとして変化させる期間において、スイッチング分散処理前に対するスイッチング分散処理後のＶ３を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第１共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【００８５】

本実施の形態の電力変換装置において、スイッチング分散処理を行う効果についてさらに説明する。

図２５は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。

【００８６】

図２５に示したように、Ｖ３およびＶ４をそれぞれ出力する第１共通単相インバータの出力状態は、階調レベルが７の場合Ｖ３＝“１”、Ｖ４＝”０“であり、階調レベルが８の場合Ｖ３＝“１”、Ｖ４＝”１“である。したがって、階調レベルを７と８との間で切り替える場合は、Ｖ４を出力する第１共通単相インバータのみ出力状態を切り替える必要がある。

【００８７】

図２６は、４つの単相インバータで構成された電力変換装置におけるスイッチング分散処理の説明図である。図２６は、図２５に示した４つの単相インバータで構成された電力変換装置において、全体出力電圧Ｖｓｕｍを階調レベル７と８との２値の電圧パルスとして変化させた場合の例である。なお、図２６には、スイッチング分散処理が行われない場合も合わせて示している。図２６に示したように、スイッチング分散処理が行われない場合、Ｖ３を出力する第１共通単相インバータの出力は一定で変化していないが、Ｖ４を出力する第１共通単相インバータの出力はキャリア周波数の逆数の周期で変化している。

【００８８】

これに対して、スイッチング分散処理が行われる場合、Ｖ４を出力する第１共通単相インバータが出力する電圧パルスが、よりパルス幅の広い電圧パルスとなってＶ３を出力する第１共通単相インバータとＶ４を出力する第１共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧Ｖｓｕｍの波形は、スイッチング分散処理が行われない場合の全体出力電圧Ｖｓｕｍの波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを７と８との間で切り替える場合、Ｖ４を出力する第１共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、Ｖ３およびＶ４を出力する第１共通単相インバータのそれぞれに均等に分散される。全体出力電圧Ｖｓｕｍを階調レベル７と８と間の２値の電圧パルスとして変化させる期間において、スイッチング分散処理前に対するスイッチング分散処理後のＶ４を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第１共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【００８９】

このように、本実施の形態の電力変換装置においては、第１共通単相インバータがそれぞれ１つ以上のスイッチング素子を含んで構成されており、前記制御部が、２個以上の第１共通単相インバータにそれぞれ含まれるスイッチング素子の、単位時間当たりのスイッ

チング回数の差を最小にしている。そのため、特定の第１共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【００９０】

なお、本実施の形態の電力変換装置においては、出力値指示波形Ｏｒｅｆが正弦波である場合は、スイッチング分散処理によって１周期内の各第１共通単相インバータのスイッチング回数を均等にすることができる。

【００９１】

また、本実施の形態におけるスイッチング分散処理は、実施の形態３で説明したＰＷＭ制御を用いた電力変換装置に適用した場合の波形で説明した。本実施の形態におけるスイッチング分散処理は、ＰＷＭ制御を用いない電力変換装置に適用することもできる。例えば、出力値指示波形Ｏｒｅｆについて階調レベルが７と８とに繰り返し切り替わるＤＣオフセット付きのランプ波形である電力変換装置の場合、本実施の形態のスイッチング分散処理の適用が可能である。

【００９２】

本実施の形態においては、２つの第１共通単相インバータを有する電力変換装置でスイッチング分散処理の効果を説明した。図２３のフローチャートに示したように、本実施の形態のスイッチング分散処理は、第１共通単相インバータを３つ以上有する電力変換装置に適用可能である。

【００９３】

これまで説明したように、本実施の形態の電力変換装置は複数の第１共通単相インバータにスイッチング回数を分散させることができるので、１つの第１共通単相インバータにスイッチング損失が集中することを防ぐことができる。その結果、本実施の形態の電力変換装置は、小型な放熱器を使用することができるなど、大型化、高コスト化を抑制することができる。

【００９４】

実施の形態５．

図２７は、実施の形態５に係る電力変換装置の構成図である。本実施の形態の電力変換装置１の構成は、実施の形態１の図１に示す電力変換装置の構成と同様である。本実施の形態の電力変換装置１においては、４個以上の単相インバータ２のうち２つの単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１に設定されていると共に、他の２つの単相インバータの電圧絶対値が同じ第２共通電圧Ｖｓ２に設定されている。第１共通電圧Ｖｓ１は、各単相インバータの各電圧絶対値Ｖ１、Ｖ２、Ｖ３、・・・Ｖｎ－２の最小値よりも大きな値に設定されている。また、第２共通電圧Ｖｓ２は、第１共通電圧Ｖｓ１よりも小さい電圧に設定されている。図２７に示す電力変換装置１においては、ＩＮＶｎ－１の単相インバータの電圧絶対値Ｖｎ－１と、ＩＮＶｎの単相インバータの電圧絶対値Ｖｎとが同じＶｓ１に設定されている。そして、ＩＮＶ１の単相インバータの電圧絶対値Ｖ１と、ＩＮＶ２の単相インバータの電圧絶対値Ｖ２とが同じＶｓ２に設定されている。電圧絶対値が第１共通電圧に設定された単相インバータを第１共通単相インバータと称し、電圧絶対値が第２共通電圧に設定された単相インバータを第２共通単相インバータと称する。

【００９５】

これ以降、本実施の形態の電力変換装置の制御方法について説明する。説明をわかり易くするために、４個の単相インバータで構成された電力変換装置を例に挙げて説明する。

【００９６】

図２８は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：１：３：３である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝Ｖ２＝１６．２５Ｖ、Ｖ３＝Ｖ４＝４８．７５Ｖである。すなわち、４個の単相インバータのうち２個の単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１＝４８．

７５Ｖに設定されており、他の２個の単相インバータの電圧絶対値が同じ第２共通電圧Ｖｓ２＝１６．２５Ｖに設定されている。電圧絶対値の最小比率１に対して第１共通電圧の比率をＪとし、比率がＪよりも小さい電圧絶対値の比率の総和をＫとした場合、本実施の形態ではＪ＝Ｋ＋１が成り立つ。

【００９７】

実施の形態１の図７に示した比較例の電力変換装置において、電圧絶対値が最大となる単相インバータの出力電圧は６９．３３Ｖである。これに対して、本実施の形態の電力変換装置において、電圧絶対値が最大となる単相インバータの出力電圧は４８．７５Ｖである。したがって、本実施の形態の電力変換装置は、実施の形態１の電力変換装置と同様に、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。また、本実施の形態の電力変換装置は、実施の形態１の電力変換装置と同様に、電圧絶対値Ｖ３およびＶ４を出力する単相インバータのスイッチング損失を低減することが可能となる。

【００９８】

これまでの説明において、本実施の形態の電力変換装置として４個の単相インバータで構成された電力変換装置で説明した。本実施の形態の電力変換装置は、４個以上の単相インバータで構成されていればよい。これ以降、５個の単相インバータで構成された本実施の形態の電力変換装置の特性について説明する。なお、比較のために複数の単相インバータの出力電圧の絶対値をそれぞれ概ね2^{K}倍（Ｋ＝０、１、２、・・・）とした比較例の電力変換装置の特性も合わせて説明する。

【００９９】

図２９は、５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図２９の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。図２９に示すように、比較例の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定されている。

【０１００】

本実施の形態の電力変換装置において、実施例２４～実施例２９の電力変換装置は５個の単相インバータで構成されている。実施例２４の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：１：４：４に設定されている。実施例２５の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：３：３：３に設定されている。実施例２６の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：３：６：６に設定されている。実施例２７の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：１：７：７に設定されている。実施例２８の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：３：１１：１１に設定されている。実施例２９の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：１：５：５：５に設定されている。実施例２４～実施例２９の電力変換装置においては、第１共通電圧は電圧絶対値の最大値に設定されており、第２共通電圧は電圧絶対値の最小値に設定されている。

【０１０１】

図２９に示された実施例２４～実施例２９の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例２４～実施例２９の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。

【０１０２】

ここで、電圧絶対値の最小比率１に対して第１共通電圧の比率をＪとし、比率がＪよりも小さい電圧絶対値の比率の総和をＫとする。実施例２４～実施例２６の電力変換装置においてはＪ＝Ｋ＋１となる。実施例２７～実施例２９の電力変換装置においてはＪ＝２Ｋ＋１となる。

【０１０３】

なお、図２９に示した実施例２４～実施例２９の電力変換装置においては、第２共通電

圧は電圧絶対値の最小値に設定されている。本実施の形態の電力変換装置においては、第２共通電圧は電圧絶対値の最小値でなくてもよい。

【０１０４】

図３０は、５個の単相インバータで構成された本実施の形態の電力変換装置の電圧構成を表にした説明図である。図３０の表には、Ｖ１～Ｖ５の電圧比率とＶ１～Ｖ５の電圧とを示している。Ｖ１～Ｖ５の電圧は、全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように設定されている。図３０に示すように、比較例の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：４：８：１６に設定されている。

【０１０５】

本実施の形態の電力変換装置において、実施例３０～実施例３３の電力変換装置は５個の単相インバータで構成されている。実施例３０の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：２：６：６に設定されている。実施例３１の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：３：８：８に設定されている。実施例３２の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：２：２：１１：１１に設定されている。実施例３３の電力変換装置においては、Ｖ１：Ｖ２：Ｖ３：Ｖ４：Ｖ５＝１：３：３：１５：１５に設定されている。実施例３０～実施例３３の電力変換装置においては、第１共通電圧は電圧絶対値の最大値に設定されており、第２共通電圧は電圧絶対値の最小値ではない電圧値に設定されている。

【０１０６】

図３０に示された実施例３０～実施例３３の電力変換装置における単相インバータの最大電圧は、比較例の電力変換装置における単相インバータの最大電圧よりも小さい。そのため、実施例３０～実施例３３の電力変換装置は、比較例の電力変換装置よりも耐圧の低いＭＯＳＦＥＴのスイッチング素子を用いることが可能となる。

【０１０７】

ここで、電圧絶対値の最小比率１に対して第１共通電圧の比率をＪとし、比率がＪよりも小さい電圧絶対値の比率の総和をＫとする。実施例３０～実施例３１の電力変換装置においてはＪ＝Ｋ＋１となる。実施例３２～実施例３３の電力変換装置においてはＪ＝２Ｋ＋１となる。

【０１０８】

実施の形態６．

実施の形態６の電力変換装置は、実施の形態３で説明した階調制御にＰＷＭ制御が加えられた電力変換装置において、複数の単相インバータ２のうち少なくとも２つの第１共通単相インバータの電圧絶対値が同じ第１共通電圧Ｖｓ１に設定されており、他の単相インバータ２のうち少なくとも２つの第２共通単相インバータの電圧絶対値が同じ第２共通電圧Ｖｓ２に設定されたものである。なお、これ以降４つの単相インバータで構成された電力変換装置において、２つの第１共通単相インバータと、２つの第２共通単相インバータと有する電力変換装置を例に挙げて説明する。この電力変換装置においては、全体出力電圧Ｖｓｕｍの出力波形によっては、一方の第２共通単相インバータのＰＷＭ制御のスイッチング回数が多くなり、他方の第２共通単相インバータのＰＷＭ制御のスイッチング回数が少なくなる、あるいはスイッチングしない場合がある。この場合、一方の第２共通単相インバータにスイッチング損失が集中することになる。本実施の形態の電力変換装置は、第２共通電圧Ｖｓ２に設定された２つの第２共通単相インバータにおけるスイッチング回数がほぼ均等になるように制御する。

【０１０９】

図３１は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：１：３：３である。全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝Ｖ２＝１６．２５Ｖ、Ｖ３＝Ｖ４＝４８．７５Ｖである。ここで、全体出力電圧

Ｖｓｕｍの階調レベルが０から１の間のレベルを出力するように指示された場合、および全体出力電圧Ｖｓｕｍの階調レベルが１から２の間のレベルを出力するように指示された場合を例に挙げて説明する。

【０１１０】

全体出力電圧Ｖｓｕｍの階調レベルが０から１の間のレベルを出力するように指示された場合、第２共通単相インバータであるＶ１を出力する単相インバータのみが出力し、第２共通単相インバータであるＶ２を出力する単相インバータは出力しないことになる。すなわち、Ｖ１を出力する単相インバータのみがＰＷＭ制御のスイッチング動作を行い、Ｖ２を出力する単相インバータはＰＷＭ制御のスイッチング動作を行わないことになる。

【０１１１】

全体出力電圧Ｖｓｕｍの階調レベルが１から２の間のレベルを出力するように指示された場合、図３１に示したように、Ｖ１およびＶ２をそれぞれ出力する第２共通単相インバータの出力状態は、階調レベルが１の場合Ｖ１＝“１”、Ｖ２＝”０“であり、階調レベルが２の場合Ｖ１＝“１”、Ｖ２＝”１“である。したがって、階調レベルを１と２との間で切り替える場合は、Ｖ２を出力する第２共通単相インバータのみ出力状態を切り替える必要がある。本実施の形態の電力変換装置は、一方の第２共通単相インバータに集中するスイッチング動作を他方の第２共通単相インバータに分散させるように制御する。

【０１１２】

図３２は、本実施の形態の電力変換装置における制御方法を示すフローチャートである。図３２は、階調制御信号変換部４１０が単位周期の処理を開始したときの動作を示すフローチャートである。なお、図３２のフローチャートに限っては、ｓ個の第２共通単相インバータで構成された電力変換装置とする。

【０１１３】

処理が開始されると、階調制御信号変換部４１０は、ステップＳ２１において出力電圧制御信号Ｏｃｎｔを取得する。次に、階調制御信号変換部４１０は、ステップＳ２２において初期状態を設定する。ステップＳ２２において、階調制御信号変換部４１０は、ｓ個の第２共通単相インバータ全ての出力をオフに設定し、第２共通単相インバータのアップ制御カウンタｕＣＴ２を１に、第２共通単相インバータのダウン制御カウンタｄＣＴ２を１に、パラメータｋおよびｍを０に設定する。なお、ステップＳ２２における初期状態の設定は最初の単位周期の処理を開始したときのみ実施され、次の制御周期においては前回の値が保持される。

【０１１４】

次に、階調制御信号変換部４１０は、ステップＳ２３において、出力電圧制御信号Ｏｃｎｔに基づいて出力がオフからオンに切り替わる第２共通単相インバータの個数ａを判別する。次に、階調制御信号変換部４１０は、ステップＳ２４において、ｋがａと等しいか否かを判定する。ステップＳ２４においてｋがａと等しいと判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ２５に進み、ｋを０に設定する。ステップＳ２４においてｋがａと等しくないと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ２６に進み、ｋに１を加算して新たなｋを設定する。

【０１１５】

ステップＳ２６に進んだ階調制御信号変換部４１０は、ステップＳ２７において、ｕＣＴ２番の第２共通単相インバータの出力をオンにする。さらに、階調制御信号変換部４１０は、ステップＳ２８において、ｕＣＴ２がｓと等しいときはｕＣＴ２を１に設定し、ｕＣＴ２がｓよりも小さいときはｕＣＴ２に１を加算して新たなｕＣＴ２を設定する。次に、階調制御信号変換部４１０は、ステップＳ２４に戻る。

【０１１６】

ステップＳ２５に進んだ階調制御信号変換部４１０は、ステップＳ２９において、出力電圧制御信号Ｏｃｎｔに基づいて出力がオンからオフに切り替わる第２共通単相インバータの個数ｂを判別する。次に、階調制御信号変換部４１０は、ステップＳ３０において、ｍがｂと等しいか否かを判定する。ステップＳ３０においてｍがｂと等しいと判定された

場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ３１に進み、ｍを０に設定する。ステップＳ３０においてｍがｂと等しくないと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ３４に進み、ｍに１を加算して新たなｍを設定する。

【０１１７】

ステップＳ３４に進んだ階調制御信号変換部４１０は、ステップＳ３５において、ｄＣＴ２番の第２共通単相インバータの出力をオフにする。さらに、階調制御信号変換部４１０は、ステップＳ３６において、ｄＣＴ２がｓと等しいときはｄＣＴ２を１に設定し、ｄＣＴ２がｓよりも小さいときはｄＣＴ２に１を加算して新たなｄＣＴ２を設定する。次に、階調制御信号変換部４１０は、ステップＳ３０に戻る。

【０１１８】

ステップＳ３１に進んだ階調制御信号変換部４１０は、ステップＳ３２において、出力極性指示信号Ｏｐｏｌに基づいて階調制御信号の極性を判別する。次に、階調制御信号変換部４１０は、ステップＳ３３において、階調制御信号ＳｍＮおよびＳｍＰ（ｍ＝１、２、・・・、ｎ）を出力する。

【０１１９】

階調制御信号変換部４１０がこのような制御を行うことで、複数の第２共通単相インバータの間でスイッチング動作を分散させることができる。図３３は、４つの単相インバータで構成された電力変換装置におけるスイッチング分散処理の説明図である。図３３は、図３１に示した４つの単相インバータで構成された電力変換装置において、全体出力電圧Ｖｓｕｍを階調レベル０から２へ変化させた場合の例である。図３３において、期間１では階調レベルを０から１へ、期間２では階調レベルを１から２へ変化させた場合の２値の電圧パルスとして変化させた場合の例である。なお、図３３には、スイッチング分散処理が行われない場合も合わせて示している。

【０１２０】

図３１に示したように、Ｖ１およびＶ２をそれぞれ出力する第２共通単相インバータの出力状態は、階調レベルが０の場合Ｖ１＝“０”、Ｖ２＝”０“であり、階調レベルが１の場合Ｖ１＝“１”、Ｖ２＝”０“であり、階調レベルが２の場合Ｖ１＝“１”、Ｖ２＝”１“である。したがって、階調レベルを０と１との間で切り替える場合は、Ｖ１を出力する第２共通単相インバータのみ出力状態を切り替える必要がある。また、階調レベルを１と２との間で切り替える場合は、Ｖ１を出力する第２共通単相インバータは出力状態が変化していないのに対し、Ｖ２を出力する第２共通単相インバータのみ出力状態を切り替える必要がある。

【０１２１】

図３３に示したように、期間１においてスイッチング分散処理が行われない場合、Ｖ１を出力する第２共通単相インバータの出力はキャリア周波数の逆数の周期で変化しているが、Ｖ２を出力する第２共通単相インバータは出力していない。

【０１２２】

これに対して、期間１においてスイッチング分散処理が行われる場合、Ｖ１を出力する第２共通単相インバータの出力電圧パルスが、Ｖ１を出力する第２共通単相インバータとＶ２を出力する第２共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧Ｖｓｕｍの波形は、スイッチング分散処理が行われない場合の全体出力電圧Ｖｓｕｍの波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを０と１との間で切り替える場合、Ｖ１を出力する第２共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、Ｖ１およびＶ２を出力する第２共通単相インバータのそれぞれに均等に分散される。期間１において、スイッチング分散処理前に対するスイッチング分散処理後のＶ１を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第２共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【０１２３】

また、図３３に示したように、期間２においてスイッチング分散処理が行われない場合、Ｖ１を出力する第２共通単相インバータの出力は一定であり、Ｖ２を出力する第２共通

単相インバータの出力はキャリア周波数の逆数の周期で変化している。

【０１２４】

これに対して、期間２においてスイッチング分散処理が行われる場合、Ｖ２を出力する第２共通単相インバータが出力する電圧パルスが、よりパルス幅の広い電圧パルスとなってＶ１を出力する第２共通単相インバータとＶ２を出力する第２共通単相インバータとに交互に分かれて発生している。スイッチング分散処理が行われる場合の全体出力電圧Ｖｓｕｍの波形は、スイッチング分散処理が行われない場合の全体出力電圧Ｖｓｕｍの波形と同じである。すなわち、本実施の形態の電力変換装置において階調レベルを１と２との間で切り替える場合、Ｖ２を出力する第２共通単相インバータに偏っていたスイッチング動作がスイッチング分散処理を行うことで、Ｖ１およびＶ２を出力する第２共通単相インバータのそれぞれに均等に分散される。期間２において、スイッチング分散処理前に対するスイッチング分散処理後のＶ２を出力する単相インバータのスイッチング回数は、ほぼ半分となる。そのため、一方の第２共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【０１２５】

このように、本実施の形態の電力変換装置においては、第２共通単相インバータがそれぞれ１つ以上のスイッチング素子を含んで構成されており、前記制御部が、２個以上の第２共通単相インバータにそれぞれ含まれるスイッチング素子の、単位時間当たりのスイッチング回数の差を最小にしている。そのため、特定の第２共通単相インバータにスイッチング損失が集中することを防ぐことができる。

【０１２６】

なお、本実施の形態の電力変換装置においては、出力値指示波形Ｏｒｅｆが正弦波である場合は、スイッチング分散処理によって１周期内の各第１共通単相インバータのスイッチング回数を均等にすることができる。

【０１２７】

また、本実施の形態におけるスイッチング分散処理は、実施の形態３で説明したＰＷＭ制御を用いた電力変換装置に適用した場合の波形で説明した。本実施の形態におけるスイッチング分散処理は、ＰＷＭ制御を用いない電力変換装置に適用することもできる。例えば、出力値指示波形Ｏｒｅｆについて階調レベルが０と１、または１と２とに繰り返し切り替わるランプ波形である電力変換装置の場合、本実施の形態のスイッチング分散処理の適用が可能である。

【０１２８】

本実施の形態においては、２つの第２共通単相インバータを有する電力変換装置でスイッチング分散処理の効果を説明した。図３２のフローチャートに示したように、本実施の形態のスイッチング分散処理は、第２共通単相インバータを３つ以上有する電力変換装置に適用可能である。

【０１２９】

本実施の形態の電力変換装置において、階調レベルが０から１に切り替わる場合と、階調レベルが１から２に切り替わる場合に、第２共通単相インバータのスイッチング回数の分散処理について説明した。このようなスイッチング分散処理は、他の階調レベルの切り替わりにおいても適用できる。すなわち、複数の第２共通単相インバータの中で、階調レベルの切り替わりのときにスイッチング動作が必要な第２共通単相インバータとスイッチング動作が不要な第２共通単相インバータとが存在する場合にスイッチング分散処理の適用が可能である。

【０１３０】

図３４は、本実施の形態の電力変換装置における階調レベルの出力を実現する４つの単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の組み合わせを表で示した説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、図３１と同様である。

【０１３１】

図３４に示した第１グループ（第１Ｇ）は、本実施の形態の図３１に示したように、階調レベルが０と１との間で変化する場合または階調レベルが１と２との間で変化する場合であり、第２共通単相インバータに対してスイッチング分散処理を適用することができる。また、図３４に示した第２グループ（第２Ｇ）は、階調レベルが３と４との間で変化する場合または階調レベルが４と５との間で変化する場合である。この第２グループにおいて、階調レベルが３と４との間で変化する場合は、Ｖ１を出力する第２共通単相インバータのみ出力状態を切り替える必要がある。また、階調レベルを４と５との間で切り替える場合は、Ｖ１を出力する第２共通単相インバータは出力状態が変化していないのに対し、Ｖ２を出力する第２共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第２グループにおいても、第１グループと同様に、第２共通単相インバータに対してスイッチング分散処理を適用することができる。同様な理由で、図３４に示した第３グループ（第３Ｇ）においても、第１グループと同様に、第２共通単相インバータに対してスイッチング分散処理を適用することができる。

【０１３２】

また、本実施の形態の電力変換装置においては、第１共通単相インバータに対してもスイッチング分散処理を適用することができる。例えば、図３４に示した第４グループ（第４Ｇ）は、階調レベルが２と３との間で変化する場合である。この第４グループにおいて、階調レベルが２と３との間で変化する場合は、Ｖ３を出力する第１共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第４グループにおいては、第１共通単相インバータに対してスイッチング分散処理を適用することができる。また、図３４に示した第５グループ（第５Ｇ）は、階調レベルが５と６との間で変化する場合である。階調レベルを５と６との間で切り替える場合は、Ｖ３を出力する第１共通単相インバータは出力状態が変化していないのに対し、Ｖ４を出力する第１共通単相インバータのみ出力状態を切り替える必要がある。したがって、この第５グループにおいても、第４グループと同様に、第１共通単相インバータに対してスイッチング分散処理を適用することができる。

【０１３３】

このように、第１共通単相インバータおよび第２共通単相インバータを備えた電力変換装置において、第１共通単相インバータおよび第２共通単相インバータの少なくともどちら一方にスイッチング分散処理を適用することで、特定の単相インバータにスイッチング損失が集中することを防ぐことができる。

【０１３４】

実施の形態７．

実施の形態３の図１９に示した電力変換装置の階調制御信号生成部において、出力値指示部４０１から出力される出力値指示波形Ｏｒｅｆの波形の形状によっては、第１共通単相インバータの一部でより多くのスイッチング回数が必要となる場合がある。実施の形態７の電力変換装置は、各単相インバータの電圧絶対値の比率を維持した状態で、第１共通単相インバータの少なくとも１つにおいて、スイッチング素子の単位時間当たりのスイッチング回数が最小または閾値以下となるように各単相インバータの直流電源の出力電圧を調整する。

【０１３５】

図３５は、本実施の形態に係る電力変換装置の構成図である。また、図３６は、本実施の形態に係る電力変換装置の階調制御信号生成部の構成図である。本実施の形態に階調制御信号生成部４１は、実施の形態３の図１９に示した階調制御信号生成部において、階調制御信号変換部４１０に入力される信号に出力値指示波形Ｏｒｅｆが追加されている。さらに、階調制御信号変換部４１０は、複数の直流電源３に対してその出力電圧Ｖｄ１、Ｖｄ２、・・・Ｖｄｎのそれぞれの目標電圧である直流電圧制御信号Ｖ１ｃｎｔ、Ｖ２ｃｎｔ、・・・Ｖｎｃｎｔをそれぞれ出力する。

【０１３６】

図３７は、本実施の形態に係る電力変換装置おける制御方法を示すフローチャートであ

る。図３７は、階調制御信号変換部４１０が単位周期の処理を開始したときの動作を示すフローチャートである。処理が開始されると、階調制御信号変換部４１０は、ステップＳ４１において、入力された出力値指示波形Ｏｒｅｆが初回であるか、または出力値指示波形Ｏｒｅｆに変更指示があるか否かを判別する。ステップＳ４１において出力値指示波形Ｏｒｅｆが初回と判定されるか、または出力値指示波形Ｏｒｅｆに変更指示があると判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ４２に進み、Ｗを０に設定する。次に、階調制御信号変換部４１０は、ステップＳ４３において、出力値指示波形Ｏｒｅｆに基づいて、次の５つの項目を決定する。１つ目は、スイッチング回数のカウント対象となる第１共通単相インバータを選択する。選択した単相インバータをカウント対象インバータと称する。２つ目は、目標スイッチング回数（ｔＣＴ）を決定する。３つ目は、直流電源の出力電圧の調整方向を決定する。ここで、出力電圧の調整方向とは、電圧を増加させるかまたは減少させるかである。４つ目は、直流電源の出力電圧の調整回数（ＬＭＴ）を決定する。５つ目は、全体出力電圧Ｖｓｕｍの最大値の調整電圧分解能を決定する。

【０１３７】

ステップＳ４１において出力値指示波形Ｏｒｅｆが初回ではないと判定されるか、または出力値指示波形Ｏｒｅｆに変更指示がないと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ４４に進む。階調制御信号変換部４１０は、ステップＳ４４において、出力電圧制御信号Ｏｃｎｔを受信する。次に階調制御信号変換部４１０は、ステップＳ４５において、ステップＳ４３で選択したカウント対象インバータの出力電圧波形の１周期分のスイッチング回数（ｓｗＣＴ）を計測する。次に階調制御信号変換部４１０は、ステップＳ４６において、ｓｗＣＴがｔＣＴ以下であるかを判定する。ステップＳ４６においてｓｗＣＴがｔＣＴ以下であると判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ４７に進む。階調制御信号変換部４１０は、ステップＳ４７において、直流電源の目標電圧を維持する。

【０１３８】

ステップＳ４６においてｓｗＣＴがｔＣＴよりも大きいと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ４８に進む。階調制御信号変換部４１０は、ステップＳ４８において、ＷがＬＭＴ以上であるかを判定する。ステップＳ４８においてＷがＬＭＴ以上であると判定された場合（ＹＥＳ）、階調制御信号変換部４１０はステップＳ４７に進む。ステップＳ４８においてＷがＬＭＴよりも小さいと判定された場合（ＮＯ）、階調制御信号変換部４１０はステップＳ４９に進み、Ｗに１を加えて新たなＷとする。次に階調制御信号変換部４１０は、ステップＳ５０において、直流電源の目標電圧を変更する。最後に階調制御信号変換部４１０は、ステップＳ５１において、直流電源の目標電圧である直流電圧制御信号Ｖ１ｃｎｔ、Ｖ２ｃｎｔ、・・・Ｖｎｃｎｔをそれぞれ出力する。

【０１３９】

階調制御信号変換部４１０がこのような制御を行うことで、スイッチング回数のカウント対象とする第１共通単相インバータを選択し、選択した第１共通単相インバータのスイッチング回数が最小または閾値以下となるように、各単相インバータの電圧絶対値の比率を維持した状態で各直流電源の出力電圧を調整することができる。

【０１４０】

図３８は、４つの単相インバータで構成された電力変換装置における直流電源の電圧調整の説明図である。本実施の形態の電力変換装置において、４個の単相インバータの電圧絶対値Ｖ１、Ｖ２、Ｖ３およびＶ４の比は、１：２：４：４である。したがって、第１共通単相インバータは、Ｖ３およびＶ４を出力する単相インバータである。また、（Ａ）初回は、全体出力電圧Ｖｓｕｍの最大電圧が±１３０Ｖとなるように、Ｖ１、Ｖ２、Ｖ３およびＶ４が設定されている。具体的にはＶ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。

【０１４１】

図３８においては、出力値指示波形Ｏｒｅｆは正弦波で、ピーク値が±９０Ｖの出力電

圧指示波形である場合を示している。ただし、定常時は正弦波を連続的に出力するが、負荷の変動状況などによっては、瞬間的に±１３０Ｖの出力電圧を指示する場合があるものとする。スイッチング回数のカウント対象とする第１共通単相インバータは、Ｖ４を出力する単相インバータの１つのみとする。前述した正弦波の出力値指示波形Ｏｒｅｆの１周期内における、Ｖ４を出力する単相インバータを構成する全スイッチング素子の目標スイッチング回数は０回に設定する。直流電源の出力電圧の調整方向は、初回の値から増加させる方向で調整する。各直流電源の出力電圧の調整回数（ＬＭＴ）は１０回とする。１０回以内の調整で目標スイッチング回数である０回のスイッチング回数が実現できなかった場合は、各直流電源の電圧調整を終了し、最終回で調整した値に維持する。また各直流電源の電圧調整は、全体出力電圧Ｖｓｕｍの最大値（（Ａ）初回は１３０Ｖ）の調整電圧分解能は５Ｖとする。

【０１４２】

図３８に示すように、（Ａ）初回は全体出力電圧Ｖｓｕｍが±１３０Ｖとなるように、Ｖ１＝１１．８１Ｖ、Ｖ２＝２３．６３Ｖ、Ｖ３＝Ｖ４＝４７．２７Ｖである。実施の形態３で説明した電力変換装置においてＰＷＭ制御を実施するときに、（Ａ）初回の状態において、全体出力電圧Ｖｓｕｍの等価電圧を正弦波の正側ピーク値である＋９０Ｖに制御する場合、階調レベル７（８２．７３Ｖ）と階調レベル８（９４．５５Ｖ）の２値の電圧パルスとしてＰＷＭ制御することになる。

【０１４３】

図３９は、本実施の形態の電力変換装置における直流電源の電圧調整の説明図である。前述の正弦波の出力値指示波形Ｏｒｅｆにおいて、正側ピーク値である＋９０Ｖ付近の出力を指示する部分の詳細を例示している。図３９において、出力値指示波形Ｏｒｅｆが＋９０Ｖ付近の出力を指示した場合に、全体出力電圧Ｖｓｕｍが＋９０Ｖの等価電圧を出力可能な２値の電圧パルスの出力期間を期間１とする。図３９の（Ａ）初回の場合、前述した２値の階調レベルは７と８との間である。また図３９の（Ｂ）調整後の場合、前述した２値の階調レベルは６と７との間である。

【０１４４】

図３９に示すように、（Ａ）初回の場合、期間１においては階調レベル７と８との間の２値の電圧パルスを出力するように制御される。図３８に示すように、階調レベルが７と８との間の場合、Ｖ４の出力状態は各々“０”と“１”である。したがって、第１共通単相インバータであるＶ４を出力する単相インバータのスイッチング回数が多くなる。図３９に示すように、（Ａ）初回の場合、各電圧絶対値において、Ｖ４を含む第１共通電圧が最も大きな電圧である。したがって、（Ａ）初回の場合、Ｖ４を出力する単相インバータのスイッチング損失が大きくなる。

【０１４５】

前述のように、本実施の形態では正弦波の出力値指示波形Ｏｒｅｆの１周期内において、Ｖ４を出力する単相インバータを構成する全スイッチング素子の目標スイッチング回数は０回としている。そこで、図３９の（Ａ）初回の状態から、図３７に示すフローチャートにしたがって、各直流電源の出力電圧の調整制御を行う。前述のように、本実施の形態では各直流電源の出力電圧の調整回数（ＬＭＴ）を１０回としている。図３９は、図３７に示す制御フローの処理を１０回行う間に、Ｖ４を出力する単相インバータの目標スイッチング回数が０回に達した場合について示している。以後、各直流電源の出力電圧調整により、目標スイッチング回数の達成および維持している状態を（Ｂ）調整後と表現する。

【０１４６】

図３８に示すように、（Ｂ）調整後の状態では、全体出力電圧Ｖｓｕｍの最大電圧が１４５Ｖとなるように、各単相インバータの電圧絶対値（＝各直流電源の電圧）Ｖ１～Ｖ４の設定が行われている。本実施の形態においては、全体出力電圧Ｖｓｕｍを５Ｖ単位で調整可能としているため、図３７に示す制御フローの処理が３回実施された後に、Ｖ４を出力する単相インバータのスイッチング回数が目標スイッチング回数の０回になったことになる。

【０１４７】
図３８において、（Ｂ）調整後の各直流電源の電圧（＝電圧絶対値）はＶ１＝１３．１８Ｖ、 Ｖ２＝２６．３６Ｖ、Ｖ３＝Ｖ４＝５２．７２Ｖである。第１共通電圧であるＶ３およびＶ４に注目すると、（Ａ）初回の状態に対し５．４５Ｖの増加であり、調整された電圧増加幅は小さい。また図３８より、（Ｂ）調整後の状態において、全体出力電圧Ｖｓｕｍの等価電圧を正弦波の正側ピーク値である＋９０Ｖに制御する場合、階調レベル６（７９．０９Ｖ）と階調レベル７（９２．２７Ｖ）との間の２値の電圧パルスとしてＰＷＭ制御することになる。
【０１４８】
図３９より、（Ｂ）調整後の場合、期間１においては階調レベル６と７との間の２値の電圧パルスを出力するように制御される。図３８より、階調レベルが６と７との間の場合、Ｖ４の出力状態は各々“０”と“０”である。したがって、第１共通電圧であるＶ４を出力する単相インバータは、期間１および正弦波のＯｒｅｆの１周期において、スイッチング回数が０回となる。このようにして、出力値指示波形Ｏｒｅｆが±９０Ｖのピーク電圧の正弦波を定常波形として出力指示している場合に、スイッチング回数のカウント対象として設定したＶ４を出力する単相インバータのスイッチング回数を目標スイッチング回数の０回とすることができる。その結果、Ｖ４を出力する単相インバータのスイッチング損失を大幅に低減することが可能となる。
【０１４９】
本実施の形態においては、カウント対象とする第１共通単相インバータはＶ４を出力する単相インバータであり、Ｖ４を出力する単相インバータを構成する全てのスイッチング素子の総スイッチング回数に対して目標スイッチング回数を設定する例を示した。カウント対象は、第１共通単相インバータを構成する一部のスイッチング素子のスイッチング回数としてもよい。あるいは図３９のＶ４の波形で例示したように、カウント対象とする第１共通単相インバータの出力電圧パルスの回数を目標回数に設定してもよい。
【０１５０】
また、本実施の形態においては、カウント対象とする第１共通単相インバータが１つの場合について説明したが、例えば正弦波などの出力値指示波形Ｏｒｅｆの１周期において、複数の第１共通単相インバータの合計スイッチング回数を目標スイッチング回数に設定してもよい。
【０１５１】
さらに、本実施の形態においては、各直流電源の電圧を増加させる方向での調整例を示したが、出力値指示波形Ｏｒｅｆの波形に応じて電圧を減少させる方向で調整する、あるいは予め定められた調整回数内で電圧の減少と増加との方向性を交えながら、目標のスイッチング回数に近づけてもよい。
【０１５２】
なお、本実施の形態においては、目標スイッチング回数を最小値である０回とする場合について例示したが、目標スイッチング回数を閾値以下とし、閾値を例えば３回などに設定してもよい。
【０１５３】
また、本実施の形態においては、図３７に示すフローチャートに基づいて各直流電源の電圧を調整する例を示した。定常的に高頻度で出力される出力値指示波形Ｏｒｅｆの波形が決まっている場合には、図３７に示す制御を事前に手動または自動で行って、定常的な波形の出力時に目標スイッチング回数となるように、予め各直流電源の電圧を設定しておいてもよい。
【０１５４】
さらに、本実施の形態においては、実施の形態３で示したＰＷＭ制御を用いた電力変換装置における波形例で説明を行ったが、ＰＷＭ制御を用いない電力変換装置においても適用できる。一例として出力値指示波形Ｏｒｅｆが、前記（Ａ）初回の状態で階調レベルが７と８との間で繰り返し切り替わるような、ＤＣオフセット付きのランプ波形であるよう

な場合には、本実施の形態の直流電源の電圧制御が適用可能である。

【０１５５】

これまで説明したように、本実施の形態の電力変換装置は、構成する各単相インバータの電圧絶対値の比率を維持した状態で、対象とする第１共通単相インバータのスイッチング回数が最小または閾値以下となるように各単相インバータの直流電源の出力電圧を調整するか、または予め各直流電源の出力電圧を設定することができる。その結果、出力電圧が大きい単相インバータのスイッチング損失が低減され、より小型化、低コスト化された電力変換装置の提供が可能となる。

【０１５６】

なお、制御部４は、ハードウェアの一例を図４０に示すように、プロセッサ１００と記憶装置１０１から構成される。記憶装置は、図示していないがランダムアクセスメモリなどの揮発性記憶装置と、フラッシュメモリなどの不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補助記憶装置を具備してもよい。プロセッサ１００は、記憶装置１０１から入力されたプログラムを実行する。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ１００にプログラムが入力される。また、プロセッサ１００は、演算結果などのデータを記憶装置１０１の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデータを保存してもよい。

また、制御部４は、ＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）、ＭＣＵ（Ｍｉｃｒｏ Ｃｏｎｔｒｏｌｌｅｒ Ｕｎｉｔ）などのデジタル制御器であってもよい。あるいは、制御部４は、第１減算部４０２および出力極性判定部４０４にオペアンプ、コンパレータなどのアナログ回路を用いた、アナログ回路とデジタル制御器とが混在した構成としてもよい。

【０１５７】

本願は、様々な例示的な実施の形態が記載されているが、１つまたは複数の実施の形態に記載された様々な特徴、態様、および機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

したがって、例示されていない無数の変形例が、本願に開示される技術の範囲内において想定される。例えば、少なくとも１つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも１つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

【符号の説明】

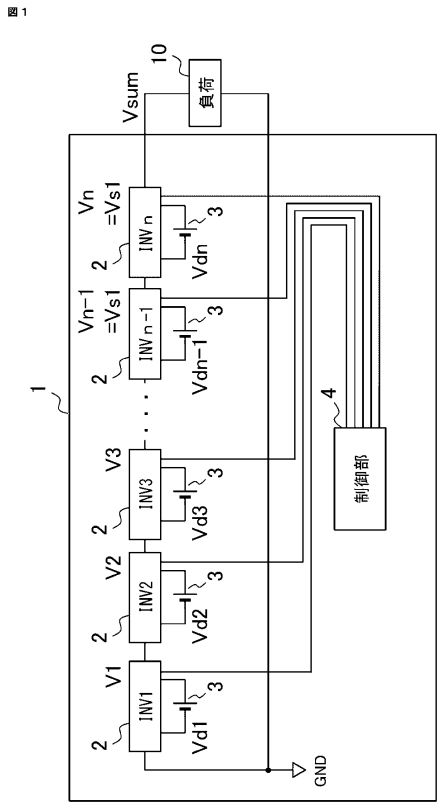
【０１５８】

１　電力変換装置、２　単相インバータ、３　直流電源、４　制御部、５　出力検出部、６　ＡＤコンバータ、１０　負荷、２１、２２　ハーフブリッジインバータ、２３　スイッチング素子、４１　階調制御信号生成部、４２　ゲートドライバ、４３　デッドタイム生成部、４４　ゲート駆動信号出力部、５１　オペアンプ、５２　抵抗、５３　電流検知抵抗、１００　プロセッサ、１０１　記憶装置、４０１　出力値指示部、４０２　第１減算部、４０３　補償部、４０４　出力極性判定部、４０５　絶対値化処理部、４０６　整数化処理部、４０７　第２減算部、４０８　パルス幅変調部、４０９　加算部、４１０　階調制御信号変換部。

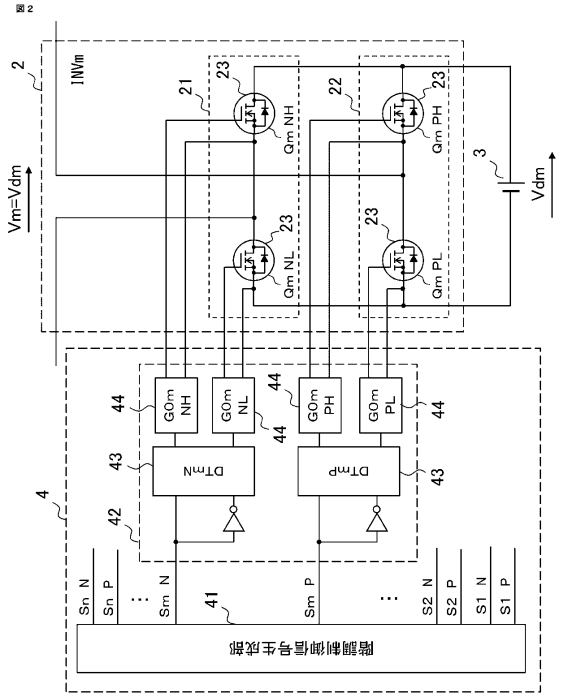
【要約】
３個以上の単相インバータを有する電力変換装置において、大型化、高コスト化を抑制することを目的とする。
直流電力を交流電力に変換する３個以上の単相インバータ（２）と、単相インバータを制御する制御部（４）とを有する電力変換装置（１）であって、３個以上の単相インバータは直列に接続されており、単相インバータの出力電圧の絶対値を電圧絶対値とした場合、３個以上の前記単相インバータは、電圧絶対値が同じ第１共通電圧を出力する少なくとも２個の第１共通単相インバータと、第１共通電圧よりも小さい電圧絶対値の電圧を出力する少なくとも１個の単相インバータとを含んで構成されている。

【図面】

【図１】

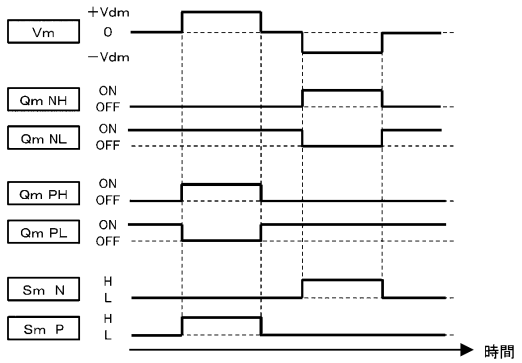


【図２】



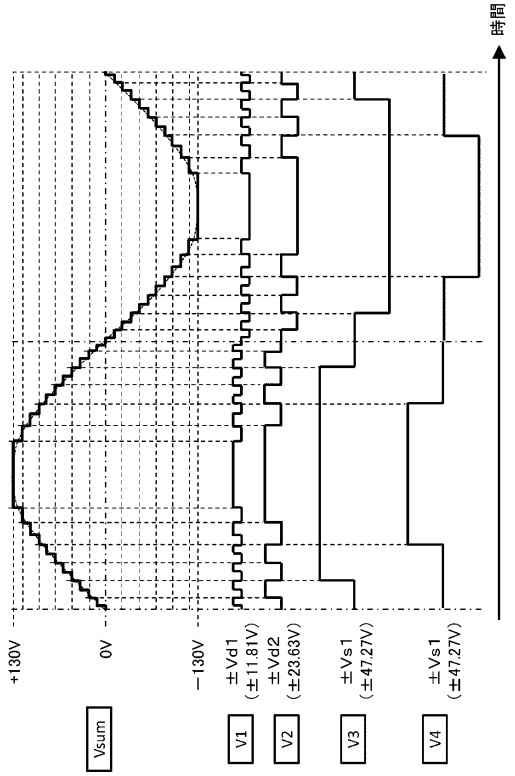
【図３】

図３



【図４】

図４



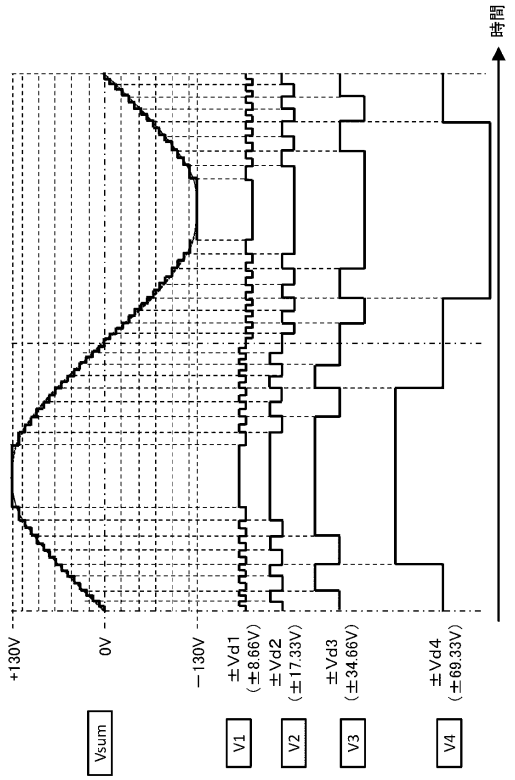
【図５】

図５

階調レベル	V1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

【図６】

図６



【図７】

図7

階調レベル	V1	V2	V3	V4
	8.66V	17.33V	34.66V	69.33V
	比率			
	1	2	4	8
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

【図８】

図8

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例1	23	1	2	4	8	8	5.65	11.30	22.61	45.22	45.22
実施例2	26	1	2	5	9	9	5.00	10.00	25.00	45.00	45.00
実施例3	29	1	2	6	10	10	4.48	8.97	26.90	44.83	44.83
実施例4	32	1	2	7	11	11	4.06	8.13	28.44	44.69	44.69
実施例5	9	1	2	2	2	2	14.44	28.89	28.89	28.89	28.89
実施例6	15	1	2	4	4	4	8.67	17.33	34.67	34.67	34.67
実施例7	41	1	3	9	14	14	3.17	9.51	28.54	44.39	44.39
実施例8	19	1	3	5	5	5	6.84	20.53	34.21	34.21	34.21
実施例9	5	1	2	2			26.00	52.00	52.00		
実施例10	7	1	2	2	2		18.57	37.14	37.14	37.14	

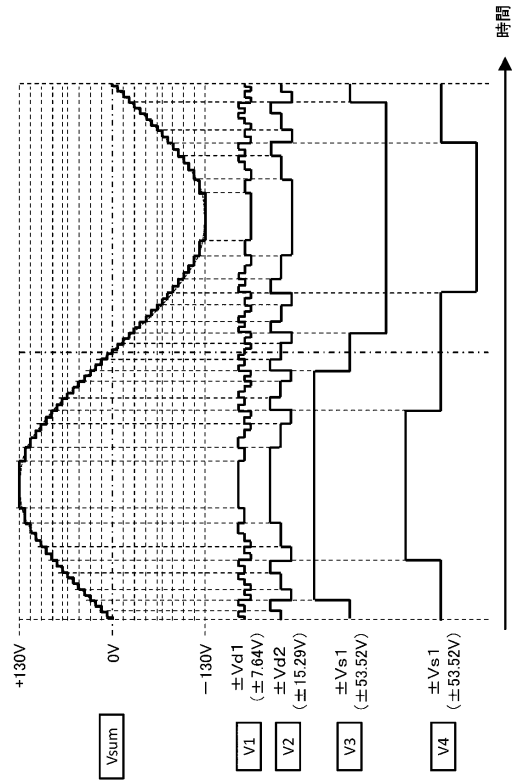
【図９】

図9

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例11	11	1	2	2	2	4	11.82	23.64	23.64	23.64	47.27
実施例12	19	1	2	4	4	8	6.84	13.68	27.37	27.37	54.74
実施例13	24	1	3	5	5	10	5.42	16.25	27.08	27.08	54.17

【図１０】

図10



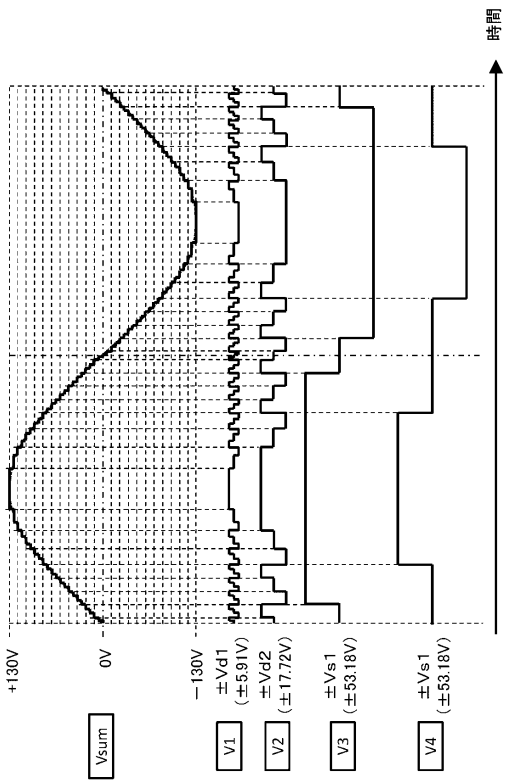
【図１１】

図11

階調レベル	V1	V2	V3	V4
	7.64V	15.29V	53.52V	53.52V
	比率			
	1	2	7	7
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	−1	−1	1	0
5	0	−1	1	0
6	−1	0	1	0
7	0	0	1	0
8	1	0	1	0
9	0	1	1	0
10	1	1	1	0
11	−1	−1	1	1
12	0	−1	1	1
13	−1	0	1	1
14	0	0	1	1
15	1	0	1	1
16	0	1	1	1
17	1	1	1	1

【図１２】

図12



【図１３】

図13

階調レベル	V1	V2	V3	V4
	5.91V	17.72V	53.18V	53.18V
	比率			
	1	3	9	9
0	0	0	0	0
1	1	0	0	0
2	−1	1	0	0
3	0	1	0	0
4	1	1	0	0
5	−1	−1	1	0
6	0	−1	1	0
7	1	−1	1	0
8	−1	0	1	0
9	0	0	1	0
10	1	0	1	0
11	−1	1	1	0
12	0	1	1	0
13	1	1	1	0
14	−1	−1	1	1
15	0	−1	1	1
16	1	−1	1	1
17	−1	0	1	1
18	0	0	1	1
19	1	0	1	1
20	−1	1	1	1
21	0	1	1	1
22	1	1	1	1

【図１４】

図14

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例14	24	1	2	7	7	7	5.42	10.83	37.92	37.92	37.92
実施例15	52	1	2	7	21	21	2.50	5.00	17.50	52.50	52.50
実施例16	13	1	3	3	3	3	10.00	30.00	30.00	30.00	30.00
実施例17	31	1	3	9	9	9	4.19	12.58	37.74	37.74	37.74
実施例18	67	1	3	9	27	27	1.94	5.82	17.46	52.39	52.39
実施例19	7	1	3	3			18.57	55.71	55.71		
実施例20	10	1	3	3	3		13.00	39.00	39.00	39.00	

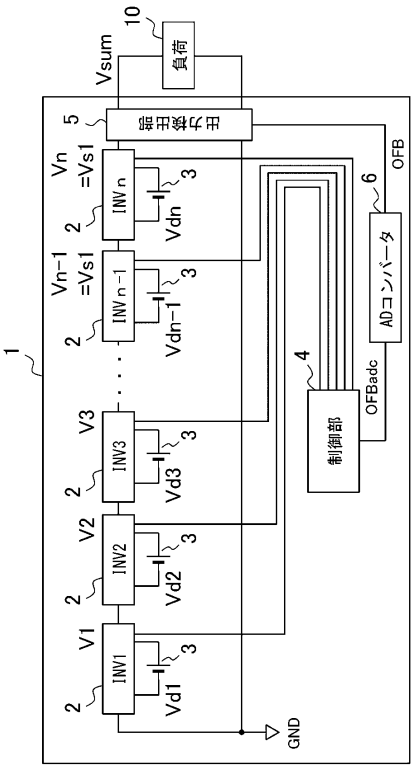
【図１５】

図15

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例21	31	1	2	7	7	14	4.19	8.39	29.35	29.35	58.71
実施例22	19	1	3	3	3	9	6.84	20.53	20.53	20.53	61.58
実施例23	40	1	3	9	9	18	3.25	9.75	29.25	29.25	58.50

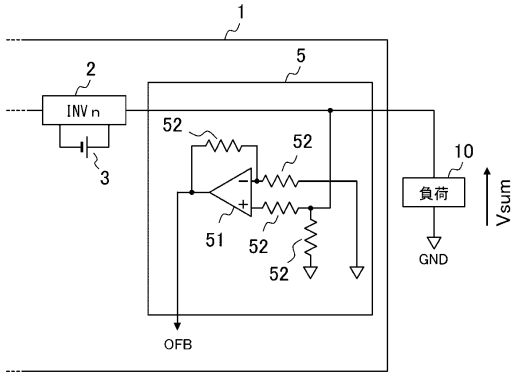
【図１６】

図16



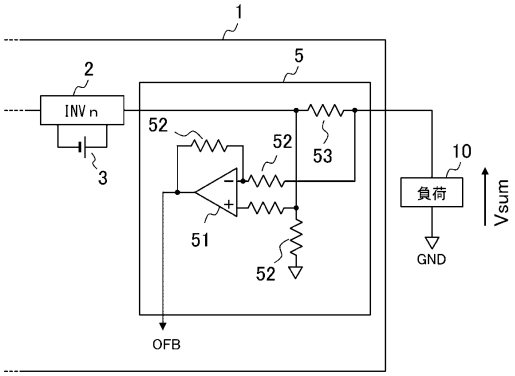
【図１７】

図17



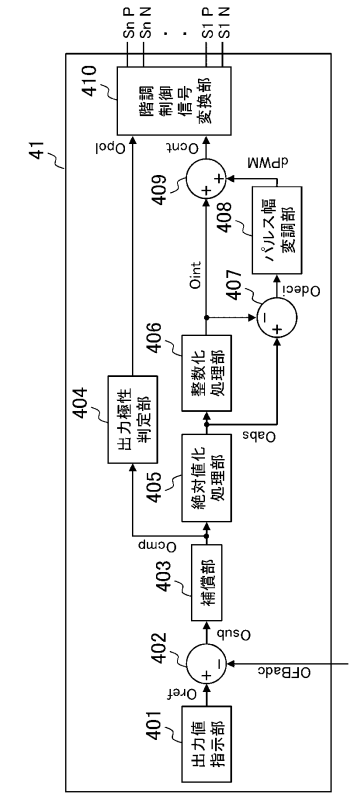
【図１８】

図18



【図１９】

図19



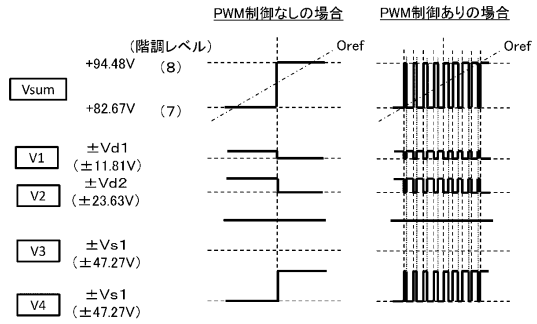
【図２０】

図20

階調レベル	V1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

【図２１】

図21



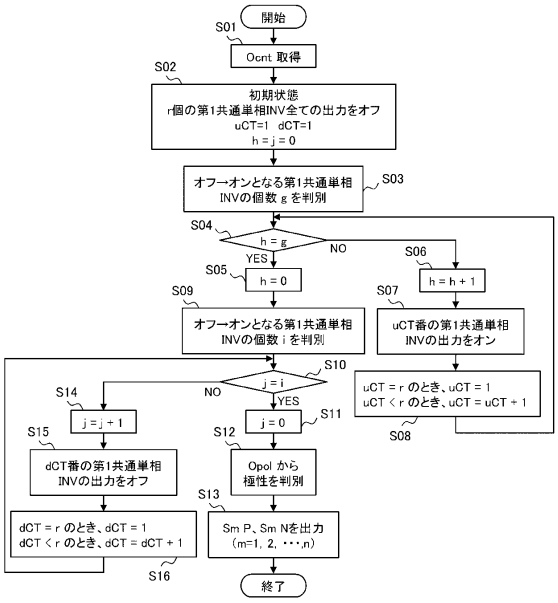
【図２２】

図22

階調レベル	V1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

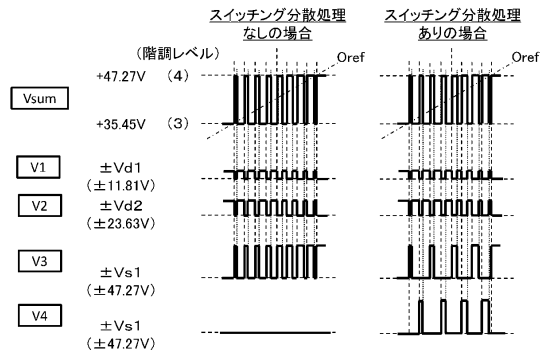
【図２３】

図23



【図２４】

図24



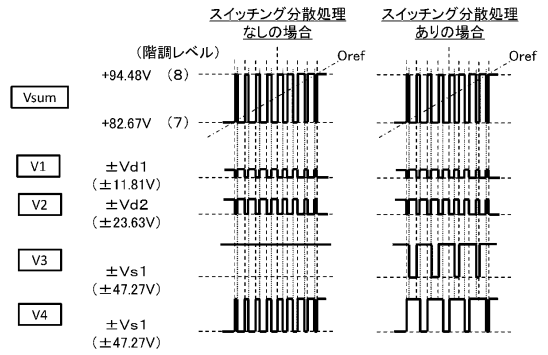
【図２５】

図25

階調レベル	V1	V2	V3	V4
	11.81V	23.63V	47.27V	47.27V
	比率			
	1	2	4	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	1	1
9	1	0	1	1
10	0	1	1	1
11	1	1	1	1

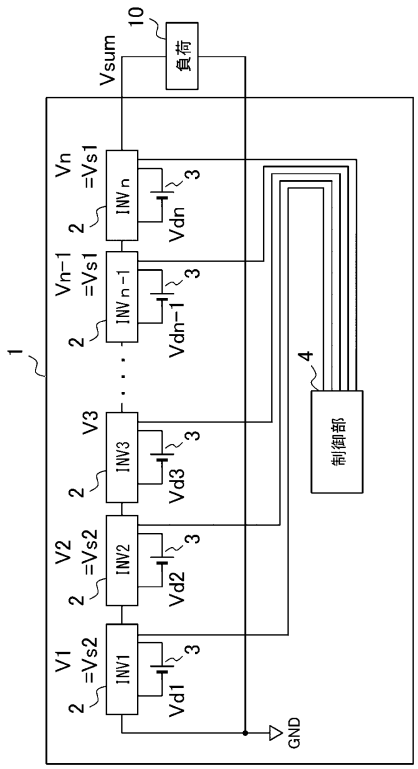
【図２６】

図26



【図２７】

図27



【図２８】

図28

階調レベル	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	比率			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

【図２９】

図29

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例24	11	1	1	1	4	4	11.82	11.82	11.82	47.27	47.27
実施例25	11	1	1	3	3	3	11.82	11.82	35.45	35.45	35.45
実施例26	17	1	1	3	6	6	7.65	7.65	22.94	45.88	45.88
実施例27	17	1	1	1	7	7	7.65	7.65	7.65	53.53	53.53
実施例28	27	1	1	3	11	11	4.81	4.81	14.44	52.96	52.96
実施例29	17	1	1	5	5	5	7.65	7.65	38.24	38.24	38.24

【図３０】

図30

	最大階調レベル	V1～V5比率					V1～V5電圧（V）				
		V1	V2	V3	V4	V5	V1	V2	V3	V4	V5
比較例	31	1	2	4	8	16	4.19	8.39	16.77	33.55	67.10
実施例30	17	1	2	2	6	6	7.65	15.29	15.29	45.88	45.88
実施例31	23	1	3	3	8	8	5.65	16.96	16.96	45.22	45.22
実施例32	27	1	2	2	11	11	4.81	9.63	9.63	52.96	52.96
実施例33	37	1	3	3	15	15	3.51	10.54	10.54	52.70	52.70

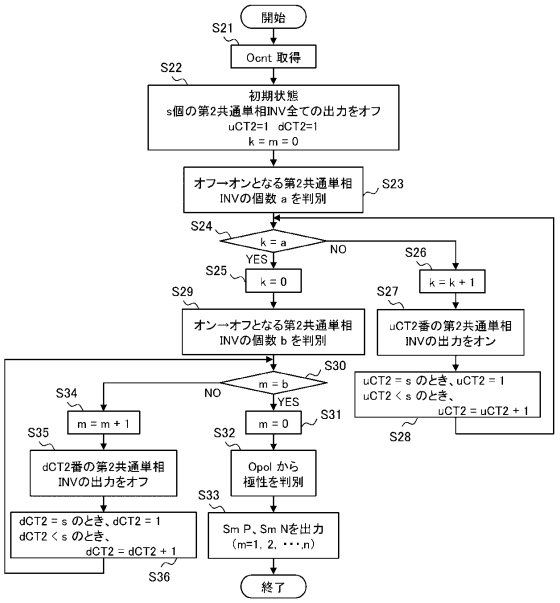
【図３１】

図31

階調レベル	V1	V2	V3	V4
	16.25V	16.25V	48.75V	48.75V
	比率			
	1	1	3	3
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	0	0	1	0
4	1	0	1	0
5	1	1	1	0
6	0	0	1	1
7	1	0	1	1
8	1	1	1	1

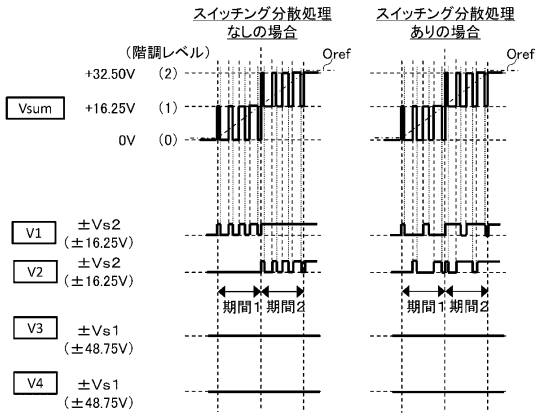
【図３２】

図32



【図３３】

図33



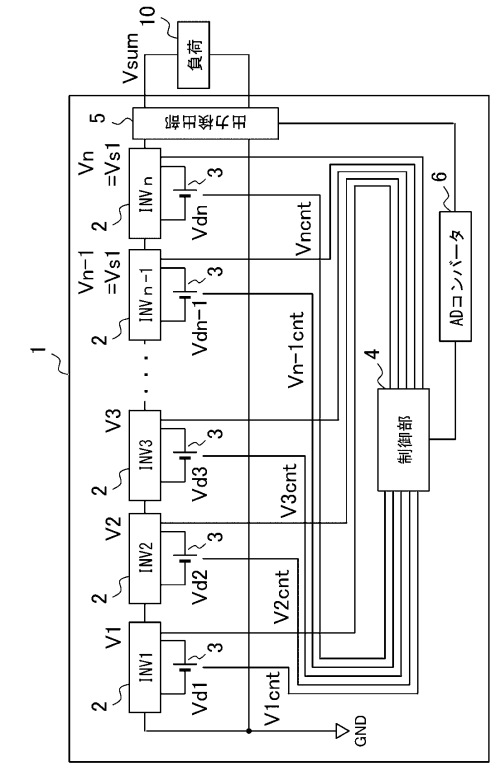
【図３４】

図34

第2共通単相INVスイッチング分散	階調レベル	V1	V2	V3	V4	第1共通単相INVスイッチング分散
		16.25V	16.25V	48.75V	48.75V	
		比率				
		1	1	3	3	
	0	0	0	0	0	
第1G	1	1	0	0	0	
	2	1	1	0	0	第4G
	3	0	0	1	0	
第2G	4	1	0	1	0	
	5	1	1	1	0	第5G
	6	0	0	1	1	
第3G	7	1	0	1	1	
	8	1	1	1	1	

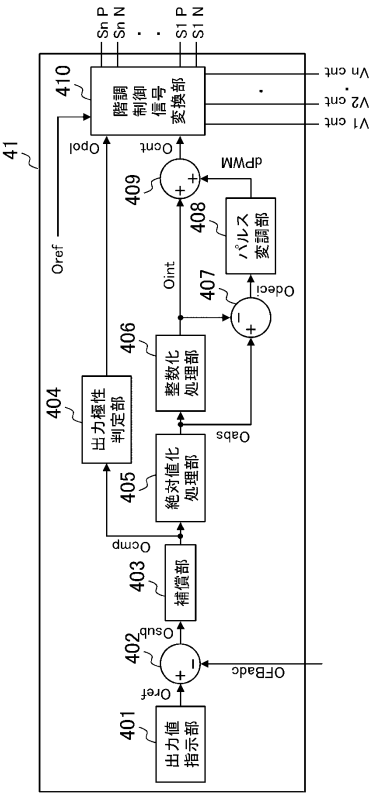
【図３５】

図35



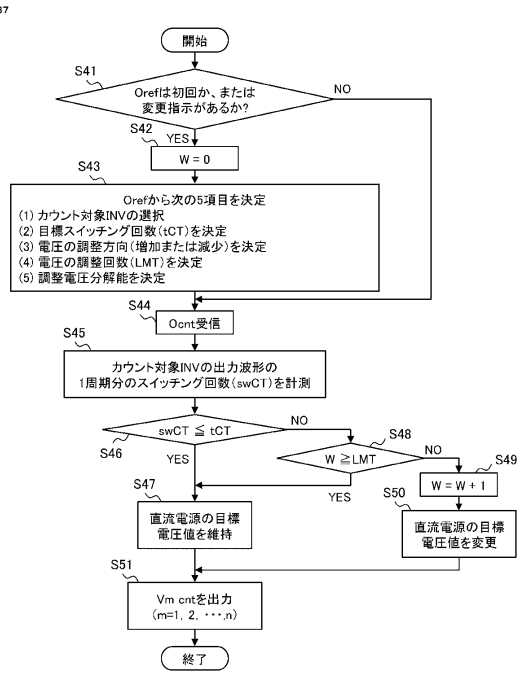
【図３６】

図36



【図３７】

図37



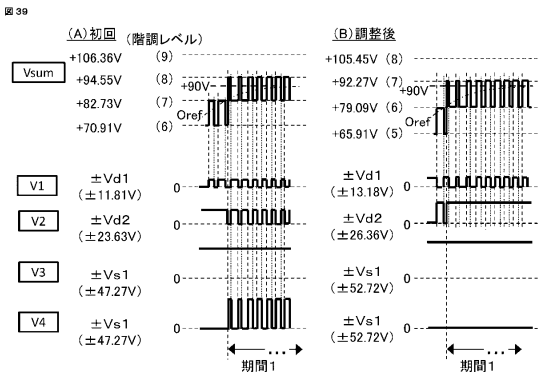
【図３８】

図38

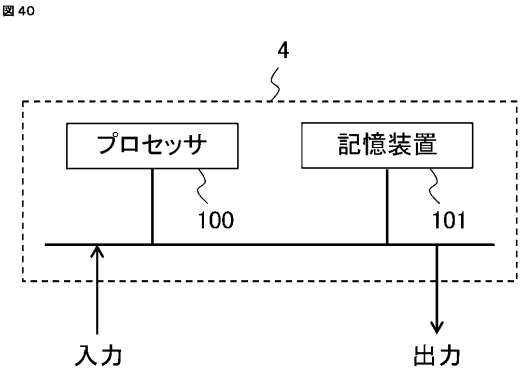
階調レベル	電圧絶対値	V1	V2	V3	V4
	(A) 初回	11.81V	23.63V	47.27V	47.27V
	(B) 調整後	13.18V	26.36V	52.72V	52.72V
	比率	1	2	4	4
0		0	0	0	0
1		1	0	0	0
2		0	1	0	0
3		1	1	0	0
4		0	0	1	0
5		1	0	1	0
6		0	1	1	0
7		1	1	1	0
8		0	0	1	1
9		1	0	1	1
10		0	1	1	1
11		1	1	1	1

初回	調整後
Vsum最大値	
130V	145V
Vsum	
59.09	65.91
70.91	79.09
82.73	92.27
94.55	105.45
106.36	118.64

【図３９】


図39
(A)初回
(階調レベル)
(B)調整後
Vsum
+106.36V
+94.55V
+82.73V
+70.91V
(9)
(8)
(7)
(6)
+90V
Oref
+105.45V (8)
+92.27V (7)
+79.09V (6)
+65.91V (5)
V1
V2
V3
V4
±Vd1
(±11.81V)
±Vd2
(±23.63V)
±Vs1
(±47.27V)
±Vd1
(±13.18V)
±Vd2
(±26.36V)
±Vs1
(±52.72V)
0
期間1

【図４０】


図40
4
プロセッサ
記憶装置
100
101
入力
出力

フロントページの続き

東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内

審査官　東 昌秋

(56)参考文献　特開２０１９－１７６７０８（ＪＰ，Ａ）
特開２０１２－１４７５５９（ＪＰ，Ａ）
特開２０１１－１５５７８６（ＪＰ，Ａ）
米国特許出願公開第２０１８／０１３１２９０（ＵＳ，Ａ１）
特開２００４－７９４１（ＪＰ，Ａ）
米国特許出願公開第２０１７／０１６３１７１（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　７／００－７／９８