



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월18일

(11) 등록번호 10-1473684

(24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
H01L 29/786 (2006.01) H01L 21/31 (2006.01)

(21) 출원번호 10-2014-7011117(분할)

(22) 출원일자(국제) 2010년12월03일

심사청구일자 2014년04월29일

(85) 번역문제출일자 2014년04월24일

(65) 공개번호 10-2014-0072129

(43) 공개일자 2014년06월12일

(62) 원출원 특허 10-2013-7019493

원출원일자(국제) 2010년12월03일

심사청구일자 2013년07월23일

(86) 국제출원번호 PCT/JP2010/072187

(87) 국제공개번호 WO 2011/077967

국제공개일자 2011년06월30일

(30) 우선권주장

JP-P-2009-296202 2009년12월25일 일본(JP)

(56) 선행기술조사문헌

JP2001053164 A

JP2007250863 A

US20090184315 A1

JP10003091 A

전체 청구항 수 : 총 6 항

심사관 : 류정현

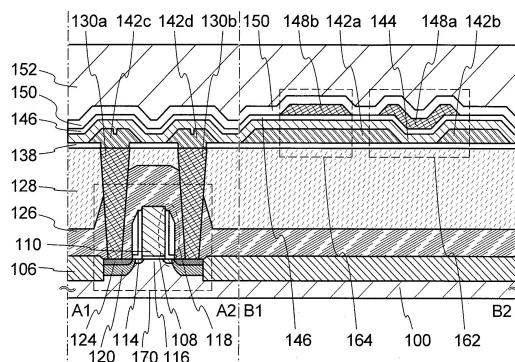
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명의 일 실시형태의 목적은 데이터 저장 시간에 전력이 공급되지 않을 때에도 저장된 데이터가 저장될 수 있고 기록 회수에 제한이 없는 새로운 구조의 반도체 장치를 제공하는 것이다. 상기 반도체 장치는 산화물 반도체 이외의 반도체 재료를 사용한 제 1 채널 형성 영역을 포함하는 제 1 트랜지스터, 산화물 반도체 재료를 사용한 제 2 채널 형성 영역을 포함하는 제 2 트랜지스터, 및 용량 소자를 포함한다. 상기 제 2 트랜지스터의 제 2 소스 전극 및 제 2 드레인 전극 중 하나는 상기 용량 소자의 하나의 전극에 전기적으로 접속된다.

대 표 도

[도 2a]



특허청구의 범위

청구항 1

반도체 장치에 있어서:

제1 트랜지스터를 포함하는 구동 회로로서, 상기 제1 트랜지스터는 단결정 실리콘을 포함하는 채널 형성 영역을 포함하는, 상기 구동 회로;

상기 제1 트랜지스터 위의 제1 절연층; 및

상기 제1 절연층 위의 메모리 셀로서:

상기 제1 절연층 위의 제2 트랜지스터; 및

상기 제1 절연층 위의 제3 트랜지스터를 포함하는, 상기 메모리 셀을 포함하고,

상기 제2 트랜지스터 및 상기 제3 트랜지스터 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하고,

상기 제2 트랜지스터의 게이트는 상기 제3 트랜지스터의 소스 또는 드레인 중 하나에 전기적으로 접속되고,

상기 구동 회로는 상기 메모리 셀을 구동하는, 반도체 장치.

청구항 2

제1 항에 있어서,

상기 산화물 반도체는 인듐을 포함하는, 반도체 장치.

청구항 3

제1 항에 있어서,

상기 반도체 장치는 상기 메모리 셀 내의 용량 소자를 더 포함하고,

상기 용량 소자의 한 전극은 상기 제2 트랜지스터의 상기 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 4

제1 항에 있어서,

상기 산화물 반도체는 결정성 영역을 포함하는, 반도체 장치.

청구항 5

제1 항에 있어서,

상기 제1 트랜지스터의 상기 채널 형성 영역은 SOI 기판에 제공되는, 반도체 장치.

청구항 6

제1 항 내지 제5 항 중 어느 한 항에 따른 반도체 장치를 포함하는 전자 기기.

명세서

기술 분야

[0001] 본 발명은 반도체 소자를 이용한 반도체 장치 및 상기 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 메모리 장치는 전력의 공급이 정지될 때 저장된 데이터를 손실하는 휘발성 메모리 장치와 전력이 공급되지 않을 때에도 저장된 데이터를 저장하는 비휘발성 메모리 장치의 두 카테고리로 대별된다.

[0003] 휘발성 메모리 장치의 대표적인 예는 DRAM(Dynamic Random Access Memory)이다. DRAM은 메모리 소자에 포함된 트랜지스터가 선택되고 용량 소자에 전하를 축적하는 방식으로 데이터를 저장한다.

[0004] 상기의 원리에 기초하여 DRAM으로부터 데이터가 판독될 때, 커페시터의 전하가 손실되어, 데이터가 판독될 때마다 다른 기록 동작이 필요하다. 또한, 메모리 소자에 포함된 트랜지스터는 리크 전류를 갖고, 트랜지스터가 선택되지 않을 때라도 전하가 유출 또는 유입되어, 데이터의 저장 기간이 짧다. 이 때문에, 소정의 주기로 다른 기록 동작(리프레쉬 동작)이 필요하고, 소비 전력을 충분하게 저감하는 것은 곤란하다. 또한, 전력 공급이 중지 할 때 데이터가 손실되기 때문에, 장기간의 데이터 저장을 위해 자성재료나 광학재료를 이용한 별도의 메모리 장치가 필요하다.

[0005] 휘발성 메모리 장치의 다른 예는 SRAM(Static Random Access Memory)이다. SRAM은 플립플롭과 같은 회로를 사용해서 저장된 데이터를 저장하여 리프레쉬 동작이 필요하지 않다. 이는 SRAM이 DRAM에 대해 장점을 갖는 것을 의미한다. 그러나, 플립플롭과 같은 회로를 사용하기 때문에, 저장 용량 당 단가가 증가된다. 또한, DRAM에서와 같이, SRAM에 저장된 데이터는 전력의 공급이 중단될 때 손실된다.

[0006] 비휘발성 메모리 장치의 대표적인 예는 플래시 메모리가 있다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역의 사이에 플로팅 게이트를 가지고, 상기 플로팅 게이트에 전하를 유지시킴으로써 데이터를 저장한다. 따라서, 데이터의 저장 시간은 지극히 길고(거의 영구적) 휘발성 메모리 장치에서 필요한 리프레쉬 동작이 필요하지 않다는 이점을 갖는다(예를 들면, 특허문헌 1 참조).

[0007] 그러나, 기록 시 흐르는 터널 전류에 의해 메모리 소자에 포함된 게이트 절연층이 열화되어, 미리 결정된 회수의 기록 동작 후 메모리 소자가 기능을 정지한다. 이 문제의 영향을 완화하기 위해서, 예를 들면, 메모리 소자의 기록 동작의 회수를 균일화하는 방법이 채용된다. 그러나, 이 방법을 실현하기 위해서 부가적으로 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용해도 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는 데이터가 빈번하게 재기록되는 애플리케이션에는 적절하지 않다.

[0008] 또한, 플로팅 게이트에 전하를 유지하거나 전하를 제거하기 위해서 고전압이 필요하고, 고전압을 생성하기 위한 회로도 필요하다. 또한, 전하의 유지 또는 제거를 위해 비교적 장시간이 걸리고, 고속의 기록 및 소거가 용이하지 않다는 문제도 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 공개특허공보 No.S57-105889호

발명의 내용

해결하려는 과제

[0010] 상기의 문제를 감안하여, 개시하는 발명의 일 형태는 데이터 저장 시간에 전력이 공급되지 않을 때에도 저장된 데이터가 저장되고, 또한, 기록 회수에도 제한이 없는 새로운 구조의 반도체 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 개시하는 발명에서는, 고순도화된 산화물 반도체를 사용해서 반도체 장치가 형성된다. 고순도화된 산화물 반도체

체를 사용해서 형성된 트랜지스터는 리크 전류가 지극히 작기 때문에 장시간 동안 데이터를 저장할 수 있다.

[0012] 개시하는 발명의 일 형태는, 산화물 반도체 이외의 반도체 재료를 사용하는 제 1 채널 형성 영역, 상기 제 1 채널 형성 영역을 개재하도록 제공된 불순물 영역, 상기 제 1 채널 형성 영역 위의 제 1 게이트 절연층, 상기 제 1 게이트 절연층 위의 제 1 게이트 전극, 및 불순물 영역에 전기적으로 접속된 제 1 소스 전극 및 제 1 드레인 전극을 포함하는 제 1 트랜지스터; 상기 제 1 트랜지스터의 상방의 제 2 소스 전극 및 제 2 드레인 전극, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극에 전기적으로 접속되고, 산화물 반도체 재료를 사용하는 제 2 채널 형성 영역, 상기 제 2 채널 형성 영역 위의 제 2 게이트 절연층, 상기 제 2 게이트 절연층 위의 제 2 게이트 전극을 포함하는 제 2 트랜지스터; 및 용량 소자를 포함하는 반도체 장치이다. 상기 제 2 트랜지스터의 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 하나와 상기 용량 소자의 하나의 전극은 서로 전기적으로 접속된다.

[0013] 상기애 있어서, 상기 용량 소자는 상기 제 2 소스 전극 또는 상기 제 2 드레인 전극, 상기 제 2 게이트 절연층, 및 상기 제 2 게이트 절연층 위의 상기 용량 소자의 전극을 포함할 수 있다.

[0014] 또한, 상기 반도체 장치는: 상기 제 1 트랜지스터 상의 제 3 소스 전극 및 제 3 드레인 전극, 상기 제 3 소스 전극 및 상기 제 3 드레인 전극에 전기적으로 접속되고, 산화물 반도체 재료를 사용하는 제 3 채널 형성 영역, 상기 제 3 채널 형성 영역 위의 제 3 게이트 절연층과, 상기 제 3 게이트 절연층 위의 제 3 게이트 전극을 포함하는 제 3 트랜지스터; 소스선; 비트선; 워드선; 제 1 신호선; 제 2 신호선을 더 포함한다. 상기 제 3 게이트 전극, 상기 제 2 소스 전극 및 제 2 드레인 전극 중 하나, 및 상기 용량 소자의 상기 하나의 전극은 서로 전기적으로 접속되고; 상기 소스선 및 상기 제 3 소스 전극은 서로 전기적으로 접속되고; 상기 비트선 및 상기 제 3 드레인 전극은 서로 전기적으로 접속되고; 상기 제 1 신호선 및 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 다른 전극은 서로 전기적으로 접속되고; 상기 제 2 신호선 및 상기 제 2 게이트 전극은 서로 전기적으로 접속되고; 상기 워드선 및 상기 용량 소자의 다른 전극은 서로 전기적으로 접속된다.

[0015] 또한, 상기 구조에 있어서, 논리 회로(연산 회로) 또는 구동회로는 제 1 트랜지스터를 포함할 수 있다.

[0016] 또한, 본 명세서등에 있어서 "위"나 "아래"의 용어는, 구성요소의 위치 관계가 "바로 위" 또는 "바로 아래"인 것을 한정하는 것이 아니다. 예를 들면, "게이트 절연층 위의 게이트 전극"이라는 표현은 게이트 절연층과 게이트 전극과의 사이에 다른 구성요소를 포함하는 것을 배제하지 않는다. 또한, "상" 및 "하"의 용어는 설명의 편의 때문에 사용하는 표현에 지나지 않고, 달리 언급할 경우를 제외하고, 그 역도 포함한다.

[0017] 또한, 본 명세서등에 있어서 "전극"이나 "배선"의 용어는 구성요소의 기능을 한정하는 것이 아니다. 예를 들면, "전극"은 "배선"의 일부로서 사용할 수 있고, 그 반대도 같다. 또한, "전극"이나 "배선"의 용어는 복수의 "전극"이나 "배선"이 집적되어 형성된 경우 등도 포함한다.

[0018] 또한, "소스" 및 "드레인"의 기능은 다른 특성의 트랜지스터를 채용할 경우나, 회로 동작에 있어서 전류의 방향이 변화될 경우 등에는 서로 교체될 수 있다. 이 때문에, 본 명세서 등에 있어서는, "소스" 및 "드레인"의 용어는 서로 교체될 수 있다.

[0019] 또한, 본 명세서등에 있어서, "전기적으로 접속"에는 "어떠한 전기적 작용을 가지는 것"을 통해 접속된 경우가 포함된다. 여기에서, "어떠한 전기적 작용을 가지는 것"은 상기 대상을 통해 접속된 구성요소들 간에서 전기 신호의 송수신을 가능하게 하는 것이면 특히 제한되지 않는다.

[0020] 예를 들면, "어떠한 전기적 작용을 가지는 것"에는 전극이나 배선을 비롯해 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 밖의 각종 기능을 가지는 소자 등이 포함된다.

발명의 효과

[0021] 본 발명의 일 형태에서는 산화물 반도체 이외의 재료를 사용한 트랜지스터와 산화물 반도체를 사용한 트랜지스터의 적층 구조를 갖는 반도체 장치가 제공된다.

[0022] 산화물 반도체를 사용한 트랜지스터는 오프 전류가 지극히 작기 때문에, 상기 트랜지스터를 사용함으로써 지극히 장시간 동안 저장된 데이터가 저장될 수 있다. 즉, 리프레쉬 동작이 불필요해지거나 리프레쉬 동작의 빈도를 지극히 낮게 할 수 있어서, 소비 전력을 충분하게 저감할 수 있다. 또한, 전력의 공급이 없을 경우에도, 장시간 동안 저장된 데이터를 저장하는 것이 가능하다.

[0023] 또한, 개시하는 발명에 따른 반도체 장치에서는 데이터의 기록에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 예를 들면, 종래의 비휘발성 메모리와 같이, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트

로부터의 전자의 추출을 행할 필요가 없기 때문에 게이트 절연층의 열화가 일어나지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는, 종래의 비휘발성 메모리에서 문제가 되는 기록 회수에 제한이 없고, 신뢰성이 비약적으로 향상한다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라서, 데이터의 기록이 이루어지기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 데이터를 소거하기 위한 동작이 필요하지 않다는 메리트도 있다.

[0024] 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터는 충분히 고속 동작이 가능하기 때문에, 상기 트랜지스터를 사용함으로써, 고속 동작이 요구되는 각종 회로(논리 회로 또는 구동 회로 등)을 적합하게 실현하는 것이 가능하다.

[0025] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터와 산화물 반도체를 사용한 트랜지스터를 모두 포함함으로써 새로운 특징을 가지는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0026] 도 1은 반도체 장치의 개념도.

도 2a 및 도 2b는 반도체 장치의 단면도.

도 3a 및 도 3b는 반도체 장치의 단면도.

도 4a 내지 도 4c는 반도체 장치의 단면도.

도 5a1, 도 5a2, 및 도 5b는 반도체 장치의 회로도.

도 6a 내지 도 6e는 반도체 장치의 제작 공정에 관계되는 단면도.

도 7a 내지 도 7e는 반도체 장치의 제작 공정에 관계되는 단면도.

도 8a 내지 도 8e는 반도체 장치의 제작 공정에 관계되는 단면도.

도 9a 내지 도 9e는 반도체 장치의 제작 공정에 관계되는 단면도.

도 10a 내지 도 10h는 반도체 장치의 제작 공정에 관계되는 단면도.

도 11a 내지 도 11h는 SOI 기판의 제작 공정에 관계되는 단면도.

도 12a 내지 도 12h는 반도체 장치의 제작 공정에 관계되는 단면도.

도 13a 및 도 13b는 반도체 장치의 회로도.

도 14a 내지 도 14c는 반도체 장치의 회로도.

도 15a 및 도 15b는 반도체 장치의 회로도.

도 16a 내지 도 16f는 반도체 장치를 사용한 전자 기기를 설명하기 위한 도면.

도 17은 메모리 윈도우 폭의 조사 결과를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 실시형태의 일례에 대해서, 도면을 사용해서 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다는 것을 주의한다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정해서 해석되는 것은 아니다.

[0028] 또한, 도면 등에 있어서 나타내는 각 구성의 위치, 크기, 범위 등을 이해의 용이함을 위해 실제의 위치, 크기, 범위 등을 의미하지 않을 경우가 있다는 것을 주의한다. 이 때문에, 개시하는 발명은 반드시, 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0029] 또한, 본 명세서 등에 있어서의 "제 1", "제 2", "제 3"등의 서수는 구성요소의 혼동을 피하기 위해서 첨부하는 것이며, 수적으로 한정하는 것은 아니다.

[0030] (실시형태 1)

[0031] 본 실시형태에서는, 개시하는 발명의 일 형태에 따른 반도체 장치의 구성 및 제작 방법에 대해서, 도 1, 도 2a

및 도 2b, 도 3a 및 도 3b, 도 4a 내지 도 4c, 및 도 5a1, 도 5a2, 및 도 5b를 참조해서 설명한다. 또한, 회로에 있어서는, 산화물 반도체를 사용한 트랜지스터인 것을 나타내기 위해, OS의 부호를 첨부할 경우가 있다.

[0032] <반도체 장치의 구성의 개요>

도 1은 반도체 장치의 구성의 일례를 나타내는 개념도이다. 개시하는 발명의 일 형태에 따른 반도체 장치는 대표적으로는, 상부에 기억 회로를 가지고, 하부에 고속 동작이 필요한 논리 회로(연산 회로라고도 말하는)나 구동회로를 갖는 적층 구조의 반도체 장치이다.

도 1에 나타내는 반도체 장치는 상부에 메모리 셀 어레이(10)를 가지고, 하부에 열 디코더(20), 행 디코더(30), IO 콘트롤러(40), IO 버퍼(50), 명령 버퍼(60), 어드레스 버퍼(70), 콘트롤러(80), 등의 구동회로를 가지는 반도체 장치(메모리 장치)이다. 하부에는, CPU 등의 연산 회로를 갖고 있어도 된다. 여기에서는, 반도체 장치의 일례로서 메모리 장치에 대해서 나타냈지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다는 것을 주의한다.

[0035] <반도체 장치의 단면 구성>

도 2a 및 도 2b는 반도체 장치의 구체적 구성의 예를 나타내는 단면도이다. 도 2a 및 도 2b는 각각 제 일례에 관계되는 반도체 장치의 단면 및 제 2 예에 관계되는 반도체 장치의 단면을 나타낸다. 도 2a 및 도 2b에 도시된 반도체 장치는 각각 하부에 산화물 반도체 이외의 재료를 사용한 트랜지스터(트랜지스터(170) 또는 트랜지스터(570))를 가지고, 상부에 각각 산화물 반도체를 사용한 트랜지스터(162) 및 용량 소자(164)를 가지는 것이다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이해서, 논리 회로(연산 회로라고도 말하는) 등에 사용할 수 있다. 한편, 산화물 반도체를 사용한 트랜지스터는 상기 트랜지스터의 특성을 이용하는 기억 회로 등에 사용할 수 있다.

[0037] 또한, 상기 트랜지스터는 모두 n-채널형 트랜지스터인 것으로서 설명하지만, p-채널형 트랜지스터를 사용할 수 있는 것은 말할 필요도 없다. 개시하는 발명의 기술적인 본질은 데이터를 저장하기 위해서 산화물 반도체를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치의 구체적인 구성을 여기에서 나타내는 것에 한정할 필요는 없다.

[0038] 도 2a에 있어서의 트랜지스터(170)는 반도체 재료(예를 들면, 실리콘 등)을 포함하는 기판(100)에 제공된 채널 형성 영역(116); 상기 채널 형성 영역(116)을 개재하도록 제공된 불순물 영역(114) 및 고농도 불순물 영역(120)(이들 영역들은 집합적으로 단지 불순물 영역이라고도 함); 상기 채널 형성 영역(116) 위에 제공된 게이트 절연층(108); 상기 게이트 절연층(108) 위에 제공된 게이트 전극(110); 및 상기 불순물 영역들에 전기적으로 접속하는 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 가진다.

[0039] 상기 게이트 전극(110)의 측면에는 사이드월 절연층(118)이 제공된다. 또한, 기판(100)의 표면에 수직한 방향에서 볼 때 상기 사이드월 절연층(118)과 겹치지 않는 상기 기판(100)의 영역에는 고농도 불순물 영역(120)이 제공된다. 상기 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 존재한다. 상기 기판(100) 위에 상기 트랜지스터(170)를 둘러싸도록 소자 분리 절연층(106)이 설치된다. 상기 트랜지스터(170)를 덮도록 층간 절연층(126) 및 층간 절연층(128)이 제공된다. 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 각각 상기 층간 절연층(126 및 128)에 형성된 개구를 통해서 상기 금속 화합물 영역(124)에 전기적으로 접속된다. 즉, 상기 소스 또는 드레인 전극(130a) 및 상기 소스 또는 드레인 전극(130b)은 상기 금속 화합물 영역(124)을 통해 상기 고농도 불순물 영역(120) 및 상기 불순물 영역(114)에 전기적으로 접속되어 있다. 사이드 월 절연층(118)이 형성되지 않을 경우도 있어서 상기 트랜지스터(170)의 접착화 등이 실현될 수 있다는 것을 주의한다.

[0040] 도 2b에 도시된 상기 트랜지스터(570)는 질소 함유층(502) 및 산화막(512) 위의 반도체 재료(실리콘과 같은)를 포함하는 층에 제공된 채널 형성 영역(534); 상기 채널 형성 영역(534)을 개재하도록 제공된 저농도 불순물 영역(532) 및 고농도 불순물 영역(530)(이들을 집합적으로 단지 불순물 영역이라고도 부르는); 상기 채널 형성 영역(534) 위에 제공된 게이트 절연층(522a); 상기 게이트 절연층(522a) 위에 제공된 게이트 전극(524); 및 상기 불순물 영역에 전기적으로 접속하는 소스 또는 드레인 전극(540a) 및 소스 또는 드레인 전극(540b)을 가진다.

[0041] 상기 게이트 전극(524)의 측면에는 사이드 월 절연층(528)이 제공된다. 또한, 상기 하지 기판(500)의 표면에 수직한 방향에서 볼 때 상기 사이드 월 절연층(528)과 겹치지 않는 상기 하지 기판(500)의 영역에는 상기 고농도 불순물 영역(530)이 제공된다. 상기 트랜지스터(570)를 덮도록 층간 절연층(536) 및 층간 절연층(538)이 제공된다. 상기 소스 또는 드레인 전극(540a) 및 상기 소스 또는 드레인 전극(540b) 각각은 상기 층간 절연층(536 및

538)에 형성된 개구를 통해 상기 고농도 불순물을 영역(530)에 전기적으로 접속되어 있다. 상기 사이드 월 절연층(528)이 형성되지 않을 경우 상기 트랜지스터(570)의 접속화 등이 실현될 수 있다는 것을 주의한다.

[0042] 도 2a 및 도 2b 각각의 트랜지스터(162)는 절연층(138) 위에 제공된 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b), 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)에 전기적으로 접속되어 있는 산화물 반도체층(144), 상기 소스 또는 드레인 전극(142a), 상기 소스 또는 드레인 전극(142b), 및 상기 산화물 반도체층(144)을 덮는 게이트 절연층(146), 및 상기 게이트 절연층(146) 위에 상기 산화물 반도체층(144)과 중첩하도록 제공된 게이트 전극(148a)을 가진다.

[0043] 여기에서, 상기 산화물 반도체층(144)은 수소와 같은 불순물을 충분하게 제거함으로써 또는 충분한 산소를 공급함으로써 고순도화된 산화물 반도체층인 것이 바람직하다. 구체적으로는, 상기 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 상기 산화물 반도체층(144)의 수소 농도는 2차 이온질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정된다는 것을 주의한다. 수소의 농도를 충분하게 저감함으로써 고순도화되고, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 캡의 결합 준위가 저감된 상기 산화물 반도체층(144)에서는, 캐리어 농도가 $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 보다 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만이다. 예를 들면, 실온에서의 오프 전류 밀도(오프 전류를 트랜지스터의 채널 폭으로 나눈 값)은 $10\text{zA}/\mu\text{m}$ 내지 $100\text{zA}/\mu\text{m}$ (џ토탄페어)는 $1 \times 10^{-21}\text{A}$ 정도가 된다. 이렇게, i형(진성) 산화물 반도체 또는 실질적으로 i형 산화물 반도체로 된 산화물 반도체를 사용함으로써 지극히 우수한 오프 전류 특성의 트랜지스터(162)를 수득할 수 있다.

[0044] 도 2a 및 도 2b의 상기 트랜지스터(162)는 상기 산화물 반도체층(144)이 섬 형상으로 가공되지 않기 때문에, 패터닝을 위한 에칭에 의한 상기 산화물 반도체층(144)의 오염을 방지할 수 있다는 것을 주의한다.

[0045] 상기 용량 소자(164)는 상기 소스 또는 드레인 전극(142a), 상기 산화물 반도체층(144), 상기 게이트 절연층(146) 및 상기 전극(148b)을 포함한다. 즉, 상기 소스 또는 드레인 전극(142a)은 상기 용량 소자(164)의 한 전극으로서 기능하고, 상기 전극(148b)은 상기 용량 소자(164)의 다른 전극으로서 기능하게 된다.

[0046] 도 2a 및 도 2b에 도시된 상기 용량 소자(164)에서 상기 산화물 반도체층(144)과 상기 게이트 절연층(146)을 적층함으로써, 상기 소스 또는 드레인 전극(142a)과 상기 전극(148b) 사이의 절연성을 충분하게 확보할 수 있다는 것을 주의한다.

[0047] 상기 트랜지스터(162) 및 상기 용량 소자(164)에 있어서, 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 단부는 테이퍼 형상인 것이 바람직하다. 여기에서, 테이퍼 각은 예를 들면, 30° 이상 60° 이하로 한다는 것을 주의한다. "테이퍼 각"은 테이퍼 형상을 가지는 층(예를 들면, 상기 소스 또는 드레인 전극(142a))을 그 단면(기판의 표면과 직교하는 면)에 수직한 방향에서 관찰했을 때, 상기 층의 측면과 저면에 의해 형성된 경사각을 나타낸다. 상기 소스 또는 드레인 전극(142a) 및 상기 소스 또는 드레인 전극(142b)의 단부를 테이퍼 형상으로 함으로써, 상기 산화물 반도체층(144)의 피복성이 향상되고 절단을 방지할 수 있다.

[0048] 또한, 상기 트랜지스터(162) 및 상기 용량 소자(164) 위에는 충간 절연층(150)이 설치되어 있고, 상기 충간 절연층(150) 위에 충간 절연층(152)이 제공된다.

[0049] <반도체 장치의 변형 예>

[0050] 도 3a 및 도 3b는 반도체 장치의 구성의 변형 예를 나타내는 단면도이다. 도 3a 및 도 3b는 각각 제 1 변형 예에 관계되는 반도체 장치의 단면 및 제 2 변형 예에 관계되는 반도체 장치의 단면을 나타낸다. 도 3a 및 도 3b에 도시된 반도체 장치는 각각 도 2a에 도시된 구성의 변형 예에 상당한다는 것을 주의한다.

[0051] 도 3a에 도시된 반도체 장치와 도 2a에 도시된 반도체 장치의 차이는 도 3a는 충간 절연층(128)과 절연층(138)의 사이에 절연층(132) 및 절연층(134)을 포함한다는 것이다. 여기에서, 절연층(132)에는 수소가 첨가된 질화 실리콘을 사용할 수 있고 절연층(134)에는 수소가 첨가되지 않은 질화 실리콘을 사용할 수 있다. 또한, 절연층(138)은 산화 실리콘을 사용하여 형성되는 것이 바람직하다.

[0052] 하층에 수소가 첨가된 질화 실리콘을 사용하여 형성된 절연층(132) 및 상층에 수소가 첨가되지 않은 질화 실리콘으로 형성된 절연층(134)을 가지는 구성을 채용함으로써, 트랜지스터(170)의 채널 형성 영역(116)을 구성하는 재료(예를 들면, 실리콘)에 수소가 공급될 수 있어서, 트랜지스터(170)의 특성을 향상시킬 수 있고, 산화물 반

도체를 사용한 트랜지스터(162)의 특성 악화의 원인이 되는 수소가 산화물 반도체층(144)으로 혼입되는 것을 방지할 수 있다. 수소가 첨가된 질화 실리콘을 사용하여 형성된 절연층(132)은 플라즈마 CVD법 등에 의해 형성할 수 있다는 것을 주의한다. 수소가 첨가되지 않은 질화 실리콘을 사용하여 형성된 절연층(134)은 스퍼터링법 등에 의해 형성할 수 있다. 스퍼터링법을 사용하는 경우, 예를 들면, 성막 분위기는 질소 분위기 또는 질소와 아르곤의 혼합 분위기이고, 수소를 포함하지 않는 실리콘을 스퍼터링 타겟으로서 사용할 수 있다.

[0053] 도 3b에 도시된 반도체 장치와 도 2a에 도시된 반도체 장치의 차이는 도 3b는 충간 절연층(128)과 절연층(138) 사이에 절연층(134)을 포함한다는 것이다. 여기에서, 절연층(134)은 수소가 첨가되지 않은 질화 실리콘을 사용하여 형성된다. 충간 절연층(126)은 수소가 첨가된 질화 실리콘을 사용하여 형성된다. 충간 절연층(128) 및 절연층(138)은 산화 실리콘을 사용하여 형성되는 것이 바람직하다.

[0054] 수소가 첨가된 질화 실리콘을 사용하여 형성된 절연층(126) 및 수소가 첨가되지 않은 질화 실리콘을 사용하여 형성된 절연층(134)을 가지는 구성을 채용함으로써, 트랜지스터(170)의 채널 형성 영역(116)의 재료(예를 들면, 실리콘)에 수소가 공급될 수 있어서, 트랜지스터(170)의 특성을 향상시킬 수 있고, 산화물 반도체를 사용한 트랜지스터(162)의 특성 악화의 원인이 되는 수소가 산화물 반도체층(144)으로 혼입되는 것을 방지할 수 있다. 수소가 첨가된 질화 실리콘을 사용하여 형성된 충간 절연층(126)은 플라즈마 CVD법 등에 의해 형성할 수 있다는 것을 주의한다. 수소가 첨가되지 않은 질화 실리콘을 사용하여 형성된 절연층(134)은 스퍼터링법 등에 의해 형성할 수 있다. 스퍼터링법을 사용하는 경우, 예를 들면, 성막 분위기는 질소 분위기 또는 질소와 아르곤의 혼합 분위기이고, 수소를 포함하지 않는 실리콘을 스퍼터링 타겟으로서 사용할 수 있다.

[0055] <상부의 트랜지스터 및 용량 소자의 변형 예>

[0056] 다음에, 도 2a 및 도 2b에 도시된 상부의 트랜지스터(162) 및 용량 소자(164)의 변형 예를 도 4a, 도 4b, 및 도 4c에 나타낸다.

[0057] 도 4a에 도시된 트랜지스터 및 용량 소자는 도 2a 및 도 2b에 도시된 반도체 장치의 상부의 트랜지스터 및 용량 소자의 변형 예이다.

[0058] 도 4a에 도시된 구성과 도 2a 및 도 2b에 도시된 구성과의 차이는 도 4a는 산화물 반도체층이 섬 형상을 갖도록 형성된 점에 있다. 즉, 도 2a 및 도 2b에 도시된 구성에서는, 산화물 반도체층(144)이 절연층(138), 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)의 전체를 덮는 반면, 도 4a에 도시된 구성에서는, 섬 형상의 산화물 반도체층(144)이 절연층(138), 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)의 일부를 덮는다. 여기에서, 섬 형상의 산화물 반도체층(144)의 단부는 테이퍼 형상인 것이 바람직하다. 테이퍼 각은 예를 들면, 30° 이상 60° 이하로 하는 것이 바람직하다.

[0059] 또한, 용량 소자(164)에 있어서, 산화물 반도체층(144)과 게이트 절연층(146)을 적층시킴으로써, 소스 또는 드레인 전극(142a)과 전극(148b) 사이의 절연성을 충분하게 확보할 수 있다.

[0060] 도 4b에 도시된 트랜지스터 및 용량 소자는 도 2a 및 도 2b에 도시된 반도체 장치의 상부의 트랜지스터 및 용량 소자의 다른 변형 예이다.

[0061] 도 4b에 도시된 구성과 도 2a 및 도 2b에 나타내는 구성과의 차이는, 도 4b는 절연층(143)이 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b) 위에 형성되어 있다는 점이다. 또한, 산화물 반도체층(144)이 절연층(143), 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 덮도록 형성되어 있다는 점이다. 또한, 도 4b에 도시된 구성에서, 산화물 반도체층(144)은 절연층(143)에 형성된 개구를 통해 소스 또는 드레인 전극(142a)에 접해서 제공된다.

[0062] 절연층(143)이 제공될 때, 게이트 전극과 소스 전극 및 게이트 전극과 드레인 전극의 사이에 형성되는 용량이 저감되어, 트랜지스터의 고속 동작을 실현할 수 있다.

[0063] 도 4c에 도시된 트랜지스터 및 용량 소자는 도 4a 및 도 4b의 트랜지스터 및 용량 소자와 일부 다른 구성이다.

[0064] 도 4c에 도시된 구성과 도 4a에 도시된 구성의 차이는, 도 4c는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b) 위에 절연층(143)이 형성되어 있다는 점이다. 또한, 산화물 반도체층(144)이 절연층(143), 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 덮도록 형성되어 있다는 점이다. 또한, 도 4c에 도시된 구성과 도 4b에 도시된 구성의 차이는, 도 4c는 섬 형상을 갖도록 형성된 산화물 반도체층(144)을 포함한다는 점이다. 상기 구성에 의해, 도 4a의 구성으로 획득되는 효과와 도 4b의 구성으로 획득되는 효과를 모두

수득할 수 있다.

[0065] <반도체 장치의 회로 구성 및 동작>

[0066] 다음에, 상기 반도체 장치의 회로 구성의 예 및 그 동작에 관하여 설명한다. 도 5a1, 도 5a2, 및 도 5b는 도 2a 또는 도 2b에 도시된 반도체 장치를 사용한 회로 구성의 예이다.

[0067] 도 5a1에 도시된 반도체 장치에 있어서, 제 1 배선(소스선이라고도 부르는)과 트랜지스터(160)의 소스 전극은 서로 전기적으로 접속되고, 제 2 배선(비트선이라고도 부르는)과 트랜지스터(160)의 드레인 전극은 서로 전기적으로 접속되어 있다. 또한, 제 3 배선(제 1 신호선이라고도 부르는)과 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나는 서로 전기적으로 접속되고, 제 4 배선(제 2 신호선이라고도 부르는)과 트랜지스터(162)의 게이트 전극은 서로 전기적으로 접속되어 있다. 트랜지스터(160)의 게이트 전극, 트랜지스터(162)의 소스 전극 및 드레인 전극 중 다른 하나는 용량 소자(164)의 한 전극에 전기적으로 접속된다. 또한, 제 5 배선(워드선이라고도 부르는)과 용량 소자(164)의 다른 전극은 서로 전기적으로 접속되어 있다.

[0068] 여기에서, 트랜지스터(160) 및 트랜지스터(162)로서 상기의 산화물 반도체를 사용한 트랜지스터가 사용된다. 상기의 산화물 반도체를 사용한 트랜지스터는 오프 전류가 지극히 낮은 특징을 가지고 있다. 이 때문에, 트랜지스터(162)가 턴오프될 때, 트랜지스터(160)의 게이트 전극의 전위를 지극히 장시간에 걸쳐 유지하는 것이 가능하다. 용량 소자(164)를 제공함으로써 트랜지스터(160)의 게이트 전극에 주어진 전하의 유지 및 저장된 데이터의 판독이 용이해진다. 산화물 반도체를 사용한 트랜지스터(162)는 10nm 이상 1000nm 이하의 채널 길이(L)를 갖기 때문에, 소비 전력이 작아지고, 매우 고속으로 동작할 수 있다는 것을 주의한다.

[0069] 도 5a1에 도시된 반도체 장치는 트랜지스터(160)의 게이트 전극의 전위가 유지가능하다는 특징을 사용함으로써 다음과 같이, 데이터의 기록, 저장, 판독이 가능하다.

[0070] 먼저, 데이터의 기록 및 저장에 관하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(162)가 온 상태가 되는 전위로 설정하여, 트랜지스터(162)를 턴온한다. 이것에 의해, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 공급된다. 즉, 트랜지스터(160)의 게이트 전극에 소정의 전하가 주어진다(기록). 여기에서는, 전위 레벨의 공급을 위한 전하 또는 상이한 전위 레벨을 공급하기 위한 전하(이하 Low 레벨 전하 및 High 레벨 전하라고 한다)가 주어진다. 그 후에 제 4 배선의 전위를 트랜지스터(162)를 턴오프하는 전위를 설정하여, 트랜지스터(162)가 턴오프된다. 따라서, 트랜지스터(160)의 게이트 전극에 주어진 전하가 유지된다(저장).

[0071] 트랜지스터(162)의 오프 전류는 지극히 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

[0072] 다음에, 데이터의 판독에 관하여 설명한다. 제 1 배선에 소정의 전위(정전위)가 공급되는 동안 제 5 배선에 적절한 전위(판독 전위)를 공급함으로써, 트랜지스터(160)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선의 전위가 변한다. 일반적으로, 트랜지스터(160)가 n-채널 트랜지스터라고 하면, 트랜지스터(160)의 게이트 전극에 High 레벨 전하가 주어지는 경우 걸보기 임계 전압($V_{th,H}$)은 트랜지스터(160)의 게이트 전극에 Low 레벨 전하가 주어지는 경우의 걸보기 임계 전압($V_{th,L}$)보다 낮기 때문이다. 여기에서, 걸보기 임계 전압은 트랜지스터(160)를 턴온하기 위해서 필요한 제 5 배선의 전위를 말한다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 중간의 전위(V_0)로 함으로써, 트랜지스터(160)의 게이트 전극에 주어지는 전하를 결정할 수 있다. 예를 들면, 기록에 있어서, High 레벨 전하가 주어지는 경우에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면, 트랜지스터(160)는 턴온된다. 기록에 있어서, Low 레벨 전하가 주어지는 경우에는, 제 5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도, 트랜지스터(160)는 오프 상태로 유지된다. 이 때문에, 제 2 배선의 전위에 의해 저장된 데이터가 판독될 수 있다.

[0073] 메모리 셀을 어레이 모양으로 배치해서 사용할 경우에는, 원하는 메모리 셀의 데이터만을 판독할 필요가 있다는 것을 주의한다. 따라서, 소정의 메모리 셀의 데이터를 판독하고, 그 이외의 메모리 셀의 데이터를 판독하지 않도록 하기 위해서, 메모리 셀들 간에서 트랜지스터(160)가 병렬로 접속되어 있는 경우, 게이트 전극의 상태와 상관없이 트랜지스터(160)가 턴오프되도록 하는 전위, 즉 데이터가 판독되지 않는 메모리 셀의 제 5 배선에 $V_{th,H}$ 보다 작은 전위가 공급된다. 메모리 셀들 간에서 트랜지스터(160)가 직렬로 접속되어 있을 경우에는, 게이트 전극의 상태와 상관없이 트랜지스터(160)가 턴온되도록 하는 전위, 제 5 배선에 $V_{th,L}$ 보다 큰 전위가 공급된다.

[0074] 다음에, 데이터의 재기록에 관하여 설명한다. 데이터의 재기록은 상기 데이터의 기록 및 저장과 유사하게 실시된다. 즉, 제 4 배선의 전위를 트랜지스터(162)가 턴온되는 전위로 설정하여, 트랜지스터(162)를 턴온한다. 이 것에 의해, 제 3 배선의 전위(새로운 데이터에 관계되는 전위)가 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 공급된다. 그 후에 제 4 배선의 전위를 트랜지스터(162)가 턴오프되는 전위로 설정하여, 트랜지스터(162)를 턴오프한다. 따라서, 트랜지스터(160)의 게이트 전극에 새로운 데이터에 관계되는 전하가 주어진다.

[0075] 개시하는 발명에 따른 반도체 장치에서, 상기와 같이 데이터의 다른 기록에 의해 직접적으로 데이터가 재기록될 수 있다. 이 때문에 플래시 메모리 등에 필요한 소거 동작이 필요하지 않아서, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0076] 트랜지스터(162)의 소스 전극 또는 드레인 전극은 트랜지스터(160)의 게이트 전극에 전기적으로 접속되어, 비휘발성 메모리 소자로서 사용할 수 있는 플로팅 게이트 트랜지스터의 플로팅 게이트와 유사한 효과를 갖는다. 이 때문에, 도면 중, 트랜지스터(162)의 소스 전극 또는 드레인 전극과 트랜지스터(160)의 게이트 전극이 서로 전기적으로 접속되는 부위를 플로팅 게이트부(FG)라고 부를 경우가 있다. 트랜지스터(162)가 오프일 때, 상기 플로팅 게이트부(FG)는 절연체에 임베딩되었다고 볼 수 있고, 따라서 플로팅 게이트부(FG)에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류량은 실리콘 등을 사용하여 형성되는 트랜지스터의 오프 전류량의 10 만분의 1 이하이기 때문에, 트랜지스터(162)의 리크 전류에 의해 플로팅 게이트부(FG)에 축적되는 전하의 소실은 무시할 수 있다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의해, 비휘발성의 메모리 장치를 실현하는 것이 가능하다.

[0077] 예를 들면, 트랜지스터(162)의 실온에서의 오프 전류 밀도가 10zA (1zA (జප토암페어))는 $1 \times 10^{-21}\text{A}$ 정도이며, 용량 소자(164)의 용량값이 1pF 정도일 경우에는, 적어도 10^6 초 이상 데이터 저장이 가능하다. 상기 저장 시간이 트랜지스터 특성이나 용량값에 따른다는 것은 말할 필요도 없다.

[0078] 또한, 이 경우, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적된 게이트 절연막(터널 절연막)의 열화라고 하는 문제가 존재하지 않는다. 즉, 종래 문제라고 하는, 전자의 플로팅 게이트로의 주입으로 인한 게이트 절연막의 열화가 회피될 수 있다. 이것은, 이론적으로 기록 회수의 제한이 없다는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기록이나 소거 때에 필요했던 고전압도 필요하지 않다.

[0079] 도 5a1에 도시된 반도체 장치의 회로 구성은 상기 반도체 장치에 포함된 트랜지스터 등의 요소가 저항 및 용량 소자를 포함하는 것으로서, 도 5a2와 같은 회로 구성으로 교체 가능하다. 즉, 도 5a2에서는, 트랜지스터(160) 및 용량 소자(164)는 각각 저항 및 용량 소자를 포함하는 것으로 고려된다. R1 및 C1은 각각 용량 소자(164)의 저항값 및 용량값이며, 저항값(R1)은 용량 소자(164)에 포함된 절연층에 따른 저항값에 상당한다. R2 및 C2는 각각 트랜지스터(160)의 저항값 및 용량값이다. 저항값(R2)은 트랜지스터(160)가 온일 때의 트랜지스터(160)에 포함된 게이트 절연층에 따른 저항값에 상당한다. 용량값(C2)은 소위 게이트 용량(게이트 전극과 소스 전극 사이 및 게이트 전극과 드레인 전극 사이에 형성되는 용량)값에 상당한다. 저항값(R2)은 트랜지스터(160)의 게이트 전극과 채널 형성 영역 사이의 저항값만을 나타내고, 이 점을 명확히 하기 위해서, 접속의 일부를 접선으로 나타내고 있다는 것을 주의한다.

[0080] 트랜지스터(162)가 오프 상태에 있을 경우의 소스 전극과 드레인 전극의 사이의 저항값(실효저항이라고도 부르는)을 ROS라고 하면, R1 및 R2이 $R1 \geq ROS$ (R1은 ROS 이상), $R2 \geq ROS$ (R2은 ROS 이상)을 충족시킬 경우에는, 전하의 유지 시간(데이터 저장 기간이라고 할 수도 있는)은 주로 트랜지스터(162)의 오프 전류에 의해 결정되게 된다.

[0081] 반대로, 상기 관계를 충족시키지 않을 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작더라도, 유지 시간을 충분하게 확보하는 것이 곤란해진다. 트랜지스터(162) 이외의 부분에서 생성된 리크 전류량이 크기 때문이다. 따라서, 본 실시형태에 있어서 개시하는 반도체 장치는 상기의 관계를 만족시키는 것이 바람직하다고 할 수 있다.

[0082] C1과 C2는 $C1 \geq C2$ (C1은 C2 이상)의 관계를 만족하는 것이 바람직하다. C1이 크면, 제 5 배선에 의해 플로팅 게이트부(FG)의 전위를 제어할 때(예를 들면, 판독 시), 제 5 배선의 전위의 변동을 낮게 할 수 있다.

[0083] 상기의 관계가 충족될 때, 보다 바람직한 반도체 장치를 실현하는 것이 가능하다. R1 및 R2는 트랜지스터(160) 및 트랜지스터(162)의 게이트 절연층에 의해 제어된다는 것을 주의한다. C1 및 C2도 유사하게 제어된다. 따라서, 게이트 절연층의 재료, 두께 등을 적절히 설정하고, 상기의 관계를 만족하도록 하는 것이 바람직하다.

[0084] 도 5b에 도시된 반도체 장치는 도 5a1에 도시된 트랜지스터(160)를 설치하지 않는 구성의 반도체 장치이다. 도 5b에 도시된 반도체 장치에 있어서, 제 1 배선(제 1 신호선이라고도 부르는)과 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제 2 배선(제 2 신호선이라고도 부르는)과 트랜지스터(162)의 게이트 전극은 서로 전기적으로 접속되어 있다. 그리고, 트랜지스터(162)의 소스 전극 및 드레인 전극의 다른 하나와 용량 소자(164)의 한 전극은 서로 전기적으로 접속된다. 제 3 배선(용량선이라고도 부르는)과 용량 소자(164)의 다른 전극은 서로 전기적으로 접속되어 있다.

[0085] 여기에서, 트랜지스터(162)로서 상기의 산화물 반도체를 사용한 트랜지스터가 적용된다. 상기의 산화물 반도체를 사용한 트랜지스터는 오프 전류가 지극히 작다고 하는 특징을 가지고 있다. 이 때문에, 트랜지스터(162)가 턴오프될 때, 용량 소자(164)에 공급된 전위를 지극히 장시간 동안 유지하는 것이 가능하다. 산화물 반도체를 사용한 트랜지스터(162)는 10nm 이상 1000nm 이하의 채널 길이(L)를 갖기 때문에, 소비 전력이 작고, 동작 속도가 지극히 크다.

[0086] 도 5b에 도시된 반도체 장치는 용량 소자(164)에 공급된 전위가 유지된다는 특징을 이용하여 다음과 같이, 데이터의 기록, 저장, 판독이 가능하다.

[0087] 처음에, 데이터의 기록 및 저장에 관하여 설명한다. 간략화를 위하여, 제 3 배선의 전위는 고정된다. 우선, 제 2 배선의 전위를 트랜지스터(162)가 턴온되는 전위로 설정하여, 트랜지스터(162)가 턴온된다. 이러한 방식으로, 제 1 배선의 전위가 용량 소자(164)의 한 전극에 공급된다. 즉, 용량 소자(164)에는 소정의 전하가 주어진다(기록). 그 후에 제 2 배선의 전위를 트랜지스터(162)가 턴오프되는 전위로 설정하여, 트랜지스터(162)가 턴오프된다. 따라서, 용량 소자(164)에 주어진 전하가 유지된다(저장). 트랜지스터(162)는 전술한 바와 같이, 지극히 오프 전류가 작으므로, 장시간 동안 전하를 유지할 수 있다.

[0088] 다음에, 데이터의 판독에 관하여 설명한다. 제 1 배선에 소정의 전위(정전위)가 공급되는 동안, 제 2 배선의 전위를 트랜지스터(162)를 턴온하는 전위를 설정함으로써, 용량 소자(164)에 유지되어 있는 전하량에 따라 제 1 배선의 전위가 변한다. 이 때문에, 제 1 배선의 전위에 의해 저장된 데이터를 판독할 수 있다.

[0089] 데이터가 판독되는 경우, 용량 소자(164)의 전하는 손실되기 때문에, 다른 기록을 행하는 점을 주의한다.

[0090] 다음에, 데이터의 재기록에 관하여 설명한다. 데이터의 재기록은 상기 데이터의 기록 및 저장과 마찬가지로 실시된다. 즉, 제 2 배선의 전위를 트랜지스터(162)가 턴온되는 전위로 설정하여, 트랜지스터(162)가 턴온된다. 이것에 의해, 제 1 배선의 전위(새로운 데이터에 관계되는 전위)가 용량 소자(164)의 한 전극에 공급된다. 그 후에 제 2 배선의 전위를 트랜지스터(162)가 턴오프되는 전위로 설정하여, 트랜지스터(162)가 턴오프된다. 따라서, 용량 소자(164)에 새로운 데이터에 관계되는 전하가 주어진다.

[0091] 개시하는 발명의 일 실시형태에 따른 반도체 장치는 상기와 같이 데이터의 다른 기록에 의해 직접적으로 데이터를 재기록하는 것이 가능하다. 이 때문에, 반도체 장치의 고속 동작이 실현된다.

[0092] 상기 설명은 전자가 다수 캐리어인 n-채널 트랜지스터가 사용된다는 것을 주의한다. 그러나, n-채널 트랜지스터 대신에, 정공이 다수 캐리어인 p-채널 트랜지스터를 사용할 수 있는 것은 말할 필요도 없다.

[0093] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0094] (실시형태 2)

[0095] 본 실시형태에서는 산화물 반도체를 사용한 반도체 장치의 제작 방법, 구체적으로는, 도 2a 및 도 2b의 상부의 트랜지스터(162)의 제작 방법에 대해서, 도 6a 내지 도 6e를 참조하여 설명한다. 도 6a 내지 도 6e는 주로 트랜지스터(162)의 제작 공정 등에 대해서 도시하는 것이기 때문에, 트랜지스터(162)의 하부에 존재하는 트랜지스터(170) 등의 상세한 설명은 생략한다는 것을 주의한다.

[0096] 우선, 충간 절연층(128) 위에 절연층(138)을 형성한다. 그 후에 절연층(138) 위에 도전층을 형성하고 선택적으로 에칭하여, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)이 형성된다(도 6a 참조).

[0097] 절연층(138)은 하지로서 기능하는 것이며, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 절연층(138)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 절연층(138)은 가능한 한 수소나 수분을 포함하지 않도록 형성하는 것이 바람직하다는 것을 주의한다. 절연층(138)을 설치하지 않는 구성으로 하는 것도 가능하다.

[0098]

도전층은 스팍터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상기한 임의의 원소를 성분으로 하는 합금 등을 사용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 대안적으로, 알루미늄에 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 이상의 원소를 조합시킨 재료를 사용해도 된다.

[0099]

도전층은 단층 구조이어도 양호하고, 2층 이상의 적층 구조로 해도 된다. 예를 들면, 티타늄 막이나 질화 티타늄 막의 단층 구조, 실리콘을 함유하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티타늄 막이 적층된 2층 구조, 질화 티타늄 막 위에 티타늄 막이 적층된 2층 구조, 티타늄 막과 알루미늄 막과 티타늄 막이 순서대로 적층된 3층 구조 등을 들 수 있다. 도전층을 티타늄 막이나 질화 티타늄 막의 단층 구조로 할 경우에는, 테이퍼 형상을 가지는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)으로의 가공이 용이하다고 하는 장점이 있다는 것을 주의한다.

[0100]

대안적으로, 도전층은 도전성 금속 산화물을 사용하여 형성될 수 있다. 도전성의 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, ITO로 약기할 경우가 있음), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 이를 금속 산화물 재료에 실리콘 또는 산화 실리콘을 함유시킨 것을 사용할 수 있다.

[0101]

도전층은 형성되는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)의 단부가 테이퍼되도록 예칭되는 것이 바람직하다. 여기에서, 테이퍼 각은, 예를 들면, 30° 이상 60° 이하인 것이 바람직하다. 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)의 단부를 테이퍼되도록 예칭함으로써, 나중에 형성되는 게이트 절연층(146)의 폐복성이 향상되고, 절단을 방지할 수 있다. "테이퍼 각"은 테이퍼 형상을 가지는 층(예를 들면, 소스 또는 드레인 전극(142a))을 그 단면(기판의 표면과 직교하는 면)에 수직한 방향에서 관찰했을 때에, 상기 층의 측면과 저면이 이루는 경사각을 나타낸다는 것을 주의한다.

[0102]

트랜지스터의 채널 길이(L)는 소스 또는 드레인 전극(142a)의 하단부와 소스 또는 드레인 전극(142b)의 하단부 사이의 거리에 의해 결정된다. 트랜지스터의 채널 길이(L)가 25nm 미만인 경우, 수nm 내지 수십nm로 파장이 짧은 초자외선(Extreme Ultraviolet)을 사용해서 마스크를 형성하기 위해 노광을 행하는 것이 바람직하다는 것을 주의한다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 나중에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm($1\mu m$) 이하로 하는 것도 가능해서, 회로는 더 고속으로 동작할 수 있다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감하는 것도 가능하다.

[0103]

소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b) 위에 절연층을 형성할 수 있다는 것을 주의한다. 상기 절연층을 설치함으로써, 나중에 형성되는 게이트 전극과 소스 또는 드레인 전극(142a) 및 상기 게이트 전극과 소스 또는 드레인 전극(142b) 사이의 기생 용량을 저감하는 것이 가능하다.

[0104]

다음에, 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)을 덮도록 산화물 반도체층(144)을 형성한다(도 6b 참조).

[0105]

산화물 반도체층(144)은 4원계 금속 산화물인 $In-Sn-Ga-Zn-0$ 계 산화물 반도체, 3원계 금속 산화물인 $In-Ga-Zn-0$ 계 산화물 반도체, $In-Sn-Zn-0$ 계 산화물 반도체, $In-Al-Zn-0$ 계 산화물 반도체, $Sn-Ga-Zn-0$ 계 산화물 반도체, $Al-Ga-Zn-0$ 계 산화물 반도체, $Sn-Al-Zn-0$ 계 산화물 반도체, 2원계 금속 산화물인 $In-Zn-0$ 계 산화물 반도체, $Sn-Zn-0$ 계 산화물 반도체, $Al-Zn-0$ 계 산화물 반도체, $Zn-Mg-0$ 계 산화물 반도체, $Sn-Mg-0$ 계 산화물 반도체, $In-Mg-0$ 계 산화물 반도체, 1원계 금속 산화물인 $In-0$ 계 산화물 반도체, $Sn-0$ 계 산화물 반도체, $Zn-0$ 계 산화물 반도체 등의 산화물 반도체를 사용하여 형성할 수 있다.

[0106]

특히, $In-Ga-Zn-0$ 계 산화물 반도체 재료는 무전계일 때 충분히 높은 저항을 가져 오프 전류를 충분하게 저감하는 것이 가능하다. 또한, 전계 효과 이동도도 높기 때문에, $In-Ga-Zn-0$ 계 산화물 반도체 재료는 반도체 장치에 사용하는 반도체 재료로서는 바람직하다.

[0107]

$In-Ga-Zn-0$ 계 산화물 반도체 재료의 대표 예로서는, $InGaO_3(ZnO)_m$ ($m > 0$, m : 자연수로 제한되지 않음)으로 표기되는 것이 있다. 또한, Ga 대신에 M을 사용하여, $InMO_3(ZnO)_m$ ($m > 0$, m : 자연수로 제한되지 않음)과 같이 표기되는 산화물 반도체 재료가 있다. 여기에서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M으로서는, Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등을 적용할 수 있다. 상기의 조성은 산화물 반도체 재료가 단지 예일 뿐인 결정 구조

로부터 도출되는 것이라는 것을 주의한다.

[0108] 산화물 반도체층(144)을 스퍼터링법으로 제작하기 위한 타겟으로서는, $In:Ga:Zn=1:x:y$ (x 는 0 이상, y 는 0.5 이상 5 이하)의 조성식으로 표현된 것을 사용하는 것이 바람직하다. 예를 들면, $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]의 조성비를 가지는 타겟 등을 사용할 수 있다. 대안적으로, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비]의 조성비를 가지는 타겟이나, $In_2O_3:Ga_2O_3:ZnO=1:1:4$ [mol수비]의 조성비를 가지는 타겟이나, $In_2O_3:ZnO=1:2$ [mol수비]의 조성비를 가지는 타겟을 사용할 수도 있다.

[0109] 본 실시형태에서는, 비정질 구조의 산화물 반도체층(144)이 $In-Ga-Zn-O$ 계 금속 산화물 타겟을 사용하여 스퍼터링법에 의해 형성된다.

[0110] 금속 산화물 타겟 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타겟을 사용함으로써, 조밀한 구조의 산화물 반도체층(144)을 형성할 수 있다.

[0111] 산화물 반도체층(144)의 형성 분위기는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는, 희가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 바람직하다. 구체적으로는, 예를 들면, 수소, 수분, 수산기, 수소화물 등의 불순물이 농도 1ppm 이하(바람직하게는 농도 10ppb 이하)까지 제거된 고순도 가스 분위기를 사용하는 것이 바람직하다.

[0112] 산화물 반도체층(144)의 형성시, 예를 들면, 감압 상태로 유지된 처리실에 피처리물을 유지하고, 피처리물의 온도가 100°C 이상 550°C 미만, 바람직하게는 200°C 이상 400°C 이하로 피처리물이 가열된다. 대안적으로, 산화물 반도체층(144)의 형성 때의 피처리물의 온도는 실온일 수 있다. 그리고, 처리실 내의 수분을 제거하면서, 수소나 수분 등이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 사용해서 산화물 반도체층(144)을 형성한다. 피처리물을 가열하면서 산화물 반도체층(144)을 형성함으로써, 산화물 반도체층(144)에 포함되는 불순물을 저감할 수 있다. 또한, 스퍼터링에 의한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하기 위해서는 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등을 사용할 수 있다. 터보 펌프에 콜드트랩을 부가한 것을 사용해도 된다. 크라이오 펌프 등을 사용해서 배기함으로써, 처리실로부터 수소나 수분 등을 제거함으로써, 산화물 반도체층(144)의 불순물 농도를 저감할 수 있다.

[0113] 산화물 반도체층(144)은, 예를 들면, 피처리물과 타겟의 사이와의 거리가 170mm, 압력이 0.4Pa, 직류(DC)전력이 0.5kW, 분위기가 산소(산소 유량비 100%) 분위기, 아르곤(아르곤 유량비 100%) 분위기, 또는 산소와 아르곤의 혼합 분위기로 하는 조건 하에서 형성될 수 있다. 펄스 직류(DC)전원을 사용하면, 성막시에 형성되는 분말 상태의 물질(파티클, 먼지라고도 말하는)을 저감할 수 있고, 막 두께 분포도 균일하기 때문에 바람직하다는 것을 주의한다. 산화물 반도체층(144)의 두께는 1nm 이상 50nm 이하, 바람직하게는 1nm 이상 30nm 이하, 보다 바람직하게는 1nm 이상 10nm 이하로 한다. 이러한 두께의 산화물 반도체층(144)을 사용함으로써 미세화로 인한 단채널 효과를 억제하는 것이 가능하다. 사용되는 산화물 반도체 재료나, 반도체 장치의 용도 등에 의해 적절한 두께는 다르기 때문에, 그 두께는, 사용하는 재료나 용도 등에 따라 적절히 설정될 수 있다는 것을 주의한다.

[0114] 산화물 반도체층(144)을 스퍼터링법에 의해 형성하기 전에는, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터링을 행함으로써 산화물 반도체층(144)이 형성되는 표면(예를 들면 충간 질연층(128)의 표면)의 부착물을 제거하는 것이 바람직하다는 것을 주의한다. 여기에서, 역스퍼터링은 스퍼터링 타겟에 이온을 충돌시키는 통상의 스퍼터링과 반대로, 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법이다. 처리 표면에 이온을 충돌시키는 방법의 예는, 아르곤 분위기 하에서 처리 표면에 고주파 전압을 인가하여, 피처리물 부근에 플라즈마를 생성하는 방법이다. 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기, 산소 분위기 등이 사용될 수 있다는 것을 주의한다.

[0115] 그 후에 산화물 반도체층(144)에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 제 1 열처리에 의해 산화물 반도체층(144)의 과잉 수소(수분 및 수산기를 포함하는)를 제거하여, 산화물 반도체층의 구조가 개선되고, 에너지 캡의 결함 준위를 저감할 수 있다. 제 1 열처리의 온도는 예를 들면, 300°C 이상 550°C 미만, 또는 400°C 이상 500°C 이하로 한다.

[0116] 열처리는 예를 들면, 저항 발열체 등을 사용한 전기로에 피처리물을 도입하고, 질소 분위기 하, 450°C, 1시간 동안 행할 수 있다. 열처리 동안 산화물 반도체층(144)은 대기애 노출되지 않아, 수분이나 수소의 혼입이 방지된다.

[0117]

열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치일 수 있다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용해서 열처리를 행하는 장치이다. 가스로서는 아르곤 등의 희가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스를 사용할 수 있다.

[0118]

예를 들면, 제 1 열처리로서, GRTA 처리가 다음과 같이 행해질 수 있다. 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 몇 분간 가열한 후, 상기 불활성 가스 분위기로부터 피처리물을 꺼낸다. GRTA 처리는 단시간 동안 고온 열처리가 가능하게 한다. 또한, GRTA 처리는 피처리물의 내열온도를 초과하는 온도일 때도 적용이 가능해진다. 처리 동안 불활성 가스를 산소를 포함하는 가스로 바꿀 수 있다는 것을 주의한다. 이는 산소를 포함하는 분위기에서 제 1 열처리를 행함으로써 산소 결핍에 기인하는 에너지 캡의 결함 준위를 저감할 수 있기 때문이다.

[0119]

불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)을 주성분으로 하는 분위기이며, 수분, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다는 것을 주의한다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0120]

어떤 경우든, 제 1 열처리에 의해 불순물을 저감하고, i 형(진성) 또는 실질적으로 i 형 산화물 반도체층(144)을 형성함으로써, 지극히 우수한 특성의 트랜지스터를 실현할 수 있다.

[0121]

상기의 열처리(제 1 열처리)는 수소나 수분 등을 제거하는 효과가 있기 때문에, 상기 열처리를 탈수화 처리나, 탈수소화 처리 등이라고 부를 수도 있다. 상기 탈수화 처리나, 탈수소화 처리는 예를 들어, 산화물 반도체층의 형성 후나 게이트 절연층의 형성 후, 또는 게이트 전극의 형성 후에 행하는 것도 가능하다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수회 행해도 된다.

[0122]

다음에, 산화물 반도체층(144)에 접하는 게이트 절연층(146)을 형성한다.(도 6c 참조). 게이트 절연층(146)은 CVD법, 스퍼터링법 등을 사용하여 형성할 수 있다. 게이트 절연층(146)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$)) 등을 포함하도록 형성하는 것이 바람직하다. 게이트 절연층(146)은 단층 구조 또는 적층 구조로 해도 된다. 그 두께는 특별하게 한정되지 않지만, 반도체 장치를 미세화할 경우에는, 트랜지스터의 동작을 확보하기 위해서 얇게 하는 것이 바람직하다. 예를 들면, 산화 실리콘을 사용할 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0123]

전술한 바와 같이, 게이트 절연층(146)을 얇게 하면, 터널 효과 등에 기인하는 게이트 리크가 문제가 된다. 게이트 리크의 문제를 해소하기 위해서는, 게이트 절연층(146)에 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$)) 등의 고유전율(high-k) 재료를 사용하면 양호하다. high-k 재료를 게이트 절연층(146)에 사용함으로써 전기적 특성을 확보하면서, 게이트 리크를 방지하기 위해서 막 두께를 크게 하는 것이 가능하게 된다. high-k 재료를 포함하는 막과 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄 등의 어느 하나를 포함하는 막의 적층 구조가 채용될 수 있다는 것을 주의한다.

[0124]

게이트 절연층(146)을 형성한 후, 불활성 가스 분위기 하 또는 산소 분위기 하에서 제 2 열처리를 행하는 것이 바람직하다. 열처리의 온도는 200°C 이상 450°C 이하, 바람직하게는 250°C 이상 350°C 이하이다. 예를 들면, 질소 분위기 하에서 250°C에서, 1시간의 열처리를 행하면 좋다. 제 2 열처리는 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함할 경우, 상기 산화물 반도체층(144)의 산소 결손을 보충하도록 산화물 반도체층(144)에 산소가 공급되어 i형(진성 반도체) 또는 실질적으로 i형 산화물 반도체층을 형성할 수도 있다.

[0125]

본 실시형태에서는, 게이트 절연층(146)이 형성된 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 이것으로 특별하게 한정되지 않는다는 것을 주의한다. 예를 들면, 게이트 전극이 형성된 후에 제 2 열처리를 행

해도 된다. 대안적으로, 제 1 열처리에 후속하여 제 2 열처리를 행해도 되고, 제 1 열처리가 제 2 열처리로서 2회 행해질 수 있고, 제 2 열처리가 제 1 열처리로서 2회 행해질 수 있다.

[0126] 다음에, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하는 영역에 게이트 전극(148a)을 형성한다(도 6d 참조). 게이트 전극(148a)은 게이트 절연층(146) 위에 도전층을 형성하고 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148a)이 되는 도전층은 스퍼터링법으로 대표되는 PVD법이나, 플라즈마 CVD법과 같은 CVD 법을 사용하여 형성할 수 있다. 상세한 것은 소스 또는 드레인 전극(142a) 등과 같아서, 이것들의 기재를 참조할 수 있다. 게이트 전극(148a)의 형성 시, 상기한 실시형태에 있어서의 용량 소자(164)의 전극(148b)을 또한 형성할 수 있다.

[0127] 다음에, 게이트 절연층(146) 및 게이트 전극(148a) 위에 충간 절연층(150) 및 충간 절연층(152)을 형성한다(도 6e 참조). 충간 절연층(150 및 152)은 PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 본 실시형태에서는, 충간 절연층(150 및 152)의 적층 구조로 하고 있지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다는 것을 주의한다. 단층 구조 또는 3 층 이상의 적층 구조로 해도 된다. 대안적으로, 충간 절연층을 설치하지 않는 구성으로 하는 것도 가능하다.

[0128] 상기 충간 절연층(152)은 평탄한 표면을 갖도록 형성하는 것이 바람직하다는 것을 주의한다. 이는 예를 들어, 반도체 장치를 미세화했을 경우 등에 있어서도, 충간 절연층(152) 위에 전극이나 배선 등을 적합하게 형성할 수 있기 때문이다. 충간 절연층(152)은 CMP(화학적 기계 연마) 등의 방법을 사용하여 평탄화될 수 있다.

[0129] 이상에서, 고순도화된 산화물 반도체층(144)을 사용한 트랜지스터(162)가 완성된다(도 6e 참조).

[0130] 도 6e에 도시된 트랜지스터(162)는 산화물 반도체층(144), 산화물 반도체층(144)에 전기적으로 접속하는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b), 산화물 반도체층(144), 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)을 덮는 게이트 절연층(146), 게이트 절연층(146) 위의 게이트 전극(148a), 게이트 절연층(146) 및 게이트 전극(148a) 위의 충간 절연층(150), 및 충간 절연층(150) 위의 충간 절연층(152)을 가진다.

[0131] 본 실시형태에 도시된 트랜지스터(162)에서 산화물 반도체층(144)이 고순도화되기 때문에, 수소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는 일반적인 실리콘 웨이퍼($1 \times 10^{14} / \text{cm}^2$ 정도)와 비교하여, 충분히 작은 값(예를 들면, $1 \times 10^{12} / \text{cm}^3$ 미만, 보다 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 미만)이다. 따라서, 오프 전류가 충분히 작다. 예를 들면, 트랜지스터(162)의 실온에서의 오프 전류 밀도(오프 전류를 트랜지스터의 채널 폭으로 나눈 값)은 $10 \text{ zA}/\mu\text{m}$ 내지 $100 \text{ zA}/\mu\text{m}$ (џ토팜페어)은 $1 \times 10^{-21} \text{ A}$ 정도가 된다.

[0132] 이와 같이 고순도화되어, 진성화된 산화물 반도체층(144)을 사용함으로써 트랜지스터의 오프 전류를 충분하게 저감할 수 있다. 그리고, 이러한 트랜지스터를 사용함으로써 지극히 장시간 동안 저장된 데이터를 저장하는 것이 가능한 반도체 장치가 수득된다.

[0133] 본 실시형태에 기술된 구성, 방법 등은, 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0134] (실시형태 3)

[0135] 본 실시형태에서는, 산화물 반도체(특히 비정질 구조를 가지는 산화물 반도체)를 사용한 트랜지스터의 제작 방법에 대해서, 도 7a 내지 도 7e를 사용하여 설명한다. 상기 트랜지스터는 상기한 실시형태에 있어서의 트랜지스터(162) 등 대신에 사용될 수 있다. 본 실시형태에 따른 트랜지스터의 구성은 임의의 상기한 실시형태에 따른 트랜지스터와 부분적으로 공통된다. 이 때문에, 이하에서는, 주로 차이점에 대해서 말한다. 이하에서는, 톱-게이트형의 트랜지스터를 예로 들어서 설명하지만, 트랜지스터의 구성은 톱-게이트 구조에 한정되지 않는다.

[0136] 우선, 피처리물(200) 위에 절연층(202)을 형성한다. 그 후에 절연층(202) 위에 산화물 반도체층(206)을 형성한다(도 7a 참조).

[0137] 피처리물(200)은 예를 들면, 임의의 상기 실시형태에 있어서의 충간 절연층(128)이다. 피처리물(200)의 표면은 산술 평균 거칠기(R_a)는 1 nm 이하, 보다 바람직하게는, 0.5 nm 이하이다. 패터닝에 사용하는 마스크의 노광 조건

의 요구는 높아지지만, 표면이 높은 평탄성을 가짐으로써, 노광 조건의 요구가 높으면 대응이 용이해진다. 상기의 산술 평균 거칠기는 예를 들면, $10\mu\text{m} \times 10\mu\text{m}$ 의 영역에서 측정할 수 있다는 것을 주의한다.

[0138] 절연층(202)은 임의의 상기 실시형태에 있어서의 절연층(138)에 상당하고, 하지로서 기능한다. 상세에 관해서는, 상기 임의의 실시형태를 참조할 수 있다. 절연층(202)을 설치하지 않는 구성으로 하는 것도 가능하다는 것을 주의한다.

[0139] 산화물 반도체층(206)은 임의의 상기 실시형태에 있어서의 산화물 반도체층(144)에 상당한다. 사용할 수 있는 재료, 제작 방법, 그 밖의 상세에 대해서는, 임의의 상기 실시형태를 참조할 수 있다.

[0140] 본 실시형태에서는, 비정질 구조의 산화물 반도체층(206)을 In-Ga-Zn-O계의 금속 산화물 타겟을 사용하는 스퍼터링법에 의해 형성한다.

[0141] 다음에, 마스크를 사용한 에칭 등의 방법에 의해 산화물 반도체층(206)을 가공하여, 섬 형상의 산화물 반도체층(206a)을 형성한다.

[0142] 산화물 반도체층(206)의 에칭 방법에는, 드라이 에칭 또는 웨트 에칭을 사용할 수 있다. 물론, 드라이 에칭 및 웨트 에칭을 조합시켜서 사용할 수도 있다. 산화물 반도체층을 원하는 형상으로 에칭하도록, 재료에 맞춰서 에칭 조건(에칭 가스나 에천트, 에칭 시간, 온도 등)은 적절히 설정한다.

[0143] 드라이 에칭에 사용하는 에칭 가스의 예는 염소를 포함하는 가스(염소(Cl_2), 삼염화붕소(BCl_3), 사염화규소(SiCl_4), 사염화탄소(CCl_4)와 같은 염소계 가스)가 있다. 또한, 불소를 포함하는 가스(사불화탄소(CF_4), 육불화유황(SF_6), 삼불화질소(NF_3), 트리플루오로메탄(CHF_3)과 같은 불소계 가스), 브롬화수소(HBr), 산소(O_2), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용해도 된다.

[0144] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 형상으로 산화물 반도체층을 에칭하기 위해, 에칭 조건(예를 들어, 코일형의 전극에 인가되는 전력량, 피처리물 측의 전극에 인가되는 전력량, 피처리물 측의 전극 온도 등)은 적절히 설정한다.

[0145] 웨트 에칭에 사용하는 에천트로서는, 인산과 아세트산과 초산을 섞은 용액 등을 사용할 수 있다. 또한, ITO07N(간토화학사제) 등의 에천트를 사용해도 된다.

[0146] 산화물 반도체층(206a)의 단부가 테이퍼 형상이 되도록 산화물 반도체층(206)을 에칭하는 것이 바람직하다. 여기에서, 테이퍼 각은 예를 들면, 30° 이상 60° 이하인 것이 바람직하다. "테이퍼 각"은 테이퍼 형상을 가지는 층(예를 들면, 산화물 반도체층(206a))을, 그 단면(피처리물의 표면과 직교하는 면)에 수직한 방향에서 관찰했을 때, 상기 층의 측면과 저면이 이루는 경사각을 나타낸다. 산화물 반도체층(206a)의 단부를 테이퍼 형상으로 에칭함으로써, 나중에 형성되는 소스 또는 드레인 전극(208a) 및 소스 또는 드레인 전극(208b)의 피복성이 향상하고, 절단을 방지할 수 있다.

[0147] 그 후에 산화물 반도체층(206a)에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 제 1 열처리에 의해 산화물 반도체층(206a)의 과잉 수소(수분 및 수산기를 포함하는)를 제거하여, 산화물 반도체층의 구조가 개선되고, 에너지 캡의 결함 준위를 저감할 수 있다. 상세한 것은 상기한 실시형태를 참조할 수 있다. 여기에서 개시된 바와 같이 열처리(제 1 열처리)를 에칭 후에 행할 경우에는, 웨트 에칭을 사용할 경우에도, 에칭 레이트가 높은 상태에서 에칭을 행할 수 있기 때문에, 에칭에 걸리는 시간을 단축할 수 있다고 하는 장점이 있다.

[0148] 제 1 열처리는 섬 형상의 산화물 반도체층(206a)으로 가공하기 전의 산화물 반도체층(206)에 행할 수도 있다는 것을 주의한다. 그 경우에는, 제 1 열처리 후에, 가열 장치로부터 피처리물(200)을 꺼내고, 포토리소그래피 공정을 행하게 된다.

[0149] 상기의 열처리(제 1 열처리)에는 수소, 수분 등을 제거하는 효과가 있기 때문에, 상기 열처리를 탈수화 처리, 탈수소화 처리 등으로 부를 수도 있다. 상기 탈수화 처리 또는 탈수소화 처리는 예를 들어, 산화물 반도체층의 형성 후, 산화물 반도체층(206a) 위에 소스 및 드레인 전극을 형성한 후, 또는 게이트 절연층을 형성한 후에 행하는 것도 가능하다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 또는 복수회 행해질 수 있다.

[0150] 다음에, 산화물 반도체층(206a)에 접하도록 도전층을 형성한다. 도전층을 선택적으로 에칭하여, 소스 또는 드레

인 전극(208a) 및 소스 또는 드레인 전극(208b)을 형성한다(도 7b 참조). 도전층, 소스 또는 드레인 전극(208a), 소스 또는 드레인 전극(208b), 등의 상세에 대해서는, 임의의 상기 실시형태에 있어서의 도전층, 소스 또는 드레인 전극 등에 관한 기재를 참조할 수 있다.

[0151] 다음에, 산화물 반도체층(206a)의 일부에 접하는 게이트 절연층(212)을 형성한다(도 7c 참조). 게이트 절연층(212)의 상세에 대해서는, 임의의 상기 실시형태에 있어서의 게이트 절연층 등에 관한 기재를 참조할 수 있다.

[0152] 게이트 절연층(212)의 형성 후에는, 불활성 가스 분위기 하 또는 산소 분위기 하에서 제 2 열처리를 행하는 것이 바람직하다. 제 2 열처리의 상세에 관해서도, 임의의 상기 실시형태를 참조할 수 있다.

[0153] 본 실시형태에서는, 게이트 절연층(212)의 형성 후에 제 2 열처리를 행하고 있지만, 제 2 열처리의 타이밍은 이 것에 특별하게 한정되지 않는다는 것을 주의한다. 예를 들면, 게이트 전극의 형성 후에 제 2 열처리를 행해도 된다.

[0154] 다음에, 게이트 절연층(212) 위에 산화물 반도체층(206a)과 중첩하는 영역에 게이트 전극(214)을 형성한다(도 7d 참조). 게이트 전극(214)은 게이트 절연층(212) 위에 도전층을 형성한 후에, 상기 도전층을 선택적으로 에칭 함으로써 형성할 수 있다. 게이트 전극(214)의 상세는 임의의 상기 실시형태를 참조한다. 게이트 전극(214)의 형성 시, 임의의 상기 실시형태에 있어서의 용량 소자의 전극이 또한 형성될 수 있다는 것을 주의한다.

[0155] 다음에, 게이트 절연층(212) 및 게이트 전극(214) 위에 층간 절연층(216) 및 층간 절연층(218)을 형성한다(도 7e 참조). 상세는 상기 실시형태를 참조한다. 대안적으로, 층간 절연층이 제공되지 않는 구성이 채용될 수 있다.

[0156] 이상으로, 고순도화된 비정질 구조의 산화물 반도체층(206a)을 사용한 트랜지스터(250)가 완성된다(도 7e 참조). 열처리의 조건에 따라서는, 산화물 반도체층(206a)에 결정 성분이 약간 존재할 경우도 있다.

[0157] 이와 같이 고순도화되고 진성화된 산화물 반도체층(206a)을 사용함으로써, 트랜지스터의 오프 전류를 충분하게 저감할 수 있다. 그리고, 이러한 트랜지스터를 사용함으로써, 지극히 장시간 동안 저장된 데이터를 저장하는 것이 가능한 반도체 장치가 수득된다.

[0158] 본 실시형태에서는, 톱-게이트형의 트랜지스터에 있어서, 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 서로 접하는 구성에 관하여 설명했지만, 본 실시형태의 구성을 적용할 수 있는 트랜지스터는 이것에 한정되지 않는다는 것을 주의한다. 예를 들면, 톱-게이트형의 트랜지스터에 있어서, 소스 및 드레인 전극의 상부와 산화물 반도체층의 하부가 서로 접하는 구성(도 2a 및 도 2b 또는 도 4a, 도 4b 및 도 4c에 도시된 구성 등)에 본 실시형태의 구성의 일부를 적용할 수 있다. 대안적으로, 보텀 게이트형의 트랜지스터에서, 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 서로 접하는 구성, 보텀 게이트형의 트랜지스터에서, 소스 및 드레인 전극의 상부와 산화물 반도체층의 하부가 접하는 구성 등에 대하여도, 본 실시형태의 구성의 일부를 적용할 수 있다. 즉, 본 실시형태에 의해, 비정질 구조의 산화물 반도체를 구비한 다양한 트랜지스터를 실현할 수 있다.

[0159] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0160] (실시형태 4)

[0161] 본 실시형태에서는, 산화물 반도체를 사용한 트랜지스터의 제작 방법에 대해서, 도 8a 내지 도 8e를 사용하여 설명한다. 본 실시형태에서는, 산화물 반도체층으로서, 결정 영역을 가지는 제 1 산화물 반도체층과 제 1 산화물 반도체층의 결정 영역으로부터 결정 성장에 의해 형성된 제 2 산화물 반도체층에 대해서 상세하게 설명한다. 상기 트랜지스터는 임의의 상기 실시형태에 있어서의 트랜지스터(162) 등을 대신해서 사용될 수 있다. 본 실시 형태에 따른 트랜지스터의 구성이 임의의 상기 실시형태에 따른 트랜지스터와 부분적으로 공통된다. 따라서, 이 하에서는, 주로 차이점에 대해서 말한다.

[0162] 제 1 산화물 반도체층만으로 필요한 두께를 확보할 수 있을 경우에는, 제 2 산화물 반도체층은 필요하지 않다는 것을 주의한다. 또한, 이하에서는, 톱-게이트 트랜지스터를 예를 들어서 설명하지만, 트랜지스터의 구성은 톱-게이트 구조에 한정되지 않는다.

[0163] 우선, 피처리물(300) 위에 절연층(302)을 형성한다. 다음, 절연층(302) 위에 제 1 산화물 반도체층을 형성하고 제 1 열처리에 의해 적어도 제 1 산화물 반도체층의 표면을 포함하는 영역을 결정화시켜서, 제 1 산화물 반도체층(304)을 형성한다(도 8a 참조).

- [0164] 피처리물(300)의 상세(피처리물의 표면 등의 상세)에 대해서는 임의의 상기 실시형태를 참조할 수 있다.
- [0165] 절연층(302)은 하지로서 기능한다. 절연층(302)의 상세에 관해서도 임의의 상기 실시형태를 참조할 수 있다. 절연층(302)을 설치하지 않는 구성이 채용될 수 있다는 것을 주의한다.
- [0166] 제 1 산화물 반도체층은 임의의 상기 실시형태에 있어서의 산화물 반도체층과 유사한 방법으로 형성할 수 있다. 따라서, 제 1 산화물 반도체층 및 그 성막 방법의 상세에 대해서는 임의의 상기 실시형태를 참조할 수 있다. 본 실시형태에서는, 제 1 열처리에 의해 제 1 산화물 반도체층을 의도적으로 결정화시키기 위해서, 결정화되기 쉬운 산화물 반도체를 사용해서 제 1 산화물 반도체층을 형성하는 것이 바람직하다는 것을 주의한다. 이러한 산화물 반도체로서는, 예를 들면, ZnO 등을 들 수 있다. 또한, In-Ga-Zn-O계 산화물 반도체 중에서, 예를 들면, 고농도의 Zn은 결정화하기 쉽고, 금속 원소(In, Ga 및 Zn)에 있어서 Zn이 차지하는 비율이 60atom% 이상이 이 목적으로 사용하기에 바람직하다. 제 1 산화물 반도체층의 두께는 1nm 이상 10nm 이하로 하는 것이 바람직하다. 본 실시형태에서는 일례로서 3nm의 두께로 설정된다. 사용되는 산화물 반도체 재료, 반도체 장치의 용도 등에 따라 제 1 산화물 반도체층의 적절한 두께는 다르기 때문에, 그 두께는 사용하는 재료나 용도 등에 따라 결정될 수 있다.
- [0167] 제 1 열처리의 온도는 550°C 이상 850°C 이하, 바람직하게는 600°C 이상 750°C 이하로 설정된다. 또한, 열처리의 시간은 1분 이상 24시간 이하인 것이 바람직하다. 열처리의 온도 및 열처리의 시간은 산화물 반도체의 종류 등에 따라 다르다는 것을 주의한다.
- [0168] 또한, 제 1 열처리의 분위기는 수소나 수분 등을 포함하지 않는 분위기로 하는 것이 바람직하다. 예를 들면, 수분이 충분하게 제거된, 질소 분위기, 산소 분위기, 또는 희가스(헬륨, 네온, 아르곤 등) 분위기가 채용될 수 있다.
- [0169] 열처리 장치는, 전기로 외에, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 사용할 수 있다. 예를 들면, LRTA(Lamp Rapid Thermal Anneal) 장치, GRTA(Gas Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용해서 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스를 사용할 수 있다.
- [0170] 상기의 제 1 열처리에 의해, 적어도 제 1 산화물 반도체층의 표면을 포함하는 영역이 결정화한다. 상기 결정 영역은 제 1 산화물 반도체층 표면으로부터 제 1 산화물 반도체층 내부로 결정성장이 진행함으로써 형성된다. 상기 결정 영역은 평균 두께가 1nm 이상 10nm 이하의 관형 결정을 포함한다는 것을 주의한다. 또한, 상기 결정 영역은 산화물 반도체층의 표면에 대하여 대략 수직한 방향에 c축 배향하는 결정을 포함한다. 여기에서, "대략 평행한 방향"은 평행 방향으로부터 ±10° 이내의 상태를 말하는 것이고 "대략 수직한 방향"은 수직 방향으로부터 ±10° 이내의 상태를 의미한다.
- [0171] 제 1 열처리에 의해 결정 영역을 형성하는 동안, 제 1 산화물 반도체층의 수소(수분 및 수산기를 포함하는) 등을 제거하는 것이 바람직하다. 수소 등을 제거할 경우에는, 순도가 6N(99.9999%) 이상(즉 불순물의 농도가 1ppm 이하)인 질소 분위기, 산소 분위기, 희가스(헬륨, 네온, 아르곤 등) 분위기에 있어서 제 1 열처리를 행하면 양호하다. 보다 바람직하게는, 순도가 7N(99.99999%) 이상(즉 불순물의 농도가 0.1ppm 이하)의 분위기이다. 또한, H₂O 농도가 20ppm 이하인 초건조공기, 바람직하게는, H₂O가 1ppm 이하인 초건조 공기에서 제 1 열처리를 행해도 된다.
- [0172] 또한, 제 1 열처리에 의해 결정 영역을 형성하면서, 제 1 산화물 반도체층에 산소를 공급하는 것이 바람직하다. 예를 들면, 열처리의 분위기를 산소 분위기로 함으로써, 제 1 산화물 반도체층에 산소를 공급할 수 있다.
- [0173] 본 실시형태에서는, 제 1 열처리로서, 질소 분위기 하에서 700°C로, 1시간의 열처리를 행해서 산화물 반도체층으로부터 수소 등을 제거한 후, 분위기를 산소 분위기로 변경함으로써 제 1 산화물 반도체층 내부에 산소를 공급한다. 또한, 제 1 열처리의 주된 목적은 결정 영역의 형성에 있기 때문에, 수소 등의 제거를 위한 처리 또는 산소의 공급을 위한 처리는 개별적으로 행할 수도 있다. 예를 들면, 수소 등을 제거하기 위한 열처리 또는 산소를 공급하기 위한 처리를 행한 후에, 결정화를 위한 열처리를 행하는 것이 가능하다.
- [0174] 이러한 제 1 열처리에 의해, 결정 영역을 가지고, 수소(수분 및 수산기를 포함하는) 등이 제거되어, 산소가 공

급된 제 1 산화물 반도체층이 수득된다.

[0175] 다음에, 적어도 표면을 포함하는 영역에 결정 영역을 가지는 제 1 산화물 반도체층(304) 위에 제 2 산화물 반도체층(305)을 형성한다(도 8b 참조). 제 1 산화물 반도체층(304)만으로 필요한 두께를 확보할 수 있을 경우에는, 제 2 산화물 반도체층(305)은 필요하지 않다는 것을 주의한다. 이 경우, 제 2 산화물 반도체층(305)에 관련된 공정을 생략할 수 있다.

[0176] 제 2 산화물 반도체층(305)은 임의의 상기 실시형태에 있어서의 산화물 반도체층과 유사한 방식으로 형성할 수 있다. 따라서, 제 2 산화물 반도체층(305) 및 그 성막 방법의 상세에 대해서는 임의의 상기 실시형태를 참조할 수 있다. 제 2 산화물 반도체층(305)은 제 1 산화물 반도체층(304)보다 두껍게 형성하는 것이 바람직하다는 것을 주의한다. 제 1 산화물 반도체층(304)과 제 2 산화물 반도체층(305)의 두께의 합이 1nm 이상 50nm 이하, 바람직하게는 1nm 이상 10nm 이하가 되도록 제 2 산화물 반도체층(305)을 형성하는 것이 바람직하다. 본 실시형태에서는, 일례로서 7nm의 두께로 설정된다. 사용되는 산화물 반도체 재료, 반도체 장치의 용도 등에 따라 제 2 산화물 반도체층의 적절한 두께는 다르기 때문에, 그 두께는, 재료, 용도 등에 따라 적절히 결정된다는 것을 주의한다.

[0177] 제 2 산화물 반도체층(305)은 제 1 산화물 반도체층(304)과 동일한 주성분을 포함하는 재료 및 결정화 후의 격자 상수가 제 1 산화물 반도체층(304)에 근접한 재료(미스매치가 1% 이하)를 사용하여 형성된 것이 바람직하다. 이러한 재료를 사용할 경우에는, 제 2 산화물 반도체층(305)의 결정화에 있어서, 제 1 산화물 반도체층(304)의 결정 영역을 종 결정으로 사용하는 결정 성장을 진행시키기 쉬워지기 때문이다. 또한, 동일 주성분을 포함하는 재료가 사용되는 경우에는, 계면 물성이나 전기적 특성도 양호해진다.

[0178] 결정화에 의해 원하는 막질이 수득될 경우에는, 다른 주성분을 포함하는 재료를 사용해서 제 2 산화물 반도체층(305)이 형성될 수 있다는 것을 주의한다.

[0179] 다음에, 제 2 열처리를 행하고, 제 1 산화물 반도체층(304)의 결정 영역을 종 결정으로 사용하여 결정 성장시켜서, 제 2 산화물 반도체층(306)을 형성한다(도 8c 참조). 제 2 산화물 반도체층(305)을 형성하지 않을 경우, 상기 공정은 생략할 수 있다.

[0180] 제 2 열처리의 온도는 550°C 이상 850°C 이하, 바람직하게는 600°C 이상 750°C 이하로 한다. 제 2 열처리의 가열 시간은 1분 이상 100시간 이하, 바람직하게는 5시간 이상 20시간 이하, 대표적으로는 10시간으로 한다. 제 2 열처리에 있어서도, 열처리의 분위기에는, 수소, 수분 등이 포함되지 않는 것이 바람직하다.

[0181] 분위기의 상세 및 열처리에 의한 효과는 제 1 열처리와 같다. 또한, 사용할 있는 열처리 장치도 제 1 열처리의 경우와 같다. 예를 들면, 제 2 열처리의 승온 시, 노의 내부를 질소 분위기로 설정하고 냉각 시 노의 내부를 산소 분위기로 함으로써, 질소 분위기의 수소 등이 제거되고 산소 분위기에서 산소가 공급될 수 있다.

[0182] 전술한 바와 같은 제 2 열처리를 행함으로써, 제 1 산화물 반도체층(304)에 형성된 결정 영역으로부터 제 2 산화물 반도체층(305) 전체로 결정 성장을 진행시켜서, 제 2 산화물 반도체층(306)을 형성할 수 있다. 또한, 수소(수분 및 수산기를 포함하는) 등이 제거되어, 산소가 공급된 제 2 산화물 반도체층(306)을 형성할 수 있다. 또한, 제 2 열처리로 의해 제 1 산화물 반도체층(304)의 결정 영역의 배향을 향상시키는 것도 가능하다.

[0183] 예를 들면, In-Ga-Zn-O계 산화물 반도체 재료를 제 2 산화물 반도체층(306)에 사용할 경우, 제 2 산화물 반도체층(306)은 $InGaO_3(ZnO)_m$ (m: 자연수로 한정되지 않음)로 표현된 결정이나, $In_2Ga_2ZnO_7$ ($In:Ga:Zn:O=2:2:1:7$ [atomt비])로 표현된 결정 등을 포함할 수 있다. 이러한 결정은 제 2 열처리에 의해 c축이 제 2 산화물 반도체층(306)의 표면과 대략 수직한 방향으로 배향한다.

[0184] 여기에서, 상기의 결정은 a축(a-axis) 및 b축(b-axis)에 평행한 층의 적층 구조이다. 또한, 각 층은 In, Ga, Zn 중 어느 하나를 함유한다. 구체적으로는, 상기의 결정은 In을 함유하는 층 및 In을 함유하지 않는 층(Ga 또는 Zn을 함유하는 층)이 c축 방향으로 적층된 구조를 가진다.

[0185] In-Ga-Zn-O계 산화물 반도체 결정에서는, In을 함유하는 층의 면내 방향, 즉, a축 및 b 축에 평행한 방향의 도전성은 양호하다. 이것은, In-Ga-Zn-O계 산화물 반도체 결정에서는 전기 전도가 주로 In에 의해 제어되는 것, 하나의 In 원자의 5s 궤도가 인접하는 In 원자의 5s 궤도와 중첩함으로써, 캐리어 경로가 형성되기 때문이다.

[0186] 제 1 산화물 반도체층(304)이 제 1 산화물 반도체층(304)과 절연층(302)의 계면에 비정질 영역을 가지는 구조의 경우, 제 2 열처리를 행함으로써, 제 1 산화물 반도체층(304)의 표면에 형성된 결정 영역으로부터 제 1 산화물

반도체층(304)의 하면을 향해서 결정 성장이 진행하고, 상기 비정질 영역이 결정화될 경우도 있다. 절연층(302)을 형성하는 재료, 열처리의 조건 등에 따라서는, 상기 비정질 영역이 잔존할 경우도 있다는 것을 주의한다.

[0187] 제 1 산화물 반도체층(304)과 제 2 산화물 반도체층(305)이 동일 주성분의 산화물 반도체 재료를 사용하여 형성될 경우, 도 8c에 도시된 바와 같이 제 1 산화물 반도체층(304)과 제 2 산화물 반도체층(306)이 동일한 결정 구조를 가질 경우가 있다. 따라서, 도 8c에서는 점선으로 나타냈지만, 제 1 산화물 반도체층(304)과 제 2 산화물 반도체층(306)의 경계를 판별할 수 없게 되고, 제 1 산화물 반도체층(304)과 제 2 산화물 반도체층(306)을 동일한 층으로 간주할 수 있을 경우도 있다.

[0188] 다음에, 마스크를 사용한 에칭 등의 방법에 의해 제 1 산화물 반도체층(304) 및 제 2 산화물 반도체층(306)을 가공하고, 따라서 섬 형상의 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)을 형성한다(도 8d 참조). 여기에서는, 제 2 열처리의 후에, 섬 형상의 산화물 반도체층으로의 가공을 행하고 있지만, 섬 형상의 산화물 반도체층으로의 가공 후에, 제 2 열처리를 행해도 된다는 것을 주의한다. 이 경우, 웨트 에칭을 사용할 경우이어도, 에칭 레이트가 높은 상태에서 에칭을 행할 수 있기 위해서, 에칭에 드는 시간을 단축할 수 있다고 하는 장점이 있다.

[0189] 제 1 산화물 반도체층(304) 및 제 2 산화물 반도체층(306)의 에칭 방법으로서, 드라이 에칭 또는 웨트 에칭 중 어느 하나를 사용할 수 있다. 물론, 그 양쪽을 조합시켜서 사용할 수도 있다. 산화물 반도체층을 원하는 형상으로 에칭할 수 있도록, 재료에 따라 에칭 조건(에칭 가스 또는 에천트, 에칭 시간, 온도 등)은 적절히 설정한다. 제 1 산화물 반도체층(304) 및 제 2 산화물 반도체층(306)은 임의의 상기 실시형태에 있어서의 산화물 반도체층과 유사한 방법으로 에칭될 수 있다. 상세는 임의의 상기 실시형태를 참조할 수 있다.

[0190] 산화물 반도체층에서 채널 형성 영역이 되는 영역은 평탄한 표면을 가지고 있는 것이 바람직하다는 것을 주의한다. 예를 들면, 제 2 산화물 반도체층(306)의 표면의 고저차이(P-V)는 게이트 전극과 중첩하는 영역(채널 형성 영역)에 있어서, 1nm 이하(바람직하게는 0.5nm 이하)인 것이 바람직하다. 상기의 고저차이에는 예를 들면, 10μm × 10μm의 영역에서 측정할 수 있다는 것을 주의한다.

[0191] 다음에, 제 2 산화물 반도체층(306a)에 접하도록 도전층을 형성한다. 상기 도전층을 선택적으로 에칭하여, 소스 또는 드레인 전극(308a) 및 소스 또는 드레인 전극(308b)을 형성한다(도 8d 참조). 상세는 임의의 상기 실시형태를 참조할 수 있다.

[0192] 도 8d에 도시된 공정으로, 소스 또는 드레인 전극(308a) 및 소스 또는 드레인 전극(308b)과 접하는 제 1 산화물 반도체층(304a) 또는 제 2 산화물 반도체층(306a)의 결정층이 비정질 상태가 될 경우도 있다는 것을 주의한다. 따라서, 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)의 모든 영역이 결정성일 필요는 없다.

[0193] 다음에, 제 2 산화물 반도체층(306a)의 일부에 접하는 게이트 절연층(312)을 형성한다. 상세는 임의의 상기 실시형태를 참조할 수 있다. 그 후에 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)과 중첩하는 영역의 게이트 절연층(312) 위에 게이트 전극(314)을 형성한다. 다음에, 게이트 절연층(312) 및 게이트 전극(314) 위에 층간 절연층(316) 및 층간 절연층(318)을 형성한다(도 8e 참조). 상세는 임의의 상기 실시형태를 참조할 수 있다.

[0194] 게이트 절연층(312)의 형성 후에, 불활성 가스 분위기 하 또는 산소 분위기 하에서 제 3 열처리를 행하는 것이 바람직하다. 제 3 열처리의 온도는 200°C 이상 450°C 이하, 바람직하게는 250°C 이상 350°C 이하이다. 예를 들면, 산소를 포함하는 분위기 하에서 250°C로, 1시간의 열처리를 행하면 좋다. 제 3 열처리는 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(312)이 산소를 포함하는 절연층일 경우, 제 2 산화물 반도체층(306a)에 산소를 공급할 수도 있다.

[0195] 본 실시형태에서는, 게이트 절연층(312)의 형성 후에 제 3 열처리를 행하고 있지만, 제 3 열처리의 타이밍은 이 것에 한정되지 않는다는 것을 주의한다. 또한, 제 2 열처리 등 다른 처리에 의해 제 2 산화물 반도체층(306a)에 산소를 공급하고 있을 경우에는, 제 3 열처리는 생략될 수 있다.

[0196] 이상을 통해, 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)을 사용한 트랜지스터(350)가 완성된다(도 8e 참조).

[0197] 이와 같이 고순도화되어, 진성화된 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a)을 사용함으로써 트랜지스터의 오프 전류를 충분하게 저감할 수 있다. 그리고, 이러한 트랜지스터를 사용함으로써 지극히 장시간 동안 저장된 데이터를 저장하는 것이 가능한 반도체 장치가 수득된다.

[0198] 본 실시형태에서는, 톱-게이트형의 트랜지스터에서 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 접하는 구성에 관하여 설명했지만, 본 실시형태의 구성을 적용할 수 있는 트랜지스터는 이것에 한정되지 않는다는 것을 주의한다. 예를 들면, 톱-게이트형의 트랜지스터에서 소스 및 드레인 전극의 상부와 산화물 반도체층의 하부가 접하는 구성(도 2a 및 도 2b 또는 도 4a, 도 4b, 및 도 4c에 도시된 구성 등)에, 본 실시형태의 구성의 일부를 적용할 수 있다. 대안적으로, 보텀 게이트형의 트랜지스터에서 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 접하는 구성, 보텀 게이트형의 트랜지스터에서 소스 및 드레인 전극의 상부와 산화물 반도체층의 하부가 접하는 구성 등에 대하여도, 본 실시형태의 구성의 일부를 적용할 수 있다. 즉, 본 실시형태에 의해, 결정 영역을 가지는 산화물 반도체층을 구비한 다양한 트랜지스터를 실현할 수 있다.

[0199] 또한, 본 실시형태에서는, 산화물 반도체층으로서, 결정 영역을 가지는 제 1 산화물 반도체층(304a)과 제 1 산화물 반도체층(304a)의 결정 영역으로부터 결정 성장에 의해 형성된 제 2 산화물 반도체층(306a)을 사용하여, 전계 효과 이동도가 향상되고 양호한 전기 특성을 가지는 트랜지스터를 실현할 수 있다. 예를 들면, 전계 효과 이동도 $\mu > 100 \text{ cm}^2/\text{V} \cdot \text{s}$ 를 실현하는 것도 가능하다. 따라서, 고속 동작이 요청되는 각종 논리 회로에 상기 트랜지스터를 적용하는 것도 가능하다.

[0200] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0201] (실시형태 5)

[0202] 본 실시형태에서는, 산화물 반도체를 사용한 트랜지스터의 제작 방법에 대해서, 도 9a 내지 도 9e를 사용하여 설명한다. 상기 트랜지스터는 임의의 상기 실시형태에 있어서의 트랜지스터(162) 등을 대신해서 사용될 수 있다. 본 실시형태에 따른 트랜지스터의 구성 및 임의의 상기 실시형태에 따른 트랜지스터의 구성은 서로 부분적으로 공통된다. 따라서, 이하에서는, 주로 차이점에 대해서 말한다. 또한, 이하에서는, 톱-게이트형의 트랜지스터를 예로 들어서 설명하지만, 트랜지스터의 구성은 톱-게이트 구조에 한정되지 않는다.

[0203] 우선, 피처리물(400) 위에 절연층(402)을 형성한다. 다음에, 절연층(402) 위에 산화물 반도체층(406)을 형성한다(도 9a 참조). 상세는 임의의 상기 실시형태를 참조할 수 있다.

[0204] 다음에, 마스크를 사용한 에칭 등의 방법에 의해 산화물 반도체층(406)을 가공하여, 섬 형상의 산화물 반도체층(406a)을 형성한다. 상기 산화물 반도체층(406a)을 덮도록, 도전층(408) 및 절연층(410)을 형성한다(도 9b 참조). 절연층(410)은 필수적인 구성요소는 아니지만, 나중에 형성되는 소스 전극 및 드레인 전극의 측면을 선택적으로 산화시키기 위해서는 유효하다는 것을 주의한다. 또한, 게이트 전극과 소스 전극 사이 및 게이트 전극과 드레인 전극 사이의 용량을 저감한다고 하는 점에 있어서도 유효하다.

[0205] 섬 형상의 산화물 반도체층(406a)의 형성이나 열처리 등의 상세에 대해서는, 임의의 상기 실시형태를 참조할 수 있다. 도전층(408)의 상세에 관해서도, 임의의 상기 실시형태를 참조할 수 있다.

[0206] 절연층(410)은 CVD법, 스퍼터링법 등을 사용하여 형성할 수 있다. 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 포함하도록 절연층(410)을 형성하는 것이 바람직하다. 절연층(410)은 단층 구조 또는 적층 구조를 가질 수 있다는 것을 주의한다. 절연층(410)의 두께는 특별하게 한정되지 않는다. 예를 들면, 10nm 이상 200nm 이하로 할 수 있다.

[0207] 다음에, 도전층(408) 및 절연층(410)을 선택적으로 에칭하여, 소스 또는 드레인 전극(408a), 소스 또는 드레인 전극(408b), 절연층(410a), 절연층(410b)을 형성한다(도 9c 참조). 상세한 것은, 임의의 상기 실시형태에 있어서의 소스 또는 드레인 전극의 형성 공정과 같다. 알루미늄, 티타늄, 몰리브덴, 구리 등의 재료는 나중에 실시되는 플라즈마 산화 처리에 적합하여, 소스 또는 드레인 전극(408a), 소스 또는 드레인 전극(408b) 등의 재료로서 바람직하다는 것을 주의한다.

[0208] 다음에, 산화물 반도체층(406a)에 산소를 공급하기 위한 산화 처리를 행한다(도 9d 참조). 상기 산화 처리에 의해, 소스 또는 드레인 전극(408a)의 일부(특히, 그 측면에 상당하는 부분)에 산화 영역(411a)이 형성되고 소스 또는 드레인 전극(408b)의 일부(특히, 그 측면에 상당하는 부분)에는 산화 영역(411b)이 형성된다(도 9d 참조). 또한, 상기 산화 처리에 의해, 소스 또는 드레인 전극(408a) 및 소스 또는 드레인 전극(408b)의 주변에도 산화 영역이 형성된다.

[0209] 산화 처리는 마이크로파(300MHz 내지 300GHz)에 의해 여기된 산소 플라즈마를 사용한 산화 처리, 플라즈마 산화 처리라고 하는 것이 바람직하다. 마이크로파에 의해 플라즈마를 여기함으로써, 고밀도 플라즈마가 실현되어, 산

화물 반도체층(406a)에 대한 테미지를 충분하게 저감할 수 있기 때문이다.

[0210] 보다 구체적으로는, 예를 들면, 주파수를 300MHz 내지 300GHz(대표적으로는 2.45GHz), 압력을 50Pa 내지 5000Pa(대표적으로는 500Pa), 피처리물의 온도를 200°C 내지 400°C(대표적으로는 300°C)로 해서 산소와 아르곤과의 혼합 가스를 사용해서 상기 처리를 행할 수 있다.

[0211] 상기 산화 처리에 의해, 산화물 반도체층(406a)에는 산소가 공급된다. 따라서, 산화물 반도체층(406a)에 대한 테미지를 충분하게 저감하면서, 산소 결핍에 기인하는 에너지 캡의 결합 준위를 감소시킬 수 있다. 즉, 산화물 반도체층(406a)의 특성을 한층 향상시킬 수 있다.

[0212] 산화물 반도체층(406a)에 대한 테미지를 충분하게 저감하면서, 산화물 반도체층(406a)에 산소를 공급할 수 있는 방법이면, 마이크로파를 사용한 플라즈마 산화 처리에 한정되지 않는다는 것을 주의한다. 예를 들면, 산소를 포함하는 분위기에 있어서의 열처리 등의 방법을 사용할 수도 있다.

[0213] 상기 산화 처리와 더불어, 산화물 반도체층(406a)으로부터 수분, 수소 등을 제거하는 처리를 행해도 된다. 이 경우, 예를 들면, 질소나 아르곤 등의 가스를 사용한 플라즈마 처리를 사용할 수 있다.

[0214] 상기 산화 처리에 의해 형성된 산화 영역(411a) 및 산화 영역(411b)은 트랜지스터(450)가 미세화되어 있을 경우(예를 들면, 채널 길이가 1000nm 미만일 경우)에 특히 유효하다는 것을 주의한다. 트랜지스터의 미세화에 따라, 게이트 절연층은 작은 두께를 가질 필요가 있다. 상기 산화 영역을 가지는 이유는 산화 영역이 게이트 절연층의 박형화나 피복성 불량 등에 기인한 게이트 전극과 소스 또는 드레인 전극 사이의 쇼트를 방지할 수 있기 때문이다. 상기 산화 영역은 5nm 이상(바람직하게는 10nm 이상)의 두께를 가지고 있으면, 충분하게 효과적이라는 것을 주의한다.

[0215] 상기 산화 처리는 절연층(402)의 노출된 부분의 막질 개선의 관점에서도 유효하다.

[0216] 소스 또는 드레인 전극(408a) 및 소스 또는 드레인 전극(408b)의 상부의 산화를 방지하는 역할을 가지는 점에서, 절연층(410a) 및 절연층(410b)은 중요하다는 것을 주의한다. 예침 때에 사용하는 마스크를 잔존시면서 상기 플라즈마 처리를 하는 것은 매우 어렵기 때문이다.

[0217] 다음에, 대기로 노출시키지 않고, 산화물 반도체층(406a)의 일부에 접하는 게이트 절연층(412)을 형성한다. 그리고, 게이트 절연층(412) 위의 산화물 반도체층(406a)과 중첩하는 영역에 게이트 전극(414)을 형성하고, 게이트 절연층(412) 및 게이트 전극(414) 위에 층간 절연층(416) 및 층간 절연층(418)을 형성한다(도 9e 참조). 상세는 임의의 상기 실시형태를 참조할 수 있다.

[0218] 이상을 통해, 산화물 반도체를 사용한 트랜지스터(450)가 완성된다.

[0219] 본 실시형태에서는, 산화물 반도체층(406a)에 산소를 공급하기 위해서, 산화물 반도체층(406a)에 산소 플라즈마 처리가 행해진다. 따라서, 트랜지스터(450)는 더 양호한 특성을 갖는다. 또한, 소스 또는 드레인 전극의 측면에 상당하는 영역이 산화되어, 게이트 절연층의 박막화에 기인할 수 있는, 게이트 전극과 소스 전극(또는 드레인 전극) 사이의 단락을 방지할 수 있다. 또한, 산화 영역(411a)과 산화 영역(411b)에 의해, 적당한 오프셋 영역을 형성할 수 있어서, 산화물 반도체층으로부터, 소스 전극(또는 드레인 전극)과의 계면의 전계의 변화가 작아질 수 있다.

[0220] 또한, 소스 전극 및 드레인 전극 위에 절연층을 설치함으로써, 게이트 전극과 소스 전극 사이 및 게이트 전극과 드레인 전극 사이에 형성되는 용량(기생 용량)을 저감하고, 고속 동작이 실현될 수 있다.

[0221] 본 실시형태에서는, 톱-게이트형의 트랜지스터에서 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 접하는 구성에 관하여 설명했지만, 본 실시형태의 구성을 적용할 수 있는 트랜지스터는 이것에 한정되지 않는다는 것을 주의한다. 예를 들면, 보텀 게이트형의 트랜지스터에서 소스 및 드레인 전극의 하부와 산화물 반도체층의 상부가 접하는 구성에 본 실시형태의 구성을 일부를 적용할 수 있다. 즉, 본 실시형태에 의해, 산소가 공급된 산화물 반도체, 산화 영역을 가지는 전극, 등을 구비한 다양한 트랜지스터를 실현할 수 있다.

[0222] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0223] (실시형태 6)

[0224] 본 실시형태에서는, 산화물 반도체 이외의 반도체 재료를 사용한 반도체 장치의 제작 방법, 구체적으로는, 도

2a의 하부의 트랜지스터(170)의 제작 방법에 대해서, 도 10a 내지 도 10h 및 도 2a을 사용하여 설명한다.

[0225] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 10a 참조). 반도체 재료를 포함하는 기판(100)으로서는, 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판; 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 사용할 경우의 일례에 대해서 기술한다. 일반적으로 "SOI 기판"은 절연 표면 상에 실리콘층이 제공된 구성의 기판을 의미한다는 것을 주의한다. 본 명세서등에 있어서는, "SOI 기판"은 또한 절연 표면 위에 실리콘 이외의 재료를 사용하여 형성되는 반도체층이 제공된 기판도 그 카테고리에 포함한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘층에 한정되지 않는다. 또한, SOI 기판에는, 유리 기판등의 절연 기판 위에, 상기 반도체층과 상기 절연 기판 사이의 절연층을 갖는 반도체층이 제공된 기판이 포함되는 것으로 한다.

[0226] 기판(100) 위에 소자 분리 절연층을 형성하기 위한 마스크로 기능하는 보호층(102)을 형성한다(도 10a 참조). 보호층(102)으로서는, 예를 들면, 산화 실리콘, 질화 실리콘, 산화질화 실리콘 등을 재료로 하는 절연층을 사용할 수 있다. 이 공정 전후에 있어서, 트랜지스터의 임계 전압을 제어하기 위해서, n-형의 도전성을 부여하는 불순물 원소 또는 p-형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가할 수 있다는 것을 주의한다. 기판(100)에 포함된 반도체 재료가 실리콘인 경우, n-형의 도전성을 부여하는 불순물로서는, 예를 들면, 인이나 비소 등을 사용할 수 있다. 또한, p-형의 도전성을 부여하는 불순물로서는, 봉소, 알루미늄, 갈륨 등을 사용할 수 있다.

[0227] 다음에, 상기의 보호층(102)을 마스크로서 사용한 에칭에 의해, 보호층(102)으로 덮어져 있지 않은 영역(노출된 영역)의 기판(100)의 일부를 제거한다. 따라서, 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 10b 참조). 상기 에칭에는, 드라이 에칭을 사용하는 것이 바람직하지만, 웨트 에칭을 사용해도 된다. 에칭 가스나 에천트에 관해서는 피에칭 재료에 따라 적절히 선택할 수 있다.

[0228] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)과 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 10b 참조). 상기 절연층은 산화 실리콘, 질화 실리콘, 산화질화 실리콘 등을 사용하여 형성된다. 절연층의 제거 방법으로서는, CMP 등의 연마 처리나 에칭 처리 등이 채용될 수 있다. 반도체 영역(104)의 형성 후 또는 소자 분리 절연층(106)의 형성 후에는 상기 보호층(102)을 제거한다는 것을 주의한다.

[0229] 다음에, 반도체 영역(104) 위에 절연층을 형성하고, 상기 절연층 위에 도전 재료를 포함하는 층을 형성한다.

[0230] 절연층은 나중에 게이트 절연층이 되고, CVD법이나 스퍼터링법 등을 사용해서 수득되는 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$ ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$ ($x>0$, $y>0$, $z>0$)), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$ ($x>0$, $y>0$, $z>0$)) 등을 포함하는 막의 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 대안적으로, 고밀도 플라즈마 처리 또는 열산화 처리에 의해, 반도체 영역(104)의 표면을 산화 또는 질화함으로써, 상기 절연층을 형성하여도 좋다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr, Xe 등의 희가스, 산소, 산화 질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행할 수 있다. 절연층의 두께는, 예를 들면, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하라고 할 수 있다.

[0231] 도전 재료를 포함하는 층은 알루미늄, 구리, 티타늄, 탄탈, 텉스텐 등의 금속재료를 사용하여 형성할 수 있다. 다결정 실리콘 등의 반도체 재료를 사용하여, 도전 재료를 포함하는 층을 형성해도 양호하다. 형성 방법도 특별하게 한정되지 않고, 중착법, CVD법, 스퍼터링법, 스픬 코트법 등의 각종 성막 방법을 사용할 수 있다. 본 실시 형태에서는, 도전 재료를 포함하는 층을 금속 재료를 사용하여 형성할 경우의 일례에 대해서 나타낸다는 것을 주의한다.

[0232] 그 후에 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108) 및 게이트 전극(110)을 형성한다(도 10c 참조).

[0233] 다음에, 게이트 전극(110)을 덮는 절연층(112)을 형성한다(도 10c 참조). 그리고, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가함으로써 얇은 접합 깊이의 불순물 영역(114)을 형성한다(도 10c 참조). 여기에서는 n-채널 트랜지스터를 형성하기 위해서 인이나 비소를 첨가하고 있지만, p-채널 트랜지스터를 형성할 경우에는, 봉소(B)나 알루미늄(A1) 등의 불순물이 첨가될 수 있다는 것을 주의한다. 상기 불순물 영역(114)의 형성에 의해, 채널 형성 영역(116)이 반도체 영역(104)의 게이트 절연층(108) 하부에 형성된다(도 10c 참조). 여기에서, 첨가

는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화될 경우에는 그 농도를 높게 하는 것이 바람직하다. 여기에서는, 절연층(112)을 형성한 후에 불순물 영역(114)을 형성하는 공정을 채용하고 있지만, 불순물 영역(114)을 형성한 후에 절연층(112)을 형성하는 공정으로 해도 된다.

[0234] 다음에, 사이드월 절연층(118)을 형성한다(도 10d 참조). 절연층(112)을 덮도록 절연층을 형성한 후에, 높은 이 방식 예칭 처리를 행함으로써, 사이드월 절연층(118)이 자기정합적으로 형성될 수 있다. 이 때, 절연층(112)을 부분적으로 예칭하고, 게이트 전극(110)의 상면과 불순물 영역(114)의 상면들을 노출시키면 양호하다. 고집적 등을 실현하도록 사이드월 절연층(118)이 형성되지 않을 경우도 있다.

[0235] 다음에, 게이트 전극(110), 불순물 영역(114), 사이드월 절연층(118) 등을 덮도록 절연층을 형성한다. 그리고, 불순물 영역(114)에 접하는 영역에 인(P), 비소(As) 등을 첨가하여, 고농도 불순물 영역(120)을 형성한다(도 10e 참조). 그 후에 상기 절연층을 제거하고, 게이트 전극(110), 사이드월 절연층(118), 고농도 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 10e 참조). 상기 금속층(122)은 전공 증착법이나 스퍼터링법, 스픈 코트법 등의 각종 성막 방법을 사용해서 형성할 수 있다. 금속층(122)은 반도체 영역(104)에 포함된 반도체 재료와 반응함으로써 저저항화한 금속 화합물이 되는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들면, 티타늄, 탄탈, 텉스텐, 니켈, 코발트, 백금 등이 있다.

[0236] 다음에, 열처리가 실행되어, 상기 금속층(122)이 반도체 재료와 반응한다. 따라서, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 10f 참조). 게이트 전극(110)이 다결정 실리콘 등을 사용하여 형성될 경우에는, 게이트 전극(110)이 금속층(122)과 접하는 부분에 금속 화합물 영역이 또한 형성되게 된다는 것을 주의한다.

[0237] 상기 열처리로서는, 예를 들면, 플래시 램프의 조사에 의한 열처리를 사용할 수 있다. 물론, 그 밖의 열처리 방법을 사용해도 되고, 금속 화합물의 형성 시 화학반응의 제어성을 향상시키기 위해서 지극히 단시간의 열처리가 실현되는 방법을 사용하는 것이 바람직하다. 상기의 금속 화합물 영역은 금속 재료와 반도체 재료의 반응에 의해 형성되는 것이며, 충분히 높은 도전성을 갖는다는 것을 주의한다. 상기 금속 화합물 영역을 형성함으로써, 전기 저항을 충분하게 저감하고, 소자 특성을 향상시킬 수 있다. 금속 화합물 영역(124)을 형성한 후에는, 금속 층(122)이 제거된다는 것을 주의한다.

[0238] 다음에, 상기의 공정에 의해 형성된 각 구성을 덮도록 충간 절연층(126) 및 충간 절연층(128)을 형성한다(도 10g 참조). 충간 절연층(126 및 128)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 또한, 충간 절연층(126 및 128)은 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 사용하여 형성하는 것도 가능하다. 여기에서는, 충간 절연층(126)과 충간 절연층(128)의 적층 구조가 채용되지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다는 것을 주의한다. 단층 구조 또는 3 층 이상의 적층 구조가 또한 사용될 수 있다. 충간 절연층(128)의 형성 후에는, 상기 충간 절연층(128)의 표면은 CMP이나 에칭 등에 의해 평탄화되는 것이 바람직하다.

[0239] 그 후에 상기 충간 절연층(126 및 128)에 금속 화합물 영역(124)에 도달하는 개구를 형성하고, 상기 개구에, 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 형성한다(도 10h 참조). 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)은 예를 들면, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 사용해서 도전층을 형성한 후, 에칭, CMP 등에 의해 상기 도전층의 일부를 제거함으로써 형성할 수 있다.

[0240] 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티타늄 박막을 형성하고, CVD법에 의해 질화 티타늄 박막을 형성한 후에, 개구에 임베딩되도록 텉스텐 막을 형성하는 방법을 적용할 수 있다. 여기에서, PVD 법에 의해 형성되는 티타늄 막은 하부전극(여기에서는 금속 화합물 영역(124))과의 접촉저항을 저감하기 위해 티타늄 막이 형성되는 표면에 형성된 산화막(예를 들어, 자연 산화막)을 감소시키는 기능을 갖는다. 티타늄 막의 형성 후에 형성되는 질화 티타늄 막은 도전성 재료의 확산을 방지하는 배리어 기능을 갖는다. 티타늄이나 질화 티타늄 등에 의한 배리어 막을 형성한 후에, 도금법에 의해 구리막이 형성될 수 있다.

[0241] 상기 도전층의 일부를 제거해서 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 형성하는 경우, 그 표면이 평탄해지도록 상기 공정을 수행하는 것이 바람직하다는 것을 주의한다. 예를 들면, 개구를 포함하는 영역에 티타늄 박막이나 질화 티타늄 박막을 형성한 후에, 개구에 임베딩되도록 텉스텐 막을 형성할 경우에는, 후속하는 CMP에 의해, 과잉 텉스텐 막, 과잉 티타늄 막, 과잉 질화 티타늄 막 등을 제거하고 표면의 평탄성을 향상시킬 수 있다. 이런 방식으로 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 포함하는 표면을 평탄화함으로써, 나중의 공정에 있어서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성할 수 있

다.

[0242] 여기에서는, 금속 화합물 영역(124)과 접하는 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)만을 도시하고 있지만, 이 공정에 있어서, 게이트 전극(110)과 접하는 전극 등이 또한 형성될 수 있다는 것을 주의한다. 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)으로서 사용할 수 있는 재료에 대해서 특별하게 한정은 없고, 각종 도전 재료를 사용할 수 있다. 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료를 사용할 수 있다. 나중에 실시되는 열처리를 고려하여, 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)은, 열처리를 견뎌낼 수 있는 정도의 내열성을 가지는 재료를 사용하여 형성하는 것이 바람직하다.

[0243] 이상의 공정을 통해, 반도체 재료를 포함하는 기판(100)을 사용한 트랜지스터(170)가 형성된다(도 10h 참조). 산화물 반도체 이외의 재료를 사용한 트랜지스터(170)는 고속 동작이 가능하기 때문에, 상기 트랜지스터를 사용하여, 논리 회로(연산 회로라고도 말하는) 등을 형성할 수 있다. 또한, 상기 트랜지스터는 상기 실시형태에 기술된 기억 회로를 구동하기 위한 구동 회로 등에 사용할 수도 있다.

[0244] 상기 공정의 후에는, 전극, 배선, 절연층 등이 더 형성될 수 있다는 것을 주의한다. 배선은 층간 절연층 및 도전층의 적층 구조를 포함하는 다층 구조를 가져, 고도로 집적화한 반도체 장치를 제공할 수 있다.

[0245] 예를 들면, 상기 공정의 후에 절연층(138)을 형성하고, 절연층(138)에 개구가 형성될 수 있다. 또한, 상기 개구에 소스 또는 드레인 전극(130a)에 접속되는 전극(142c) 및 소스 또는 드레인 전극(130b)에 접속되는 전극(142d)이 형성될 수 있다(도 2a 참조).

[0246] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0247] (실시형태 7)

[0248] 본 실시형태에서는, 산화물 반도체 이외의 반도체 재료를 사용한 반도체 장치의 제작 방법, 구체적으로는, 도 2b의 하부의 트랜지스터(570)의 제작 방법에 대해서, 도 11a 내지 도 11h 및 도 12a 내지 도 12h를 사용하여 설명한다. 이하에서는, 먼저 하지 기판 상에 단결정 반도체층이 제공된 SOI 기판의 제작 방법에 대해서, 도 11a 내지 도 11h를 참조해서 설명하고, 그 후에 상기 SOI 기판을 사용한 트랜지스터의 제작 방법에 대해서 도 12a 내지 도 12h를 참조해서 설명한다.

[0249] <SOI 기판의 제작 방법>

[0250] 우선, 하지 기판(500)을 준비한다(도 11a 참조). 하지 기판(500)으로서는, 절연체를 사용하여 형성된 기판을 사용할 수 있다. 구체적으로는, 알루미노실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 및 바륨보로실리케이트 유리 기판 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 및 사파이어 기판을 들 수 있다. 또한, 절화 실리콘과 산화 알루미늄을 주성분으로 포함하고 열팽창 계수가 실리콘에 가까운 세라믹 기판을 사용해도 된다.

[0251] 대안적으로, 하지 기판(500)으로서 단결정 실리콘 기판 또는 단결정 게르마늄 기판 등의 반도체 기판을 사용해도 된다. 하지 기판(500)으로서 반도체 기판을 사용할 경우에는, 유리 기판 등을 사용할 경우와 비교해서 열처리의 온도의 상한이 증가될 수 있어서, 고품질의 SOI 기판을 수득하는 것이 용이해진다. 여기에서, 반도체 기판으로서 태양 전지급 실리콘(SOG-Si; Solar Grade Silicon) 기판 등을 사용해도 된다. 대안적으로, 다결정 반도체 기판을 사용해도 된다. SOG-Si 기판, 다결정 반도체 기판 등을 사용할 경우에는, 단결정 실리콘 기판 등을 사용할 경우와 비교하여, 제조 비용을 저감할 수 있다.

[0252] 본 실시형태에서는, 하지 기판(500)으로서 유리 기판을 사용할 경우에 관하여 설명한다는 것을 주의한다. 하지 기판(500)으로서 큰 사이즈를 갖고 저렴한 유리 기판을 사용함으로써, 비용 저감을 도모할 수 있다.

[0253] 상기 하지 기판(500)의 표면은 미리 세정해 두는 것이 바람직하다. 구체적으로는, 하지 기판(500)에 대하여, 염산 과산화 수소수 혼합 용액(HPM), 황산 과산화 수소수 혼합 용액(SPM), 암모니아 과산화 수소수 혼합 용액(APM), 회석된 불산(DHF), FPM(불산, 과산화 수소수, 순수의 혼합액) 등을 사용해서 초음파 세정을 행한다. 이러한 세정 처리를 통해, 하지 기판(500)의 표면 평탄성이 향상되고 하지 기판(500) 표면에 잔존하는 연마 입자 등이 제거될 수 있다.

[0254] 다음에, 하지 기판(500)의 표면에 질소 함유층(502)(예를 들어, 질화 실리콘(SiN_x) 막 또는 질화산화 실리콘

(SiN_xO_y ($x>y$)) 막과 같이 질소를 함유한 절연막을 포함한 층)을 형성한다(도 11b 참조). 질소 함유층(502)은 CVD법, 스퍼터링법 등을 사용하여 형성할 수 있다.

[0255] 본 실시형태에 있어서 형성되는 질소 함유층(502)은 단결정 반도체층을 접합하기 위한 층(접합층)에 대응한다. 또한, 질소 함유층(502)은 나트륨(Na)과 같은, 하지 기판에 포함된 불순물이 단결정 반도체층으로 확산하는 것을 방지하는 배리어층으로서 기능한다.

[0256] 상기한 바와 같이, 질소 함유층(502)은 본 실시형태에서 접합층으로 사용되기 때문에, 상기 질소 함유층(502)이 소정의 표면 평탄성을 갖도록 형성되는 것이 바람직하다. 구체적으로, 표면의 평균면 거칠기(R_a , 산술평균 거칠기라고도 말하는)가 0.5nm 이하, 제곱 평균 거칠기(R_{ms})가 0.60nm 이하, 보다 바람직하게는, 평균면 거칠기가 0.35nm 이하, 제곱 평균 거칠기가 0.45nm 이하를 갖는 질소 함유층(502)이 형성된다. 상기의 산술 평균 거칠기는 예를 들면, $10\mu\text{m} \times 10\mu\text{m}$ 의 영역에서 측정할 수 있다는 것을 주의한다. 두께는 10nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 범위로 한다. 상기와 같이, 표면의 평탄성을 향상시켜, 단결정 반도체층의 접합 불량을 방지할 수 있다.

[0257] 다음에, 본드 기판을 준비한다. 여기에서는, 본드 기판으로서 단결정 반도체 기판(510)을 사용한다(도 11c 참조). 여기에서는, 기판의 결정성이 단결정인 기판이 본드 기판으로서 사용되지만, 본드 기판의 결정성을 단결정에 한정할 필요는 없다는 것을 주의한다.

[0258] 예를 들면, 단결정 반도체 기판(510)으로서, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘 게르마늄 기판 등, 제 14 족 원소를 사용하여 형성된 단결정 반도체 기판이 사용될 수 있다. 또한, 갈륨 비소나 인듐 인 등의 화합물 반도체 기판을 사용할 수도 있다. 시판의 실리콘 기판은 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 16인치(400mm) 크기의 원형 실리콘 기판이 대표적이다. 단결정 반도체 기판(510)의 형상은 원형에 한하지 않고, 예를 들면, 단결정 반도체 기판(510)은 사각형 등으로 가공된 기판일 수 있다는 것을 주의한다. 또한, 단결정 반도체 기판(510)은 CZ(Czochralski)법이나 FZ(Floating Zone)법을 사용해서 제작할 수 있다.

[0259] 단결정 반도체 기판(510)의 표면에는 산화막(512)이 형성된다(도 11d 참조). 오염물 제거의 관점에서, 산화막(512)의 형성 전에, 염산 과산화 수소수 혼합 용액(HPM), 황산 과산화 수소수 혼합 용액(SPM), 암모니아 과산화 수소수 혼합 용액(APM), 회석된 불산(DHF), FPM(불산, 과산화 수소수, 순수의 혼합액) 등을 사용해서 단결정 반도체 기판(510)의 표면을 세정해 두는 것이 바람직하다. 대안적으로, 상기 단결정 반도체 기판(510)의 표면을 회석된 불산과 오존수를 교대로 토출하여 세정해도 양호하다.

[0260] 산화막(512)은 예를 들면, 산화 실리콘 막, 산화질화 실리콘 막 등을 단층 또는 적층시켜서 형성할 수 있다. 상기 산화막(512)의 제작 방법으로서는, 열 산화법, CVD법, 스퍼터링법 등이 있다. CVD법에 의해 산화막(512)을 형성할 경우, 양호한 접합을 실현하기 위해서는, 테트라에톡시실란(약칭; TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$) 등의 유기 실란을 사용해서 산화 실리콘 막을 형성하는 것이 바람직하다.

[0261] 본 실시형태에서는, 단결정 반도체 기판(510)에 열산화 처리를 함으로써 산화막(512)(여기에서는, SiO_x 막)을 형성한다. 열산화 처리는 산화성 분위기에 할로겐을 첨가해서 행하는 것이 바람직하다.

[0262] 예를 들면, 염소(Cl)가 첨가된 산화성 분위기에서 단결정 반도체 기판(510)에 열산화 처리를 함으로써, 염소 산화를 통해 산화막(512)이 형성될 수 있다. 이 경우, 산화막(512)은 염소 원자를 함유하는 막이 된다. 이러한 염소 산화에 의해, 외인성의 불순물인 중금속(예를 들면, Fe, Cr, Ni 또는 Mo)이 포집되고 금속의 염화물을 형성하고, 이것을 바깥 쪽으로 제거해서 단결정 반도체 기판(510)의 오염을 저감시킬 수 있다. 또한, 하지 기판(500)과 접합한 후에, 하지 기판으로부터 Na와 같은 불순물을 고정하여, 단결정 반도체 기판(510)의 오염을 방지할 수 있다.

[0263] 산화막(512)에 함유시키는 할로겐 원자는 염소 원자에 한정되지 않는다는 것을 주의한다. 산화막(512)에는 불소 원자를 함유시켜도 양호하다. 단결정 반도체 기판(510)의 표면을 불소 산화하는 방법으로서, HF 용액에 단결정 반도체 기판(510)을 침지하고 산화성 분위기중으로 열산화 처리를 행하는 방법, NF_3 가 첨가된 산화성 분위기에서 열산화 처리를 행하는 방법 등이 있다.

[0264] 다음에, 이온이 전계에서 가속되고 단결정 반도체 기판(510)에 조사하고, 이온을 첨가함으로써, 단결정 반도체 기판(510)의 소정의 깊이에 결정 구조가 손상되는 취화 영역(514)을 형성한다(도 11e 참조).

- [0265] 취화 영역(514)이 형성되는 영역의 깊이는, 이온의 운동에너지, 질량, 전하, 또는 이온의 입사각 등에 의해 제어될 수 있다. 취화 영역(514)은 이온의 평균 침입 깊이와 거의 같은 깊이에 형성된다. 따라서, 이온을 첨가하는 깊이로 단결정 반도체 기판(510)으로부터 분리되는 단결정 반도체층의 두께를 조절할 수 있다. 예를 들면, 단결정 반도체층의 두께가 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하 정도가 되도록 평균 침입 깊이가 제어될 수 있다.
- [0266] 상기 이온의 조사 처리는, 이온 도핑 장치나 이온 주입 장치를 사용하여 행할 수 있다. 이온 도핑 장치의 대표 예로서는, 프로세스 가스의 플라즈마 여기가 수행되고 모든 이온종을 피처리물에 조사하는 비질량분리형의 장치가 있다. 상기 장치로는 플라즈마의 이온종을 질량분리하지 않고 피처리물에 조사하게 된다. 반대로, 이온 주입 장치는 질량 분리형 장치이다. 이온 주입 장치에서, 플라즈마의 이온종을 질량분리하고, 미리 결정된 질량의 이온종을 피처리물에 조사한다.
- [0267] 본 실시형태에서는, 이온 도핑 장치를 사용하여, 수소를 단결정 반도체 기판(510)에 첨가하는 예에 관하여 설명 한다. 소스 가스로서는 수소를 포함하는 가스를 사용한다. 조사하는 이온에 대해서는, H_3^+ 의 비율을 높게 하면 양호하다. 구체적으로는, H^+ , H_2^+ , H_3^+ 의 총량에 대하여 H_3^+ 의 비율이 50% 이상(보다 바람직하게는 80% 이상)이 되도록 한다. 높은 비율의 H_3^+ 로 이온조사의 효율을 향상시킬 수 있다.
- [0268] 첨가하는 이온은 수소 이온에 한정되지 않는다는 것을 주의한다. 헬륨 등의 이온을 첨가해도 양호하다. 또한, 첨가하는 이온은 한 종류에 한정되지 않고, 복수 종류의 이온을 첨가해도 양호하다. 예를 들면, 이온 도핑 장치를 사용해서 수소와 헬륨을 동시에 조사할 경우에는, 수소와 헬륨의 조사를 개별 공정으로 할 경우와 비교해서 공정수를 절감할 수 있고, 나중에 형성되는 단결정 반도체층의 표면 거칠기의 증가를 억제하는 것이 가능하다.
- [0269] 이온 도핑 장치를 사용해서 취화 영역(514)을 형성할 경우에는 중금속이 또한 첨가될 우려가 있지만, 할로겐 원자를 함유하는 산화막(512)을 통해 이온의 조사率를 행함으로써, 중금속에 의한 단결정 반도체 기판(510)의 오염을 방지할 수 있다.
- [0270] 다음에, 하지 기판(500)과 단결정 반도체 기판(510)을 대향시켜, 질소 함유층(502)의 표면과 산화막(512)을 밀착시킨다. 따라서, 하지 기판(500)과 단결정 반도체 기판(510)이 서로 접합될 수 있다(도 11f 참조).
- [0271] 접합 시, 하지 기판(500)의 일부 또는 단결정 반도체 기판(510)의 일부에, 0.001N/cm² 이상 100N/cm² 이하, 예를 들면, 1N/cm² 이상 20N/cm² 이하의 압력을 가하는 것이 바람직하다. 압력을 가하여, 접합면을 서로 접근, 밀착시키면, 밀착시킨 부분에 있어서 질소 함유층(502)과 산화막(512)의 접합이 생기고, 접합이 자발적으로 거의 전면으로 확대된다. 이 접합은 반 데르 발스 힘 또는 수소 결합 하에서 수행되어, 실온에서 행할 수 있다.
- [0272] 단결정 반도체 기판(510)과 하지 기판(500)을 접합하기 전에, 서로 접합될 면들이 표면 처리되는 것이 바람직하다는 것을 주의한다. 표면 처리는 단결정 반도체 기판(510)과 하지 기판(500)의 계면의 접합 강도를 향상시킬 수 있다.
- [0273] 표면처리로서는, 웨트 처리, 드라이 처리, 또는 웨트 처리와 드라이 처리의 조합을 사용할 수 있다. 대안적으로, 다른 웨트 처리끼리 조합된 웨트 처리가 사용될 수 있고, 다른 드라이 처리끼리 조합된 드라이 처리가 사용될 수 있다.
- [0274] 접합의 후에 접합 강도를 증가시키기 위한 열처리를 행할 수 있다는 것을 주의한다. 이 열처리는 취화 영역(514)에 있어서의 분리가 생기지 않는 온도(예를 들면, 실온 이상 400°C 미만)에서 수행된다. 또한, 이 온도범위에서 가열하면서, 질소 함유층(502)과 산화막(512)의 접합을 수행할 수 있다. 상기 열처리는 저항 가열로 등의 가열로, 확산로, RTA(Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 상기 온도 조건은 단지 일례이고, 개시하는 발명의 일 형태가 이것에 한정해서 해석되는 것은 아니다.
- [0275] 다음에, 열처리가 수행되어, 단결정 반도체 기판(510)을 취화 영역에서 분리하고, 하지 기판(500) 위에 질소 함유층(502) 및 산화막(512)을 개재하여 단결정 반도체층(516)을 형성한다(도 11g 참조).
- [0276] 상기 분리 시의 열처리 온도는 가능한 한 낮은 것이 바람직하다는 것을 주의한다. 분리 시의 온도가 낮을수록, 단결정 반도체층(516)의 표면 거칠기 생성을 억제할 수 있기 때문이다. 구체적으로는, 예를 들면, 상기 분리 시의 열처리 온도는 300°C 이상 600°C 이하면 되고, 400°C 이상 500°C 이하로 하면, 보다 효과적이다.
- [0277] 단결정 반도체 기판(510)을 분리한 후에, 단결정 반도체층(516)에 대하여, 500°C 이상의 온도로 열처리를 행하

고, 단결정 반도체층(516)에 잔존하는 수소의 농도를 저감시킬 수 있다는 것을 주의한다.

[0278] 다음에, 단결정 반도체층(516)의 표면에 레이저광을 조사함으로써, 표면의 평탄성을 향상되고 결함의 수가 저감된 단결정 반도체층(518)을 형성한다. 레이저광의 조사 처리 대신에, 열처리를 행해도 된다는 것을 주의한다.

[0279] 본 실시형태에 있어서는, 단결정 반도체층(516)의 분리를 위한 열처리 직후에, 레이저 광의 조사 처리를 행하고 있지만, 개시하는 발명의 일 형태는 이것에 한정해서 해석되지 않는다. 단결정 반도체층(516)의 분리를 위한 열처리의 후에 에칭 처리를 실시하고, 단결정 반도체층(516)의 표면의 결함이 많은 영역을 제거하고 나서, 레이저 광의 조사 처리가 수행된다. 대안적으로, 단결정 반도체층(516) 표면의 평탄성을 향상시키고, 레이저 광의 조사 처리를 행해도 된다. 상기 에칭 처리로서는 웨트 에칭 또는 드라이 에칭 중 어느 것을 사용해도 된다는 것을 주의한다. 또한, 본 실시형태에 있어서는, 레이저 광을 조사한 후, 단결정 반도체층(516)의 막 두께를 감소시키는 공정이 수행된다. 단결정 반도체층(516)의 박막화를 위해, 드라이 에칭 또는 웨트 에칭의 일방, 또는 쌍방을 사용할 수 있다.

[0280] 이상의 공정에 의해, 양호한 특성의 단결정 반도체층(518)을 가지는 SOI 기판을 수득할 수 있다(도 11h 참조).

[0281] <트랜지스터의 제작 방법>

[0282] 다음에, 상기의 SOI 기판을 포함한 트랜지스터(570)의 제작 방법에 대해서, 도 12a 내지 도 12h를 참조해서 설명한다.

[0283] 도 12a는 도 11a 내지 도 11h에 도시된 방법으로 제작된 SOI 기판의 일부를 나타내는 단면도이다.

[0284] 우선, 단결정 반도체층(518)을 섬 형상으로 가공하여, 반도체층(520)을 형성한다(도 12b 참조). 이 공정 전후에 있어서, 트랜지스터의 임계 전압을 제어하기 위해서, n형의 도전성을 부여하는 불순물 또는 p형의 도전성을 부여하는 불순물을 반도체층에 첨가할 수 있다는 것을 주의한다. 반도체 재료가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 인이나 비소 등을 사용할 수 있다. p형의 도전성을 부여하는 불순물로서는, 봉소, 알루미늄, 갈륨 등을 사용할 수 있다.

[0285] 다음에, 반도체층(520)을 덮도록 절연층(522)을 형성한다(도 12c 참조). 절연층(522)은 나중에 게이트 절연층이 된다. 여기에서는, 플라즈마 CVD법에 의해 단층 산화 실리콘 막이 형성된다. 절연층(522)의 재료 및 형성 방법은 임의의 상기 실시형태에 따른 게이트 절연층(예를 들어, 게이트 절연층(108))에 관한 기재를 참조할 수 있다.

[0286] 다음에, 절연층(522) 위에 도전층을 형성한 후, 상기 도전층을 선택적으로 에칭하여, 반도체층(520)의 상방에 게이트 전극(524)을 형성한다(도 12d 참조). 게이트 전극(524)의 재료 및 형성 방법은 임의의 상기 실시형태에 따른 게이트 전극(예를 들어, 게이트 전극(110))에 관한 기재를 참조할 수 있다.

[0287] 다음에, 게이트 전극(524)을 마스크로 사용하여, 일도전형을 부여하는 불순물 원소를 반도체층(520)에 첨가하여, 불순물 영역(526)을 형성한다(도 12e 참조). 여기에서는, n-채널 트랜지스터를 형성하기 위해서, 인(P) 또는 비소(As)를 첨가하지만, p-채널 트랜지스터를 형성할 경우에는, 봉소(B) 또는 알루미늄(Al) 등의 불순물을 첨가할 수 있다는 것을 주의한다. 여기에서, 첨가되는 불순물의 농도는 적절히 설정할 수 있다.

[0288] 다음에, 게이트 전극(524)의 측면에 사이드월 절연층(528)을 형성한다. 절연층(522) 및 게이트 전극(524)을 덮도록 절연층을 형성한 후, 높은 이방성 에칭 처리를 행함으로써, 사이드월 절연층(528)이 자기정합적으로 형성될 수 있다. 또한, 이 때에, 절연층(522)을 부분적으로 에칭해서 게이트 절연층(522a)를 형성하고, 불순물 영역(526)을 노출시키면 양호하다.

[0289] 다음에, 게이트 전극(524) 및 사이드월 절연층(528)을 마스크로 사용하여, 일 도전형을 부여하는 불순물 원소를 불순물 영역(526)에 첨가한다. 불순물 영역(526)에 첨가하는 불순물 원소는 이전의 공정에서 첨가된 불순물 원소로서 동일한 도전형을 부가하는 불순물 원소라는 것을 주의한다. 또한, 불순물 영역(526)에 첨가된 불순물 원소의 농도는 이전의 공정의 불순물 원소보다 높게 한다. 상기 불순물 원소의 첨가에 의해, 반도체층(520)에 한 쌍의 고농도 불순물 영역(530), 한 쌍의 저농도 불순물 영역(532), 및 채널 형성 영역(534)이 형성된다(도 12g 참조). 고농도 불순물 영역(530)은 소스 영역 또는 드레인 영역으로서 기능한다.

[0290] 반도체층(520)이 실리콘을 포함하는 재료로 형성될 때, 소스 영역 및 드레인 영역의 저항을 더 저감하기 위해서, 반도체층(520)의 일부에 실리사이드를 형성함으로써 실리사이드 영역을 형성할 수 있다는 것을 주의한다. 실리사이드화는, 반도체층에 금속을 접촉시켜, 가열 처리(예를 들면, GRTA법, LRTA법)에 의해, 반도체층의

실리콘과 금속을 반응하도록 행한다. 실리사이드 영역으로서는, 코발트 실리사이드 또는 니켈 실리사이드 등이 사용될 수 있다. 반도체층(520)이 박막인 경우에는, 반도체층(520)의 바닥까지 실리사이드 반응을 진행시킬 수 있다. 실리사이드화에 사용할 수 있는 금속 재료로서는, 티타늄, 니켈, 텉스텐, 몰리브덴, 코발트, 지르코늄, 하프늄, 탄탈, 바나듐, 네오디뮴, 크롬, 백금, 팔라듐 등을 들 수 있다. 또한, 레이저 광의 조사 등에 의해도 실리사이드 영역을 형성할 수 있다.

[0291] 다음에, 상기의 공정에 의해 형성된 구성요소들을 덮도록 충간 절연층(536) 및 충간 절연층(538)을 형성한다(도 12h 참조). 충간 절연층(536 및 538)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 또한, 충간 절연층(536 및 538)은 폴리이미드 또는 아크릴 수지 등의 유기 절연 재료를 사용하여 형성될 수 있다. 여기에서는, 충간 절연층(536)과 충간 절연층(538)의 적층 구조가 채용되지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다는 것을 주의한다. 단층 구조 또는 3층 이상의 층들을 포함하는 적층 구조가 사용될 수 있다. 충간 절연층(538)의 형성 후에, 충간 절연층(538)의 표면을 CMP, 에칭, 등에 의해 평탄화한다.

[0292] 다음에, 상기 충간 절연층(536 및 538)에 고농도 불순물 영역(530)에 도달하는 개구를 형성하고, 상기 개구에 소스 또는 드레인 전극(540a) 및 소스 또는 드레인 전극(540b)을 형성한다(도 12h 참조). 소스 또는 드레인 전극(540a) 및 소스 또는 드레인 전극(540b)의 재료나 제작 방법은 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b) 등에 관한 기재를 참조할 수 있다.

[0293] 이상의 공정을 통해, SOI 기판을 포함한 트랜지스터(570)가 형성된다(도 12h 참조). 산화물 반도체 이외의 재료를 사용한 트랜지스터(570)는 고속 동작이 가능하기 때문에, 상기 트랜지스터를 사용하여 논리 회로(연산 회로라고도 하는) 등을 형성할 수 있다. 또한, 상기 트랜지스터는 상기 실시형태에 기술된 기억 회로를 구동하기 위한 구동회로 등에 사용될 수도 있다.

[0294] 상기 공정의 후에, 전극, 배선, 절연층 등이 더 형성될 수 있다는 것을 주의한다. 배선이 충간 절연층 및 도전층의 적층 구조를 포함하는 다층 구조를 가질 때, 고도로 집적화한 반도체 장치를 제공할 수 있다.

[0295] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0296] (실시형태 8)

[0297] 본 실시형태에서는, 임의의 상기 실시형태에 기술된 반도체 장치의 응용 예를 도 13a 및 도 13b 및 도 14a 내지 도 14c를 참조하여 설명한다.

[0298] 도 13a 및 도 13b는 도 5a1에 도시된 반도체 장치(이하, 메모리 셀(190)이라고도 하는)를 복수 포함하는 반도체 장치의 회로도이다. 도 13a는 메모리 셀(190)이 직렬로 접속된 소위 NAND 반도체 장치의 회로도이고, 도 13b는 메모리 셀(190)이 병렬로 접속된 소위 NOR 반도체 장치의 회로도이다.

[0299] 도 13a에 도시된 반도체 장치는 소스선 SL, 비트선 BL, 제 1 신호선 S1, m 개의 제 2 신호선 S2, m 개의 워드선 WL, 및 복수의 메모리 셀(190)(1, 1) 내지 190(m , 1)이, m 개(행)(수직 방향) \times 1개(열)(수평 방향)의 매트릭스로 배치되어 있다. 도 13a에서, 하나의 소스선 SL 및 하나의 비트선 BL이 반도체 장치에 포함되지만, 개시된 발명의 일 실시형태는 이에 제한되지 않는다. n 개의 소스선 SL 및 n 개의 비트선 BL을 설치하여 메모리 셀이 m 개(행)(수직 방향) \times n 개(열)(수평 방향)의 매트릭스로 배치된 메모리 셀 어레이가 형성된다.

[0300] 각 메모리 셀(190)에 있어서, 트랜지스터(160)의 게이트 전극, 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(164)의 한 전극이 서로 전기적으로 접속되어 있다. 제 1 신호선 S1과 트랜지스터(162)의 상기 소스 전극 및 드레인 전극 중 다른 하나가 서로 전기적으로 접속되고, 제 2 신호선 S2와 상기 트랜지스터(162)의 게이트 전극이 서로 전기적으로 접속된다. 워드선 WL과 용량 소자(164)의 다른 전극이 서로 전기적으로 접속된다.

[0301] 또한, 메모리 셀(190)이 가지는 트랜지스터(160)의 소스 전극과 인접하는 메모리 셀(190)의 트랜지스터(160)의 드레인 전극은 서로 전기적으로 접속된다. 메모리 셀(190)이 가지는 트랜지스터(160)의 드레인 전극과 인접하는 메모리 셀(190)의 트랜지스터(160)의 소스 전극이 서로 전기적으로 접속된다. 직렬로 접속된 복수의 메모리 셀의 한 단부에 제공된, 메모리 셀(190)이 가지는 트랜지스터(160)의 드레인 전극은 비트선과 서로 전기적으로 접속된다는 것을 주의한다. 직렬로 접속된 복수의 메모리 셀의 다른 쪽의 단부에 제공된, 메모리 셀(190)이 가지는 트랜지스터(160)의 소스 전극은 소스선과 서로 전기적으로 접속된다.

[0302] 도 13a에 도시된 반도체 장치는 각 행에서 기록 동작 및 판독 동작이 수행된다. 기록 동작은 다음과 같이 실시된다. 기록을 행하는 행의 제 2 신호선 S2에 트랜지스터(162)가 턴온되는 전위를 공급하여, 기록을 행하는 행의 트랜지스터(162)를 턴온한다. 이것에 의해, 지정된 행의 트랜지스터(160)의 게이트 전극에 제 1 신호선 S1의 전위가 공급되어, 상기 게이트 전극에 소정의 전하가 주어진다. 따라서, 지정된 행의 메모리 셀에 데이터를 기록할 수 있다.

[0303] 또한, 판독 동작은 다음과 같이 실시된다. 우선, 트랜지스터(160)의 게이트 전극의 전하와 상관없이, 판독을 행하는 행 이외의 워드선 WL에 트랜지스터(160)가 턴온되는 전위가 공급되어, 판독을 행하는 행 이외의 트랜지스터(160)를 턴온한다. 그 후, 판독을 행하는 행의 워드선 WL에 트랜지스터(160)의 게이트 전극의 전하에 따라, 트랜지스터(160)의 온 상태 또는 오프 상태가 결정되는 전위(판독 전위)를 공급한다. 그 후, 소스선 SL에 소정의 전위가 공급되어, 비트선 BL에 접속된 판독 회로(도시되지 않음)가 동작한다. 여기에서, 소스선 SL과 비트선 BL 사이의 복수의 트랜지스터(160)는 판독을 행하는 행의 트랜지스터(160)를 제외하고 온 상태므로, 소스선 SL과 비트선 BL 사이의 컨덕턴스는 판독을 행하는 행의 트랜지스터(160)의 상태에 의해 결정된다. 즉, 판독 회로에 의해 판독되는 비트선 BL의 전위는 판독을 행하는 행의 트랜지스터(160)의 게이트 전극의 전하에 따라 변한다. 이런 방식으로, 지정된 행의 메모리 셀로부터 데이터를 판독할 수 있다.

[0304] 도 13b에 도시된 반도체 장치는 n개의 소스선 SL, n개의 비트선 BL, n개의 제 1 신호선 S1, m개의 제 2 신호선 S2, m개의 워드선 WL, 및 복수의 메모리 셀(190)(1, 1) 내지 190(m, n)이 m(행)(수직 방향)×n(열)(수평 방향)의 매트릭스로 배치된 메모리 셀 어레이(181)를 가진다. 트랜지스터(160)의 게이트 전극, 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나, 용량 소자(164)의 한 전극이 서로 전기적으로 접속되어 있다. 소스선 SL과 트랜지스터(160)의 소스 전극은 서로 전기적으로 접속된다. 비트선 BL과 트랜지스터(160)의 드레인 전극은 서로 전기적으로 접속된다. 제 1 신호선 S1과 트랜지스터(162)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고, 제 2 신호선 S2과 트랜지스터(162)의 게이트 전극은 서로 전기적으로 접속된다. 워드선 WL과 용량 소자(164)의 다른 전극은 서로 전기적으로 접속된다.

[0305] 도 13b에 도시된 반도체 장치는 각 행에서 기록 동작 및 판독 동작을 행한다. 기록 동작은 상기의 도 13a에 도시된 반도체 장치와 유사한 방법으로 실시된다. 판독 동작은 다음과 같이 실시된다. 우선, 트랜지스터(160)의 게이트 전극의 전하와 상관없이 트랜지스터(160)가 턴오프되는 전위를 판독을 행하는 행 이외의 워드선 WL에 공급하여, 판독을 행하는 행 이외의 트랜지스터(160)를 턴오프한다. 그 후, 트랜지스터(160)의 게이트 전극의 전하에 의해, 트랜지스터(160)의 온 상태 또는 오프 상태가 결정되는 전위(판독 전위)가 판독을 행하는 행의 워드선 WL에 공급된다. 그 후, 소스선 SL에 소정의 전위가 공급되어, 비트선 BL에 접속된 판독 회로(도시되지 않음)가 동작한다. 여기에서, 소스선 SL과 비트선 BL 사이의 컨덕턴스는 판독을 행하는 행의 트랜지스터(160)의 상태에 의해 결정된다. 즉, 판독을 행하는 행의 트랜지스터(160)의 게이트 전극의 전하에 따라 판독 회로에 의해 판독된 비트선 BL의 전위는 변한다. 이런 방식으로, 지정된 행의 메모리 셀로부터 데이터가 판독된다.

[0306] 다음에, 도 13a 및 도 13b에 도시된 반도체 장치 등에 사용할 수 있는 판독 회로의 일례에 대해서 도 14a 내지 도 14c를 참조하여 설명한다.

[0307] 도 14a는 판독 회로의 개요를 나타낸다. 상기 판독 회로는 트랜지스터와 감지 증폭기 회로를 가진다.

[0308] 데이터를 판독할 때, 단자 A는 데이터가 판독되는 메모리 셀이 접속된 비트선에 접속된다. 또한, 트랜지스터의 게이트 전극에는 바이어스 전위(V_{bias})가 인가되어 단자 A의 전위가 제어된다.

[0309] 메모리 셀(190)의 저항은 저장된 데이터에 따라 변한다. 구체적으로는, 선택된 메모리 셀(190)의 트랜지스터(160)가 온인 경우에 메모리 셀(190)은 저저항 상태가 되고, 선택된 메모리 셀(190)의 트랜지스터(160)가 오프인 경우에는 메모리 셀(190)은 고저항 상태가 된다.

[0310] 메모리 셀이 고저항 상태인 경우, 단자 A의 전위가 참조 전위(V_{ref})보다 크고, 감지 증폭기 회로는 단자 A의 전위에 대응하는 전위(데이터 "1")를 출력한다. 한편, 메모리 셀이 저저항 상태인 경우, 단자 A의 전위가 참조 전위(V_{ref})보다 낮아지고 감지 증폭기 회로는 단자 A의 전위에 대응하는 전위(데이터 "0")를 출력한다.

[0311] 따라서, 판독 회로를 사용함으로써 메모리 셀로부터 데이터가 판독된다. 본 실시형태의 판독 회로는 일례라는 것을 주의한다. 대안적으로, 다른 공지의 회로가 사용된다. 또한, 판독 회로는 프리차지 회로를 포함한다. 참조 전위(V_{ref}) 대신에 참조용의 비트선이 감지 증폭기 회로에 접속되는 구성으로 하여도 좋다.

[0312] 도 14b는 감지 증폭기 회로의 일례인 차동형 감지 증폭기를 나타낸다. 차동형 감지 증폭기는 입력 단자(Vin+)과 Vin(-) 및 출력 단자(Vout)를 가지고, Vin(+)과 Vin(-)의 차이를 증폭한다. Vin(+)>Vin(-)이면 Vout는 대략 High 출력, Vin(+)<Vin(-)이면 Vout는 대략 Low 출력이 된다.

[0313] 도 14c는 감지 증폭기 회로의 일례인 래치(latch)형 감지 증폭기를 나타낸다. 래치형 감지 증폭기는 입출력 단자(V1 및 V2) 및 제어 신호(Sp 및 Sn)의 입력 단자를 가진다. 우선, 제어 신호 Sp 및 Sn을 각각 High 및 Low로 설정하고, 전원 전위(Vdd)를 차단한다. 그리고, 비교를 위한 전위를 V1과 V2에 공급한다. 그 후에 제어 신호 Sp 및 Sn을 각각 Low 및 High로 설정하고, 전원 전위(Vdd)를 공급한다. 비교를 위한 전위 V1in과 V2in에 대해 V1in>V2in의 관계에 있으면, V1의 출력은 신호 High, V2의 출력은 신호 Low가 되고, V1in<V2in의 관계에 있으면, V1의 출력은 신호 Low, V2의 출력은 신호 High가 된다. 이러한 관계를 이용하여, V1in과 V2in의 차이가 증폭될 수 있다.

[0314] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0315] (실시형태 9)

[0316] 본 실시형태에서는, 임의의 상기 실시형태에 기술된 트랜지스터를 사용한 반도체 장치의 예에 대해서, 도 15a 및 도 15b를 참조해서 설명한다.

[0317] 도 15a는 소위 DRAM(Dynamic Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 15a에 도시된 메모리 셀 어레이(620)는 복수의 메모리 셀(630)이 매트릭스로 배열된 구성을 가지고 있다. 또한, 메모리 셀 어레이(620)는 m개의 제 1 배선 및 n개의 제 2 배선을 가진다. 메모리 셀(630)은 도 5b에 도시된 반도체 장치에 상당한다는 것을 주의한다. 또한, 본 실시형태에 있어서는, 도 5b에 있어서의 제 1 배선 및 제 2 배선을 각각 비트선 BL 및 워드선 WL이라고 한다는 것을 주의한다.

[0318] 메모리 셀(630)은 트랜지스터(631) 및 용량 소자(632)로 구성되어 있다. 트랜지스터(631)의 게이트 전극은 제 1 배선(워드선 WL)과 접속되어 있다. 또한, 트랜지스터(631)의 소스 전극 및 드레인 전극 중 하나는 제 2 배선(비트선 BL)과 접속된다. 트랜지스터(631)의 소스 전극 및 드레인 전극 중 다른 하나는 용량 소자의 한 전극과 접속된다. 용량 소자의 다른 전극은 용량선 CL에 접속되고, 미리 결정된 전위가 공급된다. 트랜지스터(631)에 임의의 상기 실시형태에 기술된 트랜지스터가 적용된다.

[0319] 임의의 상기 실시형태에 있어서 기술된 트랜지스터는 지극히 작은 오프 전류를 가진다. 따라서, 소위 DRAM으로서 인식되어 있는 도 15a에 도시된 반도체 장치에 상기 트랜지스터를 적용할 경우, 실질적으로 비휘발성 메모리가 수득된다.

[0320] 도 15b에는, 소위 SRAM(Static Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 15b에 도시된 메모리 셀 어레이(640)는 복수의 메모리 셀(650)이 매트릭스로 배열된 구성을 갖는다. 또한, 메모리 셀 어레이(640)는 복수의 제 1 배선(워드선 WL), 복수의 제 2 배선(비트선 BL) 및 복수의 제 3 배선(반전 비트선/BL)을 가진다.

[0321] 메모리 셀(650)은 제 1 내지 제 6 트랜지스터(651 내지 656)를 가지고 있다. 제 1 트랜지스터(651)와 제 2 트랜지스터(652)는 선택 트랜지스터로서 기능한다. 또한, 제 3 트랜지스터(653)와 제 4 트랜지스터(654) 중 하나(여기에서는, 제 4 트랜지스터(654))는 n-채널형 트랜지스터이며, 다른 쪽(여기에서는, 제 3 트랜지스터(653))은 p-채널형 트랜지스터이다. 즉, 제 3 트랜지스터(653)와 제 4 트랜지스터(654)에 의해 CMOS 회로가 형성된다. 마찬가지로, 제 5 트랜지스터(655)와 제 6 트랜지스터(656)에 의해 CMOS 회로가 형성된다.

[0322] 제 1 트랜지스터(651), 제 2 트랜지스터(652), 제 4 트랜지스터(654), 및 제 6 트랜지스터(656)는 n-채널형의 트랜지스터이며, 임의의 상기 실시형태에 기술된 트랜지스터를 적용할 수 있다. 제 3 트랜지스터(653)와 제 5 트랜지스터(655)는 p-채널형의 트랜지스터이며, 산화물 반도체 또는 산화물 반도체 이외의 재료(예를 들면, 실리콘)를 사용하여 형성할 수 있다.

[0323] 본 실시형태에 기술된 구성, 방법 등은 다른 실시형태에 기술된 구성, 방법 등과 적절히 조합시켜서 사용할 수 있다.

[0324] (실시형태 10)

[0325] 본 실시형태에서는, 상기의 실시형태에서 설명한 반도체 장치를 전자 기기에 적용할 경우에 대해서, 도 16a 내

지 도 16f를 참조하여 설명한다. 본 실시형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 말하는), 휴대 정보 단말(휴대형 게임기, 음향 재생 장치 등을 포함하는), 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 하는) 등의 전자 기기에 상기의 반도체 장치를 적용한 경우에 관하여 설명한다.

[0326] 도 16a는 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등을 포함하는 랩탑 개인용 컴퓨터를 도시한다. 각각의 하우징(701 및 702)에는 임의의 상기 실시형태에 기술된 반도체 장치가 제공된다. 임의의 상기 실시형태에 기술된 반도체 장치는 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 그 때문에 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 랩탑 개인용 컴퓨터가 실현된다.

[0327] 도 16b는 휴대 정보 단말(PDA)을 도시한다. 본체(711)에 표시부(713), 외부 인터페이스(715), 조작 버튼(714) 등이 제공된다. 또한, 휴대 정보 단말을 조작하기 위한 스타일러스(712) 등을 구비하고 있다. 본체(711)에는, 임의의 상기 실시형태에 기술된 반도체 장치가 제공된다. 임의의 상기 실시형태에 기술된 반도체 장치는 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 따라서, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 휴대 정보 단말이 실현된다.

[0328] 도 16c는 전자 페이퍼가 실장된 전자 서적(720)이며, 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는, 각각 표시부(725) 및 표시부(727)가 제공된다. 하우징(721 및 723)은 축부(737)에 의해 접속되고, 상기 축부(737)로 개폐될 수 있다. 하우징(721)은 전원(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721 및 723)의 적어도 하나는 임의의 상기 실시형태에 기술된 반도체 장치가 제공된다. 임의의 상기 실시형태에 기술된 반도체 장치는 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 따라서, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 전자 서적이 실현된다.

[0329] 도 16d은 하우징(740)과 하우징(741)의 2개의 하우징을 포함하는 휴대 전화기를 도시한다. 또한, 하우징(740 및 741)은 도 16d과 같이 전개하고 있는 상태로부터 슬라이드에 의해 접쳐질 수 있고, 휴대 전화가 휴대에 적합하도록 휴대 전화의 크기가 저감될 수 있다. 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 하우징(740)은 휴대 전화기의 충전을 위한 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 또한, 안테나가 하우징(741)에 내장되어 있다. 하우징(740 및 741)의 적어도 하나에는, 임의의 상기 실시형태에 기술된 반도체 장치가 제공된다. 임의의 상기 실시형태에 기술된 반도체 장치는, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 따라서, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.

[0330] 도 16e는 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등을 포함하는 디지털 카메라를 도시한다. 본체(761)에는, 임의의 상기 실시형태에 기술된 반도체 장치가 제공된다. 임의의 상기 실시형태에 기술된 반도체 장치는, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 따라서, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.

[0331] 도 16f는 하우징(771), 표시부(773), 스탠드(775) 등을 포함하는 텔레비전 장치(770)를 도시한다. 텔레비전 장치(770)는 하우징(771)의 조작 스위치 또는 리모트 컨트롤 조작기(780)에 의해 조작될 수 있다. 하우징(771) 및 리모트 컨트롤 조작기(780)에는, 임의의 상기 실시형태에 기술된 반도체 장치가 실장되어 있다. 임의의 상기 실시형태에 기술된 반도체 장치는, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감되어 있다. 따라서, 데이터의 기록 및 판독이 고속으로 수행되고, 데이터가 장시간 저장될 수 있고, 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.

[0332] 이상과 같이, 본 실시형태에 기술된 전자 기기에는 임의의 상기 실시형태에 따른 반도체 장치가 실장된다. 따라서, 소비 전력이 저감된 전자 기기가 실현된다.

[0333] (실시예 1)

[0334] 개시하는 발명의 일 형태에 따른 반도체 장치의 재기록 회수에 대해서 조사했다. 본 실시형태에서, 상기 조사 결과는 도 17을 참조해서 설명한다.

[0335] 조사에 사용한 반도체 장치는 도 5a1에 도시된 회로 구성을 갖는 반도체 장치이다. 여기에서, 트랜지스터(162)에 상당하는 트랜지스터에는 산화물 반도체가 사용되고, 용량 소자(164)에 상당하는 용량 소자로서, 0.33pF의 용량값을 갖는 용량 소자가 사용된다.

[0336] 조사는 초기의 메모리 윈도우 폭과 테이터의 저장 및 기록을 소정 회수 반복한 후의 메모리 윈도우 폭을 비교함으로써 수행된다. 테이터의 저장 및 기록은 도 5a1에서 제 3 배선에 상당하는 배선에 0V 또는 5V를 인가하고, 도 5a1에서 제 4 배선에 상당하는 배선에 0V 또는 5V를 인가함으로써 수행된다. 제 4 배선에 상당하는 배선의 전위가 0V인 경우에는, 트랜지스터(162)에 상당하는 트랜지스터는 오프 상태이기 때문에, 플로팅 게이트부(FG)에 공급된 전위가 유지된다. 제 4 배선에 상당하는 배선의 전위가 5V인 경우에는, 트랜지스터(162)에 상당하는 트랜지스터는 온 상태이기 때문에, 제 3 배선에 상당하는 배선의 전위가 플로팅 게이트부(FG)에 공급된다.

[0337] 메모리 윈도우 폭은 메모리 장치의 특성을 나타내는 하나의 지표이다. 여기에서는, 메모리 윈도우 폭은 제 5 배선에 상당하는 배선의 전위(V_{cg})와 트랜지스터(160)에 상당하는 트랜지스터의 드레인 전류(I_d)의 관계를 나타내는, 다른 기억 상태들 간의 곡선(V_{cg} - I_d 곡선)의 시프트량(ΔV_{cg})을 말한다. 다른 기억 상태는 플로팅 게이트부(FG)에 0V가 인가된 상태(이하, Low 상태라고 한다)와 플로팅 게이트부(FG)에 5V가 인가된 상태(이하, High 상태라고 한다)를 말한다. 즉, 메모리 윈도우 폭은 Low 상태와 High 상태에 있어서, 전위(V_{cg})의 스위핑(sweping)에 의해 확인할 수 있다. 어느 경우도, $V_{ds}=1V$ 로 설정된다.

[0338] 도 17은 초기 상태의 메모리 윈도우 폭과, 1×10^9 회의 기록을 행한 후의 메모리 윈도우 폭의 조사 결과를 나타낸다. 도 17에서, 실선은 제 1 기록을 나타내고, 파선은 1×10^9 번째의 기록을 나타낸다. 또한, 실선과 파선 모두 좌측의 곡선은 High 상태의 기록을 나타내고, 오른쪽의 곡선은 Low 상태의 기록을 나타낸다. 가로축은 V_{cg} (V)을 나타내고, 세로축은 I_d (A)를 나타낸다. 도 17로부터, 1×10^9 회의 기록 전후에 있어서, High 상태와 Low 상태의 전위(V_{cg})를 스위핑한 메모리 윈도우 폭이 변화되지 않고 있는 것을 확인할 수 있다. 1×10^9 회의 기록 후에 있어서 메모리 윈도우 폭이 변화되지 않는다고 하는 것은, 적어도 이 기간동안, 반도체 장치의 특성이 변화되지 않는 것을 나타내는 것이다.

[0339] 전술한 바와 같이, 개시하는 발명의 일 형태에 따른 반도체 장치는, 테이터가 복수회 저장 및 기록되어도 특성이 변화되지 않는다. 즉, 개시하는 발명의 일 형태에 의해, 지극히 신뢰성이 높은 반도체 장치가 실현된다고 할 수 있다.

[0340] 본 발명은 전체 내용이 본원에 참조로서 통합된, 2009년 12월 25일 일본 특허청에 출원된 일본 특허 출원 번호 제 2009-296202호에 기초한다.

부호의 설명

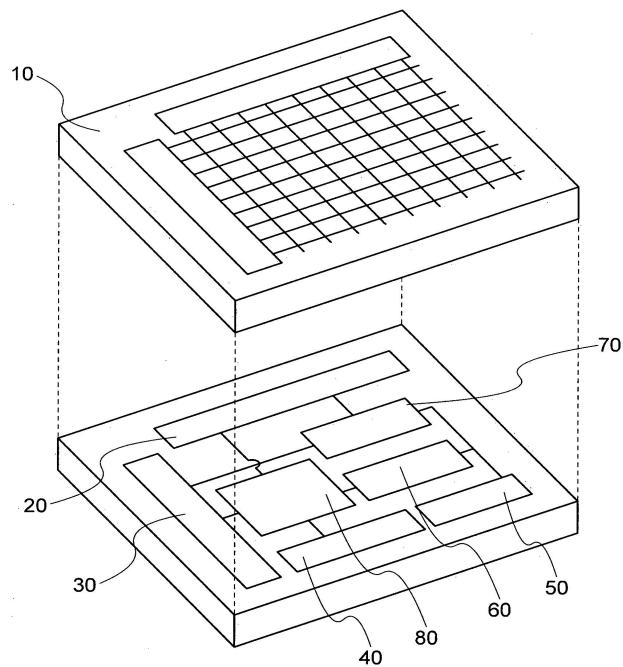
10: 메모리셀 어레이	20: 열 디코더
30: 행 디코더	40: IO 콘트롤러
50: IO 버퍼	60: 명령 버퍼
70: 어드레스 버퍼	80: 콘트롤러
100: 기판	102: 보호층
104: 반도체 영역	106: 소자 분리 절연층
108: 게이트 절연층	110: 게이트 전극
112: 절연층	114: 불순물 영역
116: 채널 형성 영역	118: 사이드월 절연층
120: 고농도 불순물 영역	122: 금속층
124: 금속 화합물 영역	126: 층간 절연층
128: 층간 절연층	130a: 소스 또는 드레인 전극

130b: 소스 또는 드레인 전극	132: 절연층
134: 절연층	138: 절연층
142a: 소스 또는 드레인 전극	142b: 소스 또는 드레인 전극
142c: 전극	142d: 전극
143: 절연층	144: 산화물 반도체층
146: 게이트 절연층	148a: 게이트 전극
148b: 전극	150: 층간 절연층
152: 층간 절연층	160: 트랜지스터
162: 트랜지스터	164: 용량 소자
170: 트랜지스터	181: 메모리셀 어레이
190: 메모리셀	200: 피처리물
202: 절연층	206: 산화물 반도체층
206a: 산화물 반도체층	208a: 소스 또는 드레인 전극
208b: 소스 또는 드레인 전극	212: 게이트 절연층
214: 게이트 전극	216: 층간 절연층
218: 층간 절연층	250: 트랜지스터
300: 피처리물	302: 절연층
304: 제 1 산화물 반도체층	304a: 제 1 산화물 반도체층
305: 제 2 산화물 반도체층	306: 제 2 산화물 반도체층
306a: 제 2 산화물 반도체층	308a: 소스 또는 드레인 전극
308b: 소스 또는 드레인 전극	312: 게이트 절연층
314: 게이트 전극	316: 층간 절연층
318: 층간 절연층	350: 트랜지스터
400: 피처리물	402: 절연층
406: 산화물 반도체층	406a: 산화물 반도체층
408: 도전층	408a: 소스 또는 드레인 전극
408b: 소스 또는 드레인 전극	410: 절연층
410a: 절연층	410b: 절연층
411a: 산화 영역	411b: 산화 영역
412: 게이트 절연층	414: 게이트 전극
416: 층간 절연층	418: 층간 절연층
450: 트랜지스터	500: 하지 기판
502: 질소 함유층	510: 단결정 반도체 기판
512: 산화막	514: 취화 영역
516: 단결정 반도체층	518: 단결정 반도체층
520: 반도체층	522: 절연층

522a: 게이트 절연층	524: 게이트 전극
526: 불순물 영역	528: 사이드월 절연층
530: 고농도 불순물 영역	532: 저농도 불순물 영역
534: 채널 형성 영역	536: 중간 절연층
538: 중간 절연층	540a: 소스 또는 드레인 전극
540b: 소스 또는 드레인 전극	570: 트랜지스터
620: 메모리셀 어레이	630: 메모리셀
631: 트랜지스터	632: 용량 소자
640: 메모리셀 어레이	650: 메모리셀
651: 트랜지스터	652: 트랜지스터
653: 트랜지스터	654: 트랜지스터
655: 트랜지스터	656: 트랜지스터
701: 하우징	702: 하우징
703: 표시부	704: 키보드
711: 본체	712: 스타일러스
713: 표시부	714: 조작버튼
715: 외부 인터페이스	720: 전자 서적
721: 하우징	723: 하우징
725: 표시부	727: 표시부
731: 전원	733: 조작키
735: 스피커	737: 축부
740: 하우징	741: 하우징
742: 표시 패널	743: 스피커
744: 마이크로폰	745: 조작키
746: 포인팅 디바이스	747: 카메라용 렌즈
748: 외부 접속 단자	749: 태양 전지셀
750: 외부 메모리 슬롯	761: 본체
763: 접안부	764: 조작 스위치
765: 표시부	766: 배터리
767: 표시부	770: 텔레비전 장치
771: 하우징	773: 표시부
775: 스탠드	780: 리모콘 조작기

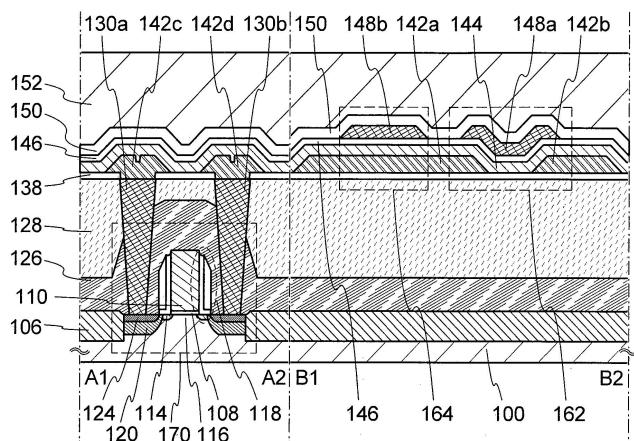
도면

도면1

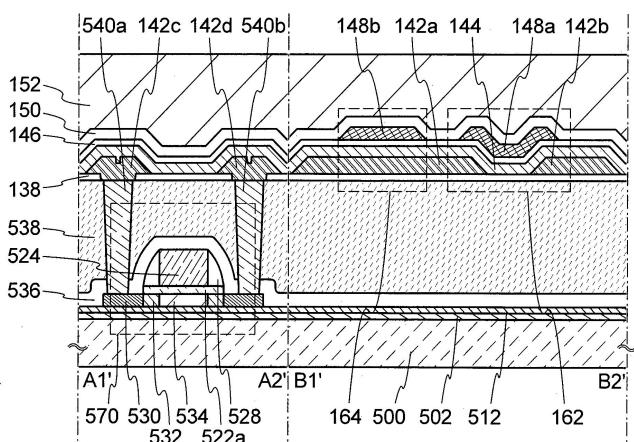


도면2

(a)

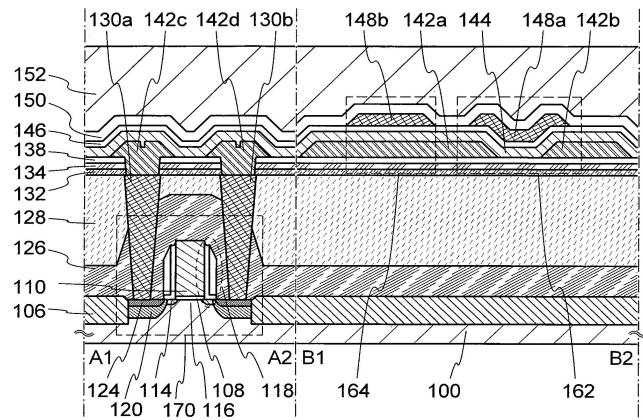


(b)

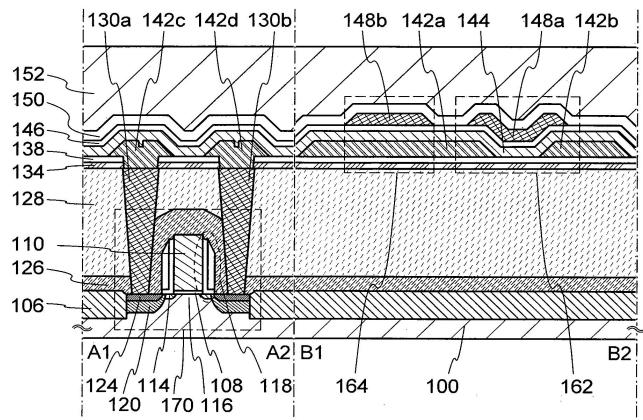


도면3

(a)

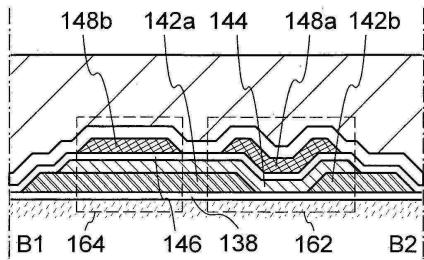


(b)

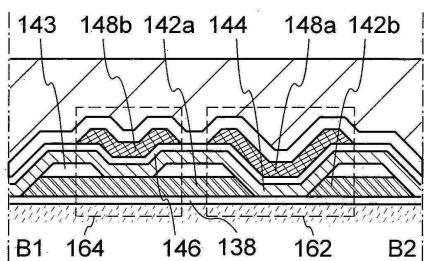


도면4

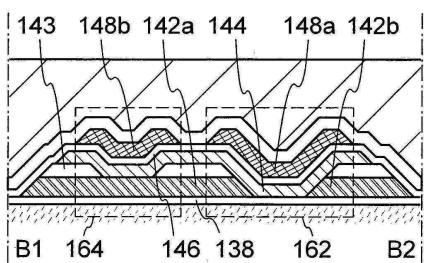
(a)



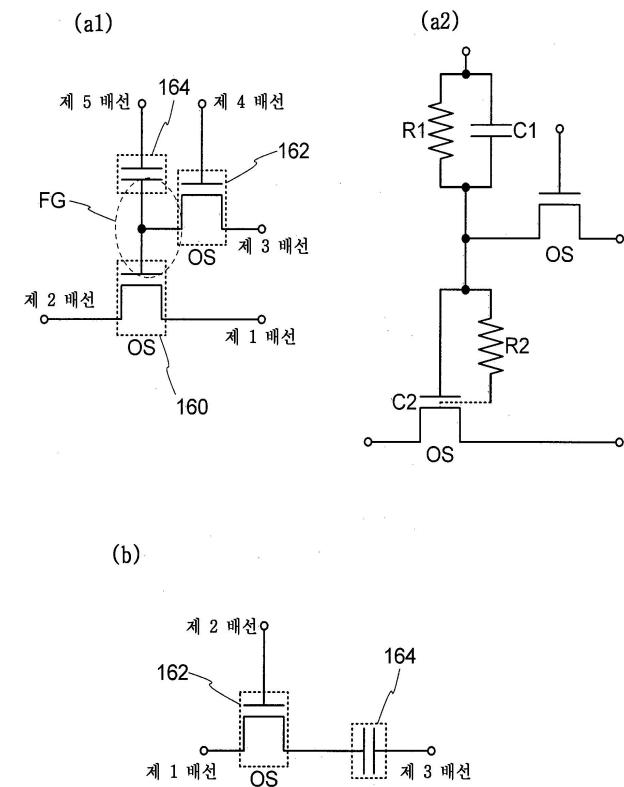
(b)



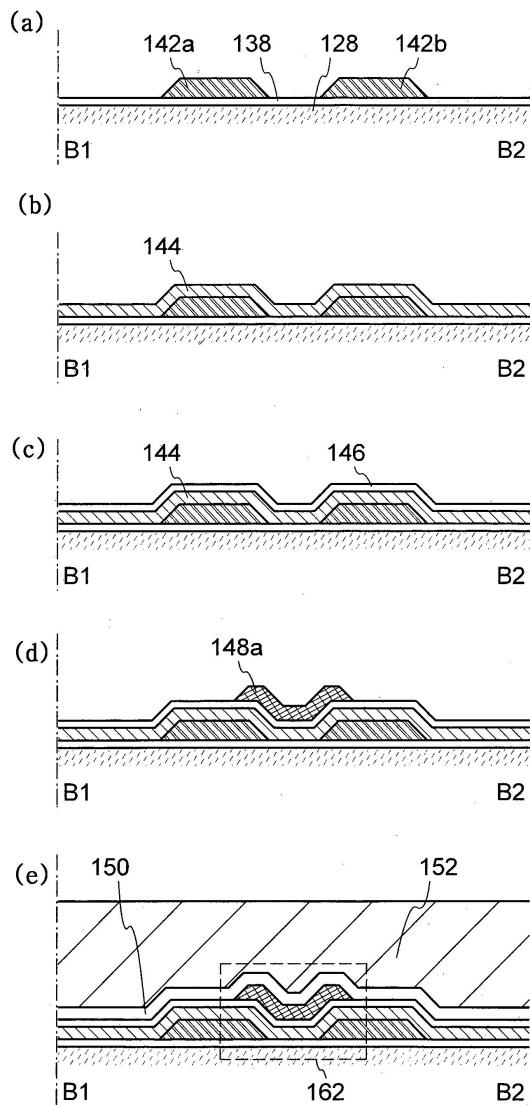
(c)



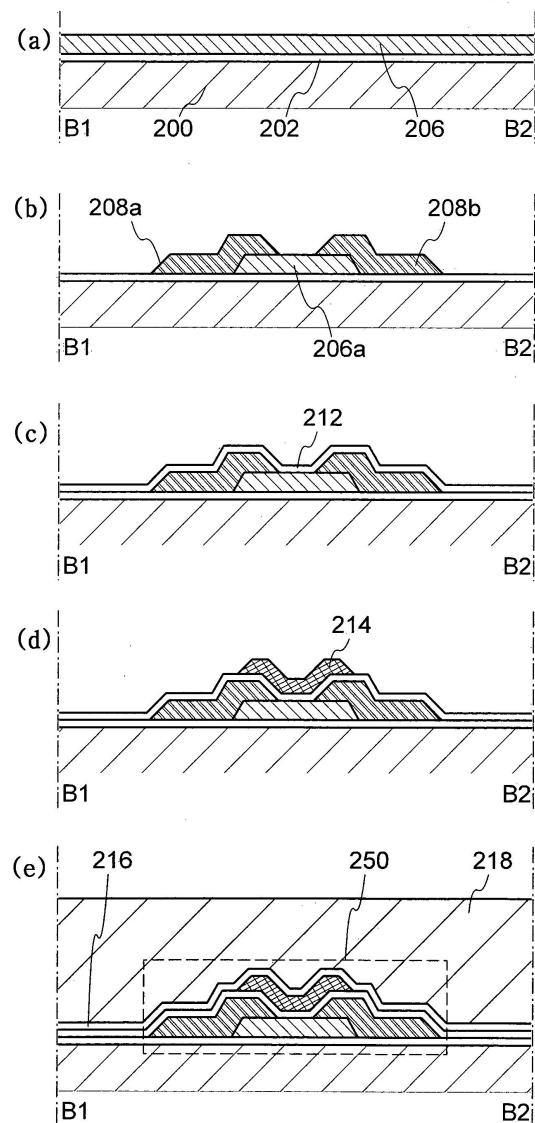
도면5



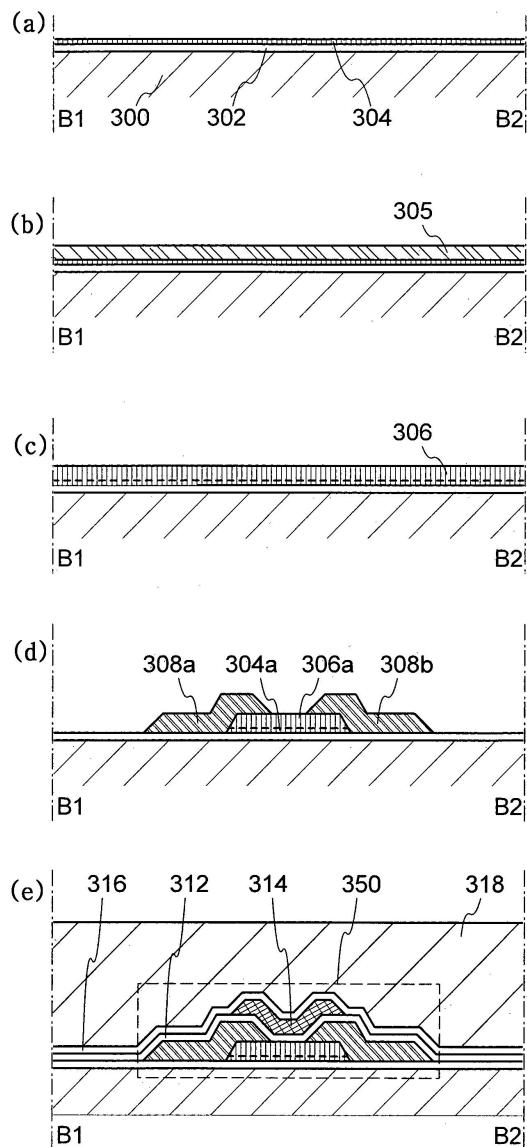
도면6



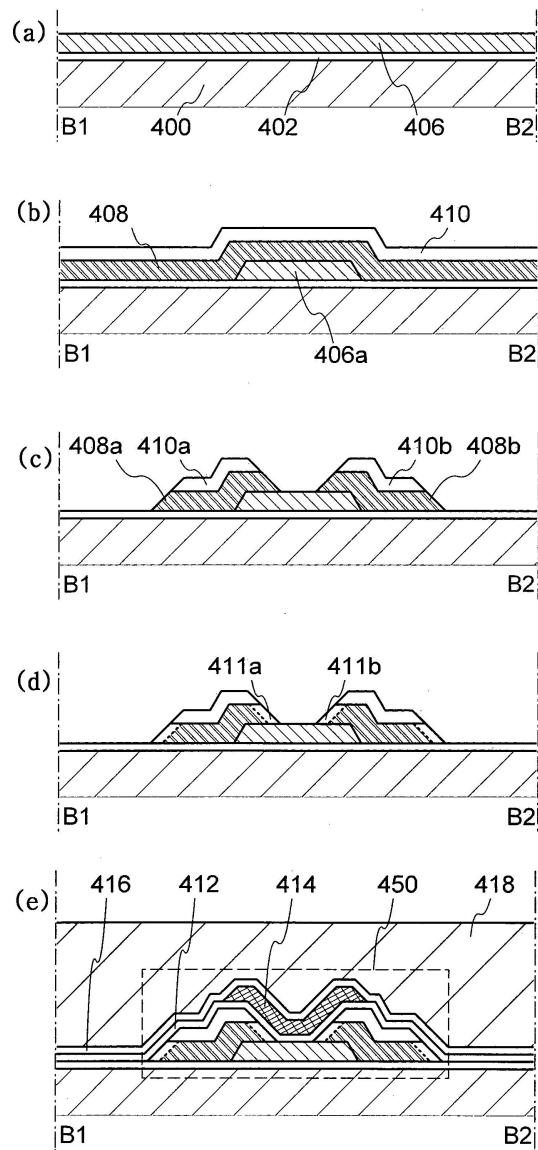
도면7



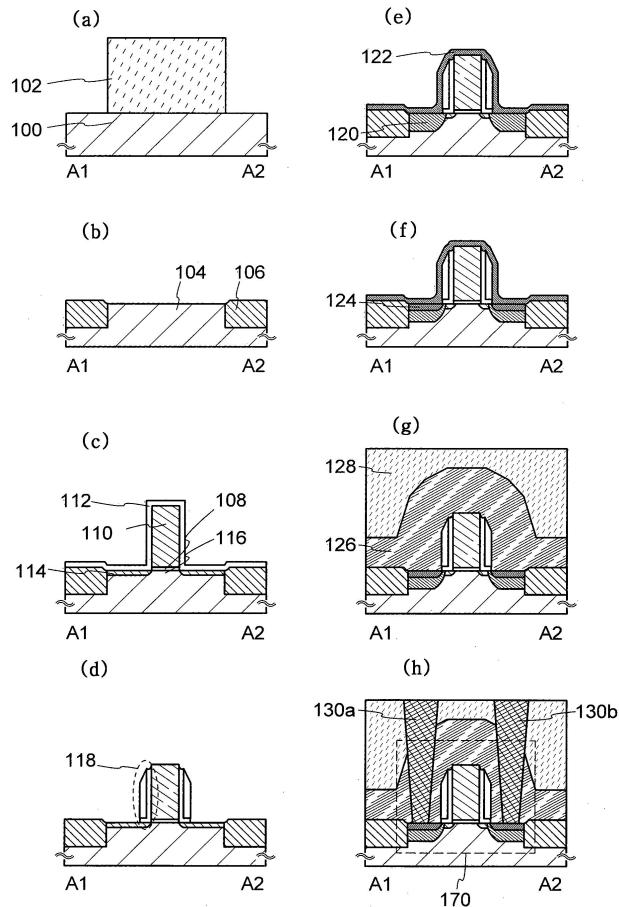
도면8



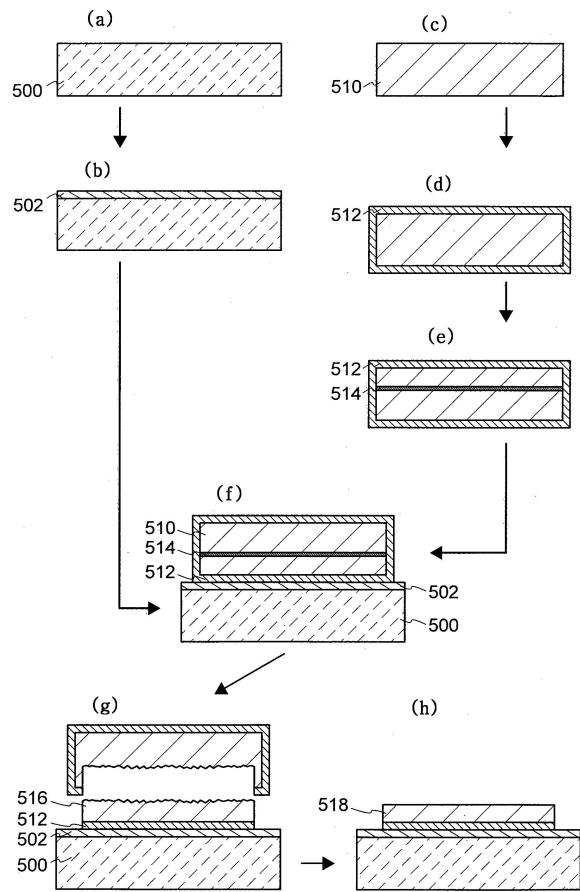
도면9



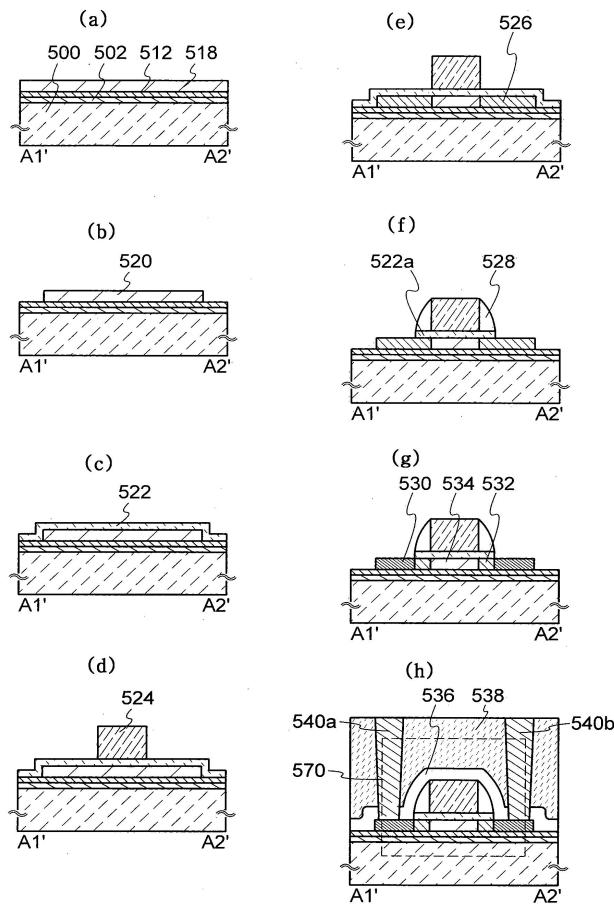
도면10



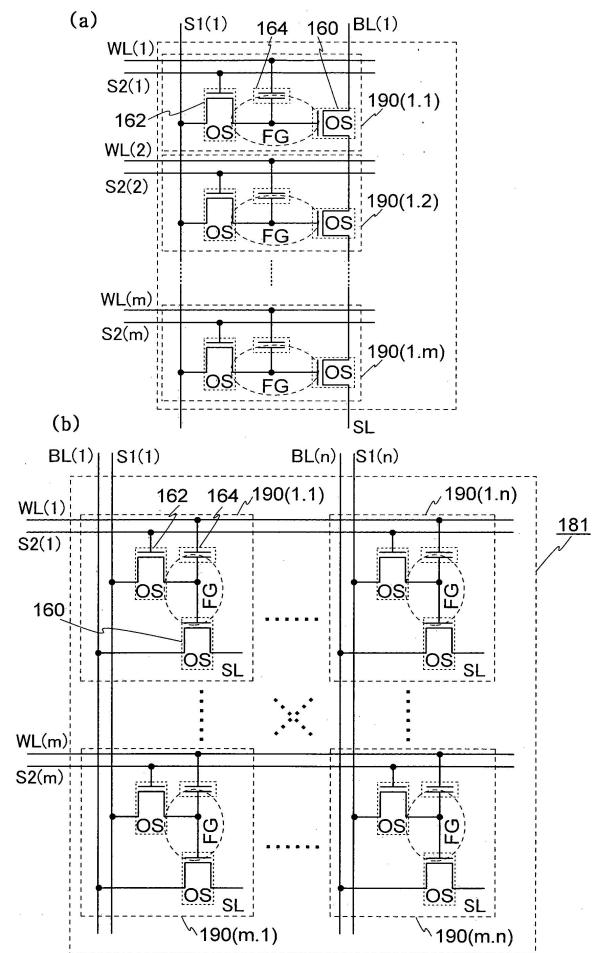
도면11



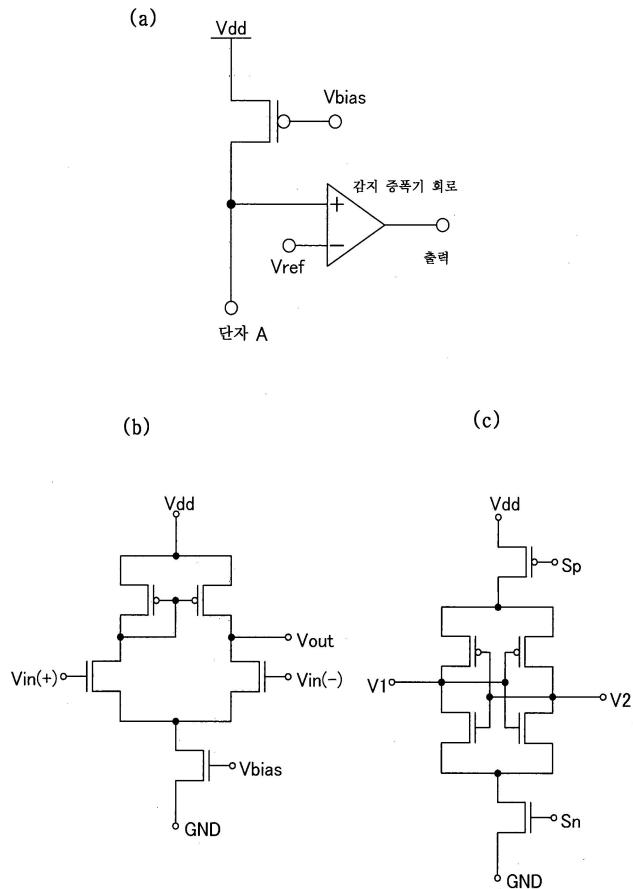
도면12



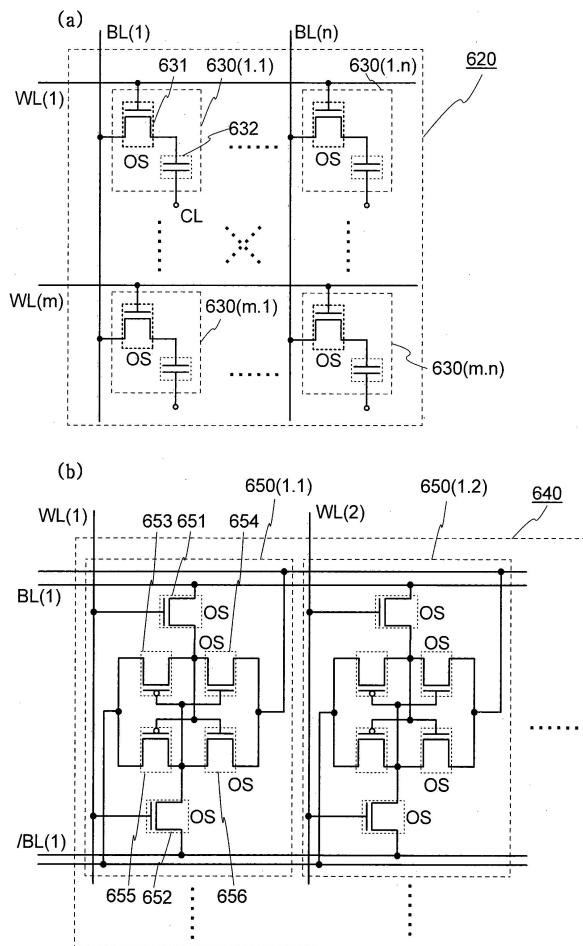
도면13



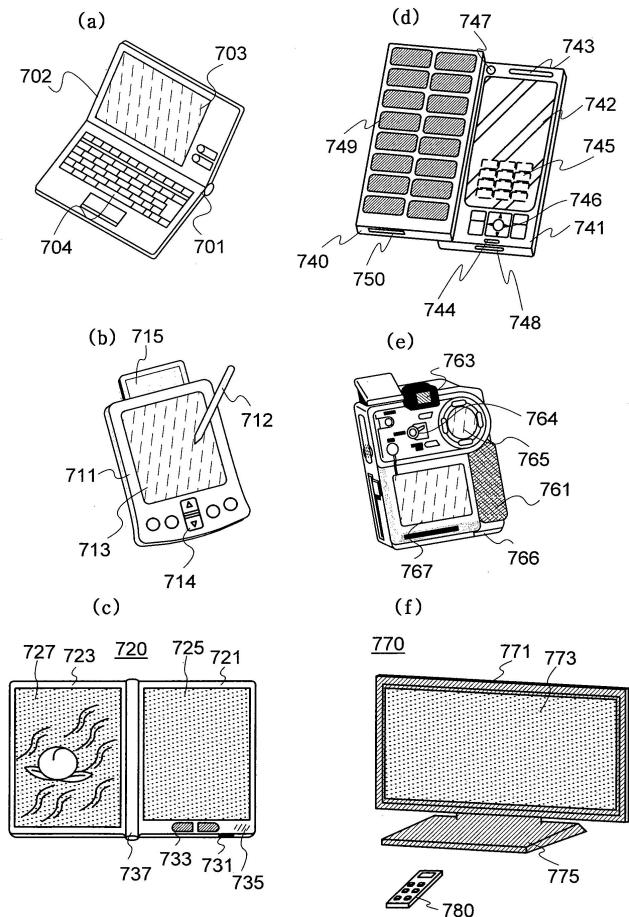
도면14



도면15



도면16



도면17

