

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200910159799.8

H01L 27/24 (2006.01)
H01L 29/861 (2006.01)
G11C 16/02 (2006.01)
H01L 21/82 (2006.01)
H01L 21/768 (2006.01)
H01L 45/00 (2006.01)

[43] 公开日 2010年3月31日

[11] 公开号 CN 101685827A

[22] 申请日 2009.7.22

[21] 申请号 200910159799.8

[30] 优先权

[32] 2008.7.22 [33] US [31] 12/177,533

[71] 申请人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区力行路16号

共同申请人 国际商用机器公司

[72] 发明人 龙翔澜 林仲汉

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 周国城

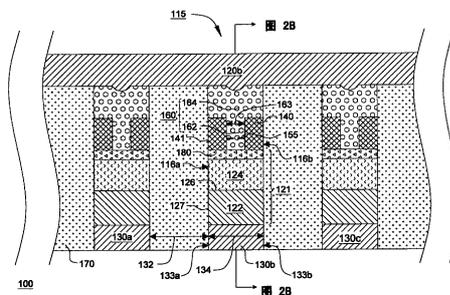
权利要求书4页 说明书17页 附图28页

[54] 发明名称

一种存储装置及其制造方法

[57] 摘要

本发明公开了一种存储装置及其制造方法。此处所述的存储装置包含多个存储单元。该多个存储单元中的每一存储单元包含：一二极管，其包含有掺杂半导体材料、一介电间隔物，在该二极管上，且定义一开口，该介电间隔物具有与该二极管侧边自我对准的侧边。每一存储单元更包含一存储器元件，在该介电间隔物上以及包含在该开口内与该二极管的一项表面接触的一部份。



1、一种存储装置，其特征在于，包含多个存储单元，该多个存储单元中的每一存储单元，包含：

一二极管，包含掺杂半导体材料；

一介电间隔物，在该二极管上，且定义一开口，该介电间隔物具有与该二极管侧边自我对准的侧边；及

一存储器元件，在该介电间隔物上以及包含在该开口内与该二极管的一顶表面接触的一部份。

2、根据权利要求1所述的存储装置，其特征在于，该多个存储单元中的每一存储单元的该二极管，包含：

一第一掺杂半导体区域，具有第一导电型态；

一第二掺杂半导体区域，位于该第一掺杂半导体区域上，且具有与该第一导电型态相反的第二导电型态；及

一导电覆盖层，位于该第二掺杂半导体区域上。

3、根据权利要求2所述的存储装置，其特征在于：

该第一掺杂半导体区域包含n型掺杂半导体材料；

该第二掺杂半导体区域包含p型掺杂半导体材料；及

该导电覆盖层包含一金属硅化物。

4、根据权利要求1所述的存储装置，其特征在于，该多个存储单元中的每一存储单元的开口是自我向中安置的。

5、根据权利要求1所述的存储装置，其特征在于，更包含：

延伸于一第一方向的多条字线；

位于该多个字线上且延伸于一第二方向的多条位线，该位线与该字线交叉于交点位置；及

位于该多个交点位置上的多个存储单元，该多个存储单元中的每一存储单元电性连结于该多个字线中的对应字线及该多个位线中的对应位线。

6、根据权利要求5所述的存储装置，其特征在于：

该多个存储单元中的每一存储单元的该二极管、该介电间隔物、及该存储器元件形成一具有第一、第二、第三及第四侧边的结构；

该多个存储单元中的每一存储单元的该结构的第一及第二侧边与对应字线的侧边自我对准；及

该多个存储单元中的每一存储单元的该结构的第三及第四侧边与对应位线的侧边自我对准。

7、根据权利要求 5 所述的存储装置，其特征在于：

该多个字线具有字线宽度且相邻的字线是由一字线分离距离所分开；

该多个位线具有位线宽度且相邻的位线是由一位线分离距离所分开；

及

该多个存储单元中的每一存储单元具有一存储单元面积，该存储单元面积具有一沿着第一方向的第一侧边及一沿着第二方向的第二侧边，该第一侧边具有等于该位线宽度与该位线分离距离总和的一长度，该第二侧边具有等于该字线宽度与该字线分离距离总和的另一长度。

8、根据权利要求 7 所述的存储装置，其特征在于，第一侧边的该长度等于一特征尺寸 F 的两倍，及第二侧边的该长度等于该特征尺寸 F 的两倍，如此该存储单元面积等于 $4F^2$ 。

9、一种存储装置的制造方法，该方法包含形成多个存储单元，该多个存储单元中的每一存储单元，其特征在于，包含：

一二极管，包含掺杂半导体材料；

一介电间隔物，在该二极管上，且定义一开口，该介电间隔物具有与该二极管侧边自我对准的侧边；及

一存储器元件，在该介电间隔物上以及包含在该开口内与该二极管的一顶表面接触的一部份。

10、根据权利要求 9 所述的方法，其特征在于，该多个存储单元中的每一存储单元的该二极管，包含：

一第一掺杂半导体区域，具有一第一导电型态；

一第二掺杂半导体区域，位于该第一掺杂半导体区域上及具有与该第一导电型态相反的第二导电型态；

一导电覆盖层，位于第二掺杂半导体区域上。

11、根据权利要求 10 所述的方法，其特征在于：

该第一掺杂半导体区域包含 n 型掺杂半导体材料；

该第二掺杂半导体区域包含 p 型掺杂半导体材料；及
该导电覆盖层包含金属硅化物。

12、根据权利要求 9 所述的方法，其特征在于，该多个存储单元中的每一存储单元的开口是自我向中安置的。

13、根据权利要求 9 所述的方法，其特征在于，更包含：
延伸于一第一方向的多条字线；

位于该多个字线上且延伸于一第二方向的多条位线，位线与字线交叉于交点位置；及

位于该多个交点位置上的多个存储单元，该多个存储单元中的每一存储单元电性连结于该多个字线中的对应字线及该多个位线中的对应位线。

14、根据权利要求 13 所述的方法，其特征在于：

该多个存储单元中的每一存储单元的该二极管、该介电间隔物、及该存储器元件形成一具有第一、第二、第三及第四侧边的结构；

该多个存储单元中的每一存储单元的该结构的第一及第二侧边与对应字线的侧边自我对准；及

该多个存储单元中的每一存储单元的该结构的第三及第四侧边与对应位线的侧边自我对准。

15、根据权利要求 13 所述的方法，其特征在于：

该多个字线具有字线宽度且相邻的字线是由一字线分离距离所分开；

该多个位线具有位线宽度且相邻的位线是由一位线分离距离所分开；

及

该多个存储单元中的每一存储单元具有一存储单元面积，该存储单元面积具有一沿着第一方向的第一侧边及一沿着第二方向的第二侧边，该第一侧边具有等于该位线宽度与该位线分离距离总和的一长度，该第二侧边具有等于该字线宽度与该字线分离距离总和的另一长度。

16、根据权利要求 15 所述的方法，其特征在于，第一侧边的该长度等于一特征尺寸 F 的两倍，及第二侧边的该长度等于该特征尺寸 F 的两倍，如此该存储单元面积等于 $4F^2$ 。

17、一种存储装置的制造方法，其特征在于，该方法包含：

形成一包含字线材料、字线材料上的二极管材料、二极管材料上的介

电间隔物材料、及介电间隔物材料上的第一牺牲材料的结构；

形成多个介电填充的第一沟道于该结构中，延伸于一第一方向以定义多个条状物，每一条状物包含一字线，该字线包含字线材料；

形成第二牺牲材料在条状物及该介电填充的第一沟道上；

形成多个介电填充的第二沟道下至字线，且延伸于一第二方向以定义多个包含第二牺牲材料的牺牲条状物；

移除该第一牺牲材料以定义介层孔，及移除牺牲条状物以定义介层上方的沟道且延伸至第二方向；

以介电间隔物材料形成多个介电间隔物；及

形成多个存储器元件及多条位线在介层孔及沟道内。

18、根据权利要求 17 所述的方法，其特征在于，更包含：

形成氧化层于位线上；

形成延伸通过氧化层以接触对应字线的导电栓塞阵列；及

形成整体字线于氧化层上，及接触导电栓塞阵列中的对应导电栓塞。

19、根据权利要求 17 所述的方法，其特征在于，该形成多个介电间隔物，包含：

形成侧壁间隔物于该介层孔内；

使用该侧壁间隔物做为刻蚀掩模刻蚀介电间隔物材料，藉以形成包含介电间隔物材料的介电间隔物，及定义开口；及

移除该侧壁间隔物。

20、根据权利要求 19 所述的方法，其特征在于，该形成多个存储器元件及多条位线，包含：

形成存储器材料于该介层孔内及由介电间隔物定义的开口；

形成位线材料于该存储器材料上及沟道中；及

进行一平坦化工艺。

一种存储装置及其制造方法

技术领域

本发明是关于基于以相变化为基础的存储器材料的高密度存储装置，包含以硫属化物为基础的材料及其它可编程电阻材料，及此装置的制造方法。

背景技术

例如硫属化物材料及相似材料的相变化材料，能通过适用于集成电路实施程度的电流的施加，引起非晶态与结晶态之间的相变化。一般非晶态的特征为具有较一般结晶态高的电阻，其可轻易感知以指示数据。该多个特性有益于使用可编程电阻材料以形成非易失性存储器电路，其可随机存取及写入。

自非晶态变化至结晶态通常是一较低电流操作。此处称为复位的自结晶态变化至非晶态一般是一较高电流操作，其包含一短高电流密度脉冲以熔化或崩溃结晶结构，其后该相变化材料快速冷却，冷却相变化程序及使至少一部份相变化材料在非晶态中稳定化。期望可以最小化用于引起相变化材料自结晶态至非晶态的转变的复位电流的大小。

复位所需的电流大小可通过降低存储单元中相变化材料的尺寸及/或在电极与相变化材料之间的接触面积而降低，如此较高电流密度是以通过相变化材料元件的小的绝对电流值而达成。

控制相变化存储单元中主动区域尺寸的一方法，是设计用以传递电流至相变化材料体的非常小的电极。此小电极结构诱发接触位置如伞状头部的一小面积的相变化材料中的相变化。请参见2002年8月6日颁给 Wicker，名称为「侧壁导体的减小接触面积」的美国专利第 6,429,064 号；2002年10月8日颁给 Gilgen，名称为「电极间的小接触面积的制造方法」的美国专利第 6,462,353 号；2002年12月31日颁给 Lowrey，名称为「三维(3D)可编程装置」的美国专利第 6,501,111 号；2003年7月1日颁给 Harshfield，

名称为「存储器元件及其制造方法」的美国专利第 6,563,156 号。

于制造非常小尺寸的装置时所引起的问题，包含制造大型高密度存储装置时的对准的议题。

因此，期望能提供一种具有小尺寸及低复位电流的完全自我对准的存储单元结构，及此种用于大型高密度存储装置的结构的制作方法。

发明内容

有鉴于此，本发明的主要目的在于提供一种存储装置及其制造方法。

此处所描述的存储装置包含多个存储单元。该多个存储单元中每一存储单元包含一二极管，该二极管包含掺杂半导体材料、及一介电间隔物，在该二极管上，且定义一开口，该介电间隔物具有与该二极管侧边自我对准的侧边。该多个存储单元中每一存储单元更包含一存储器元件，在该介电间隔物上以及包含在该开口内与该二极管的一项表面接触的一部份。

此处所描述的存储装置的制造方法，包含形成一包含字线材料、字线材料上的二极管材料、二极管材料上的介电间隔物材料、及介电间隔物材料层上的第一牺牲材料的结构。多个介电填充的第一沟道被形成在该结构中，延伸于第一方向以定义多个条状物，每一条状物包含一字线，该字线包含字线材料。第二牺牲材料被形成在条状物及介电填充的第一沟道上。多个介电填充的第二沟道被形成下至字线，且延伸于第二方向以定义多个包含第二牺牲材料的牺牲条状物。移除该第一牺牲材料以定义介层，及移除牺牲条状物以定义介层上方的沟道且延伸至第二方向。多个介电间隔物是以介电间隔物材料形成。之后多个存储器元件及多个位线形成在介层及沟道内。

此处所描述的存储单元可导致位于存储器元件内的主动区域能制作得极小，因而可降低诱发相变化所需的电流大小。位于开口内为介电间隔物定义的存储器元件的第一部份的宽度是较二极管者及位线小，且较佳为小于一般用于形成存储器阵列的二极管及字线的光刻工艺的最小特征尺寸，该小的存储器元件的第一部份集中该存储器元件的第一部份的电流密度，藉以降低诱发主动区域中相变化所需的电流大小。另外，该介电间隔物较佳包含可以提供一些热隔绝的材料，其亦有助于降低诱发相变化所需

的电流。再者，在实施例中，存储器元件的第二部份能自主动区域中的对应位线提供一些热隔绝。

此处所描述具有完全自我对准存储单元的存储器阵列可导致高密度存储器。在实施例中，阵列的存储单元的剖面积是整个由字线及位线的尺寸决定，此允许阵列具有高存储器密度。字线具有字线宽度，且相邻字线是以一字线分离距离分开，及位线具有位线宽度，且相邻位线是以一位线分离距离分开。于较佳实施例中，字线宽度与字线分离距离的总和等于用于形成阵列的特征尺寸 F 的两倍，及位线宽度与位线分离距离的总和等于用于特征尺寸 F 的两倍。

本发明的其它态样及优点，能由阅读下面的附图、详细说明及权利要求看出。

附图说明

图 1 是表示此处所描述使用具有二极管存取装置的完全自我对准多孔型存储单元的一部份交点阵列实施的简示图。

图 2A 至图 2B 是表示配置在交点阵列中的存储单元的剖面视图。

图 3 至图 16 是表示制造如图 2A 至图 2B 所示的存储单元的交点阵列的制造顺序的步骤。

图 17 是包含此处所描述具有二极管存取装置的完全自我对准存储单元的交点存储器阵列的集成电路的简化方块图。

【主要元件符号说明】

10	集成电路
14	驱动器
16	字线
18	位线译码器
20	位线
22	总线
24	感测放大器
26	数据总线

24	数据输入结构
28	数据输入线
30	电路
32	数据输出线
34	控制器
36	偏压调整供应电压
100	阵列
115	存储单元
116a	第一侧边
116b	第二侧边
116c	第一侧边
116d	第二侧边
120	位线
120a	位线
120b	位线
120c	位线
121	二极管
122	第一掺杂半导体区域
123a	侧边
123b	侧边
124	第二掺杂半导体区域
125	分离距离
126	pn 结
127	侧边
130	字线
130a	字线
130b	字线
130c	字线
132	分离距离
133a	侧边

133b	侧边
134	宽度
140	介电间隔物
141	侧边
150	主动区域
155	主动区域
160	存储器元件
162	第一部份
163	宽度
164	第二部份
170	介电质
180	导电覆盖层
300	多层结构
310	字线材料
312	二极管材料
315	总厚度
320	第一掺杂半导体材料层
330	第二掺杂半导体材料层
340	导电覆盖材料层
345	厚度
350	介电间隔物材料
355	厚度
360	牺牲元件材料
365	厚度
400	多层条状物
410	第一沟道
420	间距
500	介电填充材料
600	牺牲条状物材料
700	第二沟道

710	叠层
712	宽度
714	宽度
716	分离距离
718	分离距离
720	牺牲条状物
725	间距
730	介电元件
740	牺牲元件
900	介层孔
902	高度
920	沟道
922	高度
1000	侧壁间隔物
1010	开口
1100	开口
1110	宽度
1400	氧化层
1500	整体字线
1510	导电栓塞
1600	周边电路

具体实施方式

下面有关本发明的描述，将典型地参考特定结构的实施例及方法。应了解的是，未意图去限制本发明至特定揭示的实施例及方法，而是本发明可使用其它特征、元件、方法及实施例而实施。描述较佳实施例以说明本发明，但不是用来限制其由专利权利要求所定义的范围。熟悉本技术领域的通常人士将可基于以下的描述而知悉各种不同的均等变化。各种不同的实施例中的相同元件通常是以相同元件符号表示。

图1是表示此处所描述使用具有二极管存取装置的完全自我对准多孔

型存储单元的一部份交点存储器阵列 100 实施的简示图。

如图 1 的简示图所示, 该阵列 100 的每一存储单元包含二极管存取装置及存储器元件 (以图 1 中的可变电阻器表示), 存储器元件可设定至多个电阻状态之一, 及因而可储存一或多个位的数据。

该阵列 100 包含多条字线 130 及位线 120, 该多个字线 130 包含与第一方向平行延伸的字线 130a、130b 及 130c, 及该多个位线 120 包含与第二方向平行延伸的位线 120a、120b 及 120c。该阵列 100 是表示为一交点阵列, 因为字线 130 及位线 120 是以一给定字线 130 及一给定位线 120 彼此横跨而非实际上交叉的方式配置, 及存储单元位于字线 130 及位线 120 的交点位置处。

存储单元 115 是代表阵列 100 的存储单元, 及被配置在位线 120b 与字线 130b 的交点处, 该存储单元 115 包含一二极管 121 及串联配置的存储器元件 160, 该二极管 121 电性耦接至字线 130b, 及存储器元件 160 电性耦接至位线 120b。

阵列 100 的存储单元 115 的读取与写入, 可通过施加适当电压及/或电流至对应字线 130b 与位线 120b 以诱发通过选择的存储单元 115 的电流而达成。所施加电压与电流的大小阶级及持续时间视进行的操作而定, 该操作例如是读取操作或写入操作。

于具有包含相变化材料的存储器元件 160 的存储单元 115 的复位 (或擦除) 操作中, 施加一复位脉冲至对应字线 130b 及位线 120b, 以引起相变化材料的主动区域转变成非晶态, 藉以设定与复位状态相关的电阻值范围内的电阻。复位脉冲是一相当高的能量脉冲, 足以使至少存储器元件 160 的主动区域温度升高至相变化材料的转变 (结晶) 温度之上, 及至熔化温度之上以使至少主动区域为液态。接着, 复位脉冲快速终止, 导致一相当快的冷却时间, 使主动区域快速冷却至转变温度以下, 以致于主动区域可稳定化至一非晶态。

于具有包含相变化材料的存储器元件 160 的存储单元 115 的设定 (或编程) 操作中, 施加一适当大小阶级及持续时间的编程脉冲至对应字线 130b 及位线 120b, 足以使至少一部份主动区域的温度升高至转变温度之上, 及引起一部份主动区域自非晶态转变至结晶态的转换, 此转换可降低

存储器元件 160 的电阻，及设定存储单元 115 至一所欲的状态。

于储存在具有包含相变化材料的存储器元件 160 的存储单元 115 中的数据值的一读取（或感测）操作中，施加一适当大小阶级及持续时间的读取脉冲至对应字线 130b 及位线 120b，以诱发电流流过，其不会使存储器元件 160 进行电阻状态的变化。该流过存储单元 115 的电流是视存储器元件的电阻而定，及因而该数据值储存在存储单元 115 中。

图 2A 及图 2B 是表示配置在交点阵列 100 中的一部份存储单元（包含代表的存储单元 115）的剖面视图，图 2A 是沿着位线 120 剖面而成及图 2B 是沿着字线 130 剖面而成。

参考图 2A 及图 2B，存储单元 115 包含一具有第一导电型态的第一掺杂半导体区域 122，以及于第一掺杂半导体区域 122 上的第二掺杂半导体区域 124，该第二掺杂半导体区域 124 具有相反于第一导电型态的第二导电型态。该第一掺杂半导体区域 122 及该第二掺杂半导体区域 124 于其间定义一 pn 结 126。

存储单元 115 包含位于第二掺杂半导体区域 124 的导电覆盖层 180。该第一及第二该掺杂半导体区域 122、124 与导电覆盖层 180 包含一多层结构以定义二极管 121。于一例示实施例中，该导电覆盖层 180 包含一金属硅化物，其包含钛、钨、钴、镍或钽。该导电覆盖层 180 于操作期间通过提供一导电性较该第一及第二该掺杂半导体区域 122、124 高的接触表面，有助于维持横跨于该第一及第二掺杂半导体区域 122、124 的电场的均匀性。另外，该导电覆盖层 180 于存储单元 100 制造期间可用于作为该第二掺杂半导体区域 124 的保护刻蚀停止层。

该第一掺杂半导体区域 122 位于字线 130b 上，字线 130b 延伸进出图 2A 所示的剖面。于一例示实施例中，该字线 130b 包含掺杂 N^+ （高掺杂 N 型）半导体材料，该第一掺杂半导体区域 122 包含掺杂 N^- （轻掺杂 N 型）半导体材料，以及该第二掺杂半导体区域 124 包含掺杂 P^+ （高掺杂 P 型）半导体材料。可看出二极管 121 的击穿电压包含可通过增加 P^+ 掺杂区域与 N^+ 掺杂区域之间的距离，及/或减少 N^- 区域中的掺杂浓度而增加。

于另一实施例中，字线 130 可包含其它导电材料，诸如钨、氮化钛、氮化钽、铝。于又一实施例中，该第一掺杂半导体区域 122 可被省略，及

二极管 121 可由该第二掺杂半导体区域 124、导电覆盖层 180 及一部份字线 130b 形成。

存储器元件 160 位于一介电间隔物 140 上，及电性耦接二极管 121 至对应位线 120b。存储器元件 160 包含存储器材料，例如选自锆、铋、碲、硒、铟、钛、镓、铋、锡、铜、钇、铅、银、硫、硅、氧、磷、砷、氮及金组成的群组的一或多种材料。存储器元件 160 包含一第一部份 162，其位于由该二极管 121 上的介电间隔物 140 所定义的开口内，以接触该二极管 121 的顶表面，该第一部份 162 被介电间隔物 140 包围。存储器元件 160 亦包含该第一部份 162 上的第二部份 164。

介电间隔物 140 较佳包含可阻挡存储器元件 160 的存储器材料的扩散的材料。在一些实施例中，因为以下详细讨论的理由，介电间隔物 140 的材料可选择热传导性低者。介电间隔物 140 具有与二极管 121 的侧边 127 自我对准的侧边 141。于一参考图 3 至图 16 详细说明确定的下面的制造实施例中，介电间隔物 140 的材料是于二极管 121 的材料图案化期间被图案化。

包含作为存储单元 115 的顶电极的位线 120b 的位线 120 是延伸进出图 2B 所示的剖面。位线 120 可包含一或多层导电材料。位线 120 可包含，例如氮化钛或氮化钽。于其中包含有 GST (如下讨论)的存储器元件 160 的实施例中，氮化钛是较佳，因为其与 GST 具有良好接触，其是用于半导体制造的普通材料，及其提供一良好的扩散势垒层。或者，位线 120 可为氮化铝钛或氮化铝钽，或更包含例如一个以上选自下列群组的元素：钛、钨、钼、铝、钽、铜、铂、铋、镧、镍、氮、氧和钒及其组合。

包含一或多层介电材料的介电质 170 包围该存储单元，且分开相邻的字线 130 及相邻的位线 120。

在操作时，字线 130b 及位线 120b 上的电压能诱发通过存储器元件 160 及二极管 121 的电流。

主动区域 155 是存储器元件 160 的区域，其中存储器材料被诱发而于至少二固态相之间变化。可察知的是，在例示的结构中，主动区域 155 可以制作得极小，因而能降低诱发相变化所需的电流的大小。该存储器元件 160 的第一部份 162 的宽度 163 是低于该二极管 121 及存储器元件 160 的第二部份 164 者，及较佳低于一般用于形成存储器阵列 100 的二极管 121

及字线 130 的光刻工艺的最小特征尺寸。该小的存储器元件 160 的第一部份 162 可集中该存储器元件 160 的第一部份 162 中的电流密度，藉以降低诱发主动区域 155 中的相变化所需的电流的大小。另外，介电间隔物 140 较佳包含可提供热隔绝至主动区域 155 的材料，其亦有助于降低诱发相变化所需的电流量。再者，存储器元件 160 的第二部份 164 能自主动区域 155 中的对应位线 120 提供一些热隔绝。

由图 2A 及图 2B 所示的剖面可看出，阵列 100 的存储单元是排列在字线 130 与位线 120 的交点位置处。存储单元 115 作为代表，且排列在字线 130b 与位线 120b 的交点位置处。二极管 121、介电间隔物 140 及存储器元件 160 形成存储单元 115 的结构，该结构具有实质上相同于字线 130 的宽度 134 的第一宽度（参见图 2A）。再者，该结构具有实质上相同于位线 120 的宽度的第二宽度（参见图 2B）。此处所使用的术语「实质上」是意图适应制造容许值。因此，阵列 100 的存储单元的剖面积完全由字线 130 及位线 120 的大小决定，以允许阵列 100 具有较高的存储器密度。

字线 130 具有字线宽度 134，且相邻字线 130 是以一字线分离距离 132 分开（参见图 2A），及位线 120 具有位线宽度 124，且相邻位线 120 是以为一位线分离距离 125 分开（参见图 2B）。于较佳实施例中，字线宽度 134 与字线分离距离 132 的总和等于用于形成阵列 100 的特征尺寸 F 的两倍，及位线宽度与位线分离距离 125 的总和等于用于特征尺寸 F 的两倍。另外，F 较佳为用于形成位线 120 及字线 130 的工艺（通常为光刻工艺）的最小特征尺寸，使得阵列 100 的存储单元具有存储单元面积 $4F^2$ 。

于图 2A 至图 2B 所示的存储器阵列 100 中，由二极管 121、介电间隔物 140、及存储器元件 160 形成的存储单元 115 结构，具有与对应字线 130b 的侧边 133a、133b 自我对准的第一及第二侧边 116a、116b，以及具有与对应位线 120b 的侧边 123a、123b 自我对准的第一及第二侧边 116c、116d。于一参考图 3 至图 16 详细说明的下面的制造实施例中，二极管 121 是于字线 130 形成及定义介电间隔物 140 位置的材料图案化期间形成。因此，图 2A 至图 2B 的剖面视图所示的阵列 100 的存储单元是完全自我对准的。

图 3 至图 16 是表示制造如图 2A 至图 2B 所示的存储单元的交点阵列 100 的制造顺序的步骤。

图 3A 至图 3B 表示形成一结构 300 在 P 阱上的顶视图及剖面视图的第一步骤。该多层结构 300 包含一字线材料 310 及该字线材料 310 上的二极管材料 312。

二极管材料 312 包含一第一掺杂半导体材料层 320、一第二掺杂半导体材料层 330、及在该第二掺杂半导体材料层 330 上的导电覆盖材料层 340。

于该例示实施例中，该字线材料 310 包含掺杂 N^+ （高掺杂 N 型）半导体材料，该第一掺杂半导体材料层 320 包含掺杂 N^- （轻掺杂 N 型）半导体材料，以及该第二掺杂半导体材料层 330 包含掺杂 P^+ （高掺杂 P 型）半导体材料。层 310、320、330 可通过已知技术例如注入及活化回火工艺形成。

于该例示实施例中，导电覆盖材料层 340 包含一金属硅化物，其包含钛、钨、钴、镍或钼。于一实施例中，该导电覆盖材料层 340 包含硅化钴（CoSi）且通过沉积一层钴及进行一快速热工艺（RTP）形成，使钴与层 330 的硅反应而形成层 340。应了解的是，其它金属硅化物也可通过沉积钛、砷、掺杂镍、或其合金以此方式（以相似于此处描述使用钴的范例）形成。

一介电间隔物材料 350 位于二极管材料 312 上，及一牺牲元件材料 360 位于介电间隔物材料 350 上。层 350、360 较佳包含相对于另一者可被选择性处理（例如选择性刻蚀）的材料。于该例示实施例中，介电间隔物材料 350 包含氮化硅，及牺牲元件材料 360 包含非晶硅。

于该例示实施例中，层 310、320、330 具有约 400 纳米的总厚度 315，层 340 具有约 50 纳米的厚度 345，层 350 具有约 40 纳米的厚度 355，以及层 360 具有约 90 纳米的厚度 365。

接着，图案化该结构 300 以形成延伸于第一方向的多个第一沟道 410，以定义多个条状物 400，每一条状物 400 包含含有字线材料层 310 的字线 130，分别得到图 4A 和图 4B 的顶视图及剖面视图所示的结构。字线 130 具有宽度 134 及分离距离 132，每一较佳等于用于形成第一沟道 410 的工艺（诸如光刻工艺）的最小特征尺寸。于该例示实施例中，多层条状物 400 具有约 250 纳米的间距 420。

接着,图 4A 至图 4B 所示结构的沟道 410 被填充一介电填充材料 500,分别得到图 5A 和图 5B 的顶视图及剖面视图所示的结构。介电填充材料 500 可包含例如二氧化硅,及可通过沉积该材料 500 于沟道 410 内而形成,及然后进行一诸如化学机械抛光 (CMP) 的平坦化工艺。

接着,一牺牲条状物材料 600 形成在图 5A 至图 5B 所示结构上,分别得到图 6A 和图 6B 的顶视图及剖面视图所示的结构。于该例示实施例中,牺牲条状物材料 600 包含具有厚度约 90 纳米的非晶硅沉积层。

接着,图案化图 6A 至图 6B 所示的结构以形成平行延伸于第二方向的多个第二沟道 700,以定义多个叠层 710 及包含有牺牲条状物材料层 600 的牺牲条状物 720,分别得到图 7A 的顶视图及图 7B 至图 7D 的剖面视图所示的结构。于该例示实施例中,条状物 720 具有厚度约 250 纳米的间距 725。

沟道 700 可通过图案化图 6A 至图 6B 所示结构上的光刻胶层形成,及使用该图案化光刻胶做为刻蚀掩模刻蚀下至字线 130。

如图 7B 至图 7C 的剖面视图所示,每一叠层 710 包含二极管 121,其包含对应字线 130 上的二极管材料 312、一介电元件 730,其包含二极管 121 上的材料层 350、及一牺牲元件 740,其包含介电元件 730 上的材料层 360。

二极管 121 包含一第一掺杂半导体区域 122,其包含材料层 320、一第二掺杂半导体区域 124,其包含材料层 330,以及一导电覆盖层 180,其包含材料层 340。第一掺杂半导体区域 122 与第二掺杂半导体区域 124 定义其间的 pn 结 126。

由于形成包含字线 130 的条状物 400 的图 4A 至图 4B 的第一沟道 410 的形成及图 7A 至图 7D 的第二沟道 700 的后续的形成,多层叠层 710 具有较佳等于用于形成沟道 410 及 700 的工艺 (通常为光刻工艺) 的最小特征尺寸宽度 712、714 及分离距离 716、718。

接着,图 7A 至图 7D 所示结构的沟道 700 被填充另外的介电填充材料 500,分别得到图 8A 的顶视图及图 8B 至图 8D 的剖面视图所示的结构。于该例示实施例中,沟道 700 被填充如用以填充如参考图 5A 至图 5B 的上述沟道 410 的介电质 500 者的相同材料。介电填充材料 500 可通过沉积

沟道 700 内的材料而形成，及之后进行诸如化学机械抛光 CMP 的平坦化工艺以暴露牺牲条状物 720 的顶表面。

接着，移除牺牲条状物 720 及牺牲元件 730，于元件 730 位置处形成介层孔 900，及于条状物 720 位置处形成沟道 920，得到图 9A 的顶视图及图 9B 至图 9D 的剖面视图所示的结构。于该例示实施例中，牺牲条状物 720 及牺牲元件 730 均包含非晶硅，且可通过使用例如 KOH 或氢氧化四甲基铵 (THMA) 刻蚀移除。于该例示实施例中，介层孔 900 具有约为 90 纳米的高度 902，及沟道 920 具有约为 90 纳米的高度 922。

接着，侧壁间隔物 1000 被形成于图 9A 至图 9D 所示的介层孔 900 内，得到图 10A 的顶视图及图 10B 至图 10D 的剖面视图所示的结构。侧壁间隔物 1000 定义介层孔 900 内的开口 1010，及于该例示实施例中，侧壁间隔物 1000 包含硅。

侧壁间隔物 1000 可通过于图 9A 至图 9D 所示的结构上形成一侧壁间隔物材料层而形成，及非等向式刻蚀侧壁间隔物材料层，以暴露出一部份介电元件 730。于此一实施例中，侧壁间隔物 1000 的开口 1010 于侧壁间隔物 1000 内是自我中心的。

在示范的实施例中，该侧壁间隔物 1000 定义出具有一似方形截面的开口 1010。然而，在实施例中，该开口 1010 可以为圆形、椭圆形、长方形或其它不规则的形状，取决于用来形成该侧壁间隔物 1000 的制造技术。

接着，使用该侧壁间隔物 1000 做为刻蚀掩模来刻蚀该介电元件 730 以形成介电间隔物 140，并得到图 11A 顶视图及图 11B 至图 11D 的剖面视图所绘示的结构。该刻蚀可使用例如反应式离子刻蚀 RIE 进行。

参考所绘示的图 11A 至图 11D，该介电间隔物 140 具有开口 1100 延伸至该导电覆盖层 180，该导电覆盖层 180 做为在该介电间隔物 140 形成时的一刻蚀停止层。开口 1100 具有一可以是亚光刻宽度 1110，且在该例示实施例中，该宽度 1110 约 40 纳米。如上述，该侧壁间隔物 1000 的开口 1010 可以是自我中心的，以及因而应了解的是，介电间隔物 140 的开口 1100 的形成也可以是自我中心的。

接着，自绘示在图 11A 至图 11D 的结构移除该侧壁间隔物 1000，得到图 12A 的顶视图及图 12B 至图 12D 的剖面视图所绘示的结构。在例示

的实施例中，该侧壁间隔物 1000 包含硅及可使用例如 KOH 或 THMA 刻蚀移除。

接着，存储器元件 160 被形成在介层孔 900，该介层孔包含由介电间隔物 140 定义的开口 1100 内的第一部份，及位线被形成在存储器元件 160 上且延伸于第二方向，得到图 13A 的顶视图及图 13B 至图 13D 的剖面视图所绘示的结构。存储器元件 160 及位线 120 可通过沉积一相变化材料层于图 12A 至图 12D 所绘示的结构而形成，使用反应式离子刻蚀回刻蚀相变化材料以形成元件 160，及形成位线材料且进行诸如 CMP 的平坦化工艺以形成位线 120。或者，存储器元件 160 及位线 120 可通过形成一相变化材料层（例如具有约 90 纳米的厚度）于图 12A 至图 12D 所绘示的结构、形成一位线材料层（例如具有约 90 纳米的厚度）在相变化材料层上、及进行诸如 CMP 的平坦化工艺而形成。

如上述，二极管 121 是由沟道 410 及 700 的形成而形成，其也定义字线 130、牺牲元件 730、及牺牲条状物 720。由于牺牲元件 730 及牺牲条状物 720 定义后续形成的存储器元件 260 及位线 120 的位置，应了解的是，绘示在图 13A 至图 13D 的存储单元是完全自我对准的。

接着，一氧化层 1400 被形成在绘示于图 13A 至图 13D 的结构上，得到图 14A 的顶视图及图 14B 至图 14D 的剖面视图所绘示的结构。

接着，导电栓塞 1510 的阵列是通过氧化层 1400 而形成，以接触对应的字线 130，及整体字线 1500 被形成在氧化层 1400 上且接触相对导电栓塞 1510，得到绘示于图 15A 至图 15D 的结构。

整体字线 1500 延伸至包含如图 16A 的顶视图及图 16B 的剖面视图所绘示的 CMOS 装置的周边电路 1600。

图 17 是一实施例中的集成电路 10 的简化方块图。该集成电路 10 包含如此处所述具有二极管存取装置的完全自我对准存储单元的一交点存储器阵列 100。一字线译码器 14 被耦接及电性连接至多条字线 16。一位线（行）译码器 18 被电性连接至多条位线 20，以由存储器阵列 100 中的该相变化存储单元（未示）读取数据及写入数据。地址是经由总线 22 而供应至字线译码器及驱动器 14 与位线译码器 18。在方块 24 中的感测放大器与数据输入结构，是经由数据总线 26 而耦接至位线译码器 18。数据是

从集成电路 10 的输入/输出端、或在集成电路 10 内部或外部的其它数据源，经由数据输入线 28 而传送至方块 24 的数据输入结构。其它电路 30 是包含于集成电路 10 之上，诸如泛用目的处理器或特殊目的应用电路，或可以提供由阵列 100 所支持的系统单芯片功能的模块组合。数据是从方块 24 中的感测放大器，经由数据输出线 32 而输出至集成电路 10 上的输入/输出端，或者传输至集成电路 10 内部或外部的其它数据目的地。

在本实施例中所使用的控制器 34，使用了偏压调整状态机构，并控制了偏压调整供应电压 36 的施加，例如读取、编程、擦除、擦除确认以及编程确认电压。该控制器 34 可利用如熟习该项技艺者所熟知的特殊目的逻辑电路而实施。在替代实施例中，该控制器 34 包括了通用目的处理器，其可实施于同一集成电路上，以执行一计算机程序而控制装置的操作。在又一实施例中，该控制器 34 是由特殊目的逻辑电路与通用目的处理器组合而成。

此处所述的存储单元实施例包括相变化存储材料，包括硫属化物材料与其它材料。硫属化物包括下列四元素的任一者：氧(O)、硫(S)、硒(Se)、以及碲(Te)，形成元素周期表上第 VIA 族的部分。硫属化物包括将一硫属元素与一更为正电性的元素或自由基结合而得。硫属化物合金包括将硫属化合物与其它物质如过渡金属等结合。一硫属化物合金通常包括一个以上选自元素周期表第 IVA 族的元素，例如锗(Ge)及锡(Sn)。通常，硫属化物合金包括下列元素中一个以上的复合物：锑(Sb)、镓(Ga)、铟(In)、及银(Ag)。许多以相变化为基础的存储材料已经被描述于技术文件中，包括下列合金：镓/锑、铟/锑、铟/硒、锑/碲、锗/碲、锗/锑/碲、铟/锑/碲、镓/硒/碲、锡/锑/碲、铟/锑/锗、银/铟/锑/碲、锗/锡/锑/碲、锗/锑/硒/碲、以及碲/锗/锑/碲。在锗/锑/碲合金家族中，可以尝试大范围的合金成分。此成分可以下列特征式表示： $Te_aGe_bSb_{100-(a+b)}$ 。一位研究员描述了最有用的合金系为，在沉积材料中所包含的平均碲浓度是远低于 70%，典型地是低于 60%，并在一般型态合金中的碲含量范围从最低 23%至最高 58%，且最佳是介于 48%至 58%的碲含量。锗的浓度是高于约 5%，且其在材料中的平均范围是从最低 8%至最高 30%，一般是低于 50%。最佳地，锗的浓度范围是介于 8%至 40%。在此成分中所剩下的主要成分则为锑。该多个百

分比是代表所组成元素的原子总数为 100%时,各原子的百分比(Ovshinky 5,687,112 专利, 栏 10~11)。由另一研究者所评估的特殊合金包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 、以及 GeSb_4Te_7 (Noboru Yamada, [Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording], SPIE v.3109, pp. 28-37(1997))。更一般地,过渡金属如铬(Cr)、铁(Fe)、镍(Ni)、铌(Nb)、钯(Pd)、铂(Pt)、以及上述的混合物或合金,可与锗/锑/碲结合以形成一相变化合金其包括有可编程的电阻性质。可使用的存储材料的特殊范例,是如 Ovshinsky '112 专利中栏 11-13 所述,其范例在此被列入参考。

在一些实施例中,硫属化物及其它相变化材料掺杂杂质来修饰导电性、转换温度、熔点及使用在掺杂硫属化物存储器元件的其它特性。使用在掺杂硫属化物代表性的杂质包含氮、硅、氧、二氧化硅、氮化硅、铜、银、金、铝、氧化铝、钽、氧化钽、氮化钽、钛、氧化钛。可参见美国专利第 6,800,504 号专利及美国专利申请案第 2005/0029502 号。

相变化合金能在此单元主动通道区域内依其位置顺序于材料为一般非晶态的第一结构状态与为一般结晶固体状态的第二结构状态之间切换。这些合金至少为双稳定态。此词汇「非晶」是用以指称一相对较无次序的结构,其较一单晶更无次序性,而带有可检测的特征如较之结晶态更高的电阻值。此词汇「结晶」是用以指称一相对较有次序的结构,其较之非晶态更有次序,因此包括有可检测的特征例如比非晶态更低的电阻值。典型地,相变化材料可电切换至完全结晶态与完全非晶态之间所有可检测的不同状态。其它受到非晶态与结晶态的改变而影响的材料特性中包括,原子次序、自由电子密度、以及活化能。此材料可切换成为不同的固态、或可切换成为由两种以上固态所形成的混合物,提供从非晶态至结晶态之间的灰阶部分。此材料中的电性质亦可能随之改变。

相变化合金可通过施加一电脉冲而从一种相态切换至另一相态。先前观察指出,一较短、较大幅度的脉冲倾向于将相转换材料的相态改变成大体为非晶态。一较长、较低幅度的脉冲倾向于将相转换材料的相态改变成大体为结晶态。在较短、较大幅度脉冲中的能量,够大因此足以破坏结晶结构的键能,同时时间够短,因此可以防止原子再次排列成结晶态。合适的曲线是取决于经验或模拟,特别是针对一特定的相变化合金。在本文中

所揭露的该相变化材料并通常被称为 GST, 可理解的是亦可以使用其它类型的相变化材料。在本发明中用来所实施的相变化随机存取存储器 (PCRAM) 是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

可用于本发明其它实施例中的其它可编程的存储材料包括, 掺杂 N_2 的 GST、 Ge_xSb_y 、或其它以不同结晶态转换来决定电阻的物质; $\text{Pr}_x\text{Ca}_y\text{MnO}_3$ 、 $\text{Pr}_x\text{Sr}_y\text{MnO}_3$ 、 ZrO_x 或其它利用电脉冲以改变电阻状态的材料; 或其它使用一电脉冲以改变电阻状态的物质; TCNQ(7,7,8,8-tetracyanoquinodimethane)、PCBM (methanofullerene 6,6-phenyl C61-butyric acid methyl ester)、TCNQ-PCBM、Cu-TCNQ、Ag-TCNQ、C60-TCNQ、以其它物质掺杂的 TCNQ、或任何其它聚合物材料其包括有以一电脉冲而控制的双稳定或多稳定电阻态。

形成硫属化物的一种示范的方法可以利用 PVD 溅射或磁控 (Magnetron) 溅射方式, 其反应气体为氩气、氮气、及/或氦气等、压力为 1 mTorr 至 100 mTorr。此沉积步骤一般是于室温下进行。一长宽比为 1~5 的准直器(collimator)可用以改良其注入表现。为了改善其注入表现, 亦可使用数十至数百伏特的直流偏压。另一方面, 同时合并使用直流偏压以及准直器亦是可行的。

有时需要在真空中或氮气环境中进行一沉积后退火处理, 以改良硫属化物材料的结晶态。此退火处理的温度典型地是介于 100°C 至 400°C , 而退火时间则少于 30 分钟。

硫属化物材料的厚度是随着单元结构的设计而定。一般而言, 硫属化物的厚度大于 8 纳米者可以具有相变化特性, 使得此材料展现至少双稳定的电阻态。可预期某些材料亦合适于更薄的厚度。

本发明已参照较佳实施例来加以描述, 将为吾人所了解的是, 本发明创作并未受限于其详细描述内容。替换方式及修改样式系已于先前描述中所建议, 并且其它替换方式及修改样式将为熟习此项技艺之人士所及。本发明的构件结合而达成与本发明实质上相同结果者均不脱离本发明权利要求所定义的范围。

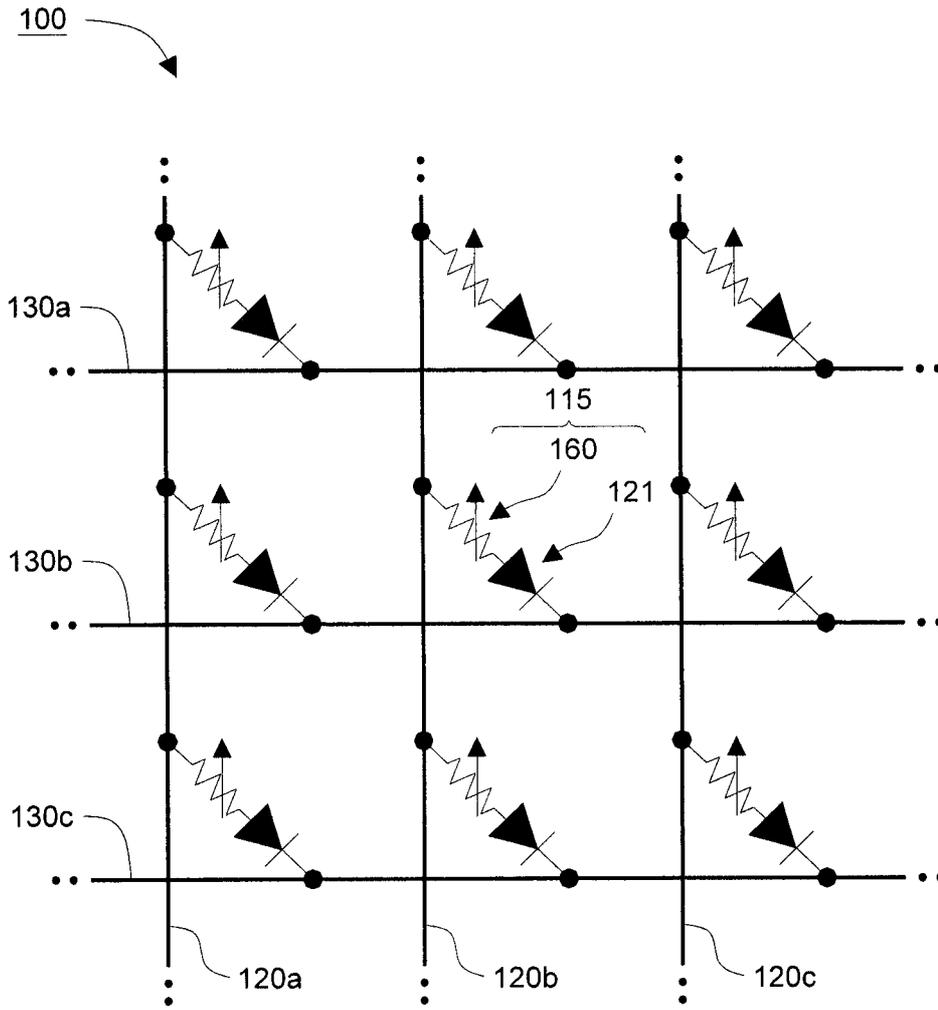
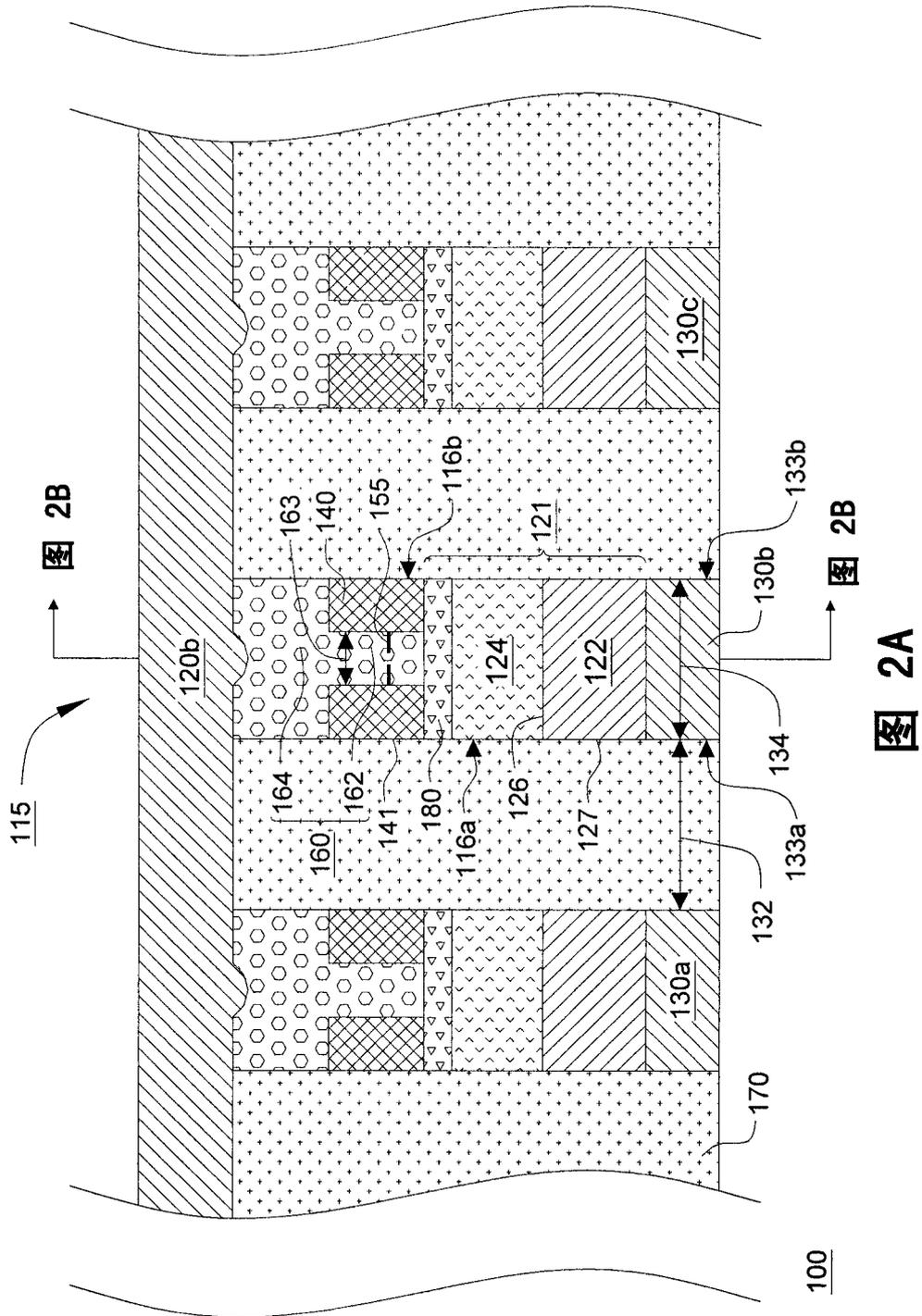


图 1



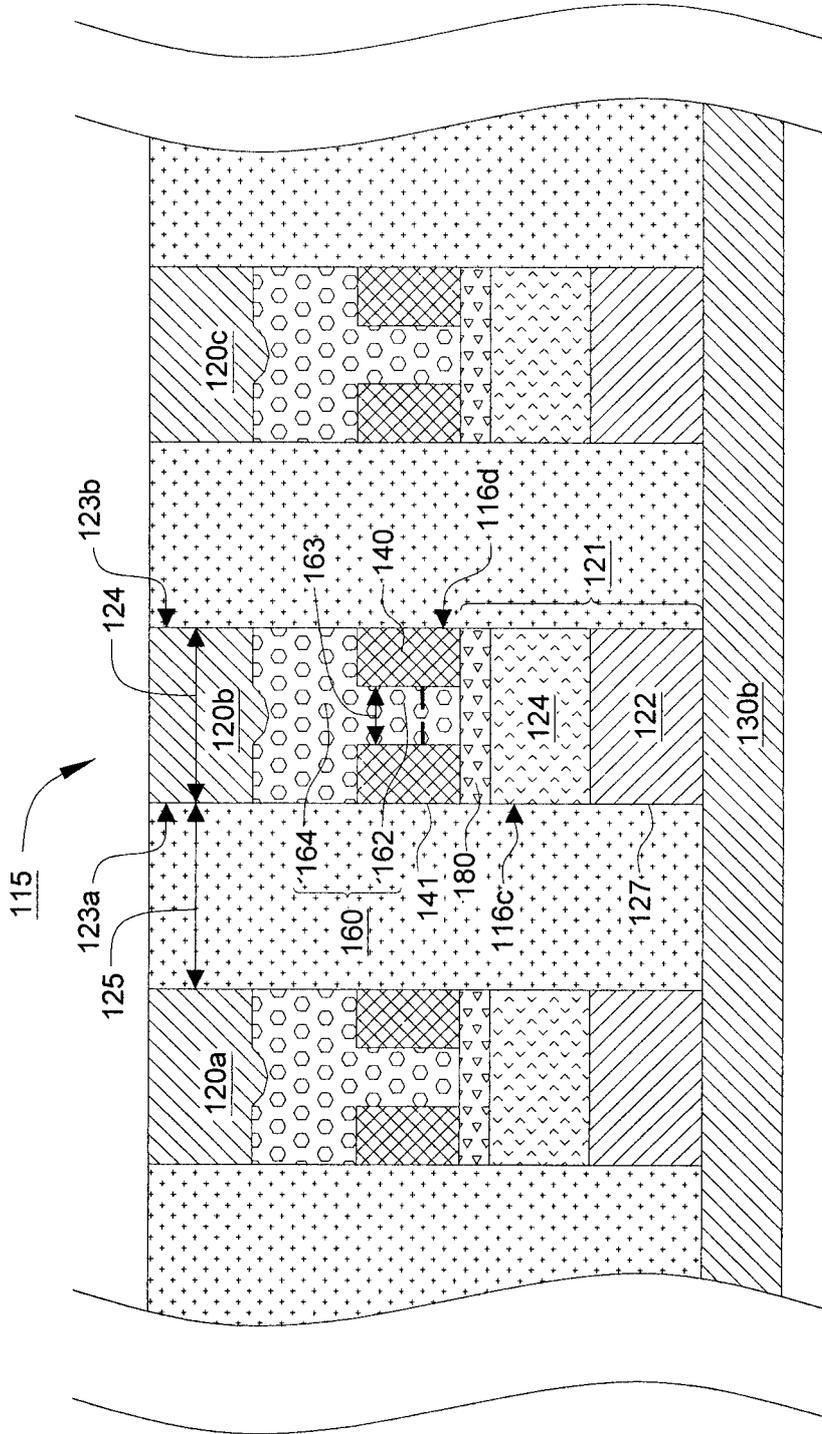


图 2B

100

300

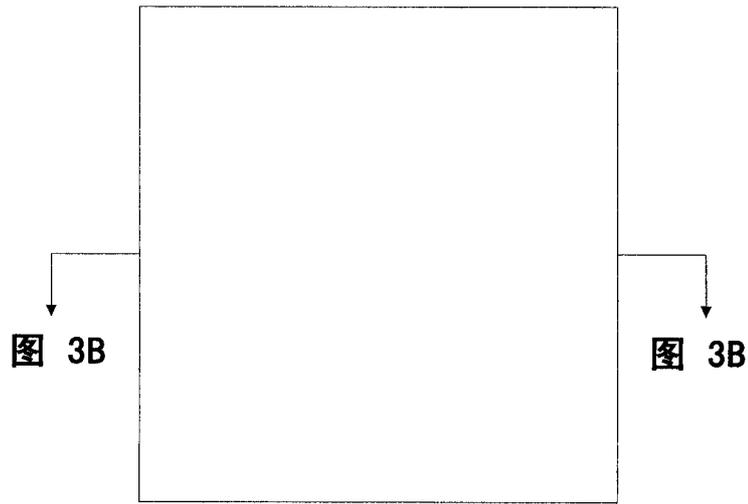


图 3A

300

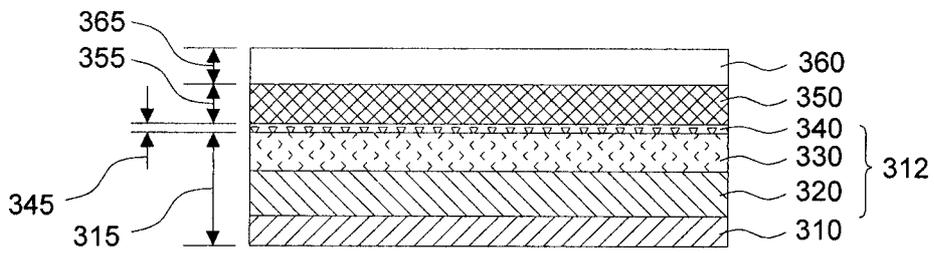
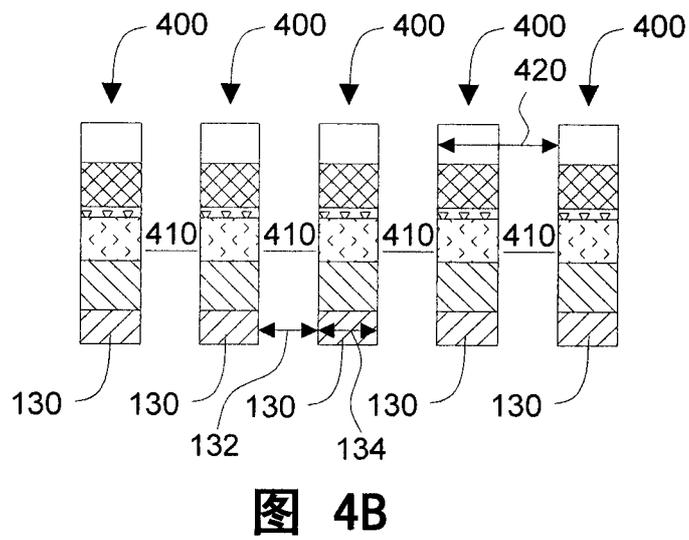
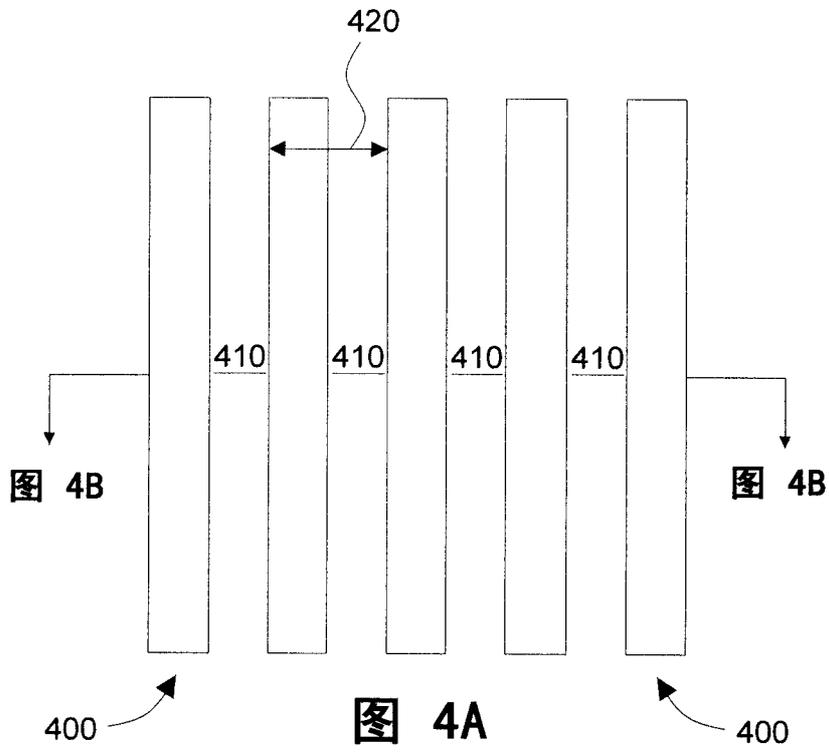
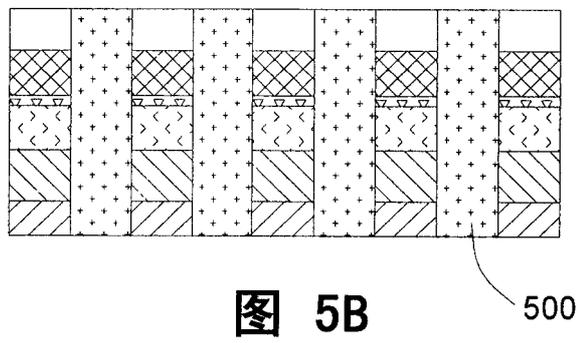
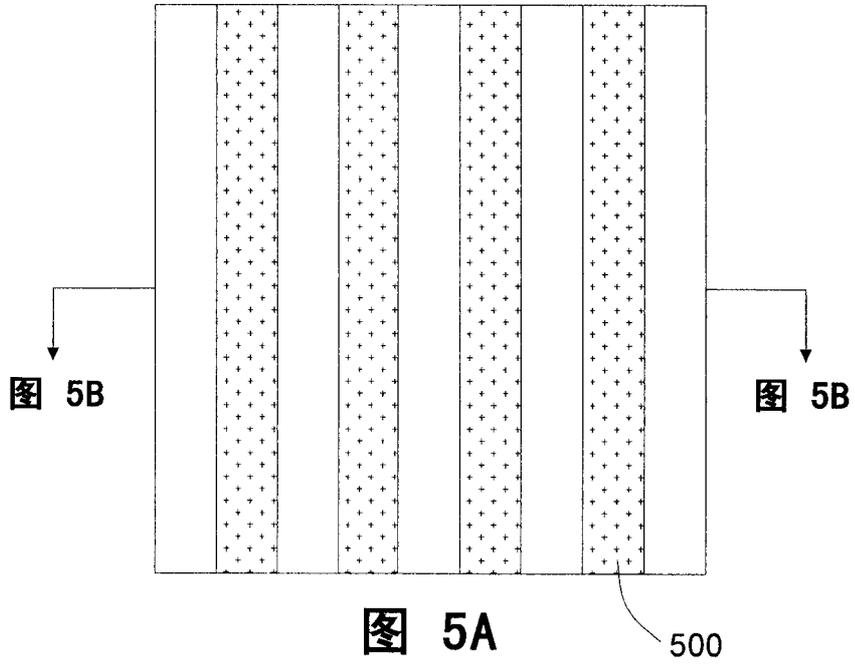


图 3B





300

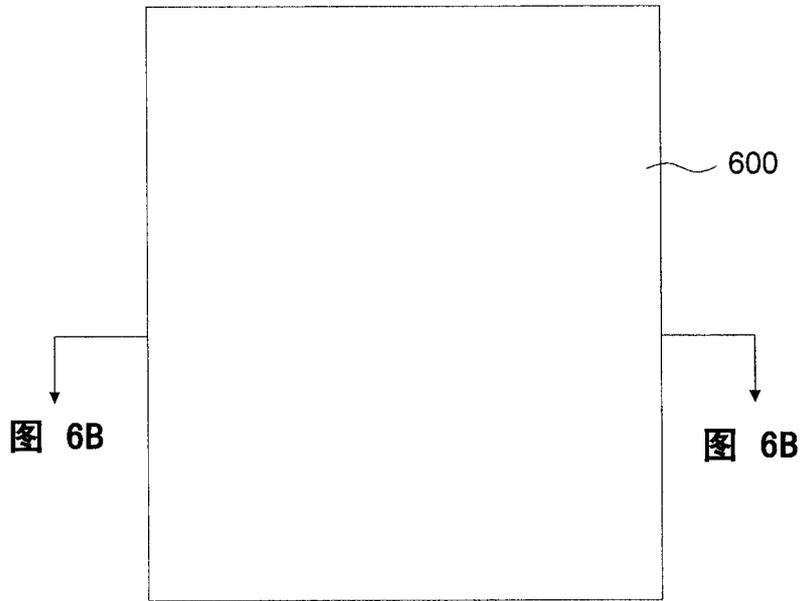


图 6A

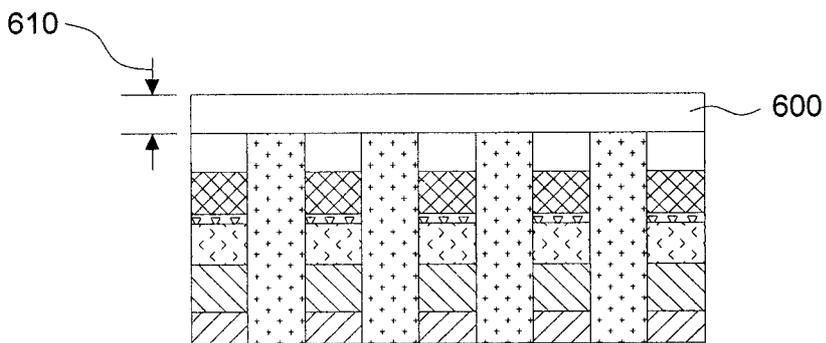


图 6B

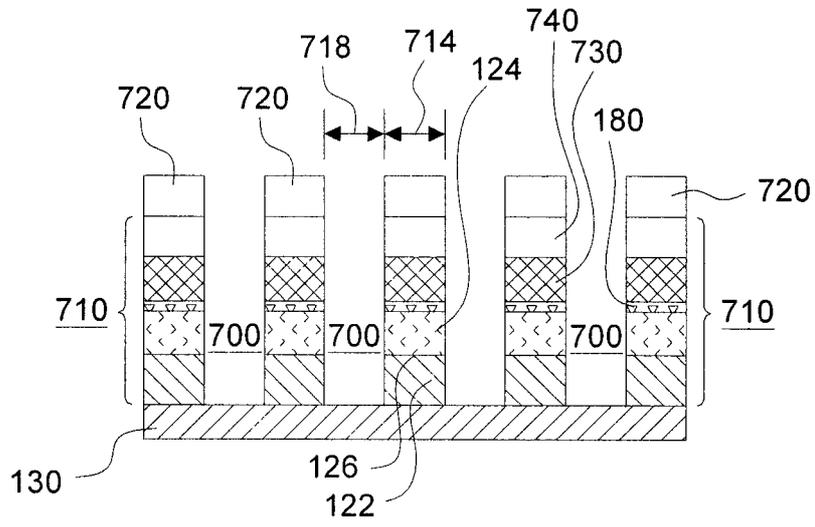


图 7C

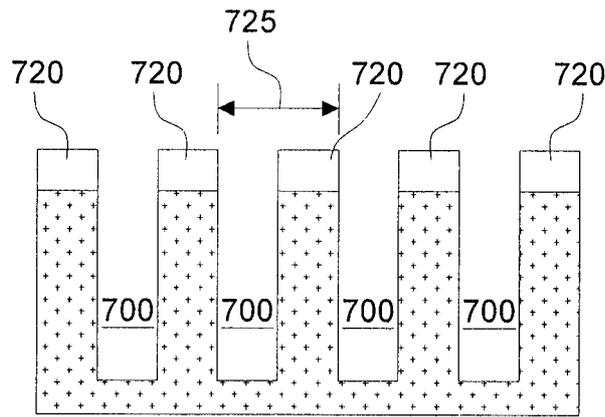
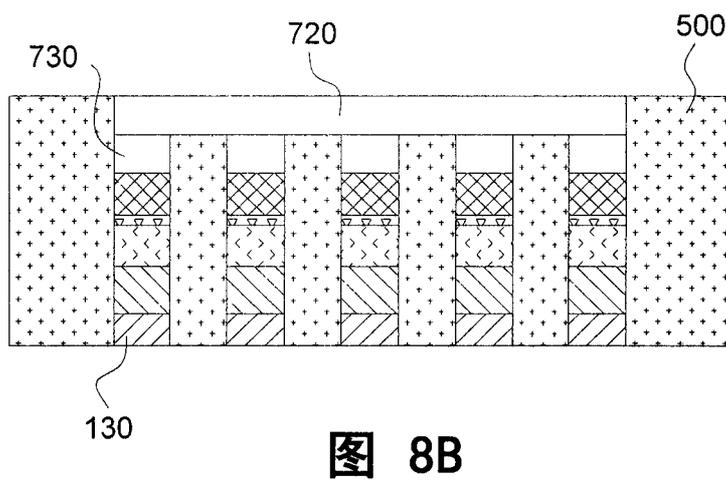
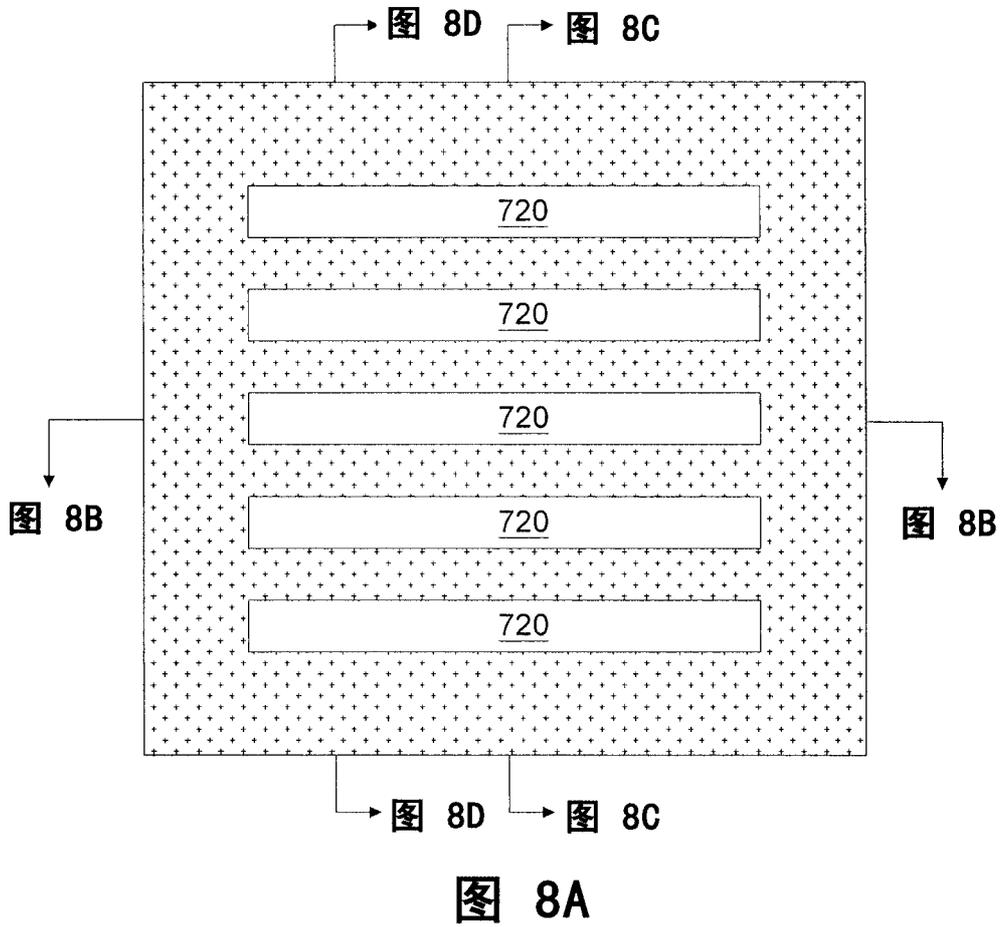


图 7D



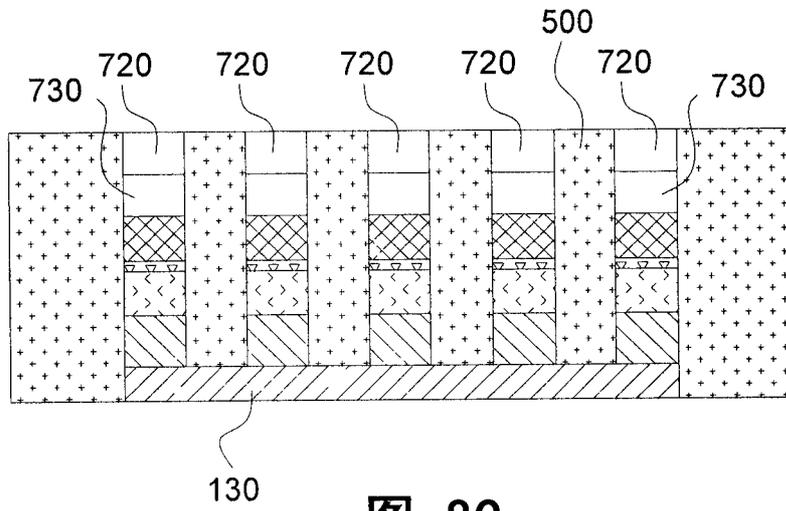


图 8C

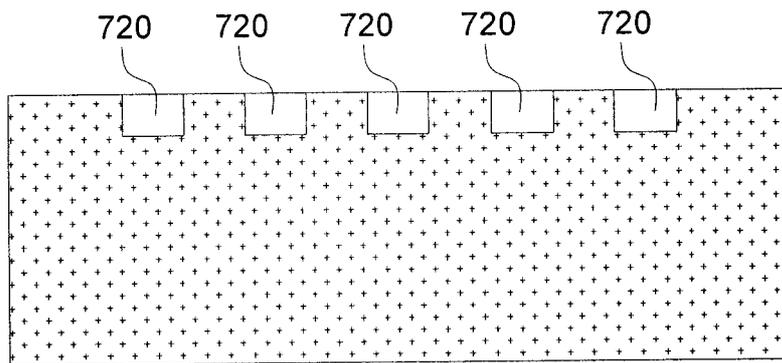


图 8D

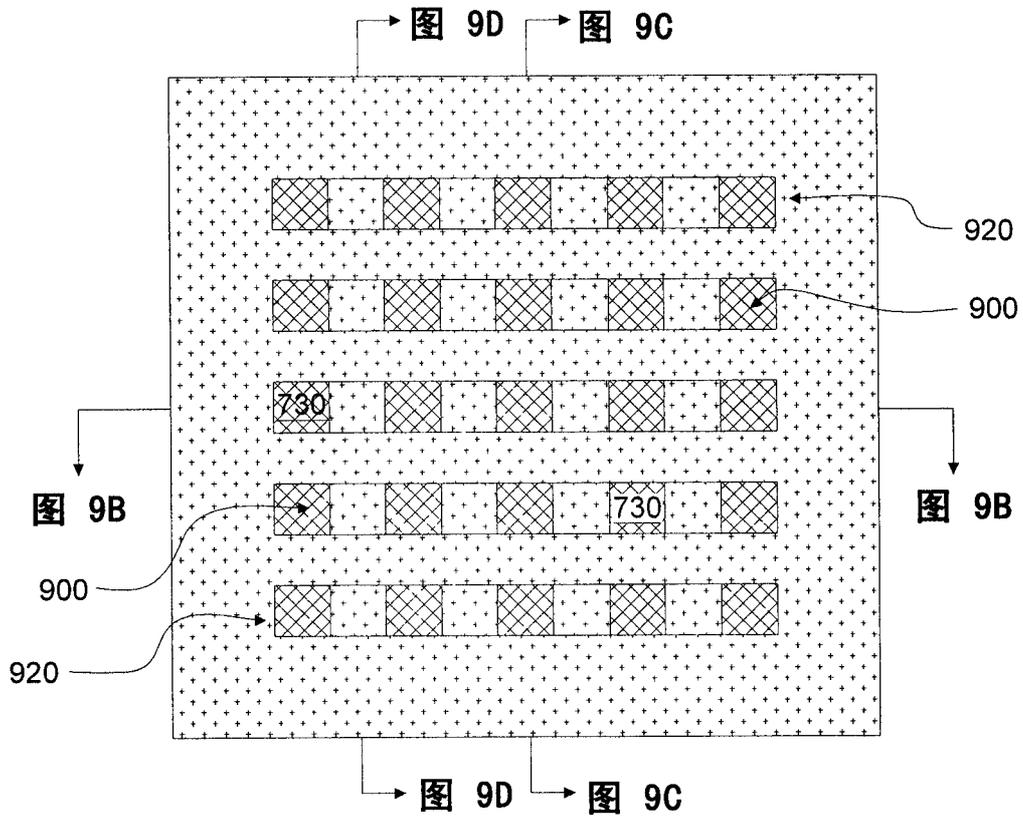


图 9A

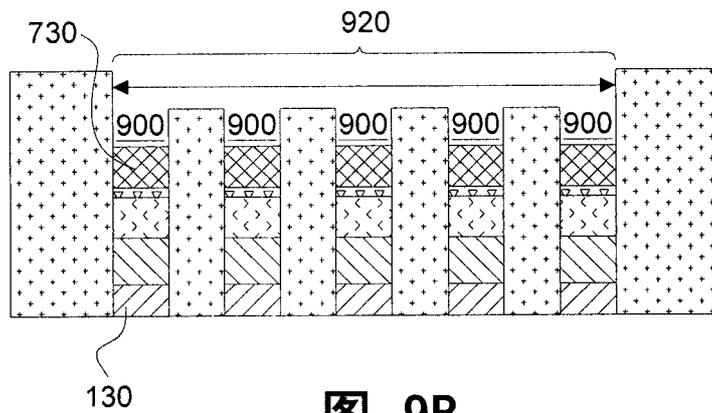


图 9B

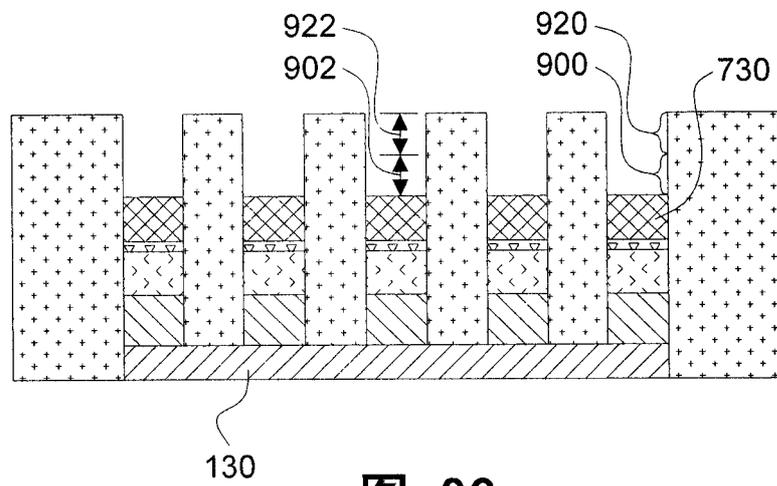


图 9C

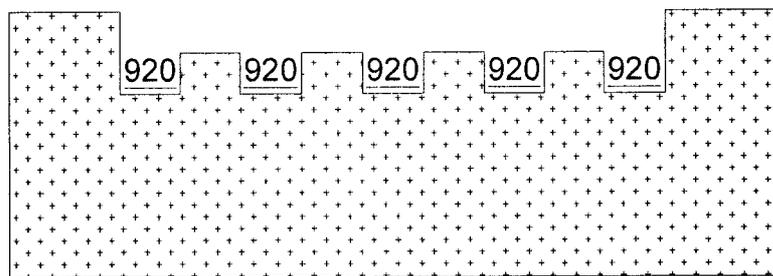
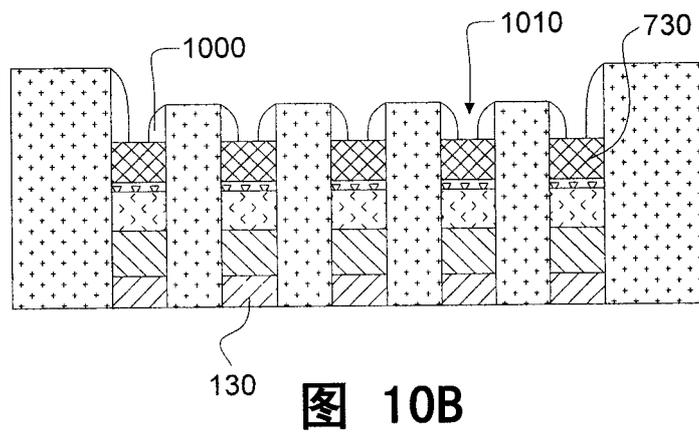
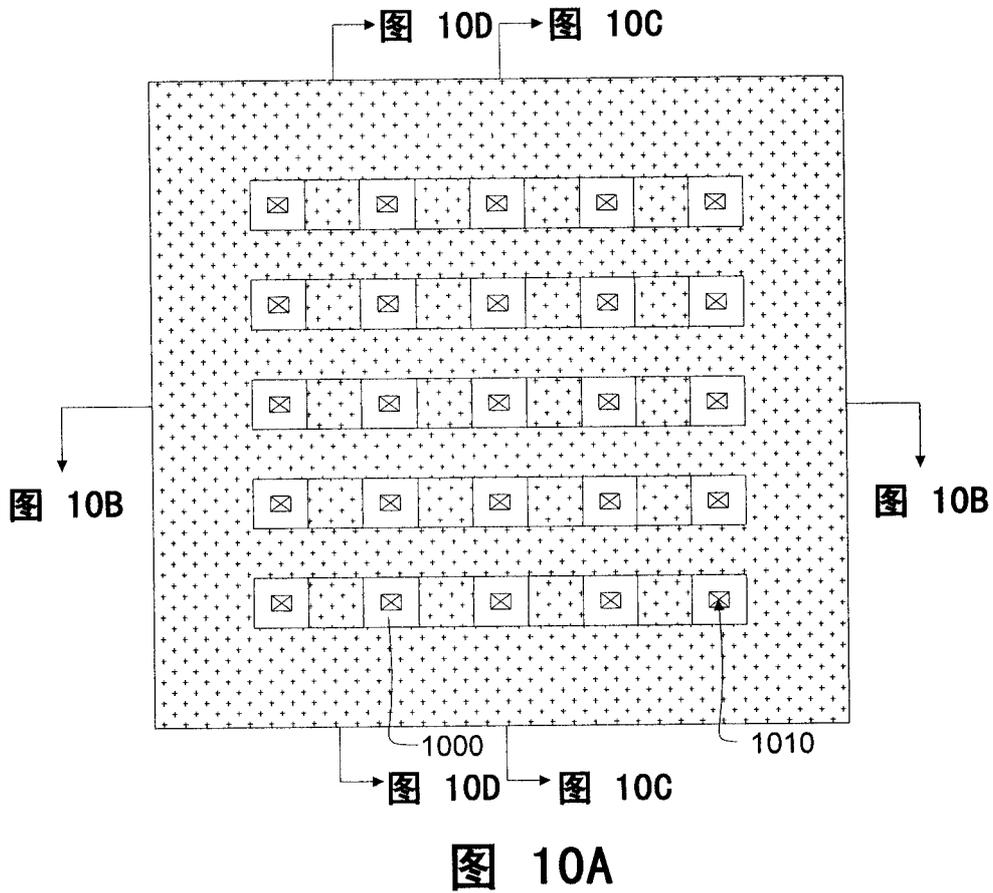


图 9D



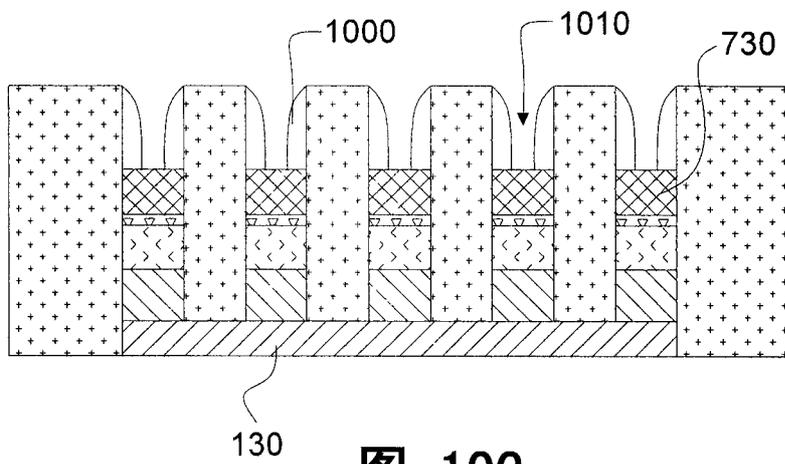


图 10C

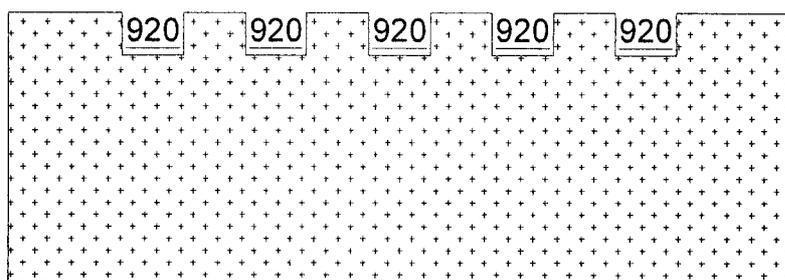


图 10D

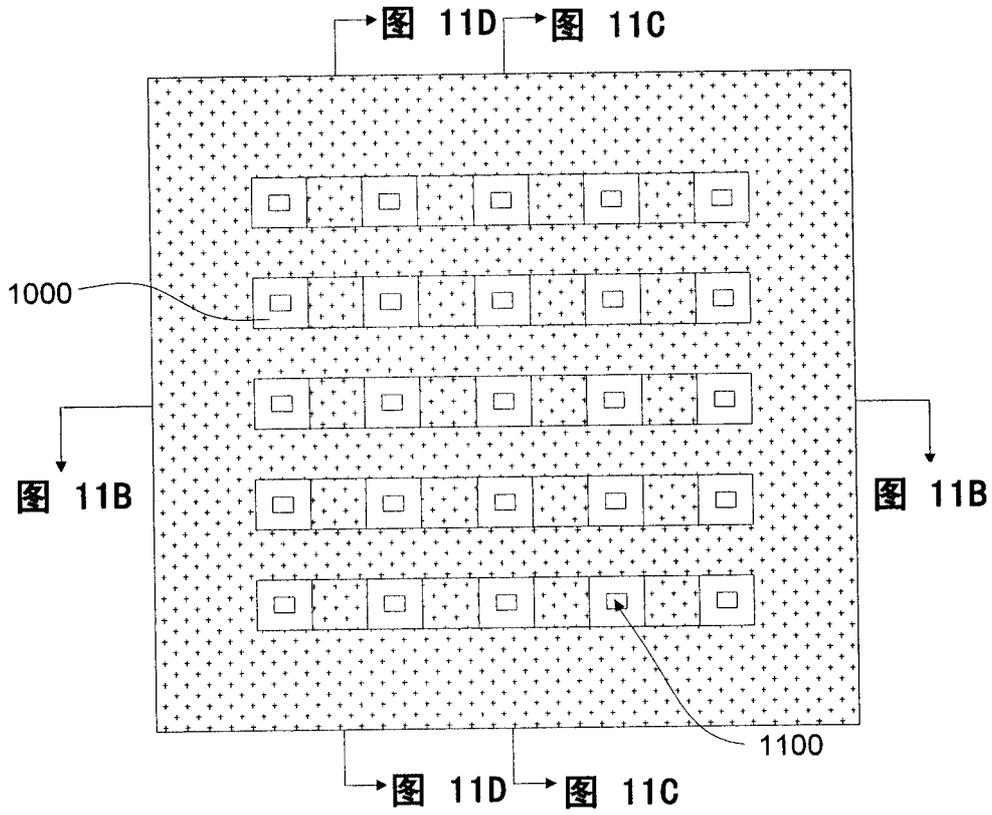


图 11A

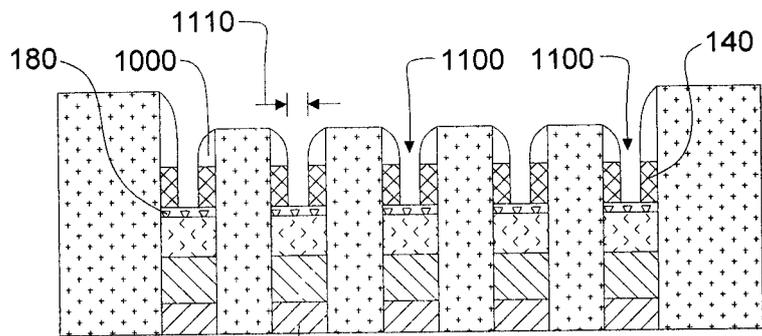


图 11B

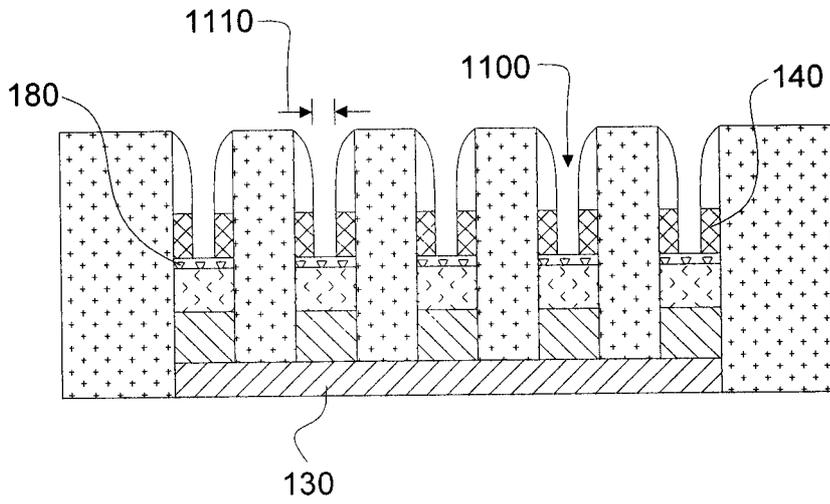


图 11C

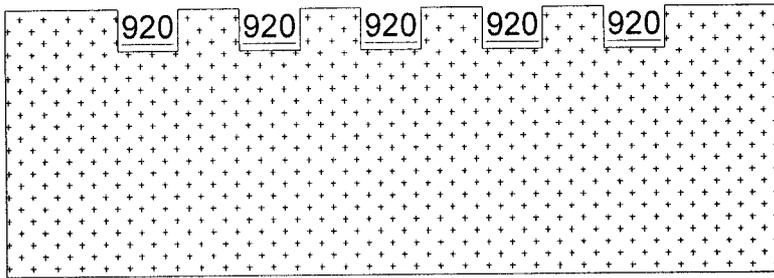


图 11D

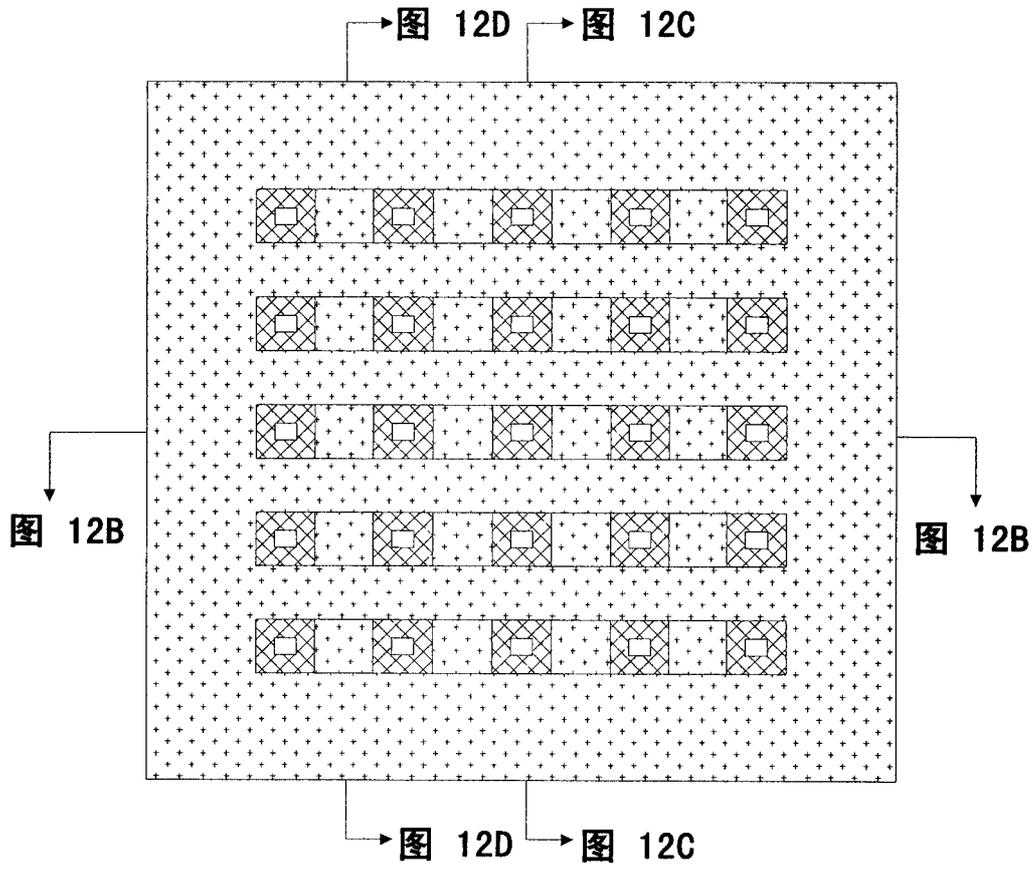
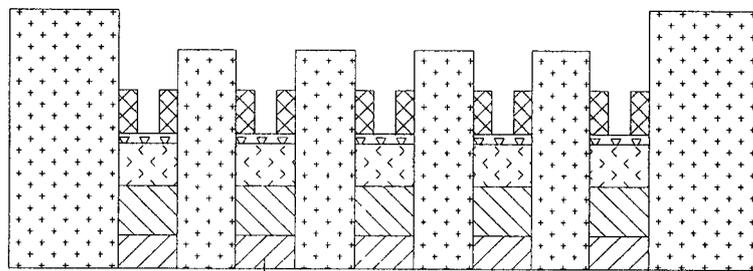


图 12A



130 图 12B

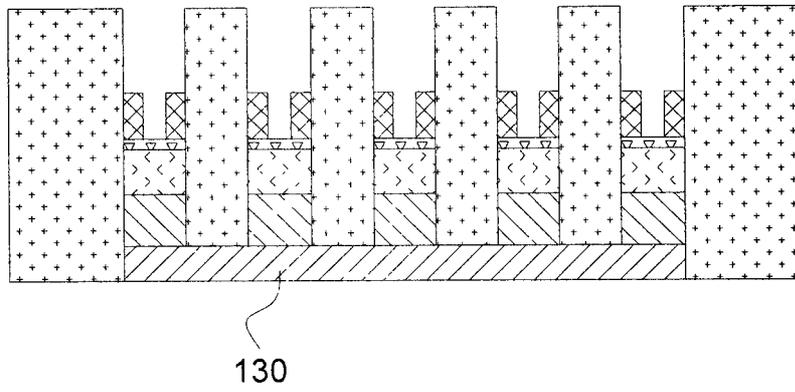


图 12C

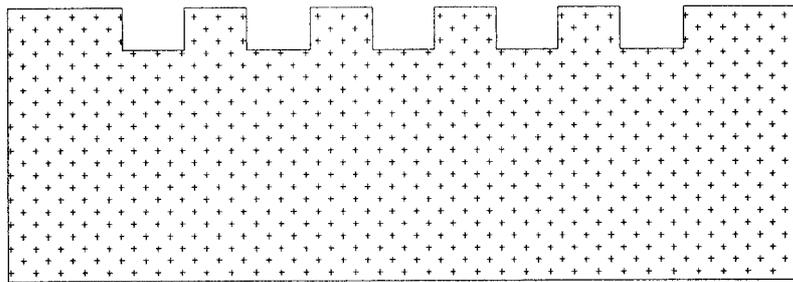
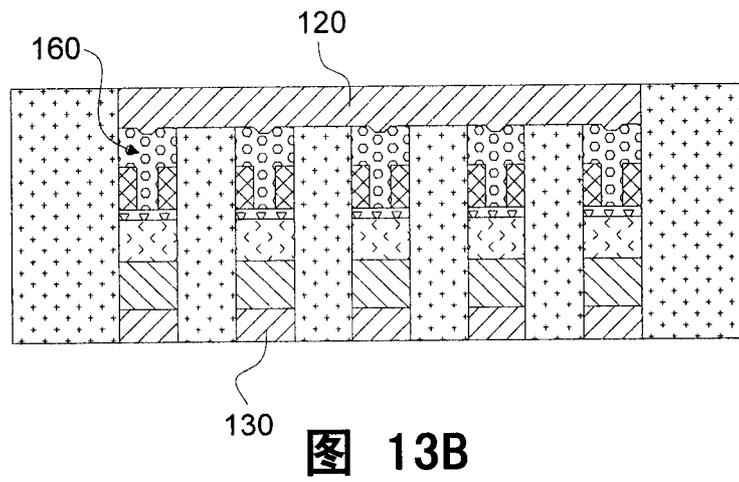
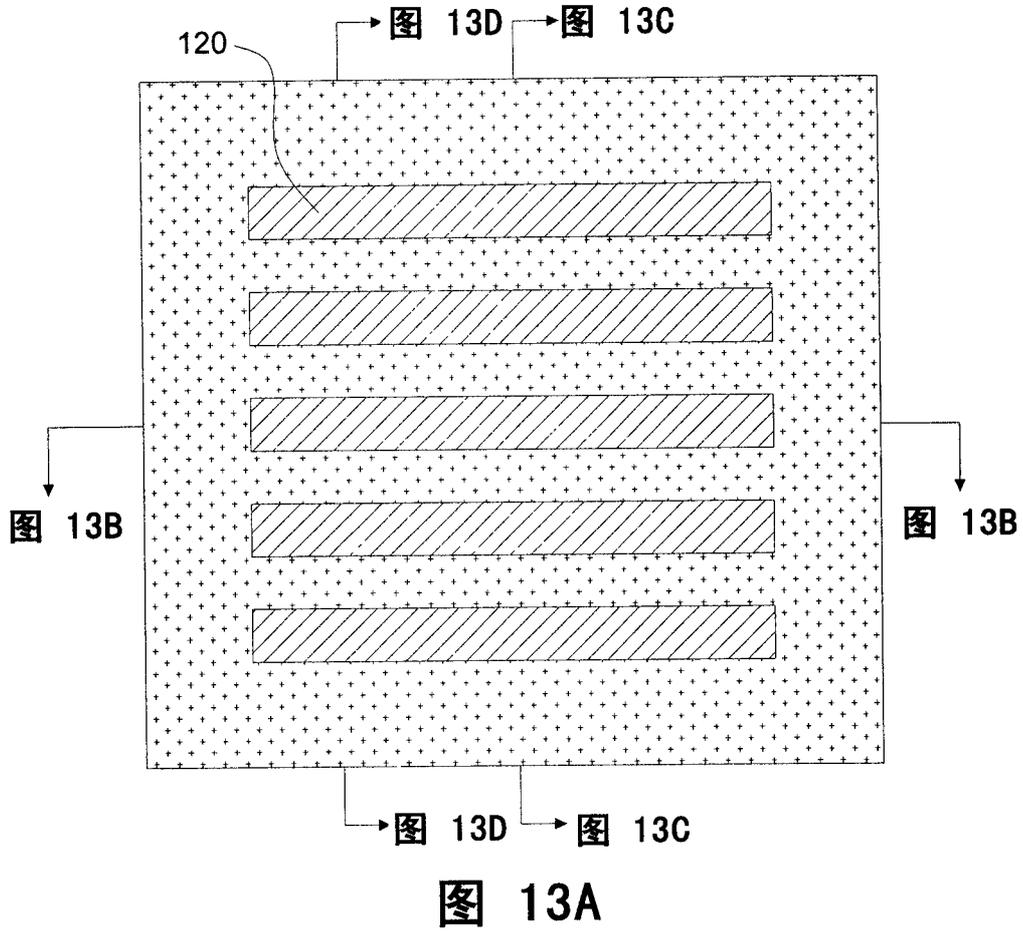


图 12D



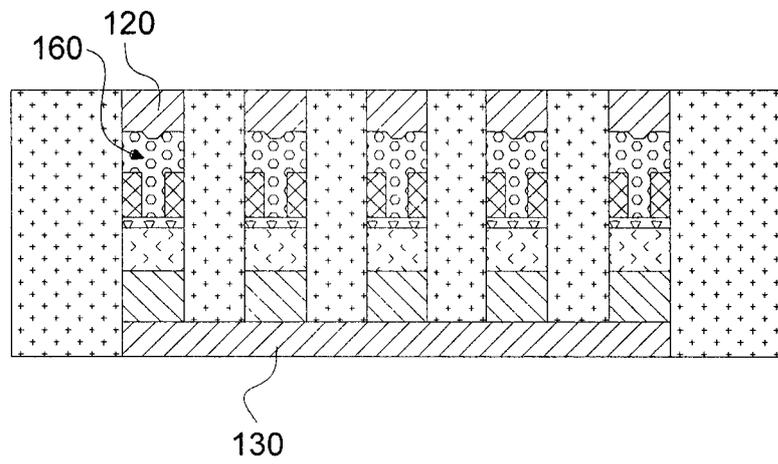


图 13C

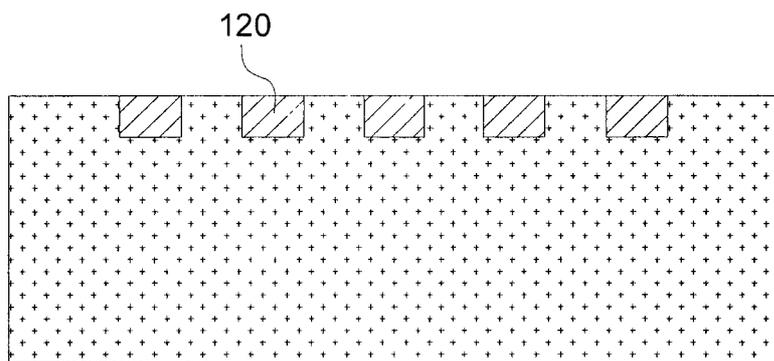
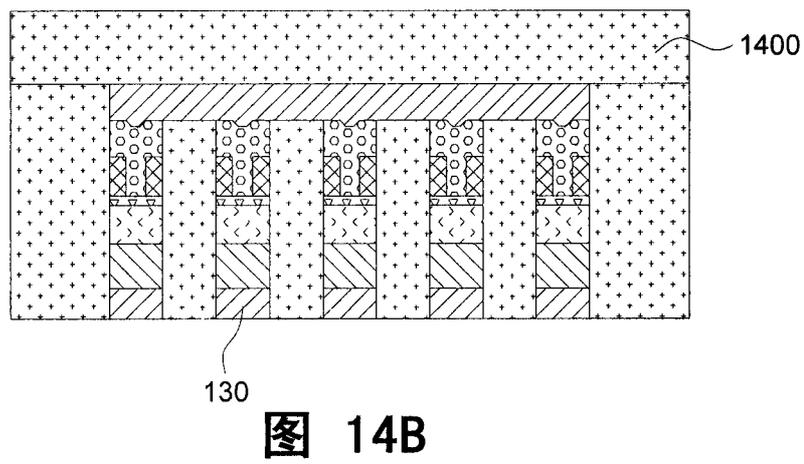
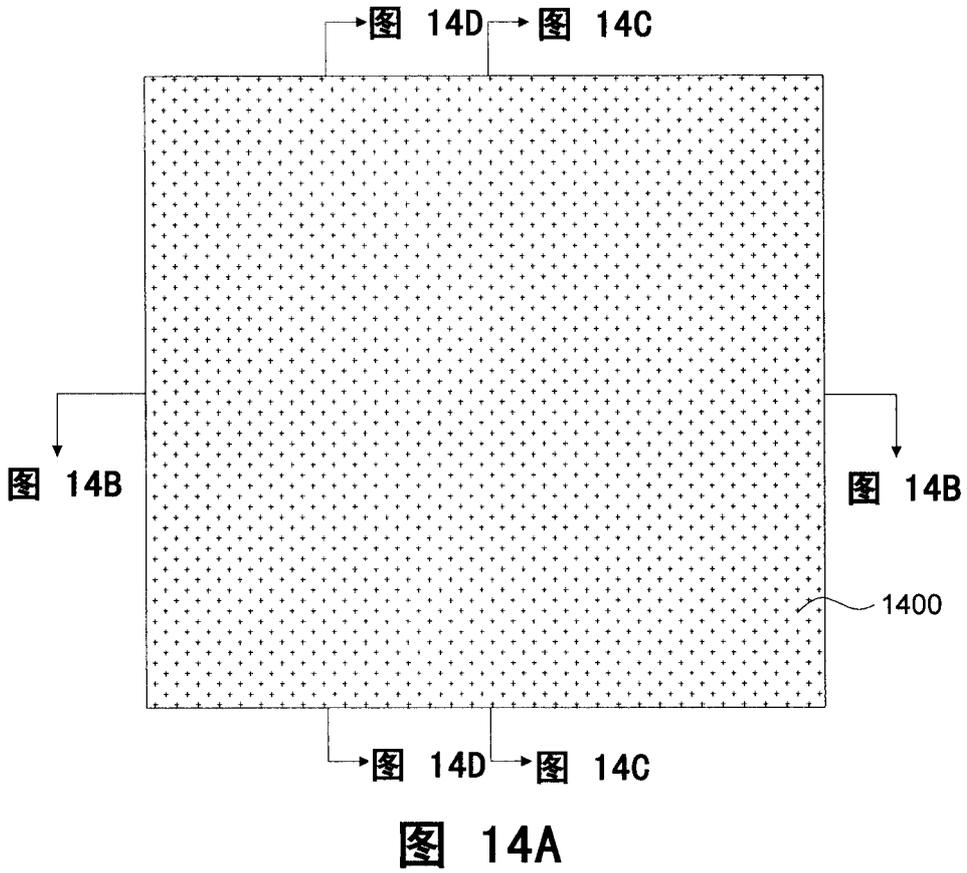
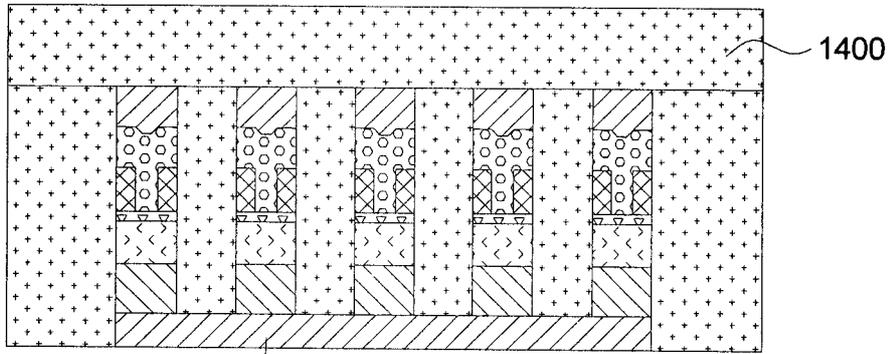


图 13D





130 **图 14C**

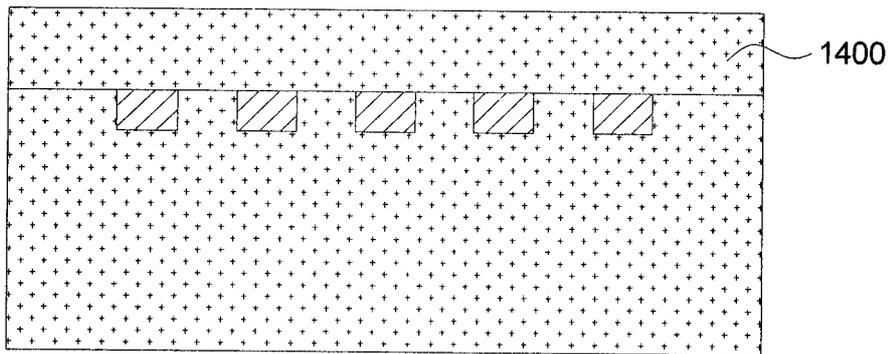


图 14D

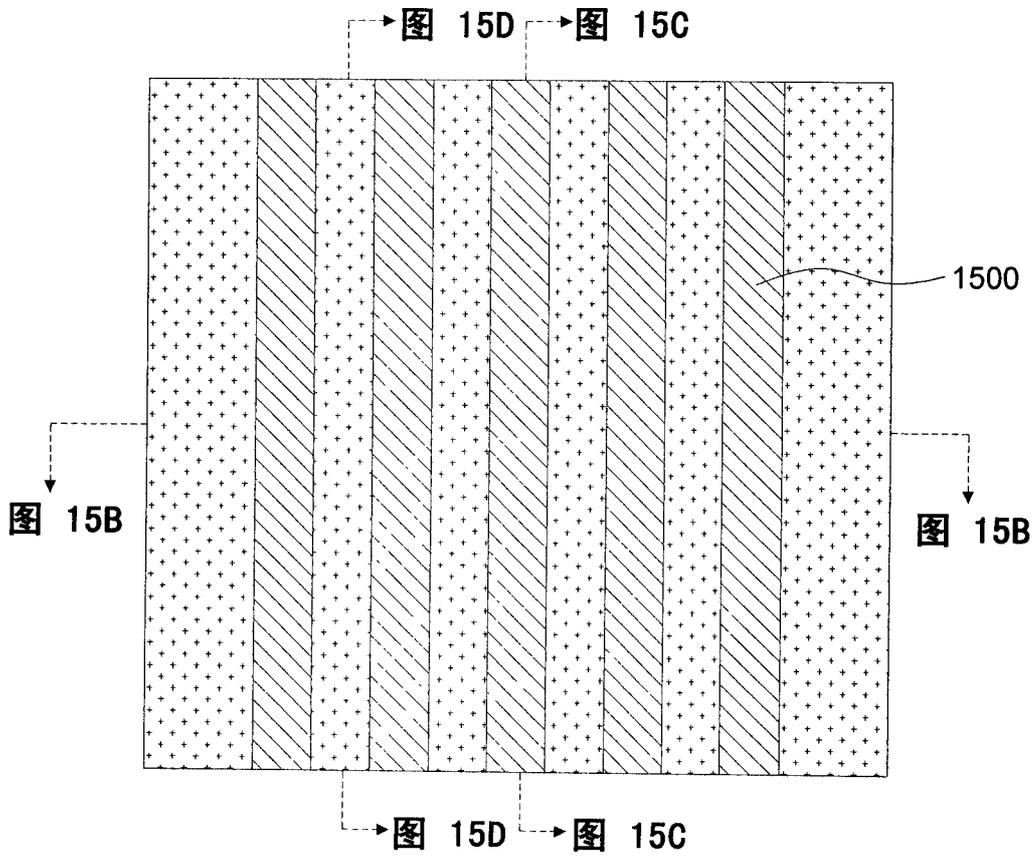
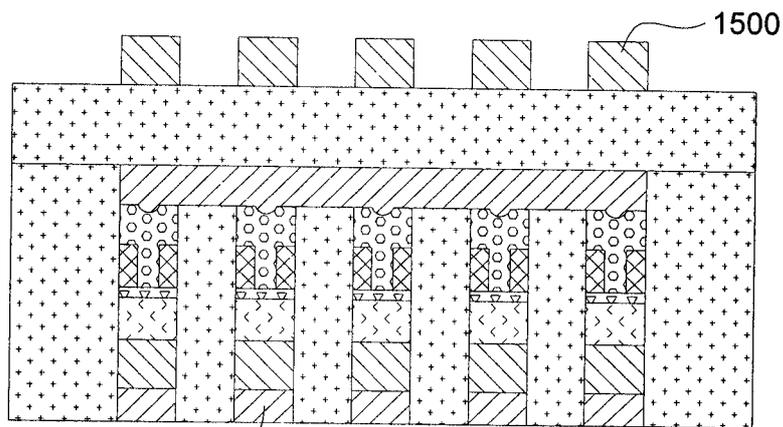


图 15A



130

图 15B

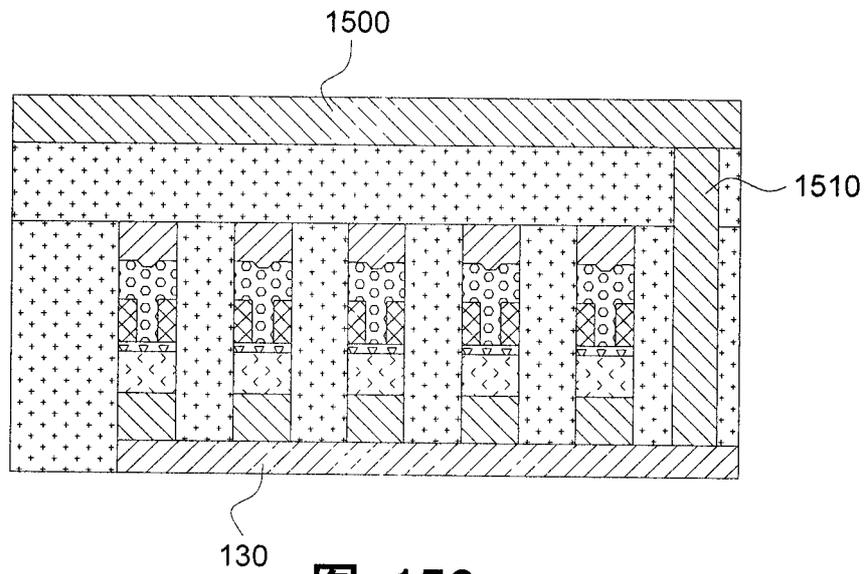


图 15C

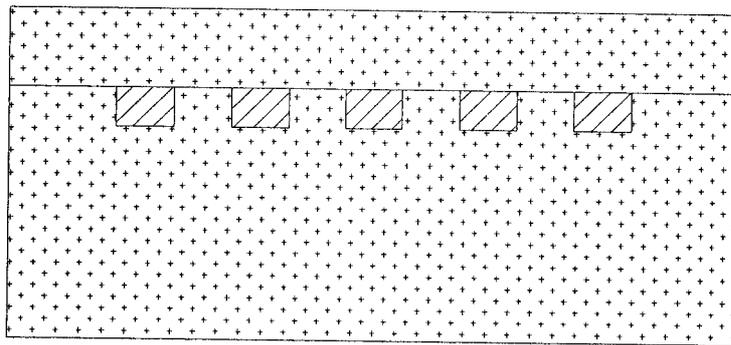


图 15D

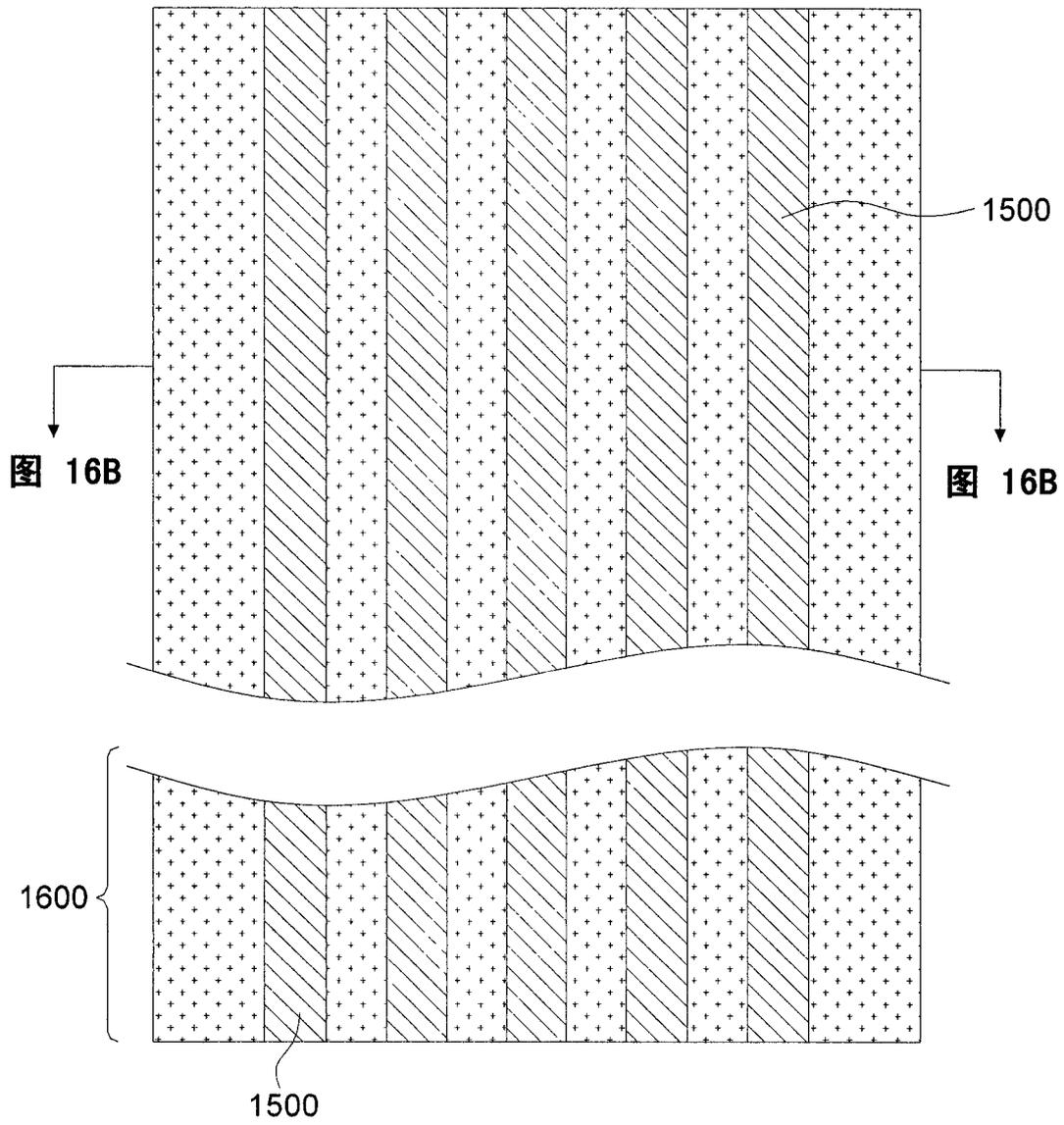


图 16A

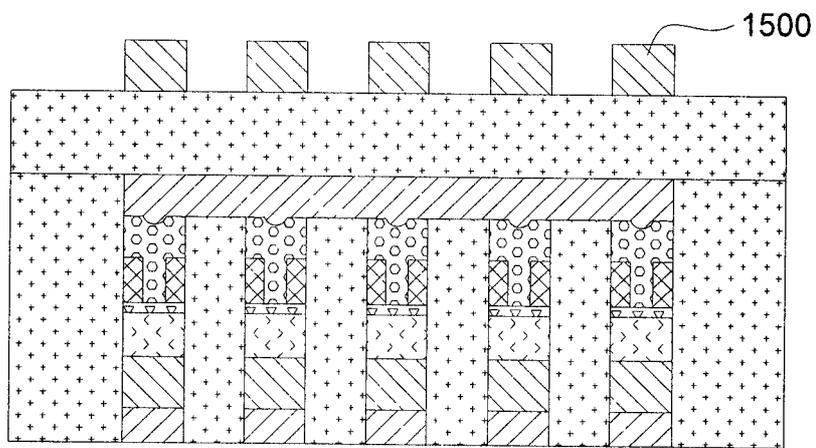


图 16B

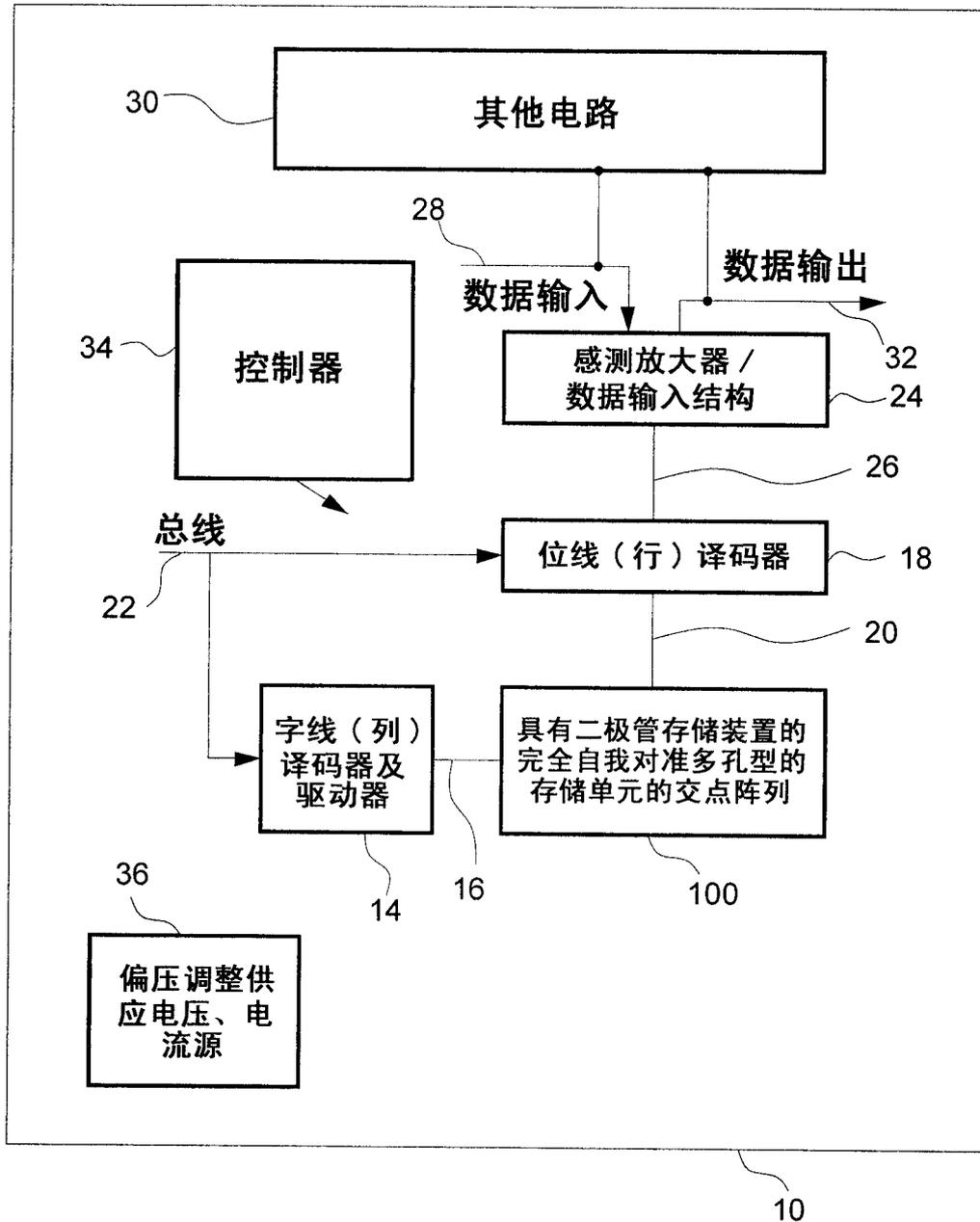


图 17