

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 24 日 (24.12.2003)

PCT

(10) 国際公開番号
WO 03/107520 A1

- (51) 国際特許分類: H02M 7/48
- (21) 国際出願番号: PCT/JP03/06538
- (22) 国際出願日: 2003 年 5 月 26 日 (26.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-171395 2002 年 6 月 12 日 (12.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社
安川電機 (KABUSHIKI KAISHA YASKAWA DENKI)

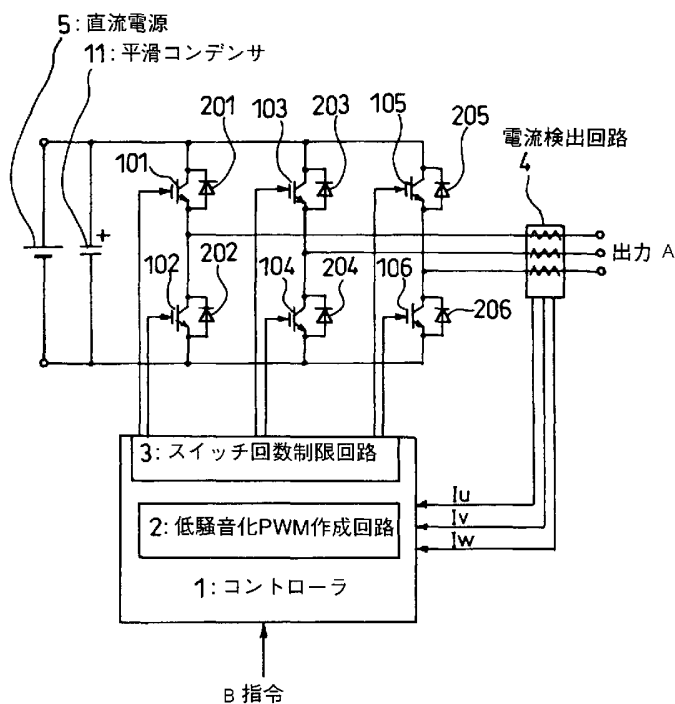
[JP/JP]: 〒806-0004 福岡県 北九州市 八幡西区黒崎城
石 2 番 1 号 Fukuoka (JP).

- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中 善之
(TANAKA, Yoshiyuki) [JP/JP]: 〒806-0004 福岡県 北九
州市 八幡西区黒崎城石 2 番 1 号 株式会社安川電機
内 Fukuoka (JP). 山中 克利 (YAMANAKA, Katsutoshi)
[JP/JP]: 〒806-0004 福岡県 北九州市 八幡西区黒崎城
石 2 番 1 号 株式会社安川電機内 Fukuoka (JP). 渡辺
英司 (WATANABE, Eiji) [JP/JP]: 〒806-0004 福岡県 北
九州市 八幡西区黒崎城石 2 番 1 号 株式会社安川電
機内 Fukuoka (JP).

[続葉有]

(54) Title: PWM INVERTER CONTROL METHOD

(54) 発明の名称: PWMインバータ制御方法



- 5...DC POWER SOURCE
11...SMOOTHING CAPACITOR
4...CURRENT DETECTION CIRCUIT
A...OUTPUT
3...SWITCHING COUNT LIMIT CIRCUIT
2...NOISE REDUCTION PWM CREATION CIRCUIT
1...CONTROLLER
B...INSTRUCTION

(57) Abstract: A PWM inverter control method capable of reducing the noise and energy consumption by reducing the noise and limiting the number of switching operations. In a 2-level PWM inverter control method, switching of a switching element connected in series is performed as follows. When the inverter operation frequency is low, the number of switching operations and timing are set so that noise frequency components are not concentrated by the switching and an arbitrary voltage is output. Here, a lower limit is set for the number of switching operations so that the number of switching operations is not too small. On the other hand, when the inverter operation frequency is increased, the number of switching operations and timing setting value are increased at a predetermined ratio together with the operation frequency. Here, an upper limit is set for the number of switching operations so that the number of switching operations will not exceed the set value.

(57) 要約: 本発明の課題は、低騒音化とスイッチ回数制限により低騒音化と省エネを両立できるPWMインバータ制御方法を提供する。本発明は、2レベルPWMインバータの制御方法において、直列接続したスイッチング素子のスイッチングを、インバータの運転周波数が低い場合には、スイッチングによる騒音の周波数成分が集中しないようにスイッチ回数とタイミングを設定して任意の電圧を出力し、その際にスイッチ回数が少なくなり過ぎないようにスイッチ回数に下限を設定し、一方、インバータの運転周波数が上昇する場合には、スイッチ回数とタイミングの設定値を運転周波数と一定比率で上昇させるが、スイッチ回数がある設定値以上には上

昇しないようにスイッチ回数の上限を設定して、制限するものである。



(74) 代理人: 小栗 昌平, 外(OGURI, Shohei et al.); 〒107-6028 東京都 港区 赤坂一丁目 1 2 番 3 2 号 アーク森ビル 2 8 階 栄光特許事務所 Tokyo (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, KR, US.

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

明 細 書

PWMインバータ制御方法

5 <技術分野>

本発明は、モータ等の可変速駆動や系統連係を行うPWMインバータの低騒音化に関する。

<背景技術>

- 10 図13は従来のPWMインバータの構成図である。図13において、1はコントローラ、2は低騒音化PWM作成回路、4は電流検出回路、5は直流電源、11は平滑コンデンサ、101～106はスイッチング素子、201～206はフリーホイールダイオードである。

- 15 以上の構成で、コントローラ1に指令と電流検出回路4から出力電流の検出値を入力する。コントローラ1はそれらの入力に応じて低騒音化PWM作成回路2により、低騒音に特化したPWMスイッチングパターンを作成し、スイッチング素子をON/OFFする指令を出力する。

- ここで、低騒音に特化したPWMスイッチングパターンについて説明すると、図13に示す回路の出力する3相2レベルのPWMパルス空間ベクトル図で表すと図2のようになり、一般的なPWMパルスパターンを示すと図3のようなパターンとなる。図2の空間ベクトル図上の記号、a、b、Op、Onベクトルは図3に示す各相のスイッチングパターンと対応し、Hは上側スイッチング素子がONしている状態、Lは下側スイッチング素子がONしている状態を示す。

- 25 PWMインバータは通常は、図3に示すようなパターンを出力しているが、更に、低騒音化PWM作成回路2によりパルスパターンを組替えた、図4に示すような低騒音化パターンを出力する。この低騒音化パターンは、通常の図3のパターンと時間平均は等しく、パルスを分割して集中させたり分散させたりした、図4のようなパルスパターンを生成して、騒音の分散を図り、低騒音化を実現して

いる。

しかしながら、上記従来の技術では、通常のPWM方式は、どの相も均等にスイッチングを行っているので、騒音の発生する周波数が集中し、耳障りな騒音が発生している。しかし、低騒音化対策によりパルスパターンを複雑にすると、スイッチ回数が大幅に上昇してスイッチング素子のスイッチングロスが上昇し、発熱が大きくなる。これはインバータを安全に運転するという点では大きな問題であり、スイッチング素子の寿命にも影響を及ぼすという問題があった。

そこで、本発明は、各相のスイッチングを自由に設定できるPWM制御方法において、それらの騒音のピークを分散すると共に、スイッチング回数に下限値、上限値を設けてスイッチング・ロスを設定値以下に抑えることによって、低騒音対策と省エネ化を両立させることができるPWMインバータ制御方法を提供することを目的としている。

<発明の開示>

上記目的を達成するため、請求項1記載の発明は、スイッチング素子と逆並列接続した整流素子からなるスイッチを2個直列に接続したものを2組以上複数組用いた構成で、前記直列接続したスイッチング素子のスイッチングを、各組毎に自由に変化させる機能を備えた2レベルPWM制御方式のPWMインバータ制御方法において、前記直列接続したスイッチング素子のスイッチングを、インバータの運転周波数が低い場合には、スイッチングによる騒音の周波数成分が集中しないようにスイッチ回数とタイミングを設定して任意の電圧を出力し、その際にスイッチ回数が少なくなり過ぎないようにスイッチ回数に下限を設定し、一方、インバータの運転周波数が上昇する場合には、前記スイッチ回数とタイミングの設定値を運転周波数と一定比率で上昇させるが、スイッチ回数がある設定値以上には上昇しないようにスイッチ回数の上限を設定して、制限することを特徴としている。

このPWMインバータ制御方法では、各相のスイッチングを自由に設定できる2レベルのPWMインバータ制御方法において、騒音のピークを分散させ、スイ

スイッチング回数に上限、下限値を設けて制限するので、耳障りな騒音を低減させスイッチングロスも抑えることができる。

また、請求項 2 記載の発明は、スイッチング素子と逆並列接続した整流素子からなるスイッチを 4 個若しくはそれ以上の偶数個直列接続したものを 2 組以上複数個用いた構成で、前記直列接続したスイッチング素子のスイッチングを、各組毎に自由に変化させる機能を備え出力レベルに 3 レベル以上の PWM パルスを出力するマルチレベル PWM 制御方式の PWM インバータ制御方法において、前記直列接続したスイッチング素子のスイッチングを、インバータの運転周波数が低い場合には、スイッチングによる騒音の周波数成分が集中しないようにスイッチング回数とタイミングを設定して任意の電圧を出力し、その際にスイッチ回数が少なくなり過ぎないようにスイッチ回数に下限を設定し、一方、インバータの運転周波数が上昇する場合には、前記スイッチ回数とタイミングの設定値を運転周波数と一定比率で上昇させるが、スイッチ回数がある設定値以上には上昇しないようにスイッチ回数に上限を設定して、制限することを特徴としている。

この PWM インバータ制御方法では、3 レベルの PWM インバータ制御方法において、騒音のピークを分散させ、スイッチング回数に上限、下限値を設けて制限するので、耳障りな騒音を低減させスイッチングロスも抑えることができる。

また、請求項 3 記載の発明は、請求項 1 又は 2 記載の PWM インバータ制御方法において、前記スイッチ回数の上限値を、スイッチング素子より発生するスイッチングロスの時間平均がある設定値以下となるように設定することを特徴としている。

この PWM インバータ制御方法では、スイッチ回数制限の上限値を、スイッチングロスの時間平均が設定値以下になるように設定するので、スイッチングロスを制御量として、スイッチ回数の上限値を決め制御することができる。

また、請求項 4 記載の発明は、請求項 1 又は 2 記載の PWM インバータ制御方法において、前記スイッチ回数の上限値を、PWM インバータの発熱をある設定値以下となるように設定することを特徴としている。

この PWM インバータ制御方法では、スイッチ回数制限の上限値をインバータ

の発熱が設定値以下になるように設定するので、発熱量を制御量として、スイッチ回数の上限值を決め制御することができる。

また、請求項 5 記載の発明は、請求項 1 ～ 4 のいずれか 1 項記載の PWM インバータ制御方法において、設定するスイッチ回数の周波数成分が、出力側に接続
5 されるモータの共振周波数と等しくならないように、その周波数をスキップすること
を特徴としている。

この PWM インバータ制御方法では、低騒音化を図り、スイッチ回数制限により
スイッチングロスを抑えると共に、モータの共振周波数帯の周波数スキップによ
って、制御系の振動を抑止し、機械音の発生も低減できる。

10

<図面の簡単な説明>

図 1 は、本発明の第 1 の実施の形態に係る PWM インバータ制御方法の回路例
を示す図である。

図 2 は、図 1 に示すインバータの空間ベクトルを示す図である。

15 図 3 は、図 1 に示すインバータの通常のスイッチングパターンを示す図である。

図 4 は、図 3 に示すパターンの低騒音化されたスイッチングパターンを示す図
である。

図 5 は、図 1 に示すインバータの低騒音化及びスイッチ回数制限を行ったスイ
ッチングパターンを示す図である。

20 図 6 は、図 5 に示すスイッチ回数制限を表すグラフを示す図である。

図 7 は、図 6 に示すグラフのスキップ周波数帯を示す図である。

図 8 は、本発明の第 2 の実施の形態に係る PWM インバータ制御方法の回路例
を示す図である。

図 9 は、図 8 に示すインバータの空間ベクトルを示す図である。

25 図 10 は、図 8 に示すインバータの通常のスイッチングパターンを示す図であ
る。

図 11 は、図 10 に示すパターンの低騒音化されたスイッチング・パターンを
示す図である。

図 1 2 は、図 8 に示すインバータの低騒音化及びスイッチ回数制限を行ったスイッチングパターンを示す図である。

図 1 3 は、従来の PWM インバータ装置の回路例を示す図である。

5 なお、図中の符号、1 はコントローラ、2 は低騒音化 PWM 作成回路、3 はスイッチ回数制限回路、4 は電流検出回路、5 は直流電源、1 1 は平滑コンデンサ、1 2, 1 3 は分圧コンデンサ、1 0 1 ~ 1 1 8 はスイッチング素子、2 0 1 ~ 2 1 8 はフリーホイールダイオード、3 0 1 ~ 3 0 6 はクランプダイオードである。

<発明を実施するための最良の形態>

10 以下、本発明の第 1 の実施の形態について図を参照して説明する。

図 1 は第 1 の実施の形態に係る PWM インバータ制御方法の回路例を示す図である。

図 2 は図 1 に示すインバータの空間ベクトルを示す図である。

図 3 は図 1 に示すインバータの通常のスイッチングパターンを示す図である。

15 図 4 は図 3 に示すパターンの低騒音化されたスイッチングパターンを示す図である。

図 5 は図 1 に示すインバータの低騒音化及びスイッチ回数制限を行ったスイッチングパターンを示す図である。

図 6 は図 5 に示すスイッチ回数制限を表すグラフを示す図である。

20 図 7 は図 6 に示すグラフのスキップ周波数帯を示す図である。

図 1 において、1 はコントローラ、2 は低騒音化 PWM 作成回路、3 はスイッチ回数制限回路、4 は電流検出回路、5 は直流電源、1 1 は平滑コンデンサ、1 0 1 ~ 1 0 6 はスイッチング素子、2 0 1 ~ 2 0 6 はフリーホイールダイオードである。

25 つぎに動作について説明する。

図 1 に示すような 3 相 2 レベルの PWM インバータでは、コントローラ 1 から指令を入力すると、その指令値に応じて図 2 に示すような空間ベクトルを基に、図 3 に示すような PWM パルスパターンを作成する。図 2 の空間ベクトルの記号

a、b、Op、Onは、図3に示す各相U、V、Wのスイッチングパターンと対応し、Hは上側スイッチング素子101、103、105がONしている状態、Lは下側のスイッチング素子102、104、106がONしている状態を示している。なおスイッチング素子「101、102」がU相、「103、104」が
5 V相、「105、106」がW相に相当している。

このPWMパルスパターンは次に、低騒音化PWM作成回路2により低騒音化されたPWMスイッチングパターンへと変更される。つまり図3の場合は、U、V、W相共に均等にスイッチングを行っているために、ノイズ出力が特定の周波数に集中するが、図4の低騒音化パターンでは、出力される電圧の平均値は図3
10 と同一に保ちながら、パターンを分割して組み替え、特定（耳障りな音声帯域内周波数等）の周波数を出力しないように周波数調整される。U相の例で説明すると、図3のU相の均等なパルスは、図4のU相ではパルス幅の異なる倍の数のパルスに組替えられているが、トータルの電圧の平均値は同一で周波数のみが組み替えによって音声帯域外になるように高い方へシフトし調整されている。これに
15 よって耳障りな音声帯域内等の騒音が分散・低減される。

こうして低騒音化されたスイッチングパターンは、次に、スイッチ回数制限回路3に入力し、設定されたスイッチ回数が満足されているかを判断する。スイッチ回数制限回路3ではスイッチング・ロスによる発熱を抑えるために設定したスイッチ回数以上にならないように制限を加えている。この制限は、PWMインバータの設計時にスイッチング素子（IGBT等）の特性より設定してもよいし、
20 実際に使用している条件下での発熱量等を元に実測的に設定してもよく、特定の固定値としては設定していない。

PWMインバータでは、運転周波数が上昇すると同時にスイッチ回数も上昇するが、スイッチ回数制限回路3の判断でスイッチ回数が設定値を超えると、図6
25 に示すように、回数制限機能が働きそれ以上のスイッチは制限される。

具体的には、スイッチ回数が設定値を超えると、低騒音化PWM作成回路2において、時間平均のスイッチ回数は一定のままになるように、キャリア周期単位等でPWMパターンの分割数を減少させたり、分散のさせ方を変更してスイッチ

回数が低減するように調整している。

例えば、図 5 はスイッチ回数制限を行った低騒音化パターンであり、 T_1 の期間は図 4 に示すパルスパターンと同じであるが、周期が T_1 から T_2 へと変化して運転周波数が上昇した場合、スイッチ回数の制限を受けてパルスを減少させている。この場合の、各制御期間毎のスイッチ回数は、 T_1 期間が 11 回で図 4 と同じであるが、 T_2 期間の方は 7 回と低減されている。しかし全体の時間平均ではスイッチ回数はほぼ均等化され、スイッチング・ロスの時間平均が設定値以下に保たれ、スイッチング素子の発熱が抑えられる。

また、スイッチ回数が少なすぎても出力される電流に大きなリプルが発生し問題となるため、図 6 に示すように、スイッチ回数制限回路 3 でスイッチ回数の下限値を設け（これも特性値等より設定する）、それ以下のスイッチ回数にならないように制限を設ける。

更に、図 7 に示すように、負荷として接続されるモータの共振周波数と、出力する PWM パルスパターンのスイッチ回数とが一致しないように、スイッチ回数制限回路 3 の処理として、スイッチ回数をスキップ処理する。

このように、共振周波数を出力しないようにスイッチ回数をスキップさせることで、振動が抑止され機械音の発生を抑えて、更に、安定した低騒音化を達成できる。

次に、本発明の第 2 の実施の形態について図を参照して説明する。

図 8 は第 2 の実施の形態に係る PWM インバータの制御方法の回路例を示す図である。

図 9 は図 8 に示すインバータの空間ベクトルを示す図である。

図 10 は図 8 に示すインバータの通常のスイッチング・パターンを示す図である。

図 11 は図 10 に示すパターンの低騒音化されたスイッチングパターンを示す図である。

図 12 は図 8 に示すインバータの低騒音化及びスイッチ回数制限を行ったスイ

ツチングパターンを示す図である。

図 8 は 3 相 3 レベル・インバータに適用した例であり、1 はコントローラ、2 は低騒音化 PWM 作成回路、3 はスイッチ回数制限回路、4 は電流検出回路、5 は直流電源、12 及び 13 は平滑コンデンサ、107～118 はスイッチング素子（スイッチング素子 107～110 が U 相、111～114 が V 相、115～118 が W 相に相当）、201～206 はフリーホイールダイオード、301～306 は中間レベル出力用クランプダイオードである。

つぎに動作について説明する。

図 8 に示す 3 レベル NPC インバータを用いる場合も、出力できる PWM パルスを空間ベクトル図で表すと図 9 のようになり、これを使用した一般的なパルスパターンは図 10 のようになる。空間ベクトルの各記号、a、b、ap、an、bp、bn、Op、On、Oo は、図 10 に示す各相のスイッチングパターンと対応し、H、O、L は、H が上側スイッチング素子が ON している状態、O はコンデンサ分圧された中性点電圧を出力する真中 2 つのスイッチング素子が ON している状態、L は下側スイッチング素子が ON している状態を示す。

通常は、図 10 に示すような均等なパターンを出力しているが、低騒音化 PWM 作成回路 2 により、図 11 のような低騒音化された PWM スイッチパターンへと変更される。この低騒音化 PWM パターンは、図 10 に示す通常の均等パターンと電圧の時間平均は等しく、パルスを分割して集中させたり、分散させて図 11 のような低騒音化パターンを生成し、騒音の分散化を図り、低騒音化を実現している。

次に、前実施の形態と同様に、スイッチングロスによる発熱を抑えるため設定したスイッチ回数以上にならないように、スイッチ回数制限回路 3 により、図 6 に示すような回数制限を設けて、図 11 に示すような低騒音化パターンから、図 12 に示すようなスイッチ回数制限パターンを生成する。図 12 の例では T1 の期間は図 11 と同じ回数であるが、運転周波数が上昇してスイッチ回数制限が働く T2 期間ではスイッチ回数を減少させ、パルスの分割数が減らされている。

従って、それ以上運転周波数が上昇しても、PWM パターンの分割数を減少さ

せたり、分散のさせ方を変更することにより、時間平均したスイッチ回数をそのままに保ち、スイッチングロスの上昇を防ぎ、安全に低騒音化を実現できる。

なお、第2の実施の形態でも図7に示すようなスキップ処理を行うようにしてもよい。

5

本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2002年6月12日出願の日本特許出願（特願2002-171395）に基づくものであり、その内容はここに参照として取り込まれる。

10

<産業上の利用可能性>

以上説明したように、本発明によれば、各相のスイッチングを自由に設定できるPWMインバータ制御方法において、それらの騒音のピークを分散するよう、各相のスイッチパターンを組替え、低騒音化を図ると共に、スイッチング回数に

15 下限値、上限値を設けてスイッチングロスを設定値以下に抑えることによって、低騒音と省エネ化を両立させることができるという効果がある。

請 求 の 範 囲

1. スイッチング素子と逆並列接続した整流素子からなるスイッチを2個直列に接続したものを2組以上複数組用いた構成で、前記直列接続したスイッチング素子のスイッチングを、各組毎に自由に変化させる機能を備えた2レベルPWM制御方式のPWMインバータ制御方法において、

前記直列接続したスイッチング素子のスイッチングを、インバータの運転周波数が低い場合には、スイッチングによる騒音の周波数成分が集中しないようにスイッチ回数とタイミングを設定して任意の電圧を出力し、その際にスイッチ回数が少なくなり過ぎないようにスイッチ回数に下限を設定し、一方、インバータの運転周波数が上昇する場合には、前記スイッチ回数とタイミングの設定値を運転周波数と一定比率で上昇させるが、スイッチ回数がある設定値以上には上昇しないようにスイッチ回数の上限を設定して、制限することを特徴とするPWMインバータ制御方法。

15

2. スイッチング素子と逆並列接続した整流素子からなるスイッチを4個若しくはそれ以上の偶数個直列接続したものを2組以上複数個用いた構成で、前記直列接続したスイッチング素子のスイッチングを、各組毎に自由に変化させる機能を備え出力レベルに3レベル以上のPWMパルスを出力するマルチレベルPWM制御方式のPWMインバータ制御方法において、

前記直列接続したスイッチング素子のスイッチングを、インバータの運転周波数が低い場合には、スイッチングによる騒音の周波数成分が集中しないようにスイッチング回数とタイミングを設定して任意の電圧を出力し、その際にスイッチ回数が少なくなり過ぎないようにスイッチ回数に下限を設定し、一方、インバータの運転周波数が上昇する場合には、前記スイッチ回数とタイミングの設定値を運転周波数と一定比率で上昇させるが、スイッチ回数がある設定値以上には上昇しないようにスイッチ回数に上限を設定して、制限することを特徴とするPWMインバータ制御方法。

25

3. PWMインバータ制御方法において、前記スイッチ回数の上限値を、スイッチング素子より発生するスイッチングロスの時間平均がある設定値以下となるように設定することを特徴とする請求項1又は2記載のPWMインバータ制御方法。

5

4. PWMインバータ制御方法において、前記スイッチ回数の上限値を、PWMインバータの発熱をある設定値以下となるように設定することを特徴とする請求項1又は2記載のPWMインバータ制御方法。

10

5. PWMインバータ制御方法において、設定するスイッチ回数の周波数成分が、出力側に接続されるモータの共振周波数と等しくならないように、その周波数をスキップすることを特徴とする請求項1～4のいずれか1項記載のPWMインバータ制御方法。

図 1

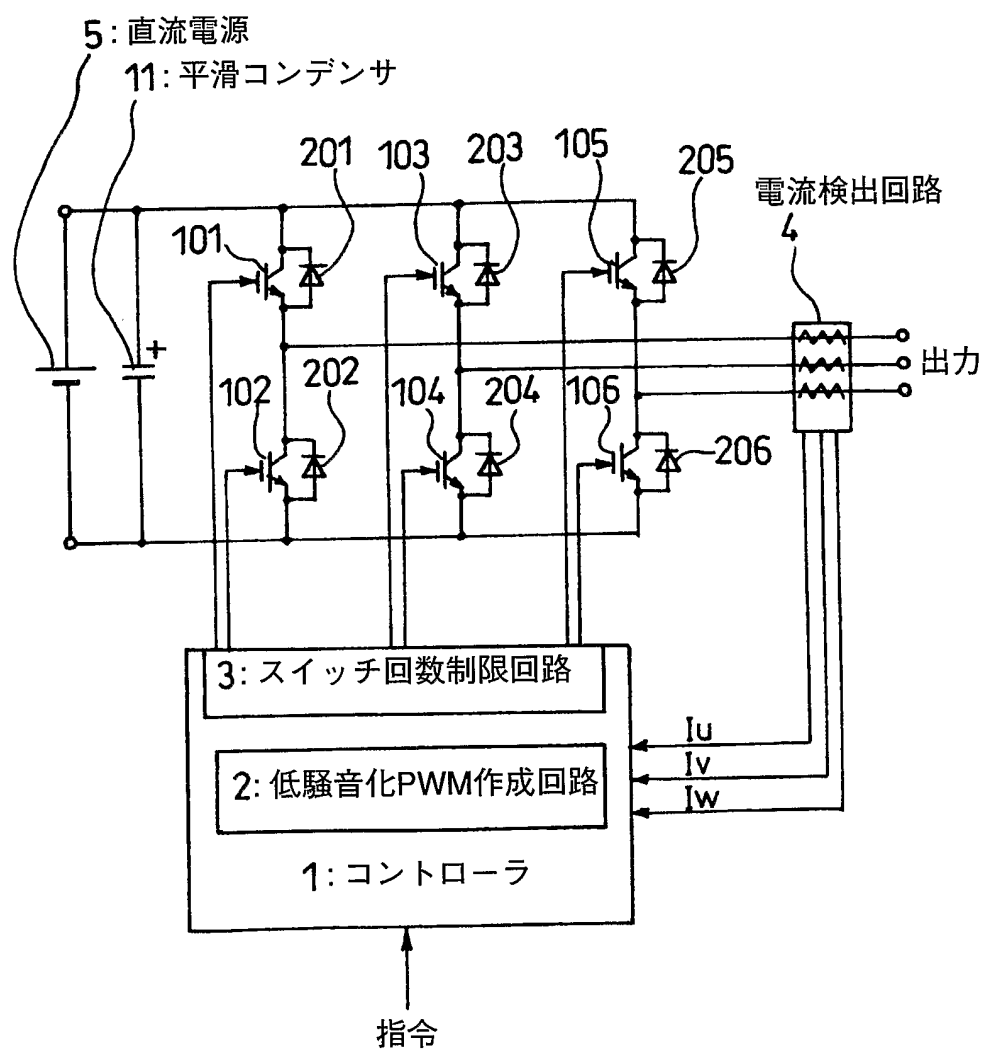


図 2

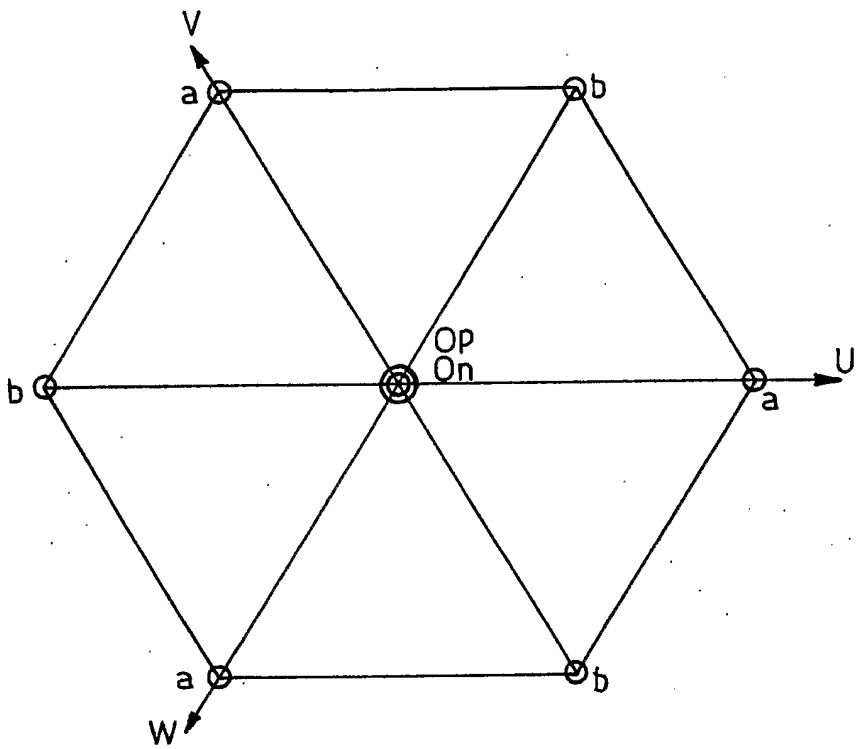


図 3

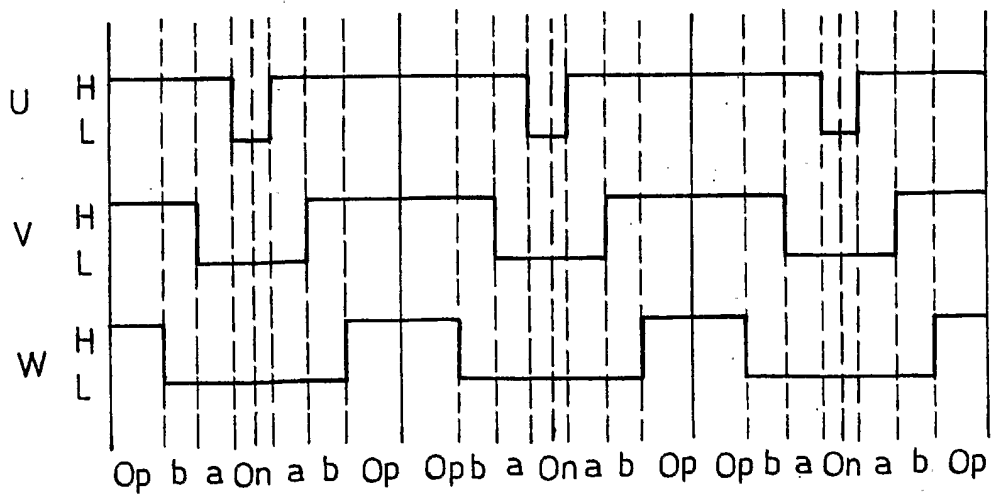


図 4

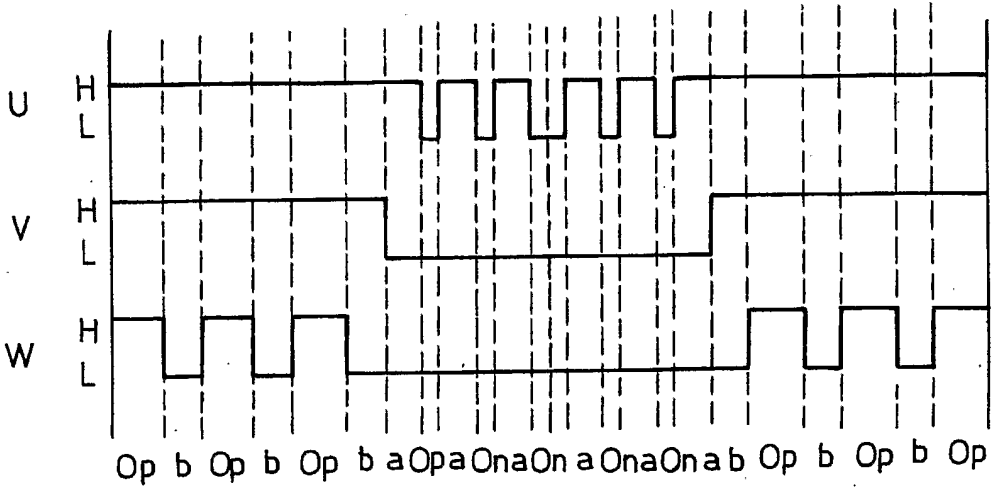


図 5

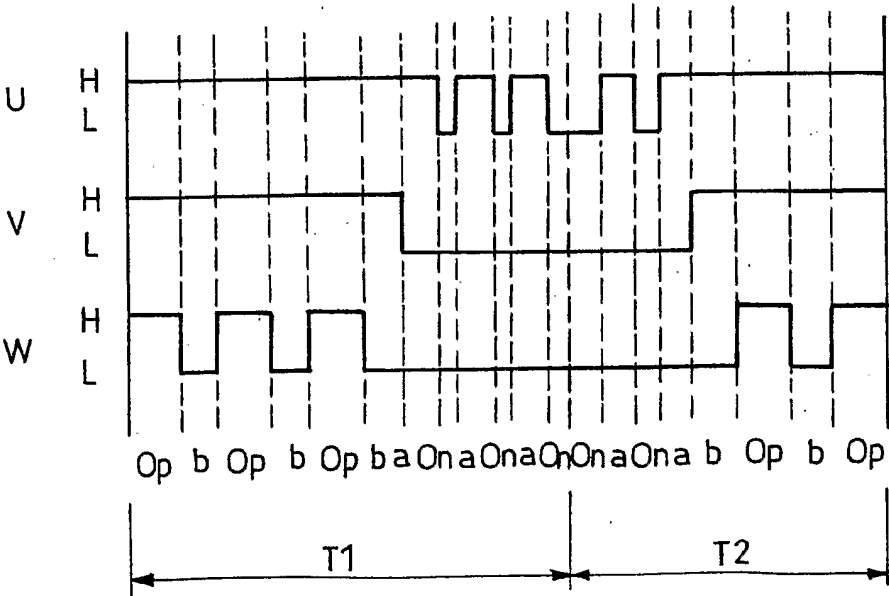


図 6

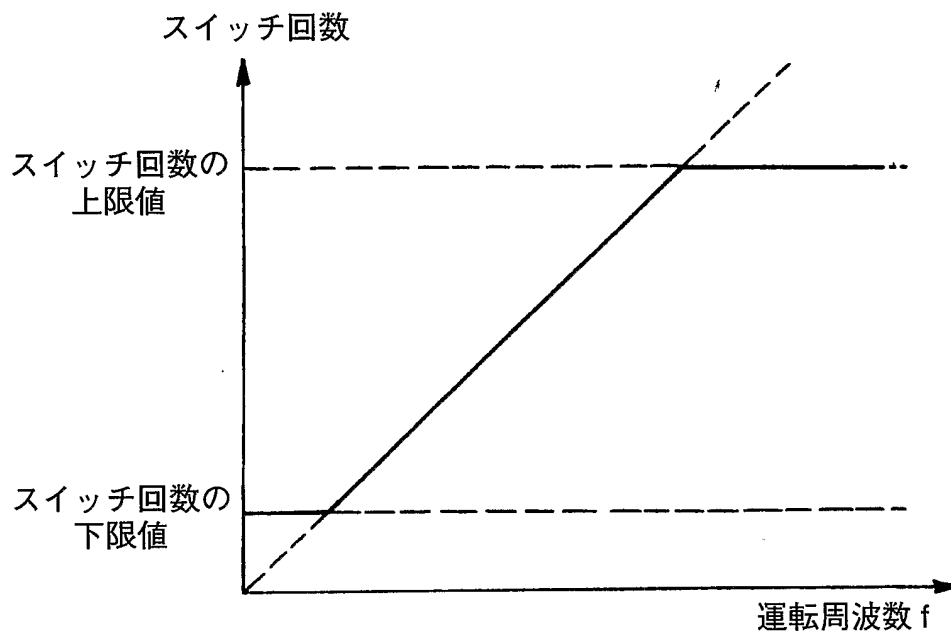


図 7

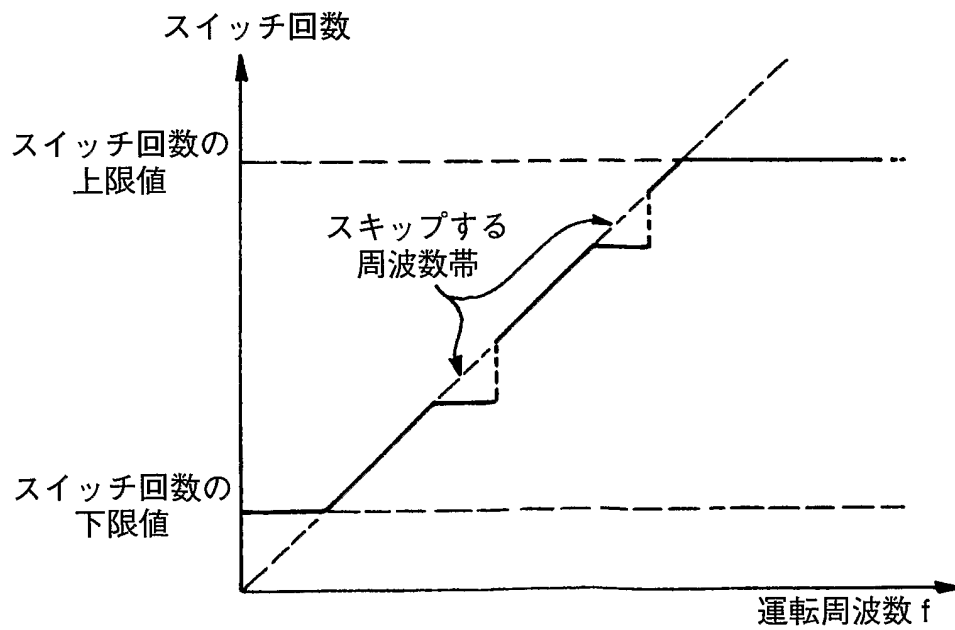


図 8

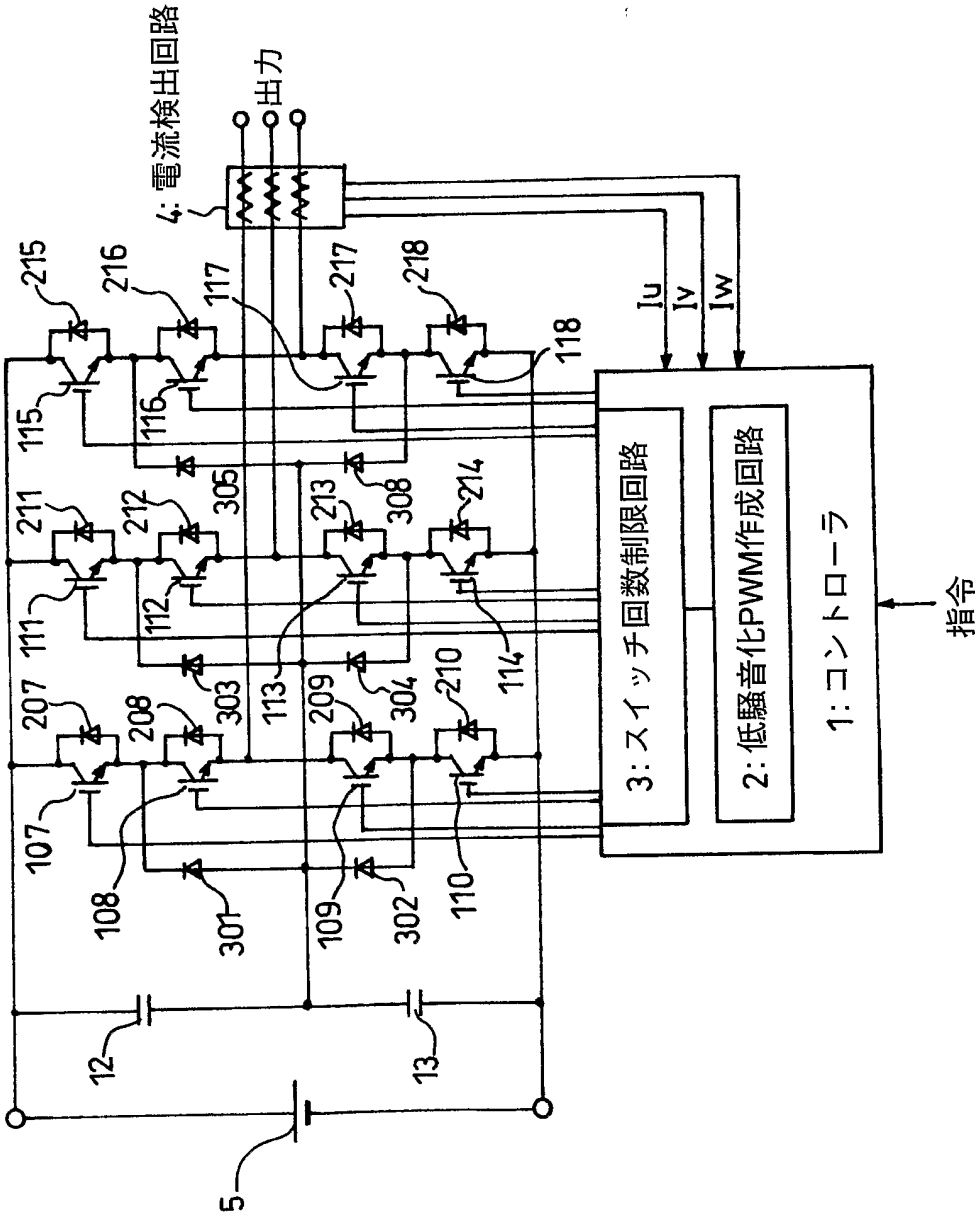


図 9

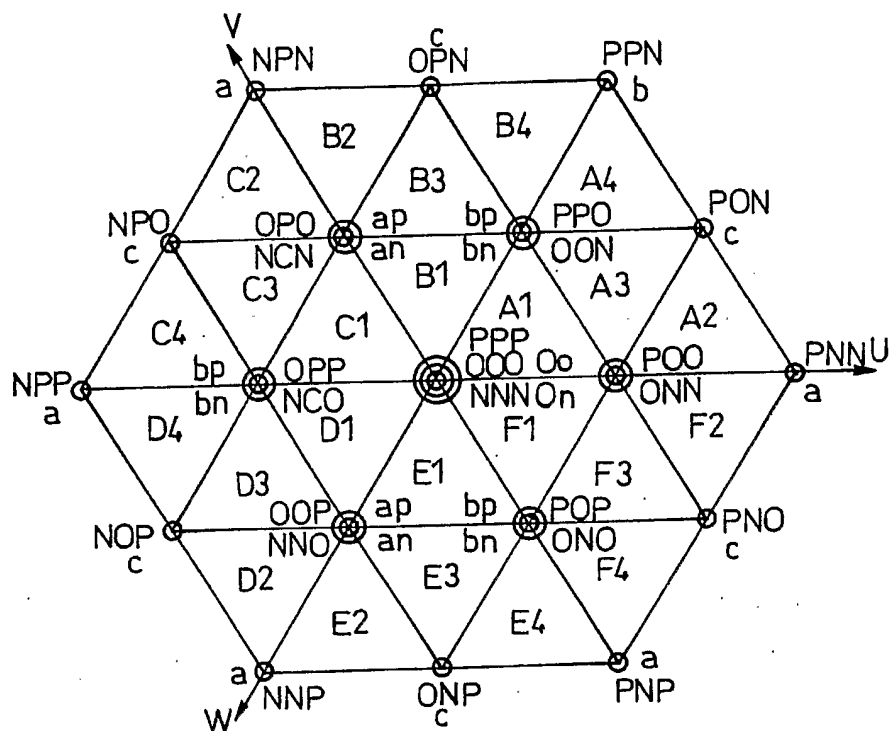


図 10

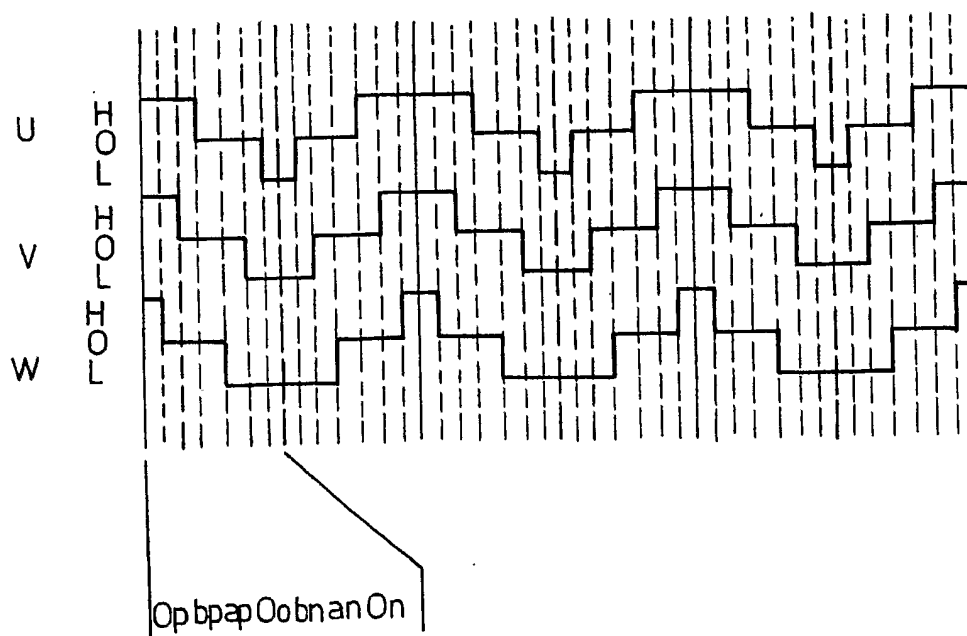


図 11

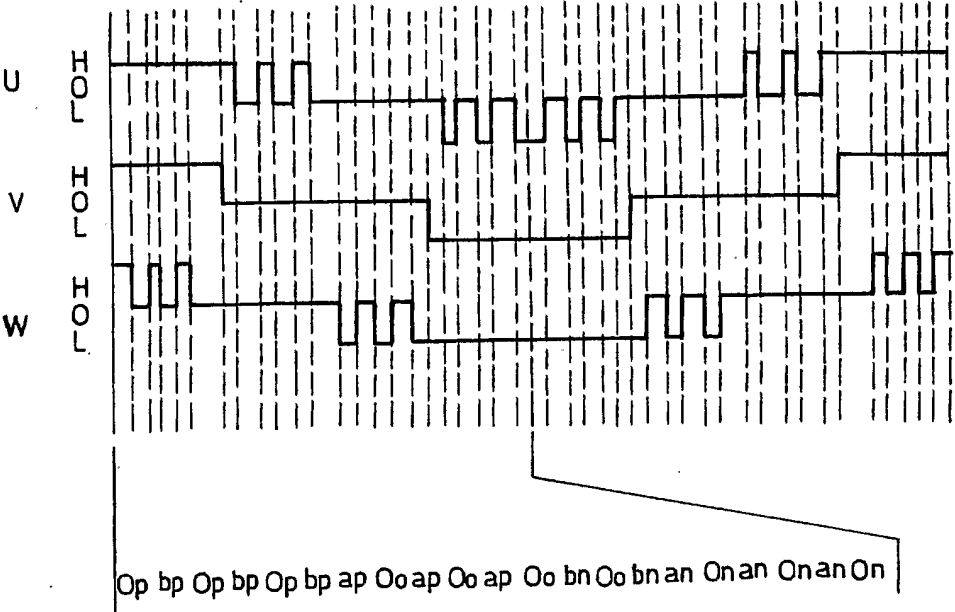


図 12

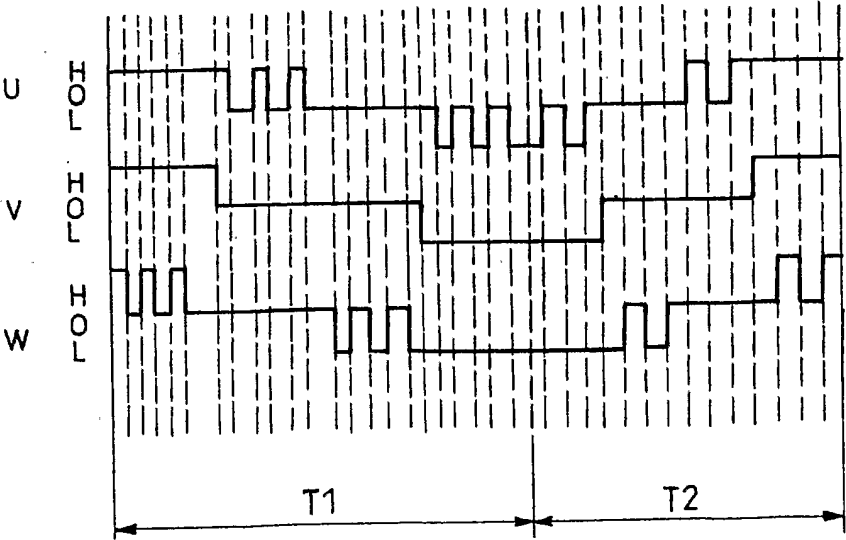
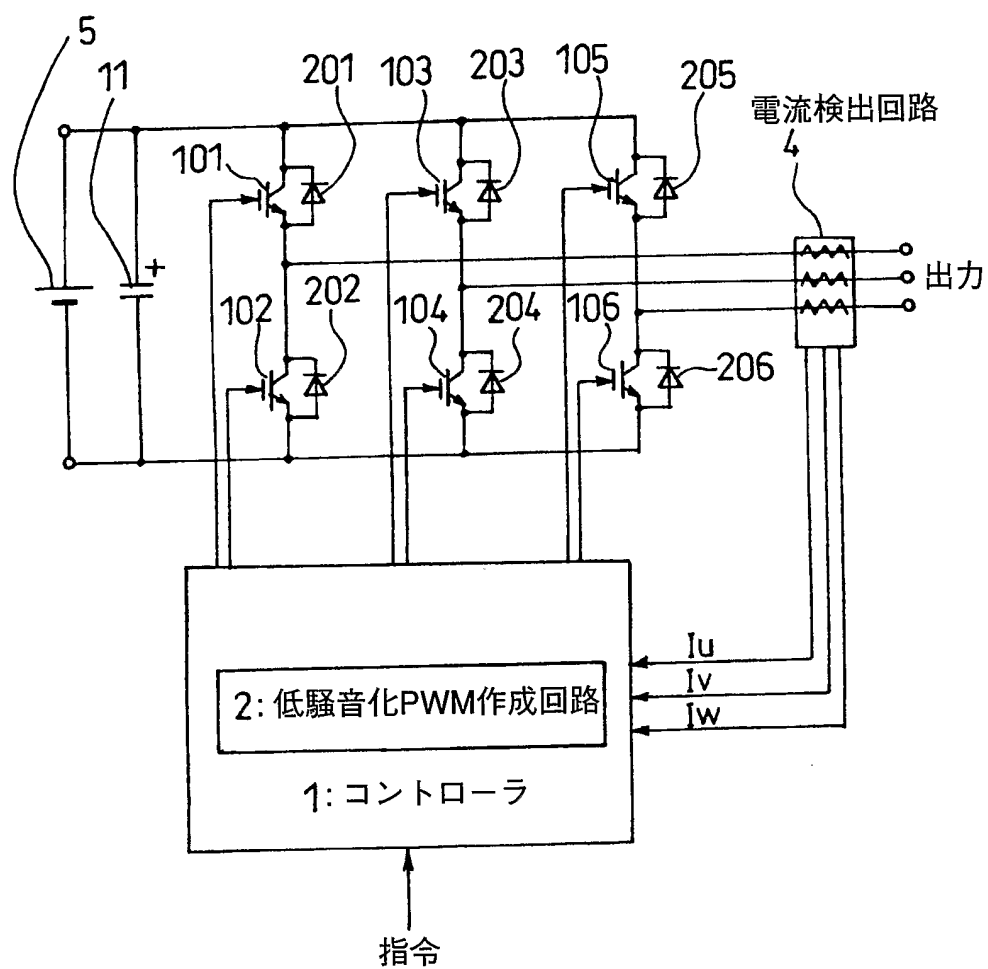


図 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/06538

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H02M7/48

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-18488 A (Mitsubishi Electric Corp.), 22 January, 1999 (22.01.99), (Family: none)	1-5
A	JP 9-56195 A (Denso Corp.), 25 February, 1997 (25.02.97), & US 5798628 A	1-5
A	JP 9-182452 A (Mitsubishi Electric Corp.), 11 July, 1997 (11.07.97), & US 6088246 A	1-5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 August, 2003 (26.08.03)	Date of mailing of the international search report 09 September, 2003 (09.09.03)
---	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H02M 7/48

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H02M 7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 11-18488 A (三菱電機株式会社) 1999. 0 1. 22 (ファミリーなし)	1-5
A	J P 9-56195 A (株式会社デンソー) 1997. 02. 25& US 5798628 A	1-5
A	J P 9-182452 A (三菱電機株式会社) 1997. 0 7. 11& US 6088246 A	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 08. 03

国際調査報告の発送日

09.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

尾家 英樹

3 V

9335

電話番号 03-3581-1101 内線 3356