

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-266946

(P2009-266946A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 B 1 2 5
HO 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 1 1 F	5 F 0 8 3
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 2 2 E	5 F 1 0 1
G 1 1 C 16/02 (2006.01)	HO 1 L 27/10 4 3 4	
G 1 1 C 16/04 (2006.01)	HO 1 L 27/10 4 7 1	

審査請求 未請求 請求項の数 5 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2008-112659 (P2008-112659)
 (22) 出願日 平成20年4月23日 (2008. 4. 23)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 三次元積層不揮発性半導体メモリ

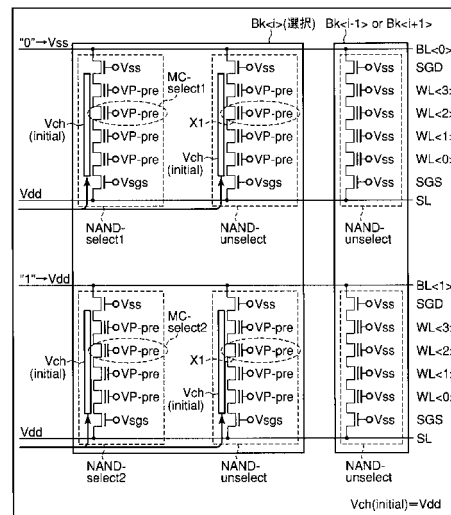
(57) 【要約】 (修正有)

【課題】 BiCSメモリのプログラムディスタープを改善する三次元積層不揮発性半導体メモリを提供する。

【解決手段】 三次元積層不揮発性半導体メモリは、第一及び第二ブロック $BK < i >$, $BK < i + 1 >$ から構成されるメモリセルアレイを備える。第一ブロックは、プログラム対象となるメモリセルを含む第一セルユニット及びプログラム対象となるメモリセルを含まない第二セルユニットを有し、第一及び第二セルユニット内のメモリセルのチャンネルの初期電位をプラス電位にした状態で第一ブロック内のワード線 $WL < 0 >$, $WL < 1 >$, $WL < 2 >$, $WL < 3 >$ にプログラム電位 V_{pgm} 又は転送電位 V_{pass} を与えてプログラミングを実行する。プログラミング時に、第二ブロック内のワード線 $WL < 0 >$, $WL < 1 >$, $WL < 2 >$, $WL < 3 >$ にプログラム電位 V_{pgm} 及び転送電位 V_{pass} が印加されない。

【選択図】 図 2 7

図 27



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置される第一ドライバとを具備し、

前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる 3 以上の導電層と、前記 3 以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記 3 以上の導電層を突き抜ける複数の半導体柱とから構成され、

前記 3 以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記 3 以上の導電層のうち最下層は、第二セレクトゲート線であり、前記 3 以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線であり、

前記 3 以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有し、

前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートトランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成され、

前記第一ブロックは、プログラム対象となるメモリセルを含む選択された第一セルユニット及びプログラム対象となるメモリセルを含まない非選択の第二セルユニットを有し、前記第一及び第二セルユニット内のメモリセルのチャンネルの初期電位をプラス電位にした状態で前記第一ブロック内の前記ワード線にプログラム電位又はそれよりも低い転送電位を印加して前記プログラム対象となるメモリセルに対するプログラミングを実行し、

前記プログラミング時に、前記第二ブロック内の前記ワード線には前記プログラム電位及び前記転送電位が印加されない

ことを特徴とする三次元積層不揮発性半導体メモリ。

【請求項 2】

前記半導体基板内には、ソース拡散層が配置され、前記プラス電位は、前記ソース拡散層から前記第一及び第二セルユニット内のメモリセルのチャンネルに転送されることを特徴とする請求項 1 に記載の三次元積層不揮発性半導体メモリ。

【請求項 3】

前記第二セルユニット内のメモリセルのチャンネルは、前記プログラム電位又は前記転送電位が与えられると、前記初期電位からそれよりも高い電位にブーストされることを特徴とする請求項 1 又は 2 に記載の三次元積層不揮発性半導体メモリ。

【請求項 4】

前記プログラミングが前記プログラム対象となるメモリセルの閾値電圧の上昇を禁止するプログラミングである場合には、前記第一セルユニット内のメモリセルのチャンネルは、前記プログラム電位又は前記転送電位が与えられると、前記初期電位からそれよりも高い電位にブーストされることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の三次元積層不揮発性半導体メモリ。

【請求項 5】

前記プログラミングが前記プログラム対象となるメモリセルの閾値電圧の上昇を許可するプログラミングである場合には、前記第一セルユニット内のメモリセルのチャンネルは、前記プログラム電位又は前記転送電位が与えられる前に前記初期電位から接地電位に変更されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の三次元積層不揮発性半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三次元積層不揮発性半導体メモリ(3D-stacked nonvolatile semiconductor

10

20

30

40

50

memory)に関する。

【背景技術】

【0002】

三次元構造により大容量化を図りビットコストを抑える技術としてBiCS (Bit Cost Scalable)技術が知られている(例えば、非特許文献1を参照)。

【0003】

BiCS技術が適用された不揮発性半導体メモリ(以下、BiCSメモリ)は、単なる三次元構造ではなく、デバイス構造及びプロセス技術の工夫により、積層数(number of stacked layers)の増加に比例してビットコストが低減するビットコストスケラビリティを可能にすることを特徴とする。

10

【0004】

例えば、BiCS技術が適用されたNAND型フラッシュメモリ(以下、BiCS-NANDフラッシュメモリ)の場合には、積層数の増加によりNAND列を構成するセル数を縦方向に増やすことで、二次元構造のNAND型フラッシュメモリのメモリ容量の限界を大幅に上回るメモリ容量を実現する。

【0005】

しかし、BiCS-NANDフラッシュメモリを代表とするBiCSメモリは、独特なデバイス構造を有するため、それを実用化するために解決しなければならない課題も多い。

【0006】

その一つに、プログラムディスタ urb(program disturb)がある。

20

【0007】

BiCSメモリは、1本のビット線に接続される1ブロック内のセルユニット数が複数個になる、という特徴を有する。また、回路動作上から、これら複数個のセルユニットを同時に選択することはできない。このため、選択されたブロック内には、プログラム対象となるメモリセルを含まない非選択のセルユニットが存在することになる。

【0008】

これは、二次元構造のフラッシュメモリには起こり得なかったことである。

【0009】

従って、プログラミング時には、選択されたブロック内の非選択のセルユニット内のメモリセルに閾値電圧の変動が生じないように、プログラムディスタ urbについて検討する必要がある。

30

【0010】

特に、BiCSメモリでは、二次元構造のフラッシュメモリとは異なり、非選択のブロック内のセルユニットにはプログラム電位を与えなくて済むため、非選択のブロック内のセルユニットに対するプログラムディスタ urbについては検討不要であるが、選択されたブロック内の非選択のセルユニットにプログラム電位が与えられるため、その非選択のセルユニットに対してプログラムディスタ urbが発生する特殊性を持つ。

【非特許文献1】“Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory” 2007 Symposium on VLSI Technology Digest of Technical Papers.p14

40

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は、BiCS技術が適用された三次元積層不揮発性半導体メモリのプログラムディスタ urbを改善する技術について提案する。

【課題を解決するための手段】

【0012】

本発明の例に係る三次元積層不揮発性半導体メモリは、半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置される

50

第一ドライバとを備える。前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、前記3以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記3以上の導電層を突き抜ける複数の半導体柱とから構成される。前記3以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記3以上の導電層のうち最下層は、第二セレクトゲート線であり、前記3以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線である。前記3以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有する。前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートトランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成される。前記第一ブロックは、プログラム対象となるメモリセルを含む選択された第一セルユニット及びプログラム対象となるメモリセルを含まない非選択の第二セルユニットを有し、前記第一及び第二セルユニット内のメモリセルのチャンネルの初期電位をプラス電位にした状態で前記第一ブロック内の前記ワード線にプログラム電位又はそれよりも低い転送電位を与えて前記プログラム対象となるメモリセルに対するプログラミングを実行する。また、前記プログラミング時に、前記第二ブロック内の前記ワード線には前記プログラム電位及び前記転送電位が印加されない。

【発明の効果】

【0013】

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのプログラムディスタープを改善することができる。

【発明を実施するための最良の形態】

【0014】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0015】

1. 概要

本発明の例では、BiCSメモリ特有の構造に起因するプログラムディスタープ、即ち、選択されたブロック内の非選択のセルユニット内のメモリセルの閾値変動を防止するためのプログラミング手法について提案する。

【0016】

BiCSメモリの特徴を回路的に一言でいうと、1本のビット線に接続される1ブロック内のセルユニット数が複数個である、ということになる。この場合、プログラミング時には、選択されたブロック内には、プログラム対象となるメモリセルを含まない非選択のセルユニットが存在することになる。

【0017】

また、BiCSメモリでは、非選択のブロック内のセルユニットにプログラム電位が与えられないが、選択されたブロック内の非選択のセルユニットにプログラム電位が与えられるため、その非選択のセルユニットに対するプログラムディスタープ（閾値変動）を防止することが必要になる。

【0018】

そこで、本発明の例では、選択されたブロック内の非選択のセルユニット内のメモリセルのチャンネルの初期電位を、プログラムディスタープを改善し得るプラス電位にすることを提案する。

【0019】

選択されたブロック内の非選択のセルユニット内のメモリセルのチャンネルの初期電位をプラス電位にすることで、選択されたブロック内のワード線にプログラム電位又はそれよりも低い転送電位を与えたときに、容量カップリングによりそのチャンネル電位を十分に上

昇させることができるため、プログラムディスタープが改善する。

【0020】

また、BiCSメモリは、複数のブロックに共通のソース拡散層が半導体基板内に形成されるという構造的特徴を有する。このため、そのソース拡散層から選択されたブロック内のセルユニット内のメモリセルのチャンネルに、プログラミング時の初期電位としてのプラス電位を与えることができる。

【0021】

これは、ビット線をプログラムデータに応じた電位にする期間中に、ソース拡散層からチャンネルの初期電位の設定を行うことができることを意味する。

【0022】

即ち、ビット線の容量は大きいいため、ビット線の充放電には長い時間を要する。しかし、このプロセスを省略することはできない。ソース拡散層からメモリセルのチャンネルにプラス電位を与えれば、この動作を、ビット線をプログラムデータに応じた電位にする動作と並行して行うことができるため、新たなタイムペナルティが発生することもない。

【0023】

2. BiCSメモリ

(1) 基本構造

まず、BiCSメモリの基本構造について説明する。

【0024】

図1は、BiCS-NANDフラッシュメモリの鳥瞰図を示している。

【0025】

NANDフラッシュメモリは、例えば、各々が消去の一単位となる複数のブロックから構成される。ここでは、二つのブロックBK<i>、BK<i+1>について図示する。

【0026】

半導体基板内に形成されるソース拡散層24は、例えば、全てのブロックに共通に1つ設けられる。ソース拡散層24は、コンタクトプラグ P_{SL} を介して、ソース線SL・M1に接続される。また、ソース拡散層24上には、例えば、導電性ポリシリコンから構成される3以上の導電層が積層される（本例では6層構造）。

【0027】

最上層を除く残りの5つの導電層は、1つのブロックBK<i+1>内でそれぞれプレート状に形成され、かつ、そのX方向の端部は、各々の導電層にコンタクトをとるために階段状に形成される。最下層は、ソース線側セレクトゲート線SGSとなり、最下層及び最上層を除く残りの4つの導電層は、ワード線WL<0>、WL<1>、WL<2>、WL<3>となる。

【0028】

最上層は、X方向に延びるライン状の複数の導電線から構成される。1つのブロックBK<i+1>内には、例えば、6本の導電線が配置される。最上層の例えば6本の導電線は、ビット線側セレクトゲート線SGD<0>、...SGD<5>となる。

【0029】

そして、NANDセルユニットを構成するための複数の活性層（アクティブエリア）AAは、複数の導電層を突き抜けてソース拡散層24に達するように、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成される。

【0030】

複数の活性層AAの上端は、Y方向に延びる複数のビット線BL<0>、...BL<m>に接続される。また、ソース線側セレクトゲート線SGSは、コンタクトプラグ P_{SGS} を介して、X方向に延びる引き出し線SGS・M1に接続され、ワード線WL<0>、WL<1>、WL<2>、WL<3>は、それぞれ、コンタクトプラグを $P_{WL<0>}$ 、 $P_{WL<1>}$ 、 $P_{WL<2>}$ 、 $P_{WL<3>}$ を介して、X方向に延びる引き出し線WL<0>・M1、WL<1>・M1、WL<2>・M1、WL<3>・M1に接続される。

【0031】

さらに、ビット線側セレクトゲート線SGD<0>、...SGD<5>は、それぞれ、コンタクトプラグ $P_{SGD<0>}$ 、... $P_{SGD<5>}$ を介して、X方向に延びる引き出し線SGD<0>・M1、...SGD<5>・M1に

10

20

30

40

50

接続される。

【 0 0 3 2 】

複数のビット線BL<0>, ...BL<m>及び引き出し線SGS・M1, WL<0>・M1, WL<1>・M1, WL<2>・M1, WL<3>・M1, SGD<0>・M1, ...SGD<5>・M1は、例えば、金属から構成される。

【 0 0 3 3 】

図 2 は、図 1 のBiCS-NANDフラッシュメモリの平面図を示している。

【 0 0 3 4 】

柱状の複数の活性層AAは、半導体基板の上面から見た場合にアレイ状に配置され、メモリセルアレイ 1 5 を構成する。NANDセルユニットは、複数の活性層AAの各々に形成されるが、その詳細については後述する。

10

【 0 0 3 5 】

WLドライバ11-i, 11-(i+1)は、引き出し線WL<0>・M1, WL<1>・M1, WL<2>・M1, WL<3>・M1を介してワード線WL<0>, WL<1>, WL<2>, WL<3>に接続され、これらを書き込み/読み出し/消去時に駆動する。

【 0 0 3 6 】

SGSドライバ12-i, 12-(i+1)は、引き出し線SGS・M1を介してソース線側セレクトゲート線SGSに接続される。SGDドライバ13は、引き出し線SGD<0>・M1, ...SGD<5>・M1を介してビット線側セレクトゲート線SGD<0>, ...SGD<5>に接続される。

【 0 0 3 7 】

SLドライバ14は、ソース線SL・M1を介してソース拡散層24に接続される。

20

【 0 0 3 8 】

このレイアウトでは、周辺回路としてのドライバを構成するトランジスタ数の増加を考慮して、WLドライバ11-i, 11-(i+1)及びSGSドライバ12-i, 12-(i+1)は、メモリセルアレイ 1 5 の X 方向の一端側に配置され、SGDドライバ13は、メモリセルアレイ 1 5 の X 方向の他端側に配置される。

【 0 0 3 9 】

図 3 は、図 2 のIII-III線に沿う断面図である。

【 0 0 4 0 】

P型半導体基板(P-sub)21内には、N型ウェル領域(N-well)22及びP型ウェル領域(P-well)23が形成される。ソース拡散層24は、N型拡散層であり、P型ウェル領域23内に形成される。

30

【 0 0 4 1 】

P型半導体基板21内には、Nチャネル型FET(例えば、Nチャネル型MOSFET)25が形成され、N型ウェル領域22内には、Pチャネル型FET(例えば、Pチャネル型MOSFET)26が形成される。これらトランジスタは、メモリセルアレイの周辺部に形成される周辺回路(例えば、ドライバ)を構成する。

【 0 0 4 2 】

ソース線側セレクトゲート線SGS及びワード線WL<0>, WL<1>, WL<2>, WL<3>は、第一メタル層M1内の引き出し線及び第一メタル層M1上の第二メタル層M2内の引き出し線を介して、ドライバを構成するトランジスタに接続される。

40

【 0 0 4 3 】

ワード線WL<3>を例にとると、ワード線WL<3>は、第一メタル層M1内の引き出し線WL<3>・M1及び第一メタル層M1上の第二メタル層M2内の引き出し線WL<3>・M2を介して、ワード線ドライバを構成するNチャネル型FET 25に接続される。

【 0 0 4 4 】

ここで、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、例えば、ソース線側セレクトゲート線SGSと同時に形成される。

【 0 0 4 5 】

即ち、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、ソース線側セレクトゲート線SGSと同じ構造及び同じ厚さを有する。

50

【 0 0 4 6 】

図 4 は、図 2 の IV-IV 線に沿う断面図である。

【 0 0 4 7 】

複数の活性層（アクティブエリア）AAは、ソース線側セレクトゲート線SGS、ワード線WL<0>, WL<1>, WL<2>, WL<3>及びビット線側セレクトゲート線SGD<0>, ...SGD<5>を突き抜けて、その一端（最下部）がソース拡散層24に接続され、その他端（最上部）がビット線BL<0>に接続される。

【 0 0 4 8 】

複数の活性層AAは、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成され、NANDセルユニット NANDは、複数の活性層AAの各々に形成される。

10

【 0 0 4 9 】

NANDセルユニット NANDの構造例を図 5 に示す。

【 0 0 5 0 】

メモリセルMCは、MONOS構造を有する。

【 0 0 5 1 】

MONOS構造とは、電荷蓄積層が窒化物(nitride)などの絶縁体から構成されるメモリセル構造のことである。ここでは、電荷蓄積層は、多層構造(Charge trap layers)とし、ONO(oxide/nitride/oxide)の例を挙げる。

【 0 0 5 2 】

セレクトゲートトランジスタSTは、例えば、メモリセルMCと同一構造を有する。

20

【 0 0 5 3 】

但し、セレクトゲートトランジスタSTのゲート絶縁膜については、メモリセルMCと異なる構造、即ち、電荷蓄積層を有しない構造（例えば、シリコン酸化膜の単一膜）としてもよい。

【 0 0 5 4 】

NANDセルユニットの鳥瞰図を図 6 に示す。

【 0 0 5 5 】

三次元構造のNANDセルユニットの特徴の一つは、ソース線側セレクトゲート線SGS、ワード線WL<0>, WL<1>, WL<2>, WL<3>及びビット線側セレクトゲート線SGD<0>, ...SGD<5>が、柱状の活性層AAの側面を取り囲む構造を有している点にある。

30

【 0 0 5 6 】

このため、例えば、複数の活性層AAを細くして、半導体基板上により多くの活性層AAを形成し、大容量化を図っても、NANDセルユニットを構成するトランジスタの駆動力を十分に確保できることにある。

【 0 0 5 7 】

図 7 は、メモリセルアレイの等価回路を示している。

【 0 0 5 8 】

BiCS-NANDフラッシュメモリは、三次元構造を有するため、これに合わせて、等価回路も三次元的に記載している。

【 0 0 5 9 】

40

NAND列を構成するメモリセルの数は、多ければ多いほど大容量化に貢献できるが、BiCS構造の特質から、NAND列を構成するメモリセルの数が多くなるに従い、製造プロセス上、メモリセルの特性にばらつきが生じる可能性がある。

【 0 0 6 0 】

このような特性のばらつきを考慮する場合、NAND列を構成するメモリセルの数を少なめ（例えば、4個、8個など）とする。また、図 7 の等価回路で示される構造の上に、さらに同じ構造を積み重ねてもよい。

【 0 0 6 1 】

図 8 は、BiCS-NANDと二次元NANDとを比較して示す図である。

【 0 0 6 2 】

50

二次元構造のNAND型フラッシュメモリ(二次元NAND)では、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が1個であるのに対し、BiCS-NANDでは、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が複数個である。

【0063】

従って、以下で説明するように、書き込み動作及び読み出し動作においては、1本のビット線BLに接続される1ブロック内の複数個のセルユニットのうちの1つをビット線側セレクトゲート線SGD<0>, ...SGD<5>により選択する。

【0064】

(2) 基本動作

図1乃至図8のBiCS-NANDフラッシュメモリの基本動作について説明する。

10

【0065】

書き込み/読み出し/消去の基本動作は、二次元構造のNAND型フラッシュメモリと同じであるため、ここでは、BiCS-NANDフラッシュメモリに特有な事項について説明する。

【0066】

BiCS-NANDフラッシュメモリは、1ブロックの概念が二次元構造のNAND型フラッシュメモリと異なる。

【0067】

二次元構造のNAND型フラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は1個であるが、BiCS-NANDフラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は複数個である。

20

【0068】

例えば、図2の平面図において、ビット線BL<0>に接続されるブロックBK<i+1>内のNANDセルユニットの数(図中、活性層AAの数に相当)は、6個である。

【0069】

従って、書き込み動作及び読み出し動作においては、ビット線BL<0>に接続されるブロックBK<i+1>内の6個のNANDセルユニットのうちの1つを選択する必要がある。

【0070】

この選択は、ビット線側セレクトゲート線SGD<0>, ...SGD<5>により行う。ビット線側セレクトゲート線SGD<0>, ...SGD<5>は、ブロックBK<i+1>内のY方向の6個のNANDセルユニットに個別に接続される。

30

【0071】

消去動作は、二次元構造のNAND型フラッシュメモリと同様に、例えば、1ブロック内の全てのメモリセルに対して一括して行われる。

【0072】

BiCS-NANDフラッシュメモリは、1つのメモリセルに2値データを記憶する2値メモリ、及び、1つのメモリセルに3値以上の多値データを記憶する多値メモリの両方に適用可能である。

【0073】

3. 実施形態

本発明の実施形態について説明する。

40

【0074】

(1) ブロックレイアウト

図9は、BiCSメモリのブロックレイアウトの第一例を示している。

【0075】

このブロックレイアウトは、例えば、図1のBiCS-NANDフラッシュメモリに対応し、ビット線側セレクトゲート線ドライバをメモリセルアレイの一端に配置し、ワード線ドライバ及びソース線側セレクトゲート線ドライバをメモリセルアレイの他端に配置した点に特徴を有する。

【0076】

メモリセルアレイ31のX方向の一端(左側)には、ドライバ33L、レベルシフタ34L及び

50

アドレスデコーダ35Lが配置される。ドライバ33Lは、ビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0077】

メモリセルアレイ31のX方向の他端（右側）には、ドライバ33R、レベルシフタ34R及びアドレスデコーダ35Rが配置される。ドライバ33Rは、ワード線WL及びソース線側セレクトゲート線SGSを駆動するドライバであり、転送トランジスタを含む。

【0078】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, ...BL<m>が配置され、ビット線BL<0>, ...BL<m>は、センスアンプ32に接続される。

10

【0079】

このブロックレイアウトは、図1のBiCS-NANDフラッシュメモリに対応するため、ブロックBK<0>, BL<1>, ...BK<n>内にそれぞれ複数本のビット線側セレクトゲート線SGDが配置される。即ち、ビット線側セレクトゲート線SGDを駆動するドライバの面積が大きくなるため、メモリセルアレイ32の他端に配置されるワード線ドライバ及びソース線側セレクトゲート線ドライバとは別に、メモリセルアレイ32の一端にビット線側セレクトゲート線ドライバを配置する。

【0080】

図10は、BiCSメモリのブロックレイアウトの第二例を示している。

【0081】

第二例の特徴は、第一例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を、まとめて、メモリセルアレイ31の一端に配置した点にある。

20

【0082】

メモリセルアレイ31のX方向の一端（左側）には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0083】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, ...BL<m>が配置され、ビット線BL<0>, ...BL<m>は、センスアンプ32に接続される。

30

【0084】

このように、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33をまとめることで、アドレスデコーダ34及びレベルシフタ35も一つにまとめることができ、周辺回路を効率的にレイアウトすることが可能になる。

【0085】

しかし、このブロックレイアウトでは、メモリセルアレイ31が巨大化され、さらに、メモリセルの微細化により、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDが狭ピッチ化されると、寄生容量による信号遅延が問題となる。

40

【0086】

特に、BiCSメモリでは、ワード線WL及びソース線側セレクトゲート線SGSがプレート状に形成される。このため、これら導電線間の寄生容量が大きく、カップリングノイズの原因となる。

【0087】

図11は、BiCSメモリのブロックレイアウトの第三例を示している。

【0088】

第三例の特徴は、第二例と比べると、二つのメモリセルアレイ31L, 31Rを設けた点に特徴を有する。二つのメモリセルアレイ31L, 31Rを設けることで、各メモリセルアレイ内の

50

ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを短くできるため、信号遅延及びカップリングノイズを抑制できる。

【0089】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33L, 33R、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33L, 33Rは、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0090】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, ...BL<m>が配置され、ビット線BL<0>, ...BL<m>は、センスアンプ32L, 32Rに接続される。

10

【0091】

このブロックレイアウトでは、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化されるが、ドライバ33Lは、メモリセルアレイ31Lに対応して設けられ、ドライバ33Rは、メモリセルアレイ31Rに対応して設けられる。

【0092】

このように、二つのメモリセルアレイ31L, 31Rでドライバ33L, 33Rを共有化できない理由は、これらドライバを構成するトランジスタの数が多いため、共有化すると、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑になるからである。即ち、メモリセルアレイごとにドライバを設ければ、二つのメモリセルアレイでドライバを共有する場合よりも配線レイアウトが簡略化される。

20

【0093】

図12は、BiCSメモリのブロックレイアウトの第四例を示している。

【0094】

第四例の特徴は、第三例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を二つのメモリセルアレイ31L, 31Rで共有化した点に特徴を有する。

【0095】

このドライバ33の共有化は、ドライバ33の面積、即ち、ドライバ33を構成するトランジスタ数を削減することにより実現される。トランジスタ数が削減されれば、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑化しないからである。ドライバ33を構成するトランジスタ数の削減は、本発明に係わるビット線側セレクトゲート線のレイアウトにより達成されるが、それについては後述し、ここでは、ブロックレイアウトについてのみ説明する。

30

【0096】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0097】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, ...BL<m>が配置され、ビット線BL<0>, ...BL<m>は、センスアンプ32L, 32Rに接続される。

40

【0098】

このブロックレイアウトでは、ドライバ33、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化される。

【0099】

尚、配線レイアウトの複雑化なく、ドライバ33を二つのメモリセルアレイ31L, 31Rで共有化できれば、第一例乃至第四例のなかで、この第四例のブロックレイアウトが最も好ましいブロックレイアウトとなる。

50

【 0 1 0 0 】

(2) ビット線側セレクトゲート線のレイアウト

図 1 3 は、ビット線側セレクトゲート線のレイアウトの第一例を示している。図 1 4 は、図 1 3 をデバイス化した場合の平面レイアウトを示している。

【 0 1 0 1 】

第一例は、図 9 のブロックレイアウトに対応する。即ち、ビット線側セレクトゲート線 SGD<0>, ...SGD<5> に接続されるドライバ 33L は、メモリセルアレイ 31 の X 方向の一端（左側）に配置され、かつ、ワード線 WL<0>, ...WL<3> 及びソース線側セレクトゲート線 SGS に接続されるドライバ 33R とは独立に設けられる。

【 0 1 0 2 】

二つのブロック BK<i>, BK<i+1> は、それぞれ、半導体基板上に互いに絶縁されてスタックされる 3 以上の導電層と、3 以上の導電層上にこれらとは絶縁されて配置されるビット線 BL<0>, ...BL<m> と、下端が半導体基板に接続され、上端がビット線 BL<0>, ...BL<m> に接続され、3 以上の導電層を突き抜ける複数の活性層（半導体柱）AA とから構成される。

【 0 1 0 3 】

3 以上の導電層のうち最上層は、複数のビット線側セレクトゲート線 SGD<0>, ...SGD<5> から構成され、3 以上の導電層のうち最下層は、ソース線側セレクトゲート線 SGS であり、3 以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線 WL<0>, ...WL<3> である。

【 0 1 0 4 】

本例では、1 つのブロック内のビット線側セレクトゲート線 SGD<0>, ...SGD<5> の数が 6 本、ワード線 WL<0>, ...WL<3> の数が 4 本であるが、これに限られることはない。即ち、1 つのブロック内のビット線側セレクトゲート線の数については、1 本以上、ワード線の数についても、1 本以上であればよい。

【 0 1 0 5 】

また、3 以上の導電層のうち最上層を除く残りの導電層は、Y 方向の幅がビット線側セレクトゲート線 SGD<0>, ...SGD<5> の Y 方向の幅よりも広いプレート状を有する。

【 0 1 0 6 】

そして、ビット線側セレクトゲート線 SGD<0>, ...SGD<5> と活性層 AA とによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線 SGS と活性層 AA とによりソース線側セレクトゲートトランジスタが構成される。また、ワード線 WL<0>, ...WL<3> と活性層 AA とによりメモリセルが構成される。

【 0 1 0 7 】

また、メモリセルアレイ 31 とドライバ 33L との間の領域は、両者を接続するための引き出し線（導電線）SGD<0>・M1, ...SGD<5>・M1 が配置される引き出し部 36L となる。同様に、メモリセルアレイ 31 とドライバ 33R との間の領域は、両者を接続するための引き出し線（導電線）WL<0>・M1, ...WL<3>・M1, SGS・M1 が配置される引き出し部 36R となる。

【 0 1 0 8 】

ここで、ブロック BK<i> 内のビット線側セレクトゲート線 SGD<0>, ...SGD<5> とブロック BK<i+1> 内のビット線側セレクトゲート線 SGD<0>, ...SGD<5> とは、メモリセルアレイ 31 の X 方向の一端において一対一に共通接続されたうえでドライバ 33L に接続される。

【 0 1 0 9 】

具体的には、ブロック BK<i> 内のビット線側セレクトゲート線 SGD<0>, ...SGD<5> のうちブロック BK<i+1> 側から i (i は自然数) 番目のビット線側セレクトゲート線は、ブロック BK<i+1> 内のビット線側セレクトゲート線 SGD<0>, ...SGD<5> のうちブロック BK<i> 側から i 番目のビット線側セレクトゲート線に共通接続される。

【 0 1 1 0 】

従って、ビット線側セレクトゲート線 SGD<0>, ...SGD<5> は、全体として折り返しレイアウト (folded layout) を有する。

【 0 1 1 1 】

10

20

30

40

50

このような折り返しレイアウトは、例えば、側壁(side wall)をマスクとして下地をエッチングする側壁マスク技術(side wall masking technology)を利用することにより容易に形成できる。

【0112】

図15は、ビット線側セレクトゲート線のレイアウトの第二例を示している。図16は、図15をデバイス化した場合の平面レイアウトを示している。

【0113】

第二例は、図10乃至図12のブロックレイアウトに対応する。即ち、メモリセルアレイ31のX方向の一端(右側)に配置されるドライバ33(33L, 33R)は、ワード線WL<0>, ... WL<3>, ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGD<0>, ... SGD<5>に接続される。 10

【0114】

ここで注意しなければならない点は、図15及び図16のレイアウトがそのまま適用されるのは、図11のメモリセルアレイ31Lとドライバ33Lとの間、及び、図12のメモリセルアレイ31Lとドライバ33との間に限定されるということである。

【0115】

残りの図10のメモリセルアレイ31とドライバ33との間、図11のメモリセルアレイ31Rとドライバ33Rとの間、及び、図12のメモリセルアレイ31Rとドライバ33との間については、図15及び図16のレイアウトを左右反転させたレイアウトが適用される。 20

【0116】

二つのブロックBK<i>, BK<i+1>は、それぞれ、半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、3以上の導電層上にこれらとは絶縁されて配置されるビット線BL<0>, ... BL<m>と、下端が半導体基板に接続され、上端がビット線BL<0>, ... BL<m>に接続され、3以上の導電層を突き抜ける複数の活性層(半導体柱)AAとから構成される。

【0117】

3以上の導電層のうち最上層は、複数のビット線側セレクトゲート線SGD<0>, ... SGD<5>から構成され、3以上の導電層のうち最下層は、ソース線側セレクトゲート線SGSであり、3以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線WL<0>, ... WL<3>である。 30

【0118】

本例では、1つのブロック内のビット線側セレクトゲート線SGD<0>, ... SGD<5>の数が6本、ワード線WL<0>, ... WL<3>の数が4本であるが、これに限られることはない。即ち、1つのブロック内のビット線側セレクトゲート線の数については、1本以上、ワード線の数についても、1本以上であればよい。 40

【0119】

また、3以上の導電層のうち最上層を除く残りの導電層は、Y方向の幅がビット線側セレクトゲート線SGD<0>, ... SGD<5>のY方向の幅よりも広いプレート状を有する。

【0120】

そして、ビット線側セレクトゲート線SGD<0>, ... SGD<5>と活性層AAとによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線SGSと活性層AAとによりソース線側セレクトゲートトランジスタが構成される。また、ワード線WL<0>, ... WL<3>と活性層AAとによりメモリセルが構成される。 40

【0121】

また、メモリセルアレイ31(31L, 31R)とドライバ33(33L, 33R)との間の領域は、両者を接続するための引き出し線(導電線)WL<0>・M1, ... WL<3>・M1, SGS・M1, SGD<0>・M1, ... SGD<5>・M1が配置される引き出し部36となる。

【0122】

ここで、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, ... SGD<5>とブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, ... SGD<5>とは、メモリセルアレイ31のX方向の一端(右側)において一対一に共通接続されたうえでドライバ33(33L, 33R)に接 50

続される。

【 0 1 2 3 】

具体的には、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, ...SGD<5>のうちブロックBK<i+1>側から i (i は自然数) 番目のビット線側セレクトゲート線は、ブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, ...SGD<5>のうちブロックBK<i>側から i 番目のビット線側セレクトゲート線に共通接続される。

【 0 1 2 4 】

従って、ビット線側セレクトゲート線SGD<0>, ...SGD<5>は、全体として折り返しレイアウト (folded layout) を有する。

【 0 1 2 5 】

このような折り返しレイアウトは、例えば、側壁をマスクとして下地をエッチングする側壁マスク技術を利用することにより容易に形成できる。

【 0 1 2 6 】

図 1 7 は、メモリセルアレイの両側にドライバを配置するレイアウトを示している。

【 0 1 2 7 】

同図に示すように、メモリセルアレイ31の両側にドライバ33を配置すると、例えば、ブロック 1 個当りのドライバ33の Y 方向のサイズを広げることができる (トランジスタの個数を多くすることができる) ため、結果として、ドライバ33の X 方向のサイズを狭めることができ (トランジスタの個数を少なくすることができる) 、引き出し部36内の引き出し線 (導電線) WL<0> · M1, ...WL<3> · M1, SGS · M1, SGD<0> · M1, ...SGD<5> · M1のレイアウトがさらに簡素化される。

【 0 1 2 8 】

尚、図 1 0 乃至図 1 2 に示すように、メモリセルアレイ31 (31L, 31R) の片側にドライバ33 (33L, 33R) を配置するか、又は、図 1 7 に示すように、メモリセルアレイ31の両側にドライバ33を配置するかは、BiCSメモリ (チップ) の仕様や、周辺回路の面積効率などを考慮して決定する。

【 0 1 2 9 】

(3) ドライバの回路例

ドライバの回路例についてBiCS-NANDフラッシュメモリを例に説明する。

【 0 1 3 0 】

図 1 8 は、ドライバの回路例を示している。

【 0 1 3 1 】

メモリセルアレイに関し、1ブロック内のワード線の数を4本 (4層) とし、ビット線側セレクトゲート線の数を8本 (1層) とし、ソース線側セレクトゲート線の数を1本 (1層) とする。

【 0 1 3 2 】

ドライバ33は、高電圧が印加される転送トランジスタ (高電圧トランジスタ) から構成される。ロウデコーダ35は、アンド回路から構成され、アドレス信号ADDRESSをデコードする。レベルシフタ34は、ドライバ33とロウデコーダ35の間に接続される。

【 0 1 3 3 】

BSTON、VRDEC、RDECANDn<0>及びRDECANDn<1>は、転送トランジスタのオン / オフを制御する制御信号であり、SGD<7:0>, CGi<3:0>, CG(i+1)<3:0>, SGSi, SGS(i+1), VRDEC2, SGDSは、転送電圧である。

【 0 1 3 4 】

(4) プログラムディスタープ及びプログラミング手法

A. プログラムディスタープ

まず、BiCSメモリに特有のプログラムディスタープについてBiCS-NANDフラッシュメモリを例に説明する。

【 0 1 3 5 】

図 1 9 は、3つのブロックを示している。

10

20

30

40

50

ブロックBK<i>を選択されたブロックとし、ブロックBK<i-1>, BK<i+1>を非選択のブロックとする。

【0136】

選択されたブロックBK<i>は、プログラム対象となるメモリセルを含む選択されたNANDセルユニットNAND-selectを有する。NANDセルユニットNAND-selectは、互いに交差して配置される選択されたビット線BL-selectと選択されたビット線側セレクトゲート線SGD-selectとの交点に位置する。

【0137】

プログラミング時に、選択されたブロックBK<i>内の選択されたワード線WL-selectにはプログラム電位Vpgmが与えられ、選択されたブロックBK<i>内の非選択のワード線WL-unselectにはプログラム電位Vpgmよりも低い転送電位Vpassが与えられる。

【0138】

ここで、ブロックBK<i>内のNANDセルユニットは、ワード線を共有するため、ブロックBK<i>内では、選択されたNANDセルユニット以外の非選択のNANDセルユニットにも、プログラム電位Vpgm及び転送電位Vpassが印加される。

【0139】

ブロックBK<i>内のプログラミング時の電位関係は、図20に示すようになる。

選択されたワード線WL-selectには、プログラム電位Vpgmが印加され、非選択のワード線WL-unselectには、転送電位Vpassが印加される。また、選択されたビット線側セレクトゲート線SGD-selectには、ビット線側セレクトゲートトランジスタをオンにする電位としてVsgd(例えば、約4V)が印加され、非選択のビット線側セレクトゲート線SGD-unselectには、ビット線側セレクトゲートトランジスタをオフにする電位としてVss(例えば、0V)が印加される。選択されたビット線BL-selectには、プログラムデータ("0" or "1")に応じた電位が印加される。

【0140】

この時、特に、プログラム電位Vpgmが印加されるワード線WL-selectに接続される非選択のメモリセルX1について、プログラムディスタープが発生し易くなる。このプログラムディスタープを改善するためにチャンネルブースト技術を適用する。

【0141】

チャンネルブースト技術は、例えば、二次元構造のNAND型フラッシュメモリにおいては、書き込み禁止("1"-プログラミング)のメモリセルに対して、その閾値上昇を防止するために適用される。しかし、BiCS-NANDフラッシュメモリでは、二次元構造のNAND型フラッシュメモリとは異なり、上述のように、選択ブロック内の非選択のNANDセルユニットを対象とする。

【0142】

そこで、BiCS-NANDフラッシュメモリの特有の構造(動作)を踏まえたうえでチャンネルブースト技術を適用する。

【0143】

B. 第一プログラミング手法

図21は、第一プログラミング手法を示すタイミングチャートである。

【0144】

まず、全てのブロックにおいて、ワード線WL<0>, WL<1>, WL<2>, WL<3>, ビット線BL<0>, BL<1>, ビット線側セレクトゲート線SGD、ソース線SL及びソース線側セレクトゲート線SGSをVss(例えば、0V)にする。

【0145】

即ち、図22に示すように、選択されたブロックBK<i>内のNANDセルユニットNAND-select1, NAND-select2, NAND-unselectのチャンネルの初期電位は、Vssである。

【0146】

この後、ビット線BL<0>, BL<1>をプログラムデータに応じた値にすると共に、選択されたNANDセルユニットNAND-select1, NAND-select2内のビット線側セレクトゲート線SGDをV

sgdにする(ラインA)。Vsgdは、プログラムデータを転送し得る値、例えば、4V程度の電位である。非選択のNANDセルユニットNAND-unselect内のビット線側セレクトゲート線SGDは、Vssのままとする(ラインB)。

【0147】

また、プログラムデータが"0"のときは、ビット線をVss(例えば、0V)にし、プログラムデータが"1"のときは、ビット線をVdd(例えば、プラス電位)にする。

【0148】

ここで、図23に示すように、選択されたブロックBK<i>内の選択されたメモリセルMC-select1に対しては"0"-プログラミング(書き込み)を行い、選択されたブロックBK<i>内の選択されたメモリセルMC-select2に対しては"1"-プログラミング(書き込み禁止)を行うものとする。

10

【0149】

NANDセルユニットNAND-select1では、ビット線側セレクトゲートトランジスタがオンであるため、ビット線BL<0>の電位Vssは、NANDセルユニットNAND-select1内のメモリセルのチャンネルに転送される。このため、選択されたブロックBK<i>内のワード線WL<2>にプログラム電位Vpgmが印加されると、選択されたメモリセルMC-select1に対しては、書き込み(閾値上昇)が許可される。

【0150】

これに対し、NANDセルユニットNAND-select2では、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2>, WL<3>に転送電位Vpassが印加されると、ビット線側セレクトゲートトランジスタがカットオフする。このため、選択されたブロックBK<i>内のワード線WL<2>にプログラム電位Vpgmが印加されると、選択されたメモリセルMC-select2のチャンネル電位がブーストされ、選択されたメモリセルMC-select2に対しては、書き込み(閾値上昇)が禁止される。

20

【0151】

また、選択されたブロックBK<i>内の非選択のNANDセルユニットNAND-unselectでは、ビット線側セレクトゲートトランジスタ及びソース線側セレクトゲートトランジスタは、共にオフのままである。このため、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2>, WL<3>に転送電位Vpass及びプログラム電位Vpgmが印加されると、非選択のNANDセルユニットNAND-unselect内のメモリセルのチャンネル電位がブーストされ、プログラムディスタープ(閾値変動)が防止される。

30

【0152】

この第一プログラミング手法では、選択されたブロックBK<i>内の非選択のNANDセルユニットNAND-unselect内のメモリセルに対してプログラムディスタープが改善されるが、それでも、プログラム電位Vpgmが印加される非選択のメモリセルX1に対しては、プログラムディスタープの改善が十分ではない。

【0153】

C. 第二プログラミング手法

第二のプログラミング手法では、非選択のNANDセルユニットNAND-unselect内のメモリセルのチャンネル電位を十分に上昇させ、プログラム電位Vpgmが印加される非選択のメモリセルX1に対してもプログラムディスタープを改善する技術を提案する。

40

【0154】

図24は、第二プログラミング手法を示すタイミングチャートである。

【0155】

まず、全てのブロックにおいて、ワード線WL<0>, WL<1>, WL<2>, WL<3>, ビット線BL<0>, BL<1>, ビット線側セレクトゲート線SGD、ソース線SL及びソース線側セレクトゲート線SGSをVss(例えば、0V)にする。

【0156】

この時点では、図25に示すように、選択されたブロックBK<i>内のNANDセルユニットNAND-select1, NAND-select2, NAND-unselectのチャンネルの初期電位は、Vssである。

50

【 0 1 5 7 】

この後、ビット線BL<0>, BL<1>をプログラムデータに応じた値にすると共に、選択されたブロックBK<i>内の全てのソース線側セレクトゲート線SGSをVsgsにする。Vsgsは、後述するプリチャージ電位を転送し得る値、例えば、4V程度の電位である。非選択のブロックBK<i-1>, BK<i+1>内のソース線側セレクトゲート線SGSは、Vssのままとする。

【 0 1 5 8 】

また、選択されたブロックBK<i>内の全てのワード線WL<0>, WL<1>, WL<2>, WL<3>に、メモリセルがその閾値状態に関係なくオンになる電位VP-preを与える。VP-preは、例えば、読み出し時に非選択のメモリセルに与える読み出し電位Vreadと同じ電位又は同程度の電位とする。

10

【 0 1 5 9 】

ソース線SLには、プリチャージ電位として、プラス電位、例えば、Vddを印加し、また、全てのビット線側セレクトゲート線SGDは、Vssのままとし、ビット線側セレクトゲートトランジスタをオフのままとする。

【 0 1 6 0 】

これにより、図 2 6 及び図 2 7 に示すように、選択されたブロックBK<i>内の全てのNANDセルユニットNAND-select1, NAND-select2, NAND-unselect内のメモリセルのチャンネルの初期電位は、プラス電位、例えば、Vddにプリチャージされる。

【 0 1 6 1 】

このチャンネルのプリチャージは、ビット線BL<0>, BL<1>をプログラムデータに応じた値にする動作と並行して行なう。

20

【 0 1 6 2 】

ビット線は、プログラムデータが " 0 " のときはVss(例えば、0V)にし、プログラムデータが " 1 " のときはVdd(例えば、プラス電位)にする。

【 0 1 6 3 】

この後、選択されたNANDセルユニットNAND-select1, NAND-select2内のビット線側セレクトゲート線SGDをVsgdにする(ラインA)。Vsgdは、プログラムデータを転送し得る値、例えば、4V程度の電位である。非選択のNANDセルユニットNAND-unselect内のビット線側セレクトゲート線SGDは、Vssのままとする(ラインB)。

【 0 1 6 4 】

ここで、図 2 8 に示すように、選択されたブロックBK<i>内の選択されたメモリセルMC-select1に対しては " 0 " -プログラミング(書き込み)を行い、選択されたブロックBK<i>内の選択されたメモリセルMC-select2に対しては " 1 " -プログラミング(書き込み禁止)を行うものとする。

30

【 0 1 6 5 】

NANDセルユニットNAND-select1では、ビット線側セレクトゲートトランジスタがオンであるため、ビット線BL<0>の電位Vssは、NANDセルユニットNAND-select1内のメモリセルのチャンネルに転送される。このため、選択されたブロックBK<i>内のワード線WL<2>にプログラム電位Vpgmが印加されると、選択されたメモリセルMC-select1に対しては、書き込み(閾値上昇)が許可される。

40

【 0 1 6 6 】

これに対し、NANDセルユニットNAND-select2では、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2>, WL<3>に転送電位Vpassが印加されると、ビット線側セレクトゲートトランジスタがカットオフする。このため、選択されたブロックBK<i>内のワード線WL<2>にプログラム電位Vpgmが印加されると、選択されたメモリセルMC-select2のチャンネル電位がブーストされ、選択されたメモリセルMC-select2に対しては、書き込み(閾値上昇)が禁止される。

【 0 1 6 7 】

また、選択されたブロックBK<i>内の非選択のNANDセルユニットNAND-unselectでは、ビット線側セレクトゲートトランジスタ及びソース線側セレクトゲートトランジスタは、共

50

にオフのままである。このため、選択されたブロックBK<i>内のワード線WL<0>, WL<1>, WL<2>, WL<3>に転送電位Vpass及びプログラム電位Vpgmが印加されると、非選択のNANDセルユニットNAND-unselect内のメモリセルのチャンネル電位がブーストされ、プログラムディスタープ(閾値変動)が防止される。

【0168】

この第二プログラミング手法では、第一プログラミング手法と比べると、選択されたブロックBK<i>内のNANDセルユニットNAND-select1, NAND-select2, NAND-unselectのチャンネルの初期電位がプラス電位に設定されているため、非選択のNANDセルユニットNAND-unselect内のメモリセルのチャンネル電位が十分にブーストされ、プログラム電位Vpgmが印加される非選択のメモリセルX1に対してプログラムディスタープの改善を十分に行うことができる。

10

【0169】

D. その他

第一及び第二プログラミング手法においては、図21及び図24に示すように、ビット線側セレクトゲート線SGDの電位は、Vsgd(例えば、4V)にした後、Vssを超え、Vsgd未満の電位、例えば、2V程度に設定される。この値は、“0”(=Vss)を転送できる値である。但し、これに限定されることはなく、例えば、ビット線側セレクトゲート線SGDの電位は、Vsgdのままでもよいし、また、VsgdからVssまで下げても構わない。

【0170】

また、第二プログラミング手法においては、図24に示すように、ソース線側セレクトゲート線SGSの電位は、Vsgs(例えば、4V)にした後、再び、Vssまで低下させている。但し、これに限定されることはなく、例えば、ソース線側セレクトゲート線SGSの電位は、VsgsからVssよりも少し高いプラス電位に変更してもよい(ラインC)。この場合、このプラス電位は、ソース側セレクトゲートトランジスタのオフを確保できる電位とする。

20

【0171】

さらに、第二プログラミング手法においては、図24に示すように、ワード線WL<0>, WL<1>, WL<2>, WL<3>の電位は、VP-preからVpass、さらにVpassからVpgmにしてもよいし、また、VP-preから一旦Vss又はその近くまで低下させ、その後、Vpass、さらにVpgmにしてもよい。

【0172】

30

(5) まとめ

以上のように、本発明の実施形態によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのプログラムディスタープを改善することができる。

【0173】

4. 適用例

本発明の技術は、ビットコストスケラビリティを実現するため、1つのセルユニットが直列接続された複数のメモリセル(NAND列)から構成されるBiCS-NANDフラッシュメモリに有効であるが、それ以外にも、BiCS技術が適用された三次元積層不揮発性半導体メモリに適用可能である。

【0174】

40

また、BiCSメモリのメモリセル構造については、電荷蓄積層が絶縁体(例えば、窒化物)から構成されるいわゆるMONOS型が有効であると考えられているが、本発明の例は、これに限られず、電荷蓄積層が導電性ポリシリコンから構成されるフローティングゲート型に適用することも可能である。

【0175】

さらに、1つのメモリセルに記憶させるデータ値については、2値(two-level)であってもよいし、3値(three-level)以上の多値(multi-level)であってもよい。

【0176】

5. むすび

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのプログラム

50

ディスタープを改善することができる。

【0177】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0178】

【図1】BiCS-NANDフラッシュメモリの鳥瞰図。

10

【図2】BiCS-NANDフラッシュメモリの平面図。

【図3】図2のIII-III線に沿う断面図。

【図4】図2のIV-IV線に沿う断面図。

【図5】NANDセルユニットの構造図。

【図6】NANDセルユニットの鳥瞰図。

【図7】メモリセルアレイの等価回路図。

【図8】BiCS-NANDと二次元NANDとの比較図。

【図9】ブロックレイアウトの第一例を示す図。

【図10】ブロックレイアウトの第二例を示す図。

20

【図11】ブロックレイアウトの第三例を示す図。

【図12】ブロックレイアウトの第四例を示す図。

【図13】ビット線側セレクトゲート線のレイアウトを示す図。

【図14】図13をデバイス化したときの平面図。

【図15】ビット線側セレクトゲート線のレイアウトを示す図。

【図16】図15をデバイス化したときの平面図。

【図17】ビット線側セレクトゲート線のレイアウトを示す図。

【図18】ドライバの回路例を示す図。

【図19】BiCSメモリのプログラムディスタープを説明する図。

【図20】BiCSメモリのプログラムディスタープを説明する図。

30

【図21】第一プログラミング手法を示すタイミング図。

【図22】第一プログラミング手法の電位関係を示す図。

【図23】第一プログラミング手法の電位関係を示す図。

【図24】第二プログラミング手法を示すタイミング図。

【図25】第二プログラミング手法の電位関係を示す図。

【図26】ソース線側からチャンネルの初期電位を設定する様子を示す図。

【図27】第二プログラミング手法の電位関係を示す図。

【図28】第二プログラミング手法の電位関係を示す図。

【符号の説明】

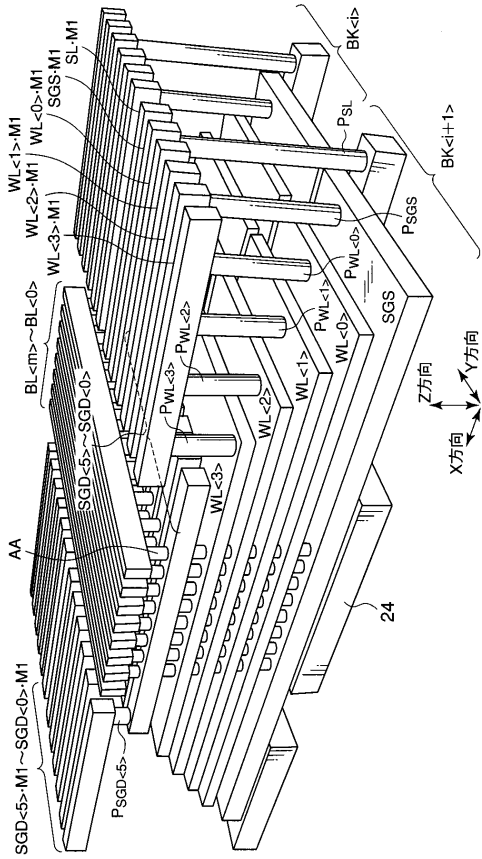
【0179】

WL<0>, ...WL<3>: ワード線、 BL<0>, ...BL<m>: ビット線、 SGS: ソース線側セレクトゲート線、 SGD<0>, ...SGD<5>: ビット線側セレクトゲート線、 AA: アクティブエリア。

40

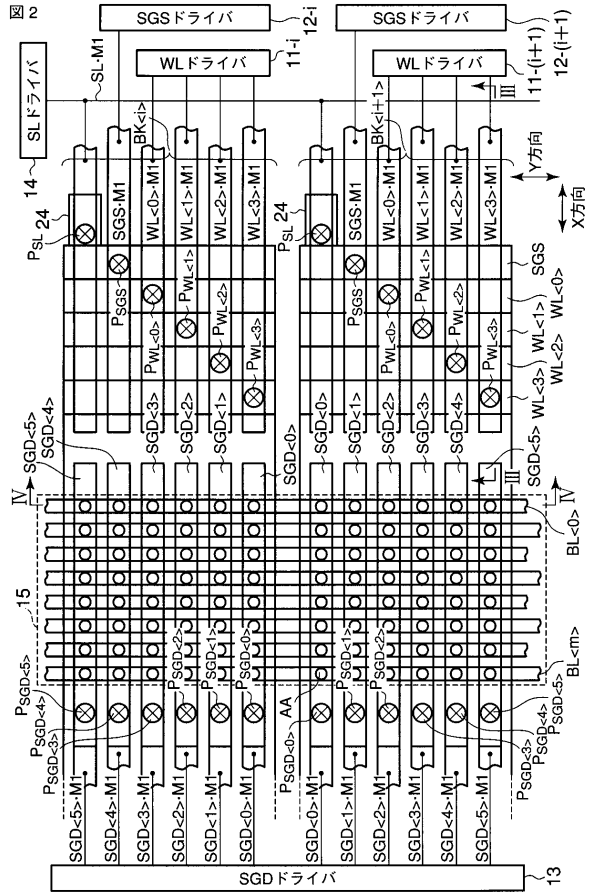
【 図 1 】

図 1



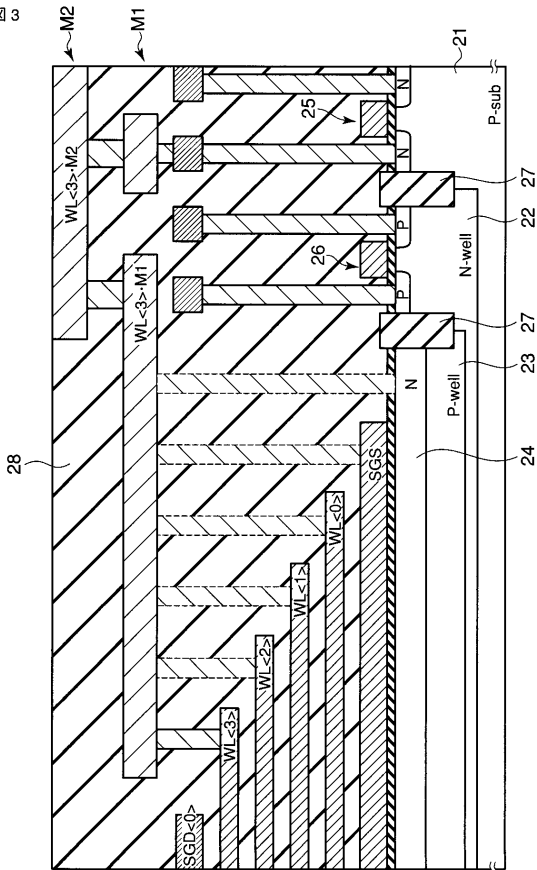
【 図 2 】

図 2



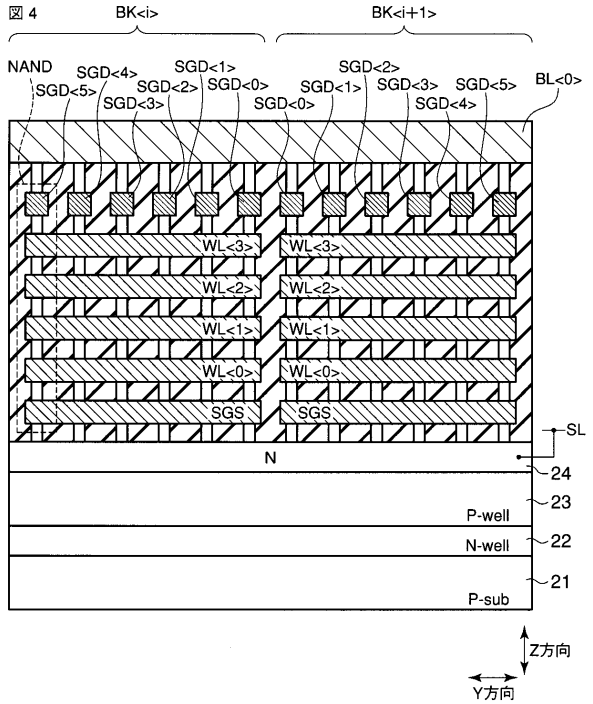
【 図 3 】

図 3

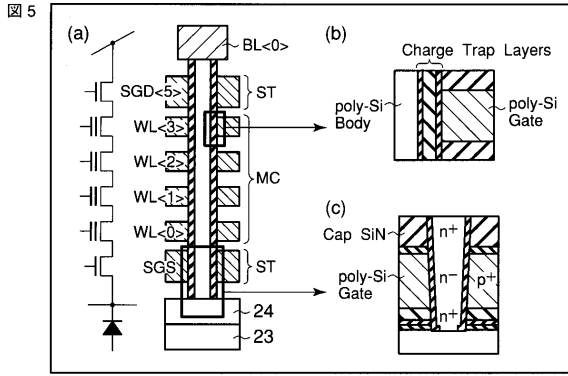


【 図 4 】

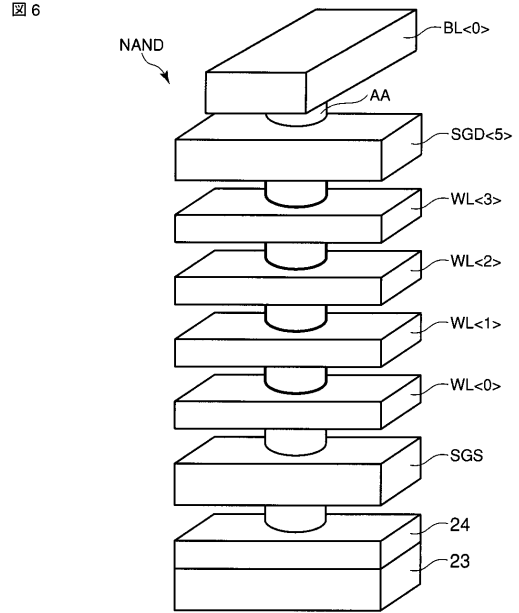
図 4



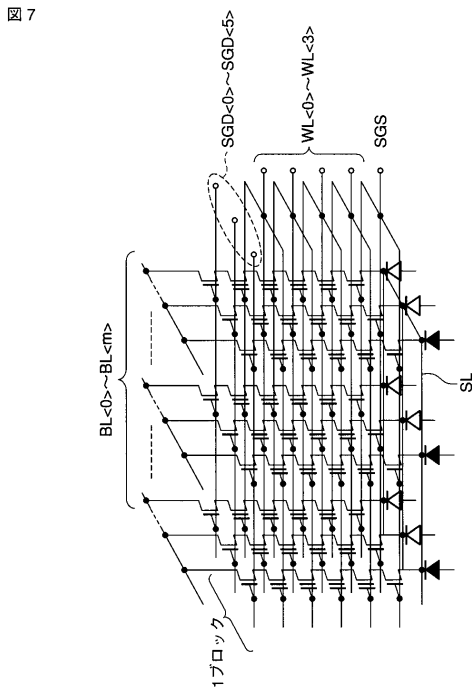
【 図 5 】



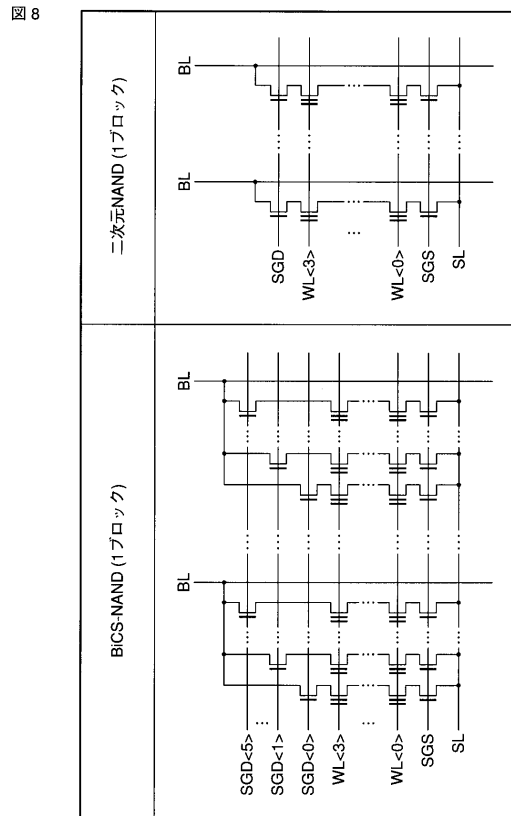
【 図 6 】



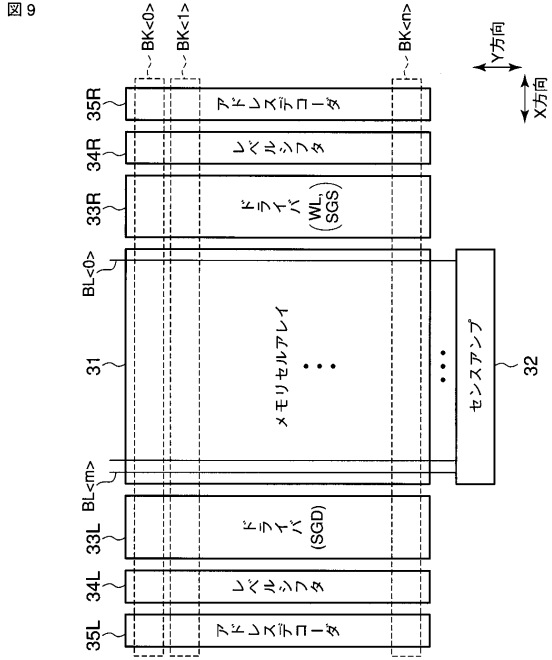
【 図 7 】



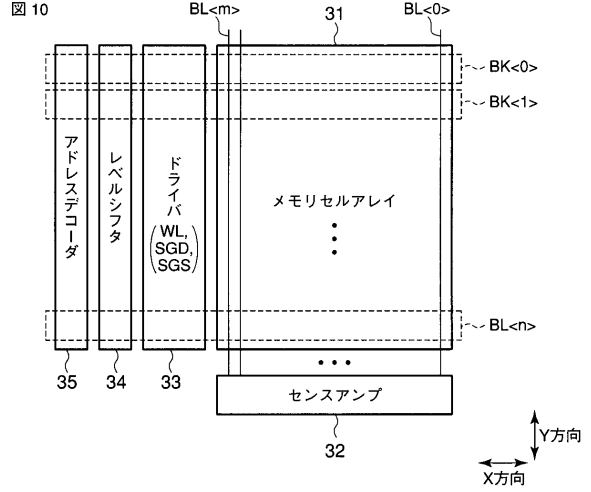
【 図 8 】



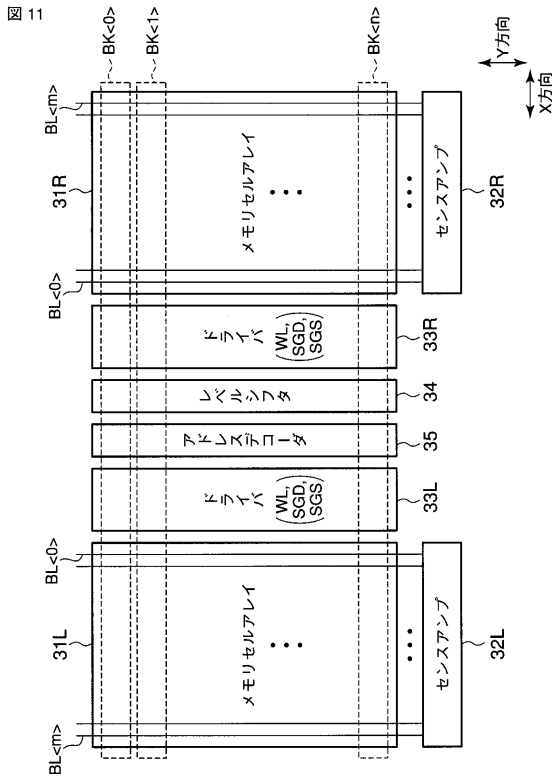
【 図 9 】



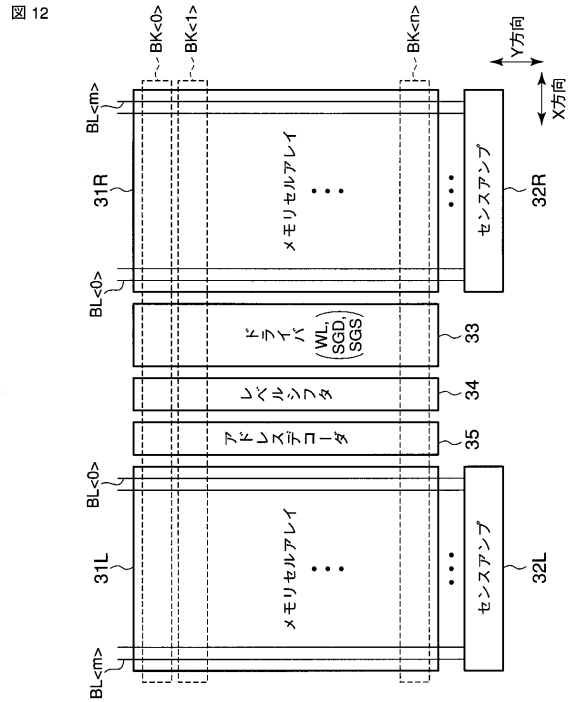
【 図 10 】



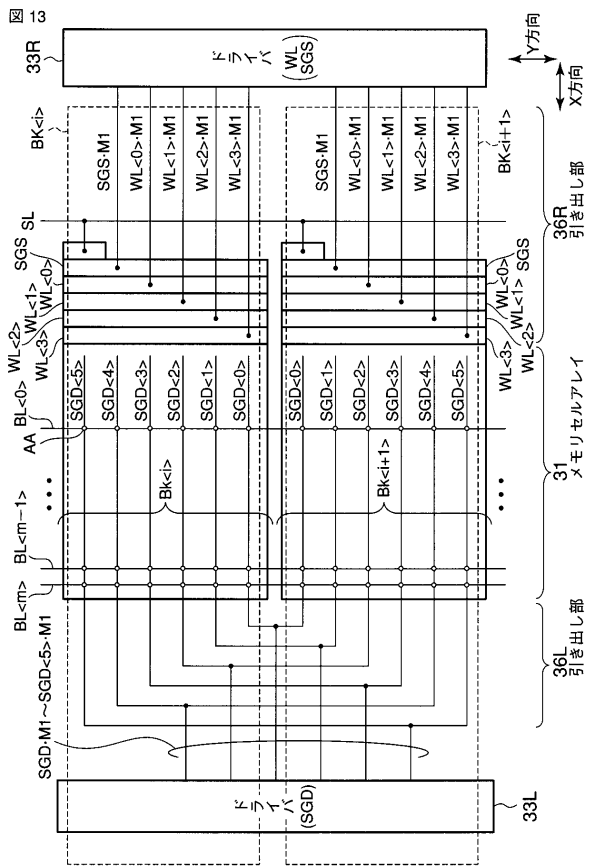
【 図 11 】



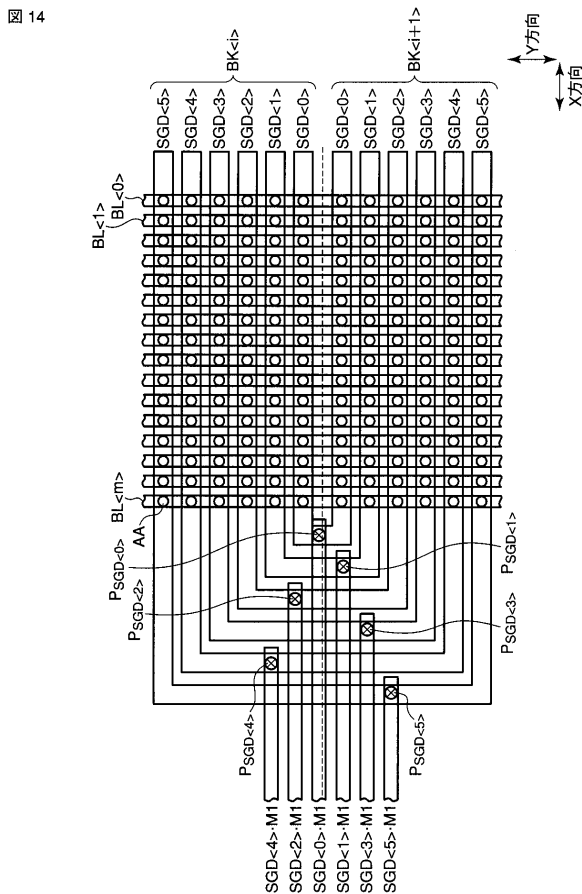
【 図 12 】



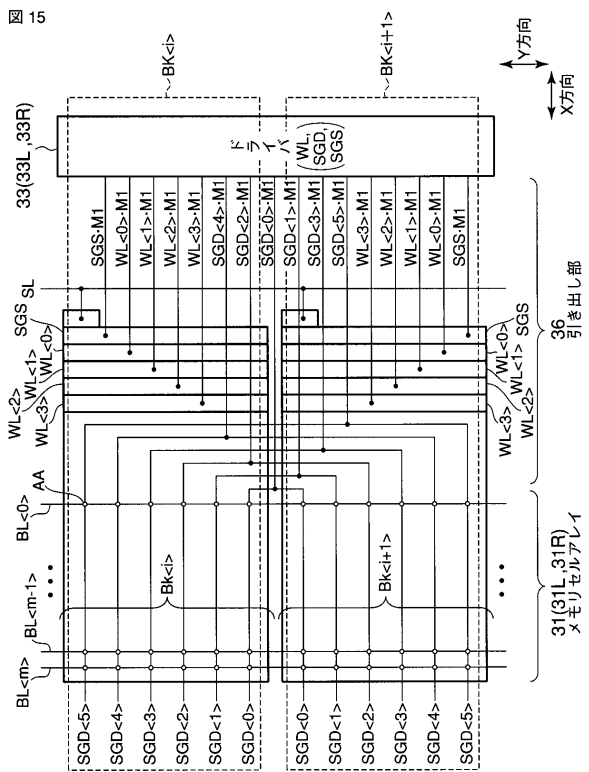
【図 1 3】



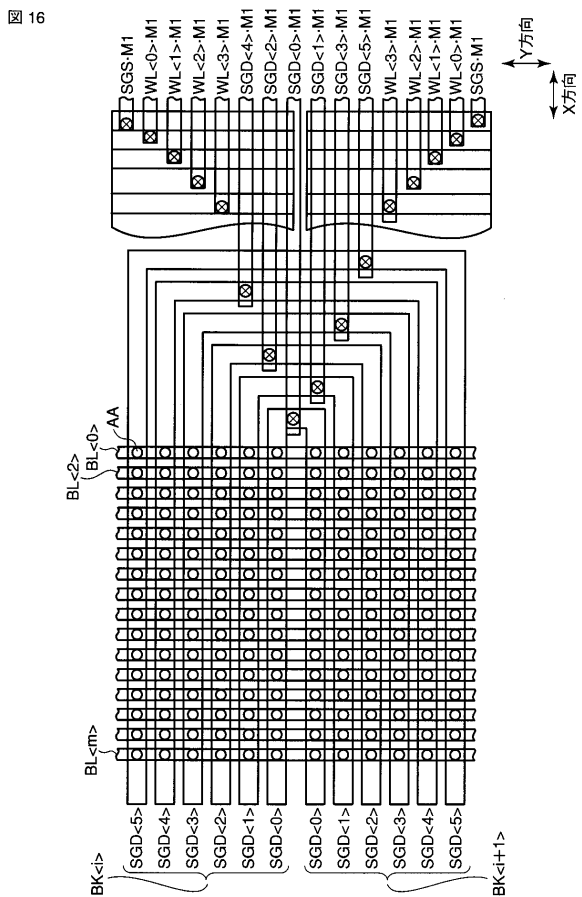
【図 1 4】



【図 1 5】

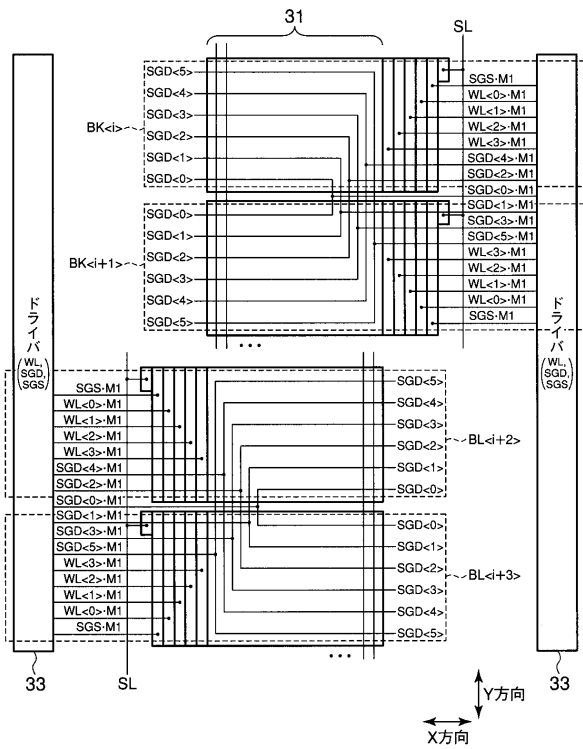


【図 1 6】



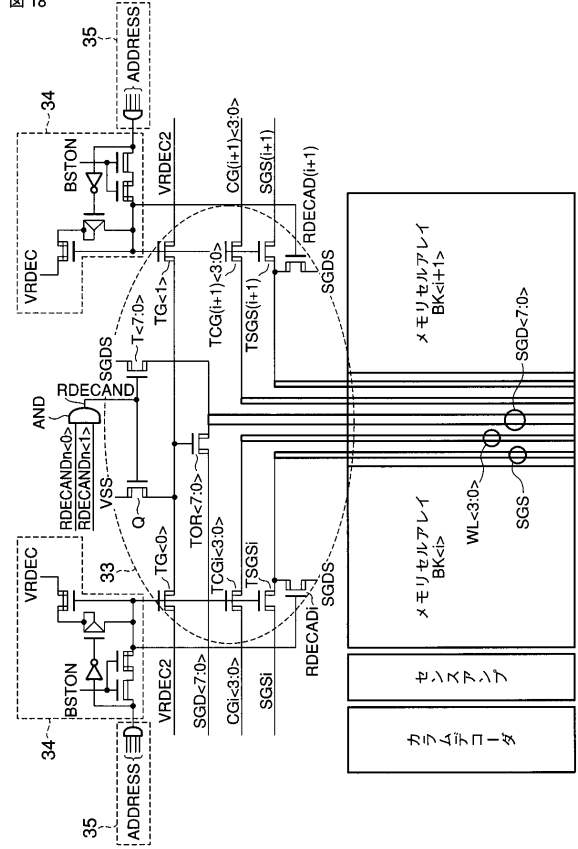
【 図 17 】

図 17



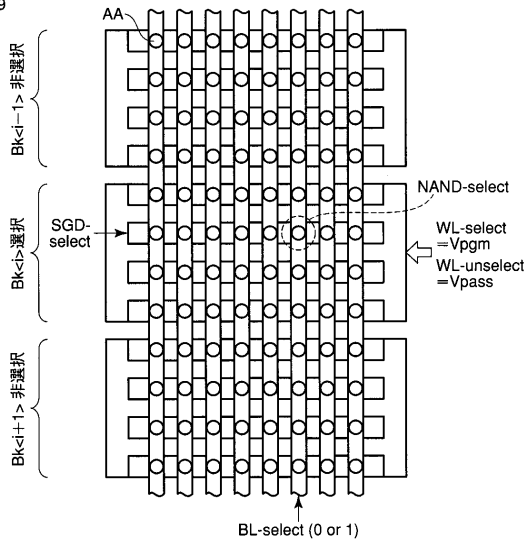
【 図 18 】

図 18



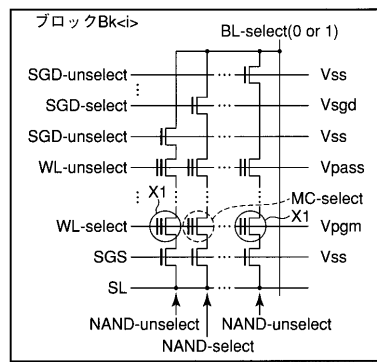
【 図 19 】

図 19



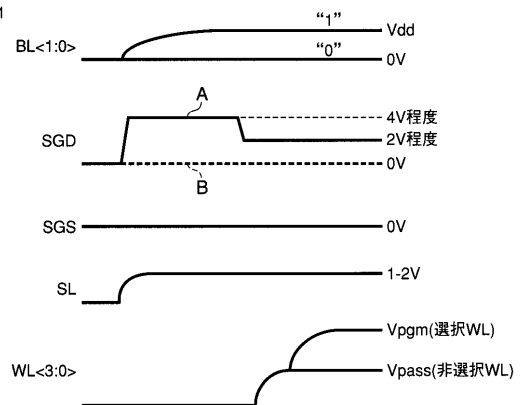
【 図 20 】

図 20



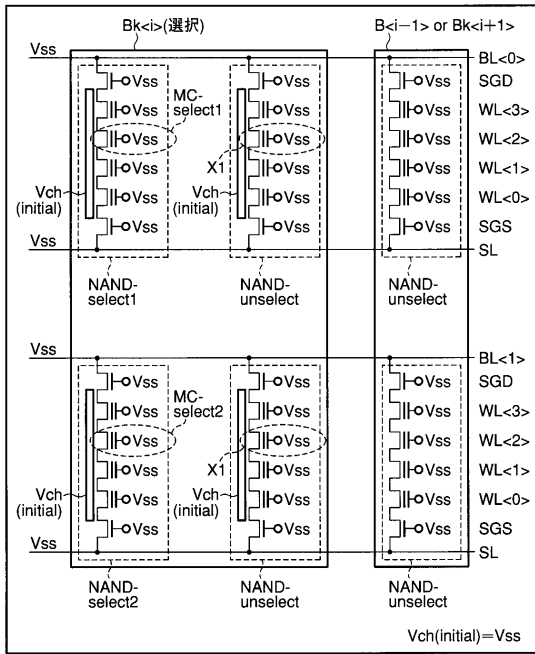
【 図 21 】

図 21



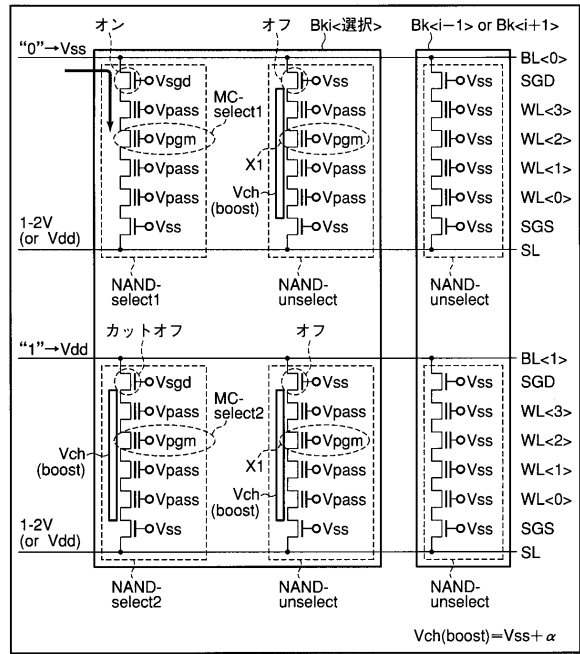
【 図 2 2 】

図 22



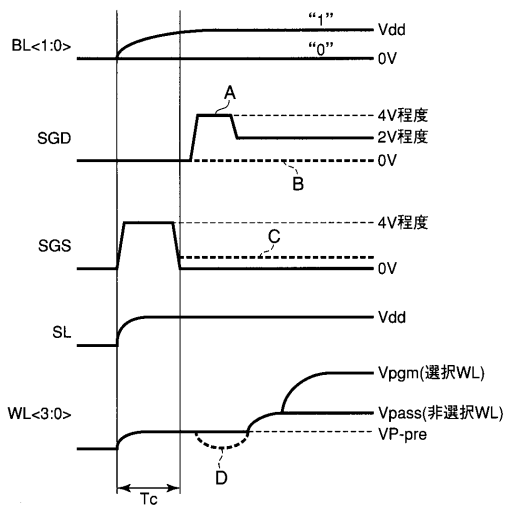
【 図 2 3 】

図 23



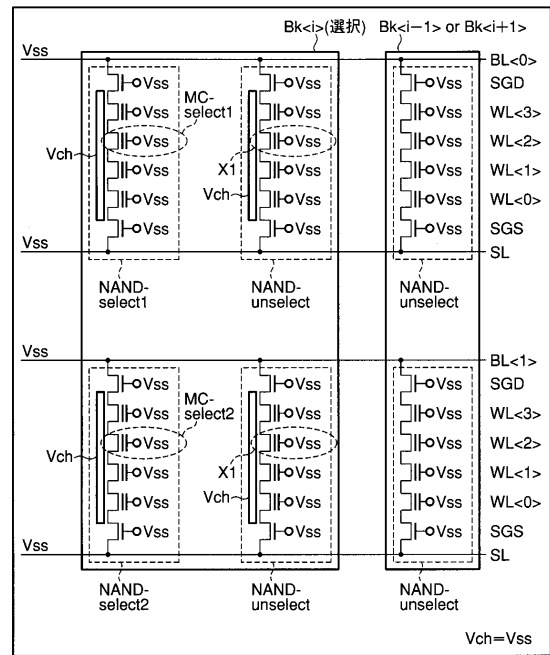
【 図 2 4 】

図 24



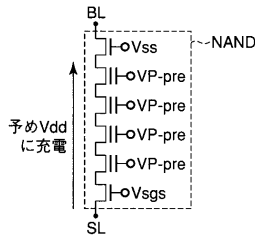
【 図 2 5 】

図 25



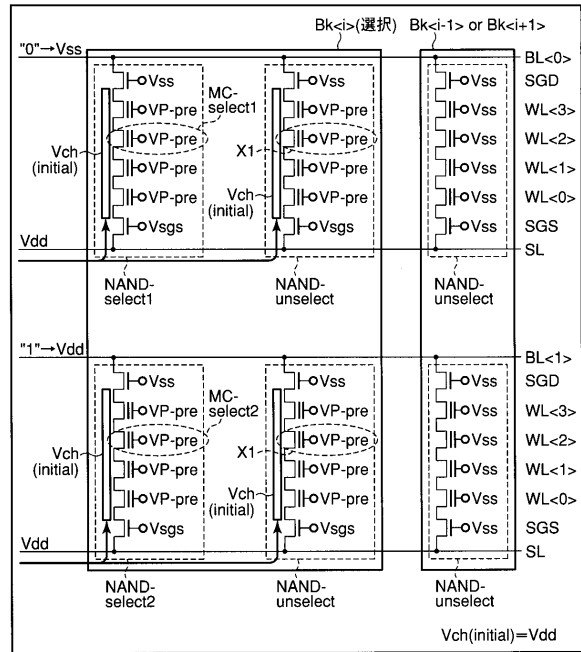
【 図 2 6 】

図 26



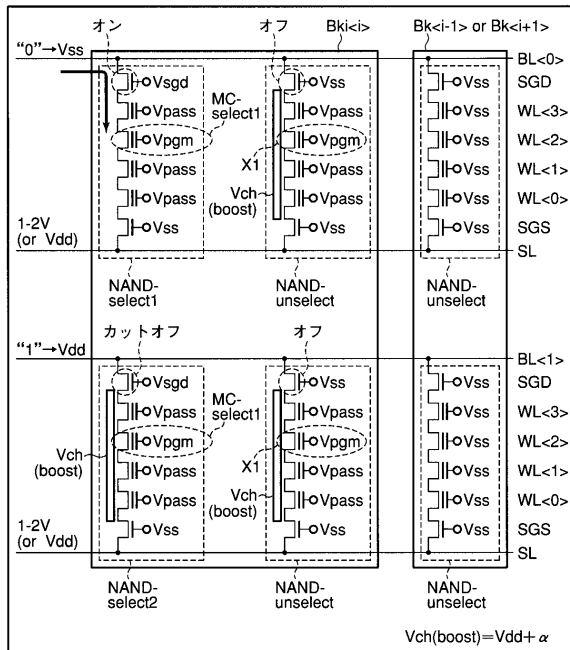
【 図 2 7 】

図 27



【 図 2 8 】

図 28



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/115 (2006.01)
H 0 1 L 27/10 (2006.01)

(74)代理人 100095441
 弁理士 白根 俊郎
 (74)代理人 100084618
 弁理士 村松 貞男
 (74)代理人 100103034
 弁理士 野河 信久
 (74)代理人 100119976
 弁理士 幸長 保次郎
 (74)代理人 100153051
 弁理士 河野 直樹
 (74)代理人 100140176
 弁理士 砂川 克
 (74)代理人 100101812
 弁理士 勝村 紘
 (74)代理人 100092196
 弁理士 橋本 良郎
 (74)代理人 100100952
 弁理士 風間 鉄也
 (74)代理人 100070437
 弁理士 河井 将次
 (74)代理人 100124394
 弁理士 佐藤 立志
 (74)代理人 100112807
 弁理士 岡田 貴志
 (74)代理人 100111073
 弁理士 堀内 美保子
 (74)代理人 100134290
 弁理士 竹内 将訓
 (74)代理人 100127144
 弁理士 市原 卓三
 (74)代理人 100141933
 弁理士 山下 元

(72)発明者 前嶋 洋
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA08 BA19 CA19 DB12 EA05 EB10 FA02 FA07
 5F083 EP02 EP18 EP22 EP76 ER23 GA10 KA01 KA05 KA13 LA12
 LA16 ZA21
 5F101 BA45 BB02 BD16 BD34 BF05 BH21