



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 1005049

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 14.07.81 (21) 3325537/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.03.83. Бюллетень № 10

Дата опубликования описания 15.03.83

(51) М. Кл.³

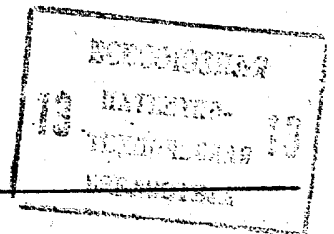
G 06 F 9/22

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

В.С.Харченко, В.А.Мельников, Г.Н.Тимонькин
и С.Н.Ткаченко

(71) Заявитель



(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в качестве много- тактного устройства микропрограммного управления при построении вычислительных машин и систем, а также АСУ технологическими процессами.

Известно микропрограммное устройство управления, содержащее регистр адреса, блок памяти микропрограмм, регистр микрокоманд, дешифраторы, блок управления длительностью микропрограммного такта [1].

Недостатком данного устройства является его низкая надежность, обусловленная формированием окончания микротакта на секционных линиях задержки.

Наиболее близким к предлагаемому по технической сущности и достигаемому положительному эффекту является устройство, содержащее регистр адреса, последовательно соединенные генератор тактовых импульсов, блок выделения тактовых сигналов, последовательно соединенные первый дешифратор адреса, первый запоминающий блок, первый регистр микрокоманд, разделенный на n операционных полей и одно адресное поле, а каждое из операционных

2

полей содержит управляющую и информационные части, последовательно соединенные второй дешифратор адреса, второй запоминающий блок, второй регистр микрокоманд, содержащий адресное поле и n операционных полей, n управляющих дешифраторов, первую группу блоков элементов И, первый блок элементов ИЛИ, вторую группу блоков элементов И, первую группу блоков элементов ИЛИ, блок элементов 2 И - ИЛИ, n дешифраторов кодов операций, триггер управления [2].

Недостатком этого устройства является низкое быстродействие, обусловленное использованием при многотактных микрокомандах микротактов постоянной длины независимо от тактов выдачи последней микрооперации.

Время выполнения микропрограммы, состоящей из N_0 однитактных микрокоманд и N_M многотактных микрокоманд равно

$$T_1 = N_0 T_0 + N_M T_M = N_0 T_0 + m T_0 N_M,$$

где T_0 - длительность нанотакта;

m - количество нанотактов в микротакте.

Таким образом, прототип обладает большой временной избыточностью, ко-

торая обусловлена тем, что независимо от того, в каком нанотакте выдается последняя микрооперация в многотактной микрокоманде, время ее выполнения равно T_m .

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство, содержащее регистр адреса, генератор тактовых импульсов, счетчик, дешифратор, последовательно соединенные первый дешифратор адреса, первый блок памяти, первый регистр микрокоманд, последовательно соединенные второй дешифратор адреса, второй блок памяти, второй регистр микрокоманд управляющих дешифраторов, первую группу блоков элементов И, первый блок элементов ИЛИ, вторую группу блоков элементов И, первую группу блоков элементов ИЛИ, блок элементов 2И-ИЛИ, n дешифраторов кодов операций, триггер управления, причем выход регистра адреса соединен с информационными входами управляющих дешифраторов соответственно, выходы которых соединены с первыми входами блоков элементов И первой группы, вторые входы которых соединены с выходом дешифратора, информационный вход которого соединен с выходом счетчика, счетный вход которого подключен к выходу генератора тактовых импульсов и управляющему входу дешифратора, выходы блоков элементов И первой группы через блок элементов ИЛИ соединены с синхронизирующими входами дешифраторов кодов операций соответственно, операционные выходы второго регистра микрокоманд соединены с первыми входами блоков элементов И второй группы, вторые входы которых соединены с нулевым выходом триггера управления, выходы блоков элементов И второй группы соединены с первыми входами блоков элементов ИЛИ первой группы, выходы которых соединены соответственно с информационными входами дешифраторов кодов операций, выходы которых подключены к выходу микроопераций устройства, дополнительно введены третья группа блоков элементов И, первый, второй, третий и четвертый элементы И, первый, второй, третий, четвертый и пятый элементы ИЛИ, первый, второй и третий элементы задержки, первый, второй, третий, четвертый, пятый, шестой и седьмой одновибраторы, блок выделения максимального нанотакта, триггер формирования микротакта, причем первый вход первого элемента И соединен с единичным выходом триггера управления, первый вход второго элемента И соединен с нулевым выходом триггера управления, вторые входы первого и второго элементов И соединены с единичным вхо-

дом триггера формирования микротакта и через первый одновибратор соединены с входом обнуления управляющих разрядов первого регистра микрокоманд, адресный выход которого соединен с первым входом первой группы входов блока элементов 2И-ИЛИ, второй вход первой группы входов которого соединен с единичным выходом триггера управления, нулевой выход которого соединен с первым входом второй группы входов блока элементов 2И-ИЛИ, второй вход второй группы входов которого соединен с адресным выходом второго регистра микрокоманд, выход блока элементов 2И-ИЛИ соединен с первым информационным входом регистра адреса, второй информационный вход которого соединен с входом начального адреса устройства, третий входы первого и второго элементов И соединены с выходом дешифратора, выходы первого и второго элементов И соединены с синхронизирующими входами соответственно первого и второго дешифратора адреса и с первым и вторым входами первого элемента ИЛИ, выход которого через первый элемент задержки соединен с нулевым входом триггера формирования микротакта, единичный вход которого соединен с выходом второго элемента ИЛИ, первый вход которого соединен с выходами блоков элементов И второй группы, второй вход - с выходом блока выделения максимального нанотакта, первый вход которого соединен с выходами дешифраторов управления, второй вход - с выходом дешифратора, третий вход второго элемента ИЛИ соединен с входом начального адреса устройства, выход метки типа микрокоманды второго регистра микрокоманд соединен с входами второго и третьего одновибраторов, выход второго одновибратора соединен с первым входом третьего элемента ИЛИ, выход третьего одновибратора соединен с первым входом четвертого элемента ИЛИ, выход метки типа микрокоманды первого регистра микрокоманд соединен с входами четвертого и пятого одновибраторов, выход четвертого одновибратора соединен с вторым входом четвертого элемента ИЛИ, выход пятого одновибратора соединен с вторым входом третьего элемента ИЛИ, выходы метки ветвления первого и второго регистров микрокоманд соединены с входами пятого элемента ИЛИ, выход которого соединен с первыми входами третьего и четвертого элементов И, второй вход третьего элемента И соединен с инверсным входом четвертого элемента И и подключен к входу логических условий устройства, выход третьего элемента И через шестой одновибратор соединен с третьим входом третьего элемента ИЛИ, выход ко-

торого через второй элемент задержки соединен с единичным входом триггера управления, нулевой вход которого соединен с выходом третьего элемента задержки, вход которого соединен с выходом третьего элемента ИЛИ, информационные выходы первого регистра микрокоманд соединены с первыми входами блоков элементов И третьей группы, вторые входы которых соединены с единичным выходом триггера управления, а выходы - с вторыми входами блоков элементов ИЛИ группы.

Кроме того, блок выделения максимального нанотакта содержит первый и второй элементы ИЛИ, группу $(m-1)$ элементов И-ИЛИ (m - число нанотактов в микротакте), группу $(m-1)$ элементов НЕ, группу m элементов И, причем входы первого элемента ИЛИ и первые входы $(m-1)$ элементов И-ИЛИ группы соединены с первым входом блока, вторые входы $(m-1)$ элементов И-ИЛИ группы соединены с выходами $(m-1)$ элементов НЕ группы соответственно, выход первого элемента ИЛИ и выходы $(m-1)$ элементов И-ИЛИ группы соединены с первыми входами соответствующих m элементов И группы, вторые входы которых соединены с вторым входом блока, выходы первого элемента ИЛИ и $(m-1)$ элементов И-ИЛИ группы, кроме последнего, соединены с входами соответствующих $(m-1)$ элементов НЕ группы, выходы m элементов И группы соединены с входами второго элемента ИЛИ, выход которого подключен к выходу блока.

На фиг. 1 изображена схема предлагаемого микропрограммного устройства управления; на фиг. 2 - функциональная схема блока выделения максимального нанотакта.

Предлагаемое устройство содержит (фиг. 1) генератор 1 тактовых импульсов, счетчик 2, блок 3 элементов И-ИЛИ, вход 4 начального адреса устройства, регистр 5 адреса, первый элемент И 6, первый дешифратор 7 адреса, первый блок 8 памяти, первый регистр 9 микрокоманд, дешифратор 10, управляющие поля 11, информационные поля 12, адресное поле 13, поле 14 метки типа микрокоманды и поле 15 метки ветвления, первый одновибратор 16, управляющие дешифраторы 17, первую группу блоков 18 элементов И, первый блок 19 элементов ИЛИ, третью группу блоков 20 элементов И, первую группу блоков 21 элементов ИЛИ, дешифраторы 22 кодов операции, выходы 23 микроопераций устройства, второй элемент И 24, второй дешифратор 25 адреса, второй блок 26 памяти, второй регистр 27 микрокоманд, содержащий информационные поля 28, адресное поле 29, поле 30 метки типа микрокоманды, поле 31 метки ветвления,

первый элемент ИЛИ 32, первый элемент 33 задержки, вторую группу блоков 34 элементов И, блок 35 выделения максимального нанотакта, второй элемент ИЛИ 36, триггер 37 формирования микротакта, пятый элемент ИЛИ 38, второй одновибратор 39, третий одновибратор 40, четвертый одновибратор 41, пятый одновибратор 42, вход 43 логических условий устройства, третий элемент И 44, четвертый элемент И 45, шестой одновибратор 46, седьмой одновибратор 47, четвертый элемент ИЛИ 48, третий элемент ИЛИ 49, второй элемент 50 задержки, третий элемент 51 задержки, триггер 52 управления.

Блок 35 выделения максимального нанотакта (фиг. 2) содержит первый элемент ИЛИ 53, группу 54 $(m-1)$ элементов И-ИЛИ (m - число нанотактов в микротакте), группу элементов НЕ 55, группу 56 элементов И, второй элемент ИЛИ 57.

Микропрограммное устройство управления работает следующим образом.

Каждый микротакт устройства состоит из нанотактов.

В исходном состоянии все элементы памяти находятся в нулевом состоянии, в регистр 5 адреса записан адрес начальной однотактной микрокоманды микропрограммы через вход 4 устройства. Одновременно с записью адреса первой микрокоманды сигнал с входа 4 устройства через второй элемент ИЛИ 36 устанавливает триггер формирования такта в единичное состояние и подготавливает второй элемент И 24 для разрешения считывания через второй дешифратор 25 адреса однотактную микрокоманду, записанную во втором блоке 26. Первый тактовый импульс, поступающий с выхода дешифратора 10 через второй элемент И 24 на синхровход второго дешифратора 25 адреса, разрешает считывание первой однотактной микрокоманды из второго блока 26 во второй регистр 27 микрокоманд. В полях 28 записаны коды однотактной микрокоманды, которые через вторую группу блоков 34 элементов И и через второй блок 21 элементов ИЛИ поступают на входы соответствующих дешифраторов 22 кодов операции. Сигналом с единичного выхода триггера 37 формирования такта через первый одновибратор 39 управляющие поля 11 первого регистра 9 микрокоманд обнуляются. Нулевые коды управляющих полей 11 поступают на входы управляющих дешифраторов 17, первые выходы которых возбуждаются и через первую группу блоков 18 элементов И и первый блок 19 элементов ИЛИ поступают на синхронизирующие входы дешифраторов 22 кодов операции, на входы которых поступают коды микроопераций первой

микрокоманды. На выходах 23 дешифраторов 22 появляются сигналы соответствующих микроопераций. После выдачи одноктактной микрокоманды сигналы с выходов блока 34 элементов И поступают на входы второго элемента ИЛИ 36, сигнал с выхода которого устанавливает триггер 37 формирования в единичное состояние, разрешая тем самым чтение очередной микрокоманды.

Кроме операционных частей в полях 28 второго регистра 27 микрокоманд в поле 29 записывается адрес следующей микрокоманды (одноктактной или многотактной). В поле 30 метки типа микрокоманды записывается признак М, причем

$$M = \begin{cases} 1, & \text{если следующая микрокоманда является многотактной;} \\ 0, & \text{если следующая микрокоманда является одноктактной.} \end{cases}$$

В поле 31 метки ветвления записывается признак В, причем

$$B = \begin{cases} 1, & \text{если данная микрокоманда является микрокомандой ветвления;} \\ 0 & \text{в противном случае.} \end{cases}$$

Предположим, следующей микрокомандой микропрограммы является многотактная микрокоманда. В этом случае единичный сигнал с выхода поля 30 метки типа микрокоманды через третий одновибратор 40, четвертый элемент ИЛИ 48 и второй элемент 50 задержки поступает на единичный вход триггера 52 управления и перебрасывает его в единичное состояние.

Второй элемент 50 задержки необходим для задержки переброса триггера 52 управления на время, необходимое для перезаписи адреса следующей микрокоманды из адресного поля 29 второго регистра 27 микрокоманд через блок 3 элементов 2И-ИЛИ в регистр 5 адреса. Сигнал с единичного выхода триггера 52 управления через первый элемент И 6 поступает на синхронизирующий вход первого дешифратора 7, разрешая тем самым чтение микрокоманды, записанной в первом запоминающем блоке 8, по адресу регистра 5. Одновременно с чтением многотактной микрокоманды сигнал с синхровхода первого дешифратора 7 адреса через первый элемент ИЛИ 32 и первый элемент 33 задержки поступает на нулевой вход триггера 37 формирования такта и перебрасывает его в нулевое состояние. Первый элемент 33 задержки необходим для осуществления возможности переписывания информации из блоков 8 и 26 в регистры 9 и 27. Переброс триггера 37 формирования такта в нулевое состояние показывает, что начался очередной микротакт, и запрещает считывание новой микрокоманды, записанной в регистре 5 адреса.

Считанная многотактная микрокоманда записывается в первый регистр 9 микрокоманд, на информационных полях которого записаны управляющие и операционные части микрокоманды. При этом в управляющих полях 11 записаны коды номеров нанотактов, в которых должна быть выполнена соответствующая микрооперация, коды которых записаны в операционных полях 12.

Код такта, в котором должна считываться операционная информация с поля 12, поступает с поля 11 первого регистра 9 микрокоманд на управляющий дешифратор 17. Один из выходов управляющего дешифратора 17, соответствующий коду выдачи микрооперации в данном нанотакте возбуждается. Сигнал с выхода дешифратора 17 через элемент И первой группы блоков элементов И и элемент ИЛИ первого блока 19 элементов ИЛИ поступает на синхровход дешифратора 22. Операционная часть микроопераций данного нанотакта поступает через блок 20 элементов И и блок 21 элементов ИЛИ на вход дешифратора 22 кода операции. На выходе дешифратора 22 появляется сигнал соответствующей микрооперации. Аналогично в соответствующем нанотакте производится считывание информации с каждого из выходов операционных полей 12 в регистры 9 микрокоманд.

Адрес очередной микрокоманды с выхода поля 13 через блок 3 элементов 2И-ИЛИ поступает на регистр 5 адреса.

Если очередная микрокоманда является многотактной, сигнал с выхода поля М метки типа микрокоманды через четвертый одновибратор 41, четвертый элемент ИЛИ 48 и второй элемент 50 задержки поступает на единичный вход триггера 52 управления. Если очередная микрокоманда является одноктактной, сигнал с выхода поля М метки типа микрокоманды через пятый одновибратор 42, третий элемент ИЛИ 49 и третий элемент 51 задержки поступает на нулевой вход триггера 52 и перебрасывает его в нулевое состояние, подготавливая тем самым схему для работы с одноктактной микрокомандой.

При работе устройства с многотактной микрокомандой сигналы с выходов управляющих дешифраторов 17 поступают на вход блока 35 выделения максимального нанотакта. При этом на первый элемент ИЛИ 53 поступают сигналы с выходов дешифраторов 17, соответствующие кодам максимальных нанотактов, в которых выдаются соответствующие микрооперации. Если в многотактной микрокоманде имеется хотя одна микрооперация, выполняемая в последнем нанотакте, на соответствующем выходе управляющего дешифратора 17

Формула изобретения

появляется сигнал. Данный сигнал поступает на один из входов первого элемента ИЛИ 53 и после подачи тактового импульса, поступающего с дешифратора 10, проходит через элемент И 56, второй элемент ИЛИ 57 блока 35 и через второй элемент ИЛИ 36 на единичный вход триггера 37 формирования такта, перебрасывая его в единичное состояние. Появление сигнала на единичном выходе триггера 37 формирования такта указывает на окончание выполнения данного микротакта и разрешает через первый элемент И 6 или второй элемент И 24 чтение очередной микрокоманды, адрес которой записан в регистре 5 адреса.

Если в m -ом нанотакте нет управляющей информации, сигнал с выхода элемента НЕ 55 подготавливает для опроса первый элемент $(m-1)$ И-ИЛИ 54, на который поступают сигналы с выходов управляющих дешифраторов, соответствующих $(m-1)$ -у нанотакту. $(m-1)$ -м тактовым импульсом производится опрос данного нанотакта. Если для данного нанотакта есть управляющая информация, формируется сигнал окончания микротакта на данном нанотакте.

Если в $(m-1)$ -м нанотакте нет управляющей информации, последовательно опрашиваются все оставшиеся нанотакты, в которых имеется управляющая информация.

Таким образом, сигнал окончания микротакта формируется для максимального нанотакта, в котором имеется управляющая информация, записанная в операционных полях 12 первого регистра 9 микрокоманд.

Если очередная микрокоманда (однотактная или многотактная) является микрокомандой ветвления, на соответствующем выходе поля ветвления 15 или 31, появляется сигнал, который через пятый элемент ИЛИ 38 поступает на входы третьего и четвертого элементов И 44 и 45. В зависимости от признака логических условий, поступающего на вход 43 устройства, триггер 52 управления устанавливается в то или иное состояние. При этом признак логических условий формируется следующим образом:

$$L = \begin{cases} 1, & \text{если очередная микрокоманда является многотактной;} \\ 0, & \text{если очередная микрокоманда является однотактной.} \end{cases}$$

После этого с приходом очередного сигнала первого нанотакта устройство функционирует аналогично описанному.

Применение предлагаемого микропрограммного устройства управления позволит повысить быстродействие по отношению к прототипу на 20%.

1. Микропрограммное устройство управления, содержащее регистр адреса, генератор тактовых импульсов, счетчик, дешифратор, последовательно соединенные первый дешифратор адреса, первый блок памяти и первый регистр микрокоманд, последовательно соединенные второй дешифратор адреса, второй блок памяти и второй регистр микрокоманд, блок элементов ИЛИ, первую и вторую группы блоков элементов И, группу блоков элементов ИЛИ, блок элементов 2И-ИЛИ, n дешифраторов кодов операций, триггер управления, причем выход регистра адреса соединен с информационными входами первого и второго дешифраторов адреса, управляющие выходы первого регистра микрокоманд соединены с информационными входами управляющих дешифраторов, соответственно, выходы которых соединены с первыми входами блоков элементов И первой группы, вторые входы которых соединены с выходом дешифратора, информационный вход которого соединен с выходом счетчика, счетный вход которого подключен к выходу генератора тактовых импульсов и управляющему входу дешифратора, выходы блоков элементов И первой группы через блок элементов ИЛИ подключены к синхронизирующим входам дешифраторов кодов операций соответственно, операционные выходы второго регистра микрокоманд соединены с первыми входами блоков элементов И второй группы, вторые входы которых соединены с нулевым выходом триггера управления, выходы блоков элементов И второй группы соединены с первыми входами блоков элементов ИЛИ группы, выходы которых подключены соответственно к информационным входам дешифраторов кодов операций, выходы которых подключены к выходу микроопераций устройства, отличающееся тем, что, с целью повышения быстродействия, оно дополнительно содержит третью группу блоков элементов И, первый, второй, третий и четвертый элементы И, первый, второй, третий, четвертый и пятый элементы ИЛИ, первый, второй и третий элементы задержки, первый, второй, третий, четвертый, пятый, шестой и седьмой одновибраторы, блок выделения максимального нанотакта, триггер формирования микротакта, причем первый вход первого элемента И соединен с единичным выходом триггера управления, первый вход второго элемента И соединен с нулевым выходом триггера управления, вторые входы первого и второго элементов И соединены с единичным выходом триггера формирования микротакта и через пер-

вый одновибратор соединены с входом обнуления управляющих разрядов первого регистра микрокоманд, адресный выход которого соединен с первым входом первой группы входов блока элементов 2И-ИЛИ, второй вход первой группы входов которого соединен с единичным выходом триггера управления, нулевой выход которого соединен с первым входом второй группы входов блока элементов 2И-ИЛИ, второй вход второй группы входов которого соединен с адресным выходом второго регистра микрокоманд, а выход - с первым информационным входом регистра адреса, второй информационный вход которого подключен к входу начального адреса устройства, третьи входы первого и второго элементов И соединены с выходом дешифратора, выходы первого и второго элементов И соединены с синхронизирующими входами первого и второго дешифраторов адреса и с первым и вторым входами первого элемента ИЛИ соответственно, выход первого элемента ИЛИ через первый элемент задержки соединен с нулевым входом триггера формирования микротакта, единичный вход которого соединен с выходом второго элемента ИЛИ, первый вход которого соединен с выходами блоков элементов И второй группы, второй вход - с выходом блока выделения максимального нанотакта, первый вход которого соединен с выходами дешифраторов управления, второй вход - с выходом дешифратора, третий вход второго элемента ИЛИ соединен с входом начального адреса устройства, выход метки типа микрокоманды второго регистра микрокоманд соединен с входами второго и третьего одновибраторов, выход второго одновибратора соединен с первым входом третьего элемента ИЛИ, выход третьего одновибратора соединен с первым входом четвертого элемента ИЛИ, выход метки типа микрокоманды первого регистра микрокоманд соединен с входами четвертого и пятого одновибраторов, выход четвертого одновибратора соединен с вторым входом четвертого элемента ИЛИ, выход пятого одновибратора соединен с вторым входом третьего элемента ИЛИ, выходы метки ветвления первого и второго регистров микрокоманд соединены с первым и вторым входами пятого элемента ИЛИ,

выход которого соединен с первыми входами третьего и четвертого элементов И, второй вход третьего элемента И соединен с инверсным входом четвертого элемента И и подключен к входу логических условий устройства, выход третьего элемента И через шестой одновибратор соединен с третьим входом третьего элемента ИЛИ, выход четвертого элемента И через седьмой одновибратор соединен с третьим входом четвертого элемента ИЛИ, выход которого через второй элемент задержки соединен с единичным входом триггера управления, нулевой вход которого соединен с выходом третьего элемента задержки, вход которого соединен с выходом третьего элемента ИЛИ, информационные выходы первого регистра микрокоманд соединены с первыми входами блоков элементов И третьей группы, вторые входы которых соединены с единичным выходом триггера управления, а выходы - с вторыми входами блоков элементов ИЛИ группы.

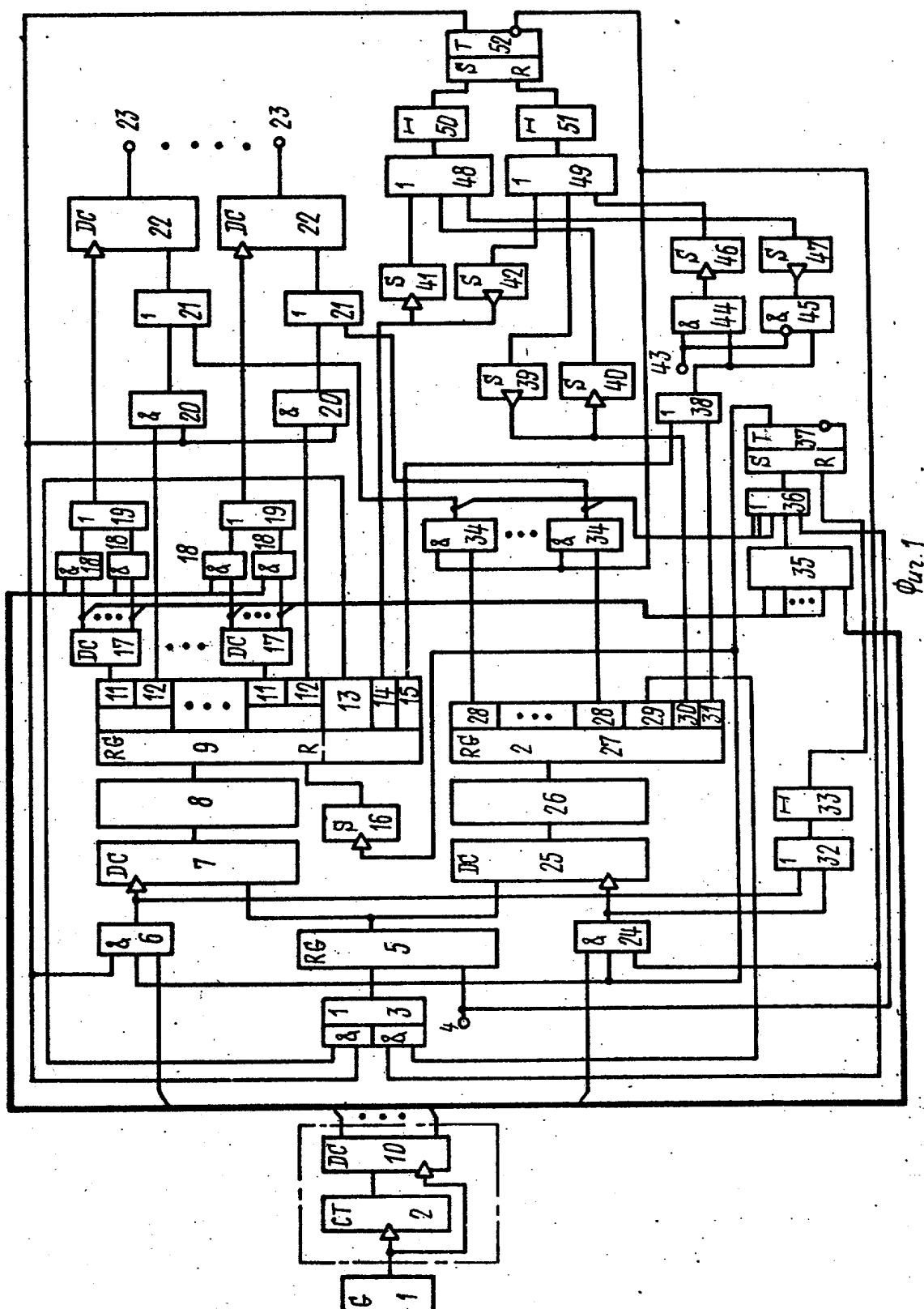
2. Устройство по п. 1, отличающееся с тем, что блок выделения максимального нанотакта содержит первый и второй элементы ИЛИ, группу $(m-1)$ элементов И-ИЛИ (m - число нанотактов в микротакте), группу $(m-1)$ элементов НЕ, группу m элементов И, причем входы первого элемента ИЛИ и первые входы $(m-1)$ элементов И-ИЛИ группы соединены с первым входом блока, вторые входы $(m-1)$ элементов И-ИЛИ соединены с выходами $(m-1)$ элементов НЕ группы соответственно, выход первого элемента ИЛИ и выходы $(m-1)$ элементов И-ИЛИ группы соединены соответственно с первыми входами m элементов И группы, вторые входы которых соединены с вторым входом блока, выходы первого элемента ИЛИ и $(m-1)$ элементов И-ИЛИ группы, кроме последнего, соединены с входами $(m-1)$ элементов НЕ группы соответственно, выходы элементов И группы соединены с входами второго элемента ИЛИ, выход которого подключен к выходу блока.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 467351, кл. G 06 F 9/22, 1972.

2. Авторское свидетельство СССР по заявке № 2765918/18-24, кл. G 06 F 9/22, 1970 (прототип).



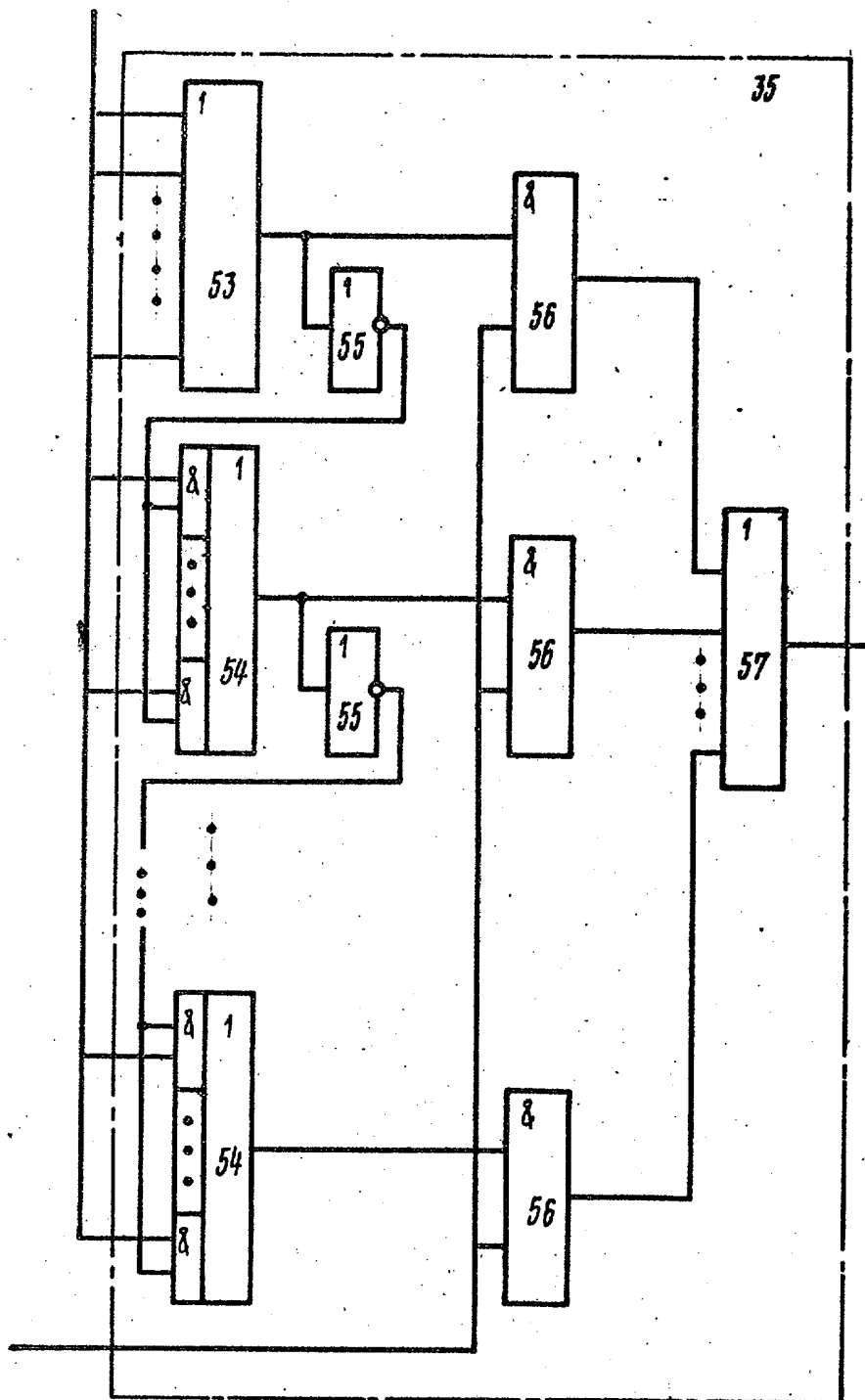


Fig. 2

Редактор Л.Алексеев Составитель Л.Логачева
 Техред Е.Харитончик Корректор М.Демчик

Заказ 1900/64 Тираж 704 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г.Ужгород, ул.Проектная, 4