

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-160660  
(P2011-160660A)

(43) 公開日 平成23年8月18日(2011.8.18)

(51) Int.Cl. F I テーマコード(参考)  
**HO2M 3/155 (2006.01)** HO2M 3/155 H 5H730

審査請求 有 請求項の数 3 O L (全 17 頁)

(21) 出願番号 特願2011-119321 (P2011-119321)  
 (22) 出願日 平成23年5月27日(2011.5.27)  
 (62) 分割の表示 特願2006-45956 (P2006-45956)  
 の分割  
 原出願日 平成18年2月22日(2006.2.22)

(71) 出願人 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 110000992  
 特許業務法人ネクスト  
 (72) 発明者 中村 享  
 愛知県春日井市高蔵寺町二丁目1844番  
 2 富士通ヴィエルエスアイ株式会社内  
 (72) 発明者 小澤 秀清  
 愛知県春日井市高蔵寺町二丁目1844番  
 2 富士通ヴィエルエスアイ株式会社内  
 Fターム(参考) 5H730 AA11 AS00 BB13 BB14 BB57  
 BB81 DD04 DD26 EE59 EE62  
 FD01 FG05 FG25

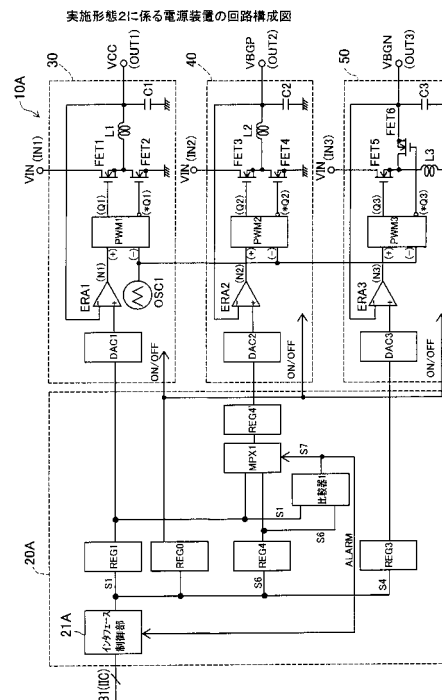
(54) 【発明の名称】 電源装置の制御回路、電源装置及びその制御方法

(57) 【要約】

【課題】複数のDC-DCコンバータを備える電源装置において、各DC-DCコンバータが、各出力電圧の相互の電位関係を維持した上で電圧を発生させることができる電源装置の制御回路、電源装置及びその制御方法を提供する。

【解決手段】電圧値がそれぞれ異なる複数の直流電圧(VCC, VBGP, VBGN)を出力する電源装置10Aの制御回路20Aにおいて、比較器1は、電源電圧指令信号S1(第1直流電圧の設定値)とバックゲート電圧指令信号S6(他の直流電圧の設定値)とを比較し、両電圧値の大小関係を判断して、電源電圧指令信号S1及びバックゲート電圧指令信号S6のうちの電圧値が高い設定値を、電圧VBGPの設定値として選択する。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置の制御回路において、前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位差を維持する第 2 直流電圧の電圧値を設定する電圧設定部を備え、

前記電圧設定部は、前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較する比較部と、前記比較部による前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうち電圧値が高い設定値を前記第 2 直流電圧の設定値として選択する選択部とを備えることを特徴とする電源装置の制御回路。

10

**【請求項 2】**

電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置において、

前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位差を維持する第 2 直流電圧の電圧値を設定する電圧設定部を備え、

前記電圧設定部は、前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較する比較部と、前記比較部による前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうち電圧値が高い設定値を前記第 2 直流電圧の設定値として選択する選択部とを備えることを特徴とする電源装置。

20

**【請求項 3】**

電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置の制御方法において、

前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位差を維持する第 2 直流電圧の電圧値を設定するステップを備え、

前記電圧値の設定のステップは、

前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較するステップと、

前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうち電圧値が高い設定値を前記第 2 直流電圧の設定値として選択するステップとを備えることを特徴とする電源装置の制御方法。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

この発明は、電源装置の制御回路、電源装置及びその制御方法に関する。

**【背景技術】****【0002】**

近年の IC (集積回路) は、集積化が進み電源電圧の低下が進んでいることから、電力の消費量を減少させ、小電力化が図られている。また、電源電圧の低下に伴って、IC に搭載される MOS トランジスタのスレッシュホールド電圧も低下している。スレッシュホールド電圧の低下により、サブスレッシュホールド領域での電流遮断特性が劣ることとなり、MOS トランジスタのゲート・ソース間に電圧が印加されないオフ状態であっても、リーク電流が流れてしまうことがある。そこで、電力の消費量を減少させて小電力化を図るためには、リーク電流の影響を無視することができなかつた。

40

**【0003】**

低スレッシュホールド電圧の MOS トランジスタにおいてリーク電流が流れることを抑制するため、バックゲート電圧を調整する技術が知られている。この技術によれば、バックゲート電圧をオフ状態において深く調整することにより、サブスレッシュホールド領域での電流遮断特性が良好になるように改善することができる。なお、バックゲート電圧を深く調整するとは、NMOS トランジスタの場合には、ソースに対してより低い電圧を P 基板に印加することであり、PMOS トランジスタの場合には、電源電圧に対してより高

50

い電圧をN基板に印加することである。また、MOSトランジスタにおいては、バックゲートの電圧を浅く調整して低スレッシュホールド電圧でのオン状態を維持しながら、ゲート・ソース間に電圧が印加されないオフ状態のときに、リーク電流が流れることを抑制することができる。

#### 【0004】

上述したICを搭載する電源装置は、要求電圧が異なる様々な機器に接続されるから、接続される機器に対応させて異なる電圧を発生する複数のDC-DCコンバータを備えている(特許文献1,2参照。)。また、上述したICを搭載する電源装置では、複数のDC-DCコンバータの電力効率をそれぞれ検知し、検知された電力効率が予め決められた設定値よりも低いDC-DCコンバータについては、そのDC-DCコンバータの作動を停止させるものもある(特許文献3参照。)

10

#### 【0005】

図4及び図5に図示するように、複数のDC-DCコンバータ120~140を搭載した電源装置100は、外部装置200に接続されている。図示の電源装置100は、電源電圧VCC、MOSトランジスタのバックゲートの電圧VBGP,VBGN、入出力電圧VIO、その他の電圧VXXを、それぞれ外部装置200に供給する。また、電源装置100は、制御信号(IIC)によって、各種のデータを、外部装置200と相互に転送する。なお、外部装置200は、単一又は複数の集積回路を搭載して構成されている。

#### 【0006】

電源装置100は、図5に図示するように、インタフェース制御部150を備えている。このインタフェース制御部150は、バスB1に接続されている。外部装置200は、例えば、図5及び図6に図示するようなNAND回路210を備えている。電源装置100においては、図示するように、各DC-DCコンバータ120~140が、それぞれNAND回路210の電源電圧VCC、NAND回路210のPMOSトランジスタFET10,FET30のバックゲートの電圧VBGP、NAND回路210のNMOSトランジスタFET20,FET40のバックゲートの電圧VBGNを調整する。なお、符号(X),(Y)は、ハイレベル信号またはローレベル信号が入力される入力端子であり、符号(Z)は出力端子である。

20

#### 【0007】

例えば、この電源装置100においては、インタフェース制御部150が、該制御部150に接続される機器から動作指令信号を受信すると、この動作指令信号がレジスタREG0に記憶され、記憶された動作指令が、停止指令である場合にはすべてのDC-DCコンバータ120~140を停止させ、動作指令である場合にはすべてのDC-DCコンバータ120~140を動作させる。

30

#### 【0008】

また、この電源装置100においては、インタフェース制御部150が、該制御部150に接続される機器から電源電圧VCCの電圧操作信号を受信すると、受信した電圧操作信号がレジスタREG1に記憶され、記憶された電圧操作信号に応じたアナログ電圧信号(基準電圧)が、D-AコンバータDAC1を介して誤差増幅器ERA1に入力される。その後、この電源装置100は、図示するように、誤差増幅器ERA1によって、電源電圧VCCを帰還させた電圧が、基準電圧と比較され、電源電圧VCCを基準電圧に近づくように制御する。この電源装置100においては、インタフェース制御部150が、該制御部150に接続される機器から電圧VBGP,VBGNの電圧操作信号を受信すると、電源電圧VCCの電圧を基準電圧に近づける場合と同様にして、誤差増幅器ERA2,ERA3により、MOSトランジスタFET10~FET40のバックゲートの電圧VBGP,VBGNが、それぞれ基準電圧に近づくように制御される。したがって、この電源装置100は、インタフェース制御部150が受信した動作指令信号や電圧操作信号に基づいて、各DC-DCコンバータ120~140が、別個に独立して電圧VCC,VBGP,VBGNを、最適な電圧値に調整することができる。

40

#### 【先行技術文献】

50

## 【特許文献】

【0009】

【特許文献1】特開2003-61341号公報

【特許文献2】特開2005-210884号公報

【特許文献3】特開2003-333833号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

【0010】

しかしながら、上述した電源装置100においては、別個に独立して電圧VCC、VBGP、VBGNを調整することができるから、例えば、DC-DCコンバータ130が、PMOSTランジスタFET10、FET30のバックゲートの電圧VBGPの値を、電源電圧VCCの値よりも低い値となるように調整することがある。このような場合には、PMOSTランジスタFET10、FET30のソースからバックゲートに大電流が流れしまい、該PMOSTランジスタFET10、FET30を破壊してしまうことが予想される。

10

【0011】

この発明は、このような状況に鑑み提案されたものであって、複数のDC-DCコンバータを備える電源装置において、各DC-DCコンバータが、各出力電圧の相互の電位関係を維持した上で電圧を発生させることができる電源装置の制御回路、電源装置及びその制御方法を提供することを目的とする。

20

## 【課題を解決するための手段】

【0012】

請求項1の発明に係る電源装置の制御回路及び請求項2の発明に係る電源装置は、電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置及びその制御回路において、複数の直流電圧のうちの一つである第1直流電圧の電圧値に対して所定の電位差を維持する第2直流電圧の電圧値を設定する電圧設定部を備え、電圧設定部は、第1直流電圧の設定値と該第1直流電圧とは異なる他の直流電圧の設定値との大小関係を比較する比較部と、比較部による大小関係の比較結果に基づいて、第1直流電圧の設定値及び他の直流電圧の設定値のうち電圧値が高い設定値を第2直流電圧の設定値として選択する選択部とを備えることを特徴とする。

30

【0013】

請求項1の発明に係る電源装置の制御回路及び請求項2の発明に係る電源装置によれば、電圧設定部が、第1直流電圧の電圧値に対して所定の電位関係を有する第2直流電圧の電圧値を設定するから、第2直流電圧の電圧値は、第1直流電圧の電圧値とは別個に設定されることがなく、各直流電圧の相互の電位関係を維持した上で、複数の直流電圧を出力することができる。

【0014】

請求項3の発明に係る電源装置の制御方法は、電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置の制御方法において、複数の直流電圧のうちの一つである第1直流電圧の電圧値に対して所定の電位差を維持する第2直流電圧の電圧値を設定するステップを備え、電圧値の設定のステップは、第1直流電圧の設定値と該第1直流電圧とは異なる他の直流電圧の設定値との大小関係を比較するステップと、大小関係の比較結果に基づいて、第1直流電圧の設定値及び他の直流電圧の設定値のうち電圧値が高い設定値を第2直流電圧の設定値として選択するステップとを備えることを特徴とする。

40

【0015】

請求項3の発明に係る電源装置の制御方法によれば、第1直流電圧の電圧値に対して所定の電位関係を有する第2直流電圧の電圧値を設定するから、第2直流電圧の電圧値が、第1直流電圧の電圧値とは別個に設定されることがなく、各直流電圧の相互の電位関係を維持した上で、複数の直流電圧を出力することができる。

## 【発明の効果】

50

## 【 0 0 1 6 】

本発明の電源装置の制御回路、電源装置及びその制御方法によれば、第1直流電圧の電圧値に対して所定の電位関係を有する第2直流電圧の電圧値を設定するから、第2直流電圧の電圧値が、第1直流電圧の電圧値とは別個に設定されることがなく、各直流電圧の相互の電位関係を維持した上で、複数の直流電圧を出力することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 7 】

【 図 1 】 本発明の実施形態1に係る電源装置の回路構成図である。

【 図 2 】 実施形態2に係る電源装置の回路構成図である。

【 図 3 】 実施形態3に係る電源装置の回路構成図である。

【 図 4 】 従来電源装置と外部装置との接続状態を表すブロック図である。

【 図 5 】 従来電源装置に外部装置の論理回路が接続された回路構成図である。

【 図 6 】 同論理回路の回路図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 8 】

## &lt; 実施形態 1 &gt;

本発明の実施形態1を、図1を参照しつつ説明する。実施形態1の電源装置10は、図示するように、制御部20と、第1ないし第3DC-DCコンバータ30~50とによって構成されている。制御部20は、インタフェース制御部21と、4つのレジスタREG0~REG3と、加算器22と、レジスタREG2'とを有する。制御部20は、本発明の制御回路に相当する。

## 【 0 0 1 9 】

インタフェース制御部21には、バスB1が接続されている。このバスB1は、図示しないが、外部機器(例えば電子機器)に接続されている。さらに、インタフェース制御部21には、図示するように、レジスタREG0、レジスタREG1、レジスタREG2、レジスタREG3がそれぞれ接続されている。

## 【 0 0 2 0 】

レジスタREG0は、第1DC-DCコンバータ30に接続されている。さらに、このレジスタREG0は、第2DC-DCコンバータ40及び第3DC-DCコンバータ50に接続されている。

## 【 0 0 2 1 】

レジスタREG1は、図示するように、第1DC-DCコンバータ30のD-AコンバータDAC1に接続されている。レジスタREG3は、第3DC-DCコンバータ50のD-AコンバータDAC3に接続されている。

## 【 0 0 2 2 】

レジスタREG1及びレジスタREG2は、加算器22に接続されている。この加算器22には、レジスタREG2'が接続されている。レジスタREG2'は、第2DC-DCコンバータ40のD-AコンバータDAC2に接続されている。

## 【 0 0 2 3 】

第1DC-DCコンバータ30は、図示するように、メインスイッチングトランジスタFET1と、同期側スイッチングトランジスタFET2と、チョークコイルL1と、コンデンサC1とを有する。メインスイッチングトランジスタFET1は、ドレインに入力端子(IN1)が接続され、直流入力電圧VINが、入力端子(IN1)を介して印加される。メインスイッチングトランジスタFET1のソースは、同期側スイッチングトランジスタFET2のドレインに接続されている。同期側スイッチングトランジスタFET2のソースは、グラウンドに接続されている。さらに、メインスイッチングトランジスタFET1のソース及び同期側スイッチングトランジスタFET2のドレインは、チョークコイルL1に接続されている。このチョークコイルL1は、出力端子(OUT1)に接続されている。また、コンデンサC1は、出力端子(OUT1)とグラウンドとの間に接続されている。なお、出力端子(OUT1)は、図示しないが、例えば、電子機器のNAND回路の

10

20

30

40

50

電源端子に接続されている。

【0024】

さらに、第1DC-DCコンバータ30は、誤差増幅器ERA1と、D-AコンバータDAC1と、三角波発振器OSC1と、PWM比較器PWM1とを有する。誤差増幅器ERA1の反転入力端子は、出力端子(OUT1)に接続されている。一方、誤差増幅器ERA1の非反転入力端子は、D-AコンバータDAC1に接続されている。

【0025】

三角波発振器OSC1は、三角波信号を出力する。三角波信号は、一定の電圧値の範囲(例えば、1.0V~2.0V)で振幅する。三角波発振器OSC1は、例えば、OPアンプ、抵抗、コンデンサ等を用いて構成される。

10

【0026】

PWM比較器PWM1は、プラス側入力端子(+)及びマイナス側入力端子(-)を有する。このプラス側入力端子(+)は、誤差増幅器ERA1の出力端子(N1)に接続されている。一方、マイナス側入力端子(-)は、三角波発振器OSC1に接続されている。さらに、PWM比較器PWM1の出力端子(Q1)は、メインスイッチングトランジスタFET1のゲートに接続され、PWM比較器PWM1の反転出力端子(\*Q1)は、同期側スイッチングトランジスタFET2のゲートに接続されている。

【0027】

第2DC-DCコンバータ40は、図示するように、三角波発振器を有しないが、他の構成が、上述した第1DC-DCコンバータ30と同様である。図示の実施形態1では、第1DC-DCコンバータ30の誤差増幅器ERA1を誤差増幅器ERA2、前記D-AコンバータDAC1をD-AコンバータDAC2、前記PWM比較器PWM1をPWM比較器PWM2、前記メインスイッチングトランジスタFET1をメインスイッチングトランジスタFET3、前記同期側スイッチングトランジスタFET2を同期側スイッチングトランジスタFET4、チョークコイルL1をチョークコイルL2、コンデンサC1をコンデンサC2にそれぞれ置き換えると、第2DC-DCコンバータ40を構成することができる。

20

【0028】

PWM比較器PWM2のマイナス側入力端子(-)は、第1DC-DCコンバータ30の三角波発振器OSC1に接続されている。図中の符号(N2)は誤差増幅器ERA2の出力端子、(IN2)は第2DC-DCコンバータ40の入力端子、(OUT2)は第2DC-DCコンバータ40の出力端子、(Q2)及び(\*Q2)は、それぞれPWM比較器PWM2の出力端子及び反転出力端子である。なお、出力端子(OUT2)は、図示しないが、例えば、電子機器のNAND回路を構成するPMOSトランジスタのバックゲートに接続されている。

30

【0029】

第3DC-DCコンバータ50は、NMOSトランジスタFET5と、NMOSトランジスタFET6と、チョークコイルL3と、コンデンサC3とを有する。NMOSトランジスタFET5は、図示するように、ドレインに入力端子(IN3)が接続され、直流入力電圧VINが、入力端子(IN3)を介して印加される。NMOSトランジスタFET5のソースは、チョークコイルL3に接続され、このチョークコイルL3は、グラウンドに接続されている。

40

【0030】

NMOSトランジスタFET5のソースは、NMOSトランジスタFET6のドレインに接続されている。さらに、NMOSトランジスタFET6のソースは、出力端子(OUT3)に接続されている。また、コンデンサC3は、出力端子(OUT3)とグラウンドとの間に接続されている。なお、出力端子(OUT3)は、図示しないが、例えば、電子機器のNAND回路を構成するNMOSトランジスタのバックゲートに接続されている。

【0031】

第3DC-DCコンバータ50は、誤差増幅器ERA3と、D-AコンバータDAC3

50

と、PWM比較器PWM3とを有する。誤差増幅器ERA3の反転入力端子は、出力端子(OUT3)に接続されている。一方、誤差増幅器ERA3の非反転入力端子は、D-AコンバータDAC3に接続されている。

【0032】

PWM比較器PWM3のプラス側入力端子(+)は、誤差増幅器ERA3の出力端子(N3)に接続されている。一方、PWM比較器PWM3のマイナス側入力端子(-)は、第1DC-DCコンバータ30の三角波発振器OSC1に接続されている。さらに、PWM比較器PWM3の出力端子(Q3)は、NMOSトランジスタFET5のゲートに接続され、PWM比較器PWM3の反転出力端子(\*Q3)は、NMOSトランジスタFET6のゲートに接続されている。

10

【0033】

次に、電源装置10の制御方法を説明する。図1に図示するインタフェース制御部21は、バスB1に接続された電子機器の作動状況等のデータを受信する。インタフェース制御部21は、受信したデータを、該データの内容に応じてレジスタREG0~REG3にそれぞれ出力する。

【0034】

インタフェース制御部21は、動作指令信号ON/OFFを、レジスタREG0に出力する。この動作指令信号ON/OFFは、各DC-DCコンバータ30~50の電源の動作/停止を制御するために用いられる。

【0035】

レジスタREG0は、動作指令信号ON/OFFの動作/停止の情報を記憶した後に、動作指令信号ON/OFFを、各DC-DCコンバータ30~50の電源に出力する。各DC-DCコンバータ30~50の電源は、動作指令信号ON/OFFを受信することにより、動作/停止(入切)制御される。

20

【0036】

インタフェース制御部21は、電源電圧指令信号S1を、レジスタREG1に出力する。この電源電圧指令信号S1は、第1DC-DCコンバータ30の出力端子(OUT1)に接続された電子機器(NAND回路)に供給する電源電圧VCCを、最適な電圧値に調整するために用いられる。電源電圧VCCは、本発明の第1直流電圧に相当する。電源電圧指令信号S1は、本発明の第1直流電圧の設定値に相当する。

30

【0037】

レジスタREG1は、電源電圧指令信号S1を記憶した後に、該電源電圧指令信号S1を、第1DC-DCコンバータ30のD-AコンバータDAC1に出力する。D-AコンバータDAC1は、前記電源電圧指令信号S1に応じたアナログ電圧信号(基準電圧)を、誤差増幅器ERA1の非反転入力端子に出力する。なお、レジスタREG1は、電源電圧VCC(第1直流電圧)の調整に用いる電源電圧指令信号S1の設定値を記憶するから、本発明の第1直流電圧情報格納部に相当する。

【0038】

誤差増幅器ERA1の反転入力端子には、図示するように、前記電源電圧VCCが帰還される。誤差増幅器ERA1は、帰還された電源電圧VCCと基準電圧とを比較し、誤差出力電圧を、PWM比較器PWM1のプラス側入力端子(+)に出力する。

40

【0039】

PWM比較器PWM1のマイナス側入力端子(-)には、三角波発振器OSC1によって、三角波信号が入力される。PWM比較器PWM1は、前記誤差出力電圧と三角波信号の電圧値とを比較する。

【0040】

誤差出力電圧が、三角波信号の電圧値よりも大きいときは、PWM比較器PWM1が、ハイレベルのPWM信号を、出力端子(Q1)から出力する。このとき、PWM比較器PWM1は、ローレベルの反転PWM信号を、反転出力端子(\*Q1)から出力する。一方、誤差出力電圧が、三角波信号の電圧値よりも小さいときは、PWM比較器PWM1が、

50

ローレベルのPWM信号を、出力端子(Q1)から出力する。このとき、PWM比較器PWM1は、ハイレベルの反転PWM信号を、反転出力端子(\*Q1)から出力する。

【0041】

PWM信号は、メインスイッチングトランジスタFET1のゲートに入力される。メインスイッチングトランジスタFET1は、PWM信号が、ハイレベルのときにオン状態になり、ローレベルのときにオフ状態になる。反転PWM信号は、同期側スイッチングトランジスタFET2のゲートに入力される。同期側スイッチングトランジスタFET2は、反転PWM信号が、ローレベルのときにオフ状態になり、ハイレベルのときにオン状態になる。PWM信号がハイレベルとローレベルとの間で繰り返し変化し、同時に反転PWM信号がローレベルとハイレベルとの間で繰り返し変化することにより、電源電圧VCCが、最適な電圧値に制御されて、出力端子(OUT1)を介して電子機器(NAND回路)に供給される。

10

【0042】

また、インタフェース制御部21は、オフセット用電圧指令信号S2を、レジスタREG2に出力する。オフセット用電圧指令信号S2は、前記NAND回路を構成するPMOSトランジスタのバックゲートの電圧VBGPの値を、電源電圧VCCの値よりも大きい値に設定するために用いられる。本実施形態では、例えば、インタフェース制御部21が、バスB1によって前記電子機器から受信したデータに基づいて、最適な電源電圧VCCの設定値と電圧VBGPの設定値との差分設定値(オフセット値)を算出する。なお、差分設定値(オフセット値)は、電源装置10の外部に設けられたコントローラ等(図示せず。)により算出することもできる。電圧VBGPの値は、オフセット用電圧指令信号S2によって、電源電圧VCCの値よりも大きい値に設定されるから、電圧VBGPは、本発明の第2直流電圧に相当する。オフセット用電圧指令信号S2は、本発明の第2直流電圧の設定値に相当する。

20

【0043】

レジスタREG2は、オフセット用電圧指令信号S2を記憶した後に、該オフセット用電圧指令信号S2を、加算器22に出力する。レジスタREG2は、電源電圧VCCの設定値(第1直流電圧の設定値)と電圧VBGPの設定値(第2直流電圧の設定値)との差分設定値の設定に用いるオフセット用電圧指令信号S2を記憶するから、本発明の差分電圧情報格納部に相当する。

30

【0044】

加算器22には、図示するように、電源電圧指令信号S1が入力される。加算器22は、電源電圧指令信号S1にオフセット用電圧指令信号S2(オフセット値)を加算し、加算信号S3を、レジスタREG2'に出力する。加算信号S3は、電源電圧指令信号S1とオフセット用電圧指令信号S2とを加算して得られたものであり、電圧VBGP(第2直流電圧)の設定に用いられる。なお、加算器22は、電源電圧VCC(第1直流電圧)の設定に用いる電源電圧指令信号S1に、前記差分設定値の設定に用いるオフセット用電圧指令信号S2を加算して電圧VBGP(第2直流電圧)の設定に用いる加算信号S3を出力するから、本発明の加算部に相当する。

40

【0045】

レジスタREG2'は、加算信号S3を記憶した後に、該加算信号S3を、第2DC-DCコンバータ40のD-AコンバータDAC2に出力する。D-AコンバータDAC2は、前記加算信号S3に応じたアナログ電圧信号(基準電圧)を、誤差増幅器ERA2の非反転入力端子に出力する。レジスタREG2'は、電圧VBGP(第2直流電圧)の設定に用いる加算信号S3を記憶するから、本発明の加算直流電圧情報格納部に相当する。

【0046】

誤差増幅器ERA2の反転入力端子には、図示するように、電圧VBGPが帰還される。誤差増幅器ERA2は、帰還された電圧VBGPと基準電圧とを比較し、誤差出力電圧を、PWM比較器PWM2のプラス側入力端子(+)に出力する。

【0047】

50



PWM比較器PWM2のマイナス側入力端子(-)には、第1DC-DCコンバータ30が備える三角波発振器OSC1によって、三角波信号が入力される。PWM比較器PWM2は、上述したPWM比較器PWM1と同様に、PWM信号及び反転PWM信号を、メインスイッチングトランジスタFET3のゲート及び同期側スイッチングトランジスタFET4のゲートにそれぞれ出力する。そして、上述した電源電圧VCCを制御する方法と同様に、PWM信号がハイレベルとローレベルとの間で繰り返し変化し、同時に反転PWM信号がローレベルとハイレベルとの間で繰り返し変化することにより、電圧VBGPの値が、電源電圧VCCの値よりも大きい値に制御されて、電圧VBGPが、出力端子(OUT2)を介してNAND回路を構成するPMOSTランジスタのバックゲートに供給される。

10

**【0048】**

さらに、インタフェース制御部21は、バックゲート電圧指令信号S4を、レジスタREG3に出力する。このバックゲート電圧指令信号S4は、前記NAND回路を構成するNMOSTランジスタのバックゲートの電圧VBGNの値を設定するために用いられる。

**【0049】**

レジスタREG3は、バックゲート電圧指令信号S4を記憶した後に、該バックゲート電圧指令信号S4を、第3DC-DCコンバータ50のD-AコンバータDAC3に出力する。D-AコンバータDAC3は、前記バックゲート電圧指令信号S4に応じたアナログ電圧信号(基準電圧)を、誤差増幅器ERA3の非反転入力端子に出力する。

**【0050】**

誤差増幅器ERA3の反転入力端子には、図示するように、前記電圧VBGNが帰還される。誤差増幅器ERA3は、帰還された電圧VBGNと基準電圧とを比較し、誤差出力電圧を、PWM比較器PWM3のプラス側入力端子(+)に出力する。

20

**【0051】**

PWM比較器PWM3のマイナス側入力端子(-)には、第1DC-DCコンバータ30が備える三角波発振器OSC1によって、三角波信号が入力される。PWM比較器PWM3は、上述したPWM比較器PWM1,2と同様に、PWM信号及び反転PWM信号を、NMOSTランジスタFET5のゲート及びNMOSTランジスタFET6のゲートにそれぞれ出力する。そして、PWM信号がハイレベルとローレベルとの間で繰り返し変化し、同時に反転PWM信号がローレベルとハイレベルとの間で繰り返し変化することにより、電圧VBGNの値が、最適な電圧値に制御されて、電圧VBGNが、出力端子(OUT3)を介してNAND回路を構成するNMOSTランジスタのバックゲートに供給される。

30

**【0052】****<実施形態1の効果>**

実施形態1の電源装置10及びその制御回路20においては、加算器22が、最適な電源電圧VCCの設定値と電圧VBGPの設定値とのオフセット値を、該電源電圧VCCの設定値に加算し、電圧VBGPの設定に用いる加算信号S3を出力する。これによって、加算信号S3が電源電圧VCCの設定値よりも大きいという関係を維持することができ、NAND回路のPMOSTランジスタは、過大な電流が流れて破壊してしまうことから保護される。

40

また、実施形態1の電源装置10の制御方法によれば、最適な電源電圧VCCの設定値と電圧VBGPの設定値とのオフセット値を、該電源電圧VCCの設定値に加算し、電圧VBGPの設定に用いる加算信号S3を出力する。これによって、加算信号S3が電源電圧VCCの設定値よりも大きいという関係を維持することができ、NAND回路のPMOSTランジスタは、過大な電流が流れて破壊してしまうことから保護される。

**【0053】**

本実施形態の電源装置10及びその制御回路20においては、レジスタREG1が、電源電圧VCCの調整に用いる電源電圧指令信号S1を記憶し、レジスタREG2が、電源電圧VCCの設定値と電圧VBGPの設定値との差分設定値の設定に用いるオフセット用

50

電圧指令信号 S 2 を記憶する。これによって、両レジスタ REG 1 , REG 2 に接続される加算器 2 2 が処理を実行している場合であっても、レジスタ REG 1 及びレジスタ REG 2 は、電源電圧指令信号 S 1 及びオフセット用電圧指令信号 S 2 をそれぞれ一時記憶しておくことができる。また、インタフェース制御部 2 1 が、一度各信号 S 1 , S 2 を各レジスタ REG 1 , REG 2 に出力すれば、各信号 S 1 , S 2 がレジスタ REG 1 , REG 2 に記憶されるから、インタフェース制御部 2 1 は、各信号 S 1 , S 2 を、レジスタ REG 1 , REG 2 に記憶させるために継続して出力する必要がない。

【 0 0 5 4 】

本実施形態の電源装置 1 0 及びその制御回路 2 0 においては、レジスタ REG 2 ' が、加算器 2 2 によって出力された加算信号 S 3 を記憶する。この加算信号 S 3 は、電圧 V B G P ( 第 2 直流電圧 ) の設定に用いられる。レジスタ REG 2 ' は、加算信号 S 3 を順次格納しておくことができる。

10

【 0 0 5 5 】

< 実施形態 2 >

本発明の実施形態 2 を、図 2 を参照しつつ説明する。実施形態 2 の電源装置 1 0 A は、図示するように、制御部 2 0 A と、第 1 ないし第 3 D C - D C コンバータ 3 0 ~ 5 0 とによって構成されている。制御部 2 0 A は、インタフェース制御部 2 1 A と、4 つのレジスタ REG 0 , REG 1 , REG 3 , REG 4 と、比較器 1 と、切替スイッチ回路 M P X 1 と、レジスタ REG 4 ' とを有する。ここでは、実施形態 1 の電源装置 1 0 と同一の構成は同一の符号を付しその説明を省略する。

20

【 0 0 5 6 】

レジスタ REG 1 、レジスタ REG 4 は、図示するように、比較器 1 及び切替スイッチ回路 M P X 1 にそれぞれ接続されている。比較器 1 は、切替スイッチ回路 M P X 1 及びインタフェース制御部 2 1 A に接続されている。切替スイッチ回路 M P X 1 は、レジスタ REG 4 ' に接続されている。レジスタ REG 4 ' は、第 2 D C - D C コンバータ 4 0 の D - A コンバータ D A C 2 に接続されている。

【 0 0 5 7 】

次に、電源装置 1 0 A の制御方法を説明する。ここでは、上述した電源装置 1 0 と同一の制御方法については、その説明を省略する。インタフェース制御部 2 1 A は、実施形態 1 の電源装置 1 0 と同様に、電源電圧指令信号 S 1 を、レジスタ REG 1 に出力する。さらに、インタフェース制御部 2 1 A は、バックゲート電圧指令信号 S 6 を、レジスタ REG 4 に出力する。

30

【 0 0 5 8 】

レジスタ REG 1 は、電源電圧指令信号 S 1 を記憶した後に、該電源電圧指令信号 S 1 を、比較器 1 に出力する。レジスタ REG 4 は、バックゲート電圧指令信号 S 6 を記憶した後に、該バックゲート電圧指令信号 S 6 を、比較器 1 に出力する。レジスタ REG 4 は、電圧 V B G P ( 他の直流電圧 ) の設定に用いられるバックゲート電圧指令信号 S 6 を記憶するから、本発明の直流電圧情報格納部に相当する。

【 0 0 5 9 】

比較器 1 は、電源電圧指令信号 S 1 とバックゲート電圧指令信号 S 6 とを比較する。バックゲート電圧指令信号 S 6 が、電源電圧指令信号 S 1 よりも小さいときは、比較器 1 が、スイッチ切替信号 S 7 を、切替スイッチ回路 M P X 1 に出力する。切替スイッチ回路 M P X 1 は、スイッチ切替信号 S 7 を受信すると、電源電圧指令信号 S 1 を、レジスタ REG 4 ' に出力する。なお、比較器 1 は、電源電圧指令信号 S 1 ( 第 1 直流電圧の設定値 ) とバックゲート電圧指令信号 S 6 ( 他の直流電圧の設定値 ) とを比較し、両電圧値の大小関係を判断するから、本発明の比較部に相当する。

40

【 0 0 6 0 】

比較器 1 は、スイッチ切替信号 S 7 とともに、注意喚起信号 A L A R M を、インタフェース制御部 2 1 A に出力する。インタフェース制御部 2 1 A は、注意喚起信号 A L A R M を受信すると、バス B 1 によって、注意喚起信号 A L A R M を、前記電子機器に出力する

50

。注意喚起信号 A L A R M は、電子機器がインタフェース制御部 2 1 A に転送した電圧 V B G P の設定値が、電源電圧 V C C の設定値よりも小さいことを、該電子機器に知らせるものである。

#### 【 0 0 6 1 】

一方、バックゲート電圧指令信号 S 6 の大きさが、電源電圧指令信号 S 1 の大きさ以上であるときは、比較器 1 が、注意喚起信号 A L A R M を出力せず、スイッチ切替信号 S 7 を出力する。切替スイッチ回路 M P X 1 は、スイッチ切替信号 S 7 を受信すると、バックゲート電圧指令信号 S 6 を、レジスタ R E G 4 ' に出力する。切替スイッチ回路 M P X 1 は、スイッチ切替信号 S 7 によりスイッチを切り替え、電源電圧指令信号 S 1 またはバックゲート電圧指令信号 S 6 のいずれか一方を選択して出力するから、本発明の選択部に相当する。

10

#### 【 0 0 6 2 】

レジスタ R E G 4 ' は、電源電圧指令信号 S 1 またはバックゲート電圧指令信号 S 6 を記憶した後に、該信号 S 1 または該信号 S 6 を、第 2 D C - D C コンバータ 4 0 の D - A コンバータ D A C 2 に出力する。第 2 D C - D C コンバータ 4 0 は、第 1 実施形態の第 2 D C - D C コンバータ 4 0 と同様に動作し、電圧 V B G P の値を、電源電圧 V C C の値と同一または該電圧 V C C の値よりも大きい値に制御する。なお、レジスタ R E G 4 ' は、切替スイッチ回路 M P X 1 が出力する第 2 直流電圧の設定値（ここでは、電源電圧指令信号 S 1 またはバックゲート電圧指令信号 S 6 ）を記憶するから、本発明の選択直流電圧情報格納部に相当する。

20

#### 【 0 0 6 3 】

< 実施形態 2 の効果 >

実施形態 2 の電源装置 1 0 A 及びその制御回路 2 0 A においては、切替スイッチ回路 M P X 1 が、比較器 1 による電圧指令信号の大小関係の比較結果に基づいて、電源電圧指令信号 S 1 及びバックゲート電圧指令信号 S 6 のうちの電圧値が高い設定値を、電圧 V B G P の設定値として選択する。これによって、電圧 V B G P の設定値が電源電圧の設定値以上になるという関係を維持することができる。

また、実施形態 2 の電源装置 1 0 A の制御方法によれば、電源電圧指令信号 S 1 とバックゲート電圧指令信号 S 6 との大小関係の比較結果に基づいて、電源電圧指令信号 S 1 及びバックゲート電圧指令信号 S 6 のうちの電圧値が高い設定値を、電圧 V B G P の設定値として選択する。これによって、電圧 V B G P の設定値が電源電圧の設定値以上になるという関係を維持することができる。

30

#### 【 0 0 6 4 】

本実施形態の電源装置 1 0 A 及びその制御回路 2 0 A においては、レジスタ R E G 1 が、電源電圧 V C C の調整に用いる電源電圧指令信号 S 1 を記憶し、レジスタ R E G 4 が、電圧 V B G P (他の直流電圧) の設定に用いるバックゲート電圧指令信号 S 6 を記憶する。これによって、両レジスタ R E G 1 , R E G 4 に接続される比較器 1 が処理を実行している場合であっても、レジスタ R E G 1 及びレジスタ R E G 4 は、電源電圧指令信号 S 1 及びバックゲート電圧指令信号 S 6 をそれぞれ一時記憶しておくことができる。また、インタフェース制御部 2 1 A が、一度各信号 S 1 , S 6 を各レジスタ R E G 1 , R E G 4 に出力すれば、各信号 S 1 , S 6 がレジスタ R E G 1 , R E G 4 に記憶されるから、インタフェース制御部 2 1 A は、各信号 S 1 , S 6 を、レジスタ R E G 1 , R E G 4 に記憶させるために継続して出力する必要がない。

40

#### 【 0 0 6 5 】

本実施形態の電源装置 1 0 A 及びその制御回路 2 0 A においては、レジスタ R E G 4 ' が、切替スイッチ回路 M P X 1 が出力する電源電圧指令信号 S 1 またはバックゲート電圧指令信号 S 6 を記憶する。この信号 S 1 または信号 S 6 は、電圧 V B G P (第 2 直流電圧) の設定に用いられる。レジスタ R E G 4 ' は、前記信号 S 1 または前記信号 S 6 を順次格納しておくことができる。

#### 【 0 0 6 6 】

50

### <実施形態3>

本発明の実施形態3を、図3を参照しつつ説明する。実施形態3の電源装置10Bは、図示するように、制御部20Bと、第1ないし第3DC-DCコンバータ30~50とによって構成されている。制御部20Bは、インタフェース制御21Bと、4つのレジスタREG0, REG1, REG3, REG4と、2つの比較器(比較器1及び比較器2)と、2つの切替スイッチ回路(MPX1及びMPX2)と、レジスタREG3'及びレジスタREG4'とを有する。ここでは、実施形態1及び実施形態2の各電源装置10, 10Aと同一の構成は同一の符号を付しその説明を省略する。

#### 【0067】

レジスタREG1は、図示するように、比較器1及び比較器2に接続されている。比較器2には、図示するように、零電圧信号S8が入力されている。比較器2は、切替スイッチ回路MPX2に接続されている。切替スイッチ回路MPX2には、比較器2と同様に零電圧信号S8が入力されるとともに、レジスタREG3'が接続されている。切替スイッチ回路MPX2は、レジスタREG3'に接続されている。

10

#### 【0068】

次に、電源装置10Bの制御方法を説明する。ここでは、上述した電源装置10, 10Aと同一の制御方法については、その説明を省略する。レジスタREG1は、電源電圧指令信号S1を記憶した後に、該電源電圧指令信号S1を、比較器1及び比較器2に出力する。

#### 【0069】

比較器2は、電源電圧指令信号S1と零電圧信号S8とを比較する。零電圧信号S8は、電圧設定値の情報(ここでは、設定値が零になる情報)を有する。電源電圧指令信号S1が、零電圧信号S8に等しいときは、比較器2が、スイッチ切替信号S9を、切替スイッチ回路MPX2に出力する。なお、比較器2は、電源電圧指令信号S1(第1直流電圧の設定値)と零電圧信号S8(他の直流電圧の設定値)とを比較し、両電圧値の大小関係を判断するから、本発明の比較部に相当する。

20

#### 【0070】

図示するように、切替スイッチ回路MPX2には、バックゲート電圧指令信号S4及び零電圧信号S8が入力されている。切替スイッチ回路MPX2は、前記スイッチ切替信号S9を受信すると、零電圧信号S8を、レジスタREG3'に出力する。

30

#### 【0071】

比較器2は、スイッチ切替信号S9とともに、前記注意喚起信号ALARMを、インタフェース制御部21Bに出力する。インタフェース制御部21Bは、注意喚起信号ALARMを受信すると、バスB1によって、注意喚起信号ALARMを、前記電子機器に出力する。この注意喚起信号ALARMは、電子機器がインタフェース制御部21Bに転送した電圧VBGNの値が、電源電圧VCCの値よりも大きいことを、該電子機器に知らせるものである。

#### 【0072】

一方、電源電圧指令信号S1が、零電圧信号S8と異なるときは、比較器2は、注意喚起信号ALARMを出力せず、スイッチ切替信号S9を出力する。切替スイッチ回路MPX2は、スイッチ切替信号S9を受信すると、バックゲート電圧指令信号S4を、レジスタREG3'に出力する。切替スイッチ回路MPX2は、スイッチ切替信号S9によりスイッチを切り替え、零電圧信号S8またはバックゲート電圧指令信号S4のいずれか一方を選択して出力するから、本発明の選択部に相当する。

40

#### 【0073】

レジスタREG3'は、零電圧信号S8またはバックゲート電圧指令信号S4を記憶した後に、該信号S8または該信号S4を、第3DC-DCコンバータ50のD-AコンバータDAC3に出力する。レジスタREG3'は、切替スイッチ回路MPX2が出力する第2直流電圧の設定値(ここでは、零電圧信号S8またはバックゲート電圧指令信号S4)を記憶するから、本発明の選択直流電圧情報格納部に相当する。

50

## 【0074】

第3DC-DCコンバータ50においては、PWM比較器PWM3が、誤差増幅器ERA3の誤差出力電圧を、三角波信号の電圧値と比較し、PWM信号及び反転PWM信号を、NMOSTランジスタFET5のゲート及びNMOSTランジスタFET6のゲートに出力する。そして、PWM信号がハイレベルとローレベルとの間で繰り返し変化し、同時に反転PWM信号がローレベルとハイレベルとの間で繰り返し変化することにより、電圧VBGNの値が、零または目標電圧値に制御される。

## 【0075】

<実施形態3の効果>

実施形態3の電源装置10B及びその制御回路20Bにおいては、比較器2による電圧指令信号の大小関係の比較結果に基づいて、電源電圧指令信号S1が、零電圧信号S8に等しいと判断されたときに、切替スイッチ回路MPX2が、零電圧信号S8を、電圧VBGNの設定値として選択する。これによって、電源電圧指令信号S1が零のときは、電圧VBGNの設定値も零にするという関係を維持することができる。

また、実施形態3の電源装置10Bの制御方法によれば、電源電圧指令信号S1と零電圧信号S8との大小関係の比較結果に基づいて、電源電圧指令信号S1が、零電圧信号S8に等しいと判断されたときに、零電圧信号S8を、電圧VBGNの設定値として選択する。これによって、電源電圧指令信号S1が零のときは、電圧VBGNの設定値も零にするという関係を維持することができる。

## 【0076】

本実施形態の電源装置10B及びその制御回路20Bにおいては、レジスタREG3'が、切替スイッチ回路MPX2が出力する零電圧信号S8またはバックゲート電圧指令信号S4を記憶する。この信号S8または信号S4は、電圧VBGN(第2直流電圧)の設定に用いられる。レジスタREG3'は、前記信号S8または前記信号S4を順次格納しておくことができる。

## 【0077】

本発明は、上述した実施形態1ないし実施形態3に限定されるものではなく、発明の趣旨を逸脱しない範囲内において、構成の一部を適宜変更して実施することができる。例えば、本発明の実施形態の電源装置は、2つの加算器22(図1参照。)を備えるものであってもよい。この電源装置においては、1の加算部22をレジスタREG2'(図1参照。)に接続し、レジスタREG2'を、1の加算部22とは異なる他の加算部に接続するようにしてもよい。さらに、他の加算部には、実施形態1と同様に、オフセット用電圧指令信号を記憶したレジスタを接続してもよい。これによって、1の加算器22が、加算信号S3(図1参照。)を、レジスタREG2'を介して前記他の加算部に入力し、該他の加算部は、加算信号S3にオフセット用電圧指令信号を加算し、任意の直流電圧の設定に用いる加算信号を出力することができる。したがって、他の加算部は、1の加算部22が出力した加算信号S3に関連付けて任意の直流電圧の設定に用いる加算信号を出力し、他の加算部は、1の加算部22とは別個に任意の直流電圧の電圧値を設定することがない。この電源装置の制御方法によれば、前記加算信号S3に関連付けて任意の直流電圧を出力し、加算信号S3とは別個に任意の直流電圧の電圧値を設定することがない。

## 【0078】

さらに、本発明の実施形態の電源装置においては、2つ以上の加算器22を複数段に亘って接続し、前段の加算器の加算信号を、後段の加算器に順次入力するようにしてもよい。これによって、2つ以上の加算器の間においても、後段の加算部は、前段の加算部が出力した加算信号に関連付けて任意の直流電圧の設定に用いる加算信号を出力し、後段の加算部は、前段の加算部とは別個に任意の直流電圧の電圧値を設定することがない。

## 【0079】

上述した実施形態1ないし実施形態3においては、各電圧指令信号S1~S4, S6, S8は、電圧値に比例した値を有するデジタルコードに限らず、電圧値に比例せず該電圧値を表すデジタルコードであってもよい。また、各電圧指令信号S1~S4, S6,

10

20

30

40

50

S 8 は、信号の種類（ここでは、電圧指令用信号）を表すデジタルコード及び電圧値に比例せず該電圧値を表すデジタルコードからなるものであってもよい。なお、実施形態 1 ないし実施形態 3 の電源装置 10、10A、10B の制御回路 20、20A、20B は、単一の半導体チップ又は複数の半導体チップにより構成してもよい。また、電源装置 10、10A、10B を、単一の半導体チップ又は複数の半導体チップにより構成してもよい。また、電源装置 10 等及びそれらの制御回路 20A 等を、モジュールとして構成してもよい。さらに、電子機器を、制御回路及び DC - DC コンバータを備える電源装置を用いるものとしてもよい。

#### 【0080】

本発明の技術思想により背景技術における課題を解決するための手段を、以下に列記する。

10

（付記 1） 電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置の制御回路において、

前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位関係を有する第 2 直流電圧の電圧値を設定する電圧設定部を備えることを特徴とする電源装置の制御回路。

（付記 2） 前記電圧設定部は、前記第 1 直流電圧の設定値に、前記第 1 直流電圧の設定値と前記第 2 直流電圧の設定値との差分設定値を加算して前記第 2 直流電圧の設定値を算出する加算部を備えることを特徴とする付記 1 に記載の電源装置の制御回路。

（付記 3） 前記第 1 直流電圧の設定値の情報を格納する第 1 直流電圧情報格納部と、前記差分設定値の情報を格納する差分電圧情報格納部と、を備えることを特徴とする付記 2 に記載の電源装置の制御回路。

20

（付記 4） 前記加算部によって算出された前記第 2 直流電圧の設定値の情報を格納する加算直流電圧情報格納部を備えることを特徴とする付記 2 に記載の電源装置の制御回路。

（付記 5） 前記電圧設定部を複数備え、前記複数の電圧設定部は、該複数の電圧設定部のうちの 1 の電圧設定部によって設定される前記第 2 直流電圧の設定値が、前記 1 の電圧設定部とは異なる他の電圧設定部における前記第 1 直流電圧の設定値となるように配置されることを特徴とする付記 1 に記載の電源装置の制御回路。

（付記 6） 前記電圧設定部は、前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較する比較部と、前記比較部による前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうちの電圧値が高い設定値を前記第 2 直流電圧の設定値として選択する選択部と、を備えることを特徴とする付記 1 に記載の電源装置の制御回路。

30

（付記 7） 前記第 1 直流電圧の設定値の情報を格納する第 1 直流電圧情報格納部と、前記他の直流電圧の設定値の情報を格納する直流電圧情報格納部と、を備えることを特徴とする付記 6 に記載の電源装置の制御回路。

（付記 8） 前記選択部によって選択された前記第 2 直流電圧の設定値の情報を格納する選択直流電圧情報格納部を備えることを特徴とする付記 6 に記載の電源装置の制御回路。

40

（付記 9） 電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置において、前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位関係を有する第 2 直流電圧の電圧値を設定する電圧設定部を備えることを特徴とする電源装置。

（付記 10） 前記電圧設定部は、前記第 1 直流電圧の設定値に、前記第 1 直流電圧の設定値と前記第 2 直流電圧の設定値との差分設定値を加算して前記第 2 直流電圧の設定値を算出する加算部を備えることを特徴とする付記 9 に記載の電源装置。

（付記 11） 前記第 1 直流電圧の設定値の情報を格納する第 1 直流電圧情報格納部と、前記差分設定値の情報を格納する差分電圧情報格納部と、を備えることを特徴とする付記 10 に記載の電源装置。

50

(付記 1 2) 前記加算部によって算出された前記第 2 直流電圧の設定値の情報を格納する加算直流電圧情報格納部を備えることを特徴とする付記 1 0 に記載の電源装置。

(付記 1 3) 前記電圧設定部を複数備え、前記複数の電圧設定部は、該複数の電圧設定部のうちの 1 の電圧設定部によって設定される前記第 2 直流電圧の設定値が、前記 1 の電圧設定部とは異なる他の電圧設定部における前記第 1 直流電圧の設定値となるように配置されることを特徴とする付記 9 に記載の電源装置。

(付記 1 4) 前記電圧設定部は、前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較する比較部と、前記比較部による前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうち電圧値が高い設定値を前記第 2 直流電圧の設定値として選択する選択部と、を備えることを特徴とする付記 9 に記載の電源装置。

(付記 1 5) 前記第 1 直流電圧の設定値の情報を格納する第 1 直流電圧情報格納部と、前記他の直流電圧の設定値の情報を格納する直流電圧情報格納部と、を備えることを特徴とする付記 1 4 に記載の電源装置。

(付記 1 6) 前記選択部によって選択された前記第 2 直流電圧の設定値の情報を格納する選択直流電圧情報格納部を備えることを特徴とする付記 1 4 に記載の電源装置。

(付記 1 7) 電圧値がそれぞれ異なる複数の直流電圧を出力する電源装置の制御方法において、

前記複数の直流電圧のうちの一つである第 1 直流電圧の電圧値に対して所定の電位関係を有する第 2 直流電圧の電圧値を設定することを特徴とする電源装置の制御方法。

(付記 1 8) 前記第 1 直流電圧の設定値に、前記第 1 直流電圧の設定値と前記第 2 直流電圧の設定値との差分設定値を加算して前記第 2 直流電圧の設定値を算出することを特徴とする付記 1 7 に記載の電源装置の制御方法。

(付記 1 9) 付記 1 7 に記載の電源装置の制御方法において、前記第 2 直流電圧の設定値が複数設定される場合に、該複数の第 2 直流電圧の設定値のうち 1 の設定値が、他の前記第 2 直流電圧の設定値に対して所定の電位関係を有する前記第 1 直流電圧の設定値とされることを特徴とする電源装置の制御方法。

(付記 2 0) 前記第 1 直流電圧の設定値と該第 1 直流電圧とは異なる他の直流電圧の設定値との大小関係を比較し、前記大小関係の比較結果に基づいて、前記第 1 直流電圧の設定値及び前記他の直流電圧の設定値のうち電圧値が高い設定値を前記第 2 直流電圧の設定値として選択することを特徴とする付記 1 7 に記載の電源装置の制御方法。

#### 【符号の説明】

##### 【0081】

10, 10A, 10B	電源装置
20, 20A, 20B	制御部(制御回路)
22	加算器(加算部)
MPX1, MPX2	切替スイッチ回路(選択部)
VCC	電源電圧(第1直流電圧)
V B G P	M O S トランジスタのバックゲートの電圧(第2直流電圧, 他の直流電圧)

10

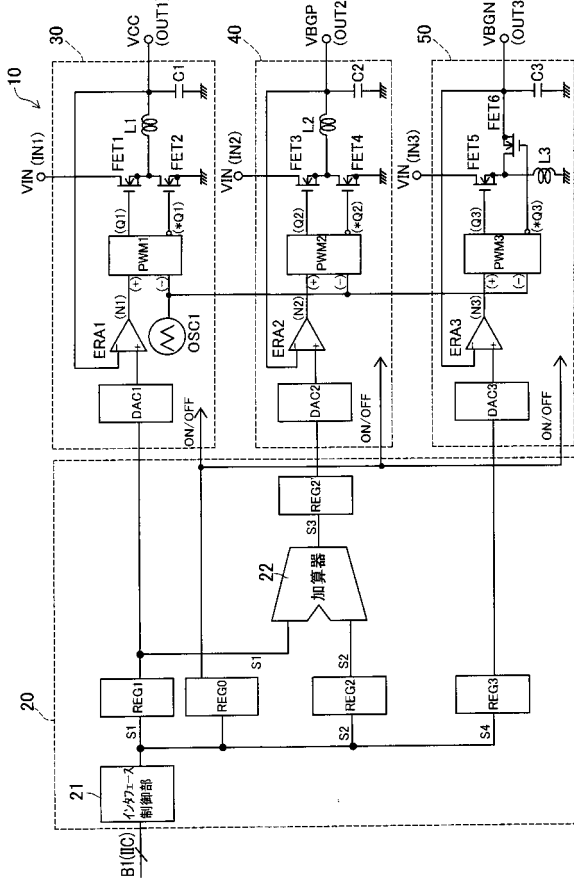
20

30

40

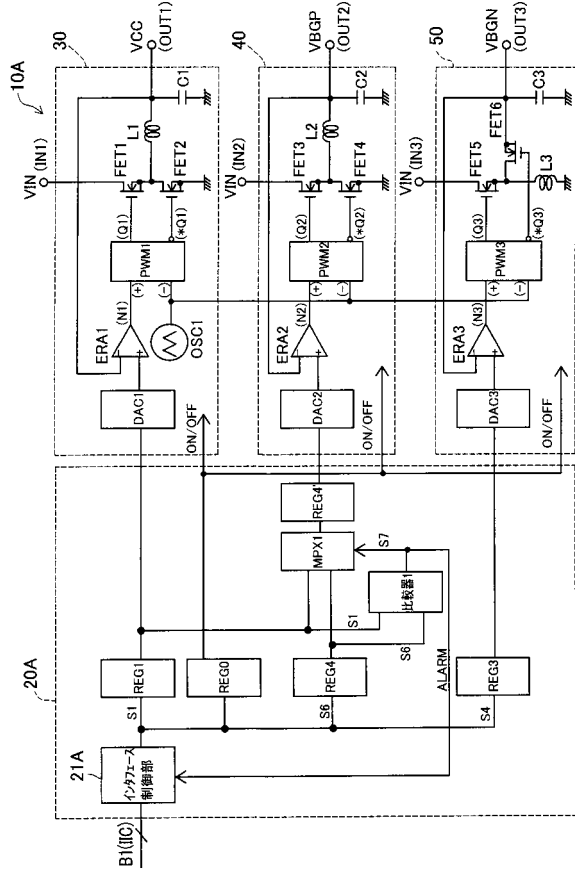
【図1】

本発明の実施形態1に係る電源装置の回路構成図



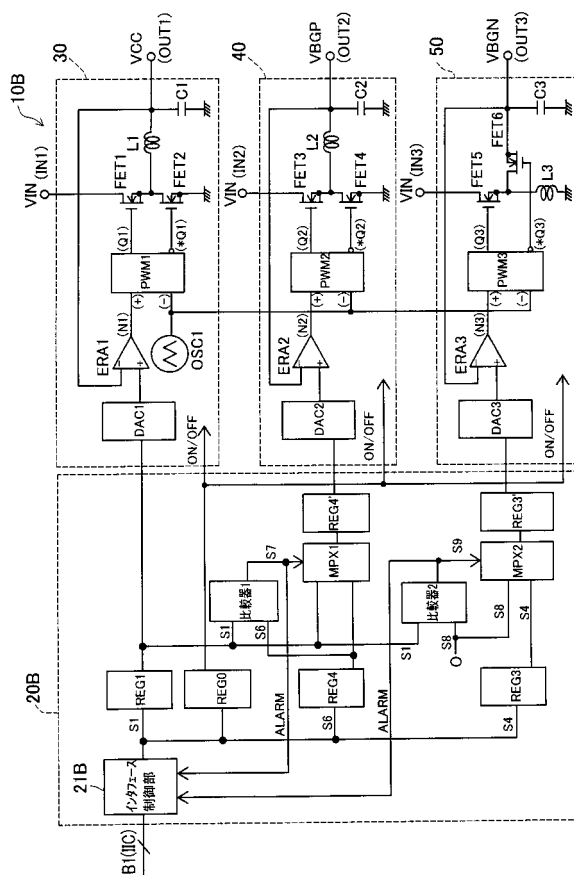
【図2】

実施形態2に係る電源装置の回路構成図



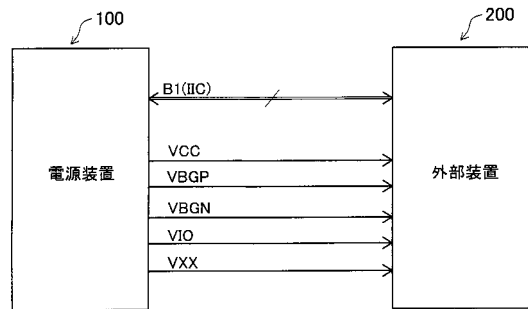
【図3】

実施形態3に係る電源装置の回路構成図



【図4】

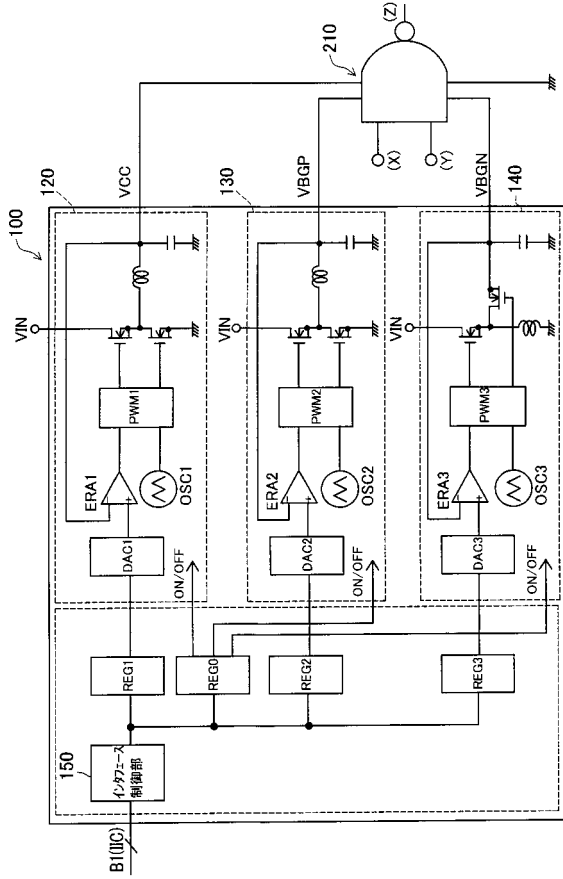
従来の電源装置と外部装置との接続状態を表すブロック図





【 図 5 】

従来の電源装置に外部装置の論理回路が接続された回路構成図



【 図 6 】

論理回路の回路図

