

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

136 602

Patent dodatkowy
do patentu nr _____

Zgłoszono: 81 03 03 (P. 252471)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 82 09 13

Opis patentowy opublikowano: 88 01 30

Int. Cl.³ H03K 13/00
H04L 3/00



Twórca wynalazku: Janusz Górecki

Uprawniony z patentu: Politechnika Warszawska,
Warszawa (Polska)

Sposób i układ dekodowania kodu transmisyjnego

Przedmiotem wynalazku jest sposób i układ dekodowania kodu transmisyjnego, zwłaszcza do transmisji danych wykorzystującej łącza fizyczne.

Znany jest z polskiego opisu zgłoszenia patentowego P-229 968 sposób kodowania transmisyjnego, w którym binarnemu sygnałowi danych o elementach przyjmujących stany 1 i 0 przyporządkowuje się sygnał, w którym inicjuje się zmianę stanu w momencie zdetekowania środka każdego elementu 0 w sygnale danych uzyskując sygnał danych zakodowanych różnicowo, w którym z kolei wykrywa się elementy 0, elementy 1 i grupy o parzystej liczbie elementów 1 występujące po nieparzystej liczbie elementów 0 i generuje się sygnał tak kodowany, że wymuszona w nim zmiana stanu w odniesieniu do sygnału danych zakodowanych różnicowo występuje między elementami 0 oraz w środku elementów 1 za wyjątkiem ostatniego elementu w grupie o parzystej liczbie elementów 1, gdy pomiędzy poprzednią taką grupą a następną znajduje się nieparzysta liczba elementów 0.

Celem wynalazku jest podanie sposobu dekodowania tak zakodowanego sygnału i zaprojektowanie układu dekodującego.

Istota sposobu polega na tym, że w odebranym sygnale podlegającym dekodowaniu, po jego wzmocnieniu i ograniczeniu, wykrywa się elementy o czasie trwania dwa i pół oraz trzy razy dłuższym od odstępu jednostkowego modulacji T i odwraca się fazę o 180° tych elementów po czasie T, a następnie tak ukształtowany sygnał sumuje się modulo 2 z takim samym sygnałem ale opóźnionym o czas T i elementy tego sygnału traktuje się jak duobity stanowiące kryterium podczas dekodowania dla uzyskania sygnału danych według takiego przyporządkowania, że dla duobitu 11 generuje się w sygnale danych element 1, dla duobitu 01 lub 10 generuje się element 0, zaś przy detekcji duobitu 00 zmienia się fazę elementowej podstawy czasu o 180° przy czym podczas dekodowania jako przebieg zegarowy wykorzystuje się sygnał podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości elementowej podstawy czasu synchronizowanej wzmocnionym i ograniczonym sygnałem odebranym.

Zgodnie z wynalazkiem układ dekodowania transmisyjnego ma dekoder wstępny, dekoder różnicowy oraz układ odtwarzania podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości podstawy czasu połączone tak, że wejścia dekodera wstępnego i układu odtwarzania podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości podstawy czasu są połączone ze źródłem dostarczającym wzmocniony i ograniczony sygnał odebrany, zaś wyjście dekodera wstępnego jest połączone z wejściem dekodera różnicowego, którego

wyjścia dla danych zdekodowanych i elementowej podstawy czasu dla elementów odbieranych są połączone z wyjściem danych, a wejścia zegarowe dekodera wstępnego i dekodera różnicowego są połączone z wyjściem układu odtwarzania podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości elementowej podstawy czasu.

Zaletą przedstawionego rozwiązania jest jednoczesność procesu dekodowania uzyskiwana po wystąpieniu choć jednego duobitu zabronionego 00 co ma miejsce, gdy w zakodowanym sygnale danych pojawi się choć jeden element o czasie trwania $1,5T$ lub $2T$. Układ według wynalazku zapewnia eliminację szkodliwego wpływu zakłóceń na fazę podstawy czasu, gdyż za właściwą uznawana jest tu podstawa czasu, która detekuje mniej duobitów zabronionych 00.

Przedmiot wynalazku uwidoczniiony jest w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu dekodowania, fig. 2 przedstawia przebiegi czasowe w charakterystycznych punktach układu blokowego przedstawionego na fig. 1, fig. 3 – schemat logiczny układu dekodowania, a fig. 4 – przebiegi czasowe w charakterystycznych punktach układu logicznego przedstawionego na fig. 3.

Podczas dekodowania we wzmocnionym i ograniczonym sygnale odebranym S_{od} wykrywa się elementy o czasie trwania dwa i pół oraz trzy razy dłuższym od odstępu jednostkowego modulacji T i odwraca się fazę o 180° tych elementów po czasie T . Tak ukształtowany sygnał wstępnie zdekodowany S_{wzd} sumuje się modulo 2 z takim samym sygnałem ale opóźnionym o czas T i elementy tego sygnału traktuje się jako duobity stanowiące kryterium w procesie dekodowania. I tak dla duobitu 11 generuje się w sygnale zdekodowanym danych S_{dz} element 1, dla duobitu 10 lub 01 generuje się element 0, zaś przy detekcji duobitu 00 zmienia się fazę o 180° elementowej podstawy czasu T . Podczas dekodowania jako przebieg zegarowy wykorzystuje się sygnał podstawy czasu o podwójnej częstotliwości S_{2fbt} w stosunku do częstotliwości elementowej podstawy czasu S_{fbt} synchronizowanej wzmocnionym i ograniczonym sygnałem odebranym. Układ realizujący ten sposób dekodowania zawiera dekodery wstępny DW , dekodery różnicowe DR i układ U_{2fbt} odtwarzania podstawy czasu o podwójnej częstotliwości $2fbt$ w stosunku do częstotliwości elementowej podstawy czasu fbt . Sygnał odebrany S_{od} jest podawany na wejście D znajdującego się w dekoderyze wstępnym DW przerzutnika $P1$ i na wejście układu odtwarzania podstawy czasu U_{2fbt} . Wyjście Q przerzutnika $P1$ – sygnał S_{QP1} – jest połączone z wejściem D przerzutnika $P2$ i wejściem zerującym R_0 licznika $L1$. Wyjście Q przerzutnika $P1$ jest połączone z wejściem zerującym R_0 licznika $L2$. Sygnał S_{2fbt} z wyjścia układu odtwarzania podstawy czasu U_{2fbt} jest doprowadzony do wejść T przerzutników $P1 \div P5$ i do wejść B liczników $L1$ i $L2$ oraz do wejść I przerzutników $P7 \div P10$. Na wyjściach Q_B liczników $L1$ i $L2$ pojawiają się odpowiednio sygnały S_{BL1} i S_{BL2} . Liczniki $L1$ i $L2$ są typowymi licznikami do sześciu zrealizowanymi na układach scalonych typu 7492. Wyjście QC – sygnał S_{QCL1} – i wyjście QD – sygnał S_{QDL1} – licznika $L1$ oraz wyjście QC – sygnał S_{QCL2} – i wyjście QD – sygnał S_{QDL2} – licznika $L2$ są połączone odpowiednio z dwuwejściowymi bramkami $B1$, $B2$ a ich wyjścia są połączone z wejściami bramki $B3$. Wyjście bramki $B3$, na którym występuje ujemny impuls w momencie detekcji elementu o długości $2,5 T$ oraz $3 T$ – sygnał S_{B3} – jest połączone z wejściem D przerzutnika $P5$, którego wyjście Q – sygnał S_{QP5} – jest połączone z wejściem T przerzutnika $P6$.

Wyjście Q przerzutnika $P2$ jest połączone z wejściem D przerzutnika $P3$, zaś wyjście Q przerzutnika $P3$ jest połączone z wejściem D przerzutnika $P4$, którego wyjście Q – sygnał S_{QP4} – jest połączone z wejściem bramki $B4$. Drugie wejście tej bramki jest połączone z wyjściem Q przerzutnika $P6$ – sygnał S_{QP6} . Wyjście bramki $B4$ – sygnał S_{B4} – jest połączone ze znajdującym się w dekoderyze różnicowym DR wejściem D przerzutnika $P8$ i wejściem bramki $B5$. Wyjście Q przerzutnika $P8$ jest połączone z wejściem D przerzutnika $P9$, którego wyjście Q – sygnał S_{QP9} – jest połączone z drugim wejściem bramki $B5$. Wyjście bramki $B5$ – sygnał S_{B5} – jest połączone z wejściami D przerzutników $P10$, $P11$ i $P12$ oraz z wejściem bramki $B6$. Wyjście Q przerzutnika $P10$ – sygnał S_{QP10} – jest połączone z wejściem D przerzutników $P13$ i $P14$ i z drugim wejściem bramki $B6$. Wyjście Q przerzutnika $P7$ – sygnał S_{fbt} – jest połączone z wejściami T przerzutników $P11$ i $P13$ i poprzez inwerty $I1$ z wejściem bramki $B7$. Dwa pozostałe wejścia bramki $B7$ są połączone z wyjściami Q przerzutników $P11$, $P13$ czyli na wejścia bramki $B7$ dostarczane są sygnały S_{QP11} i S_{QP13} . Wyjście Q przerzutnika $P7$ – sygnał S_{fbt} – jest połączone z wejściami T przerzutników $P12$, $P14$ a poprzez inwerty $I2$ z wejściem bramki $B8$ oraz wejściem bramki $B9$. Na dwa pozostałe wejścia bramki $B8$ dostarczane są sygnały S_{QP12} , S_{QP14} poprzez ich połączenie z wyjściami Q przerzutników $P12$, $P14$. Wyjście bramki $B7$ – sygnał S_{B7} – jest połączone z wejściem zliczającym wstecz CPD programowanego, rewersyjnego dzielnika częstotliwości $L3$ zrealizowanego na układzie scalonym typu 74193. Wyjście bramki $B8$ – sygnał S_{B8} – jest połączone z wejściem zliczającym w przód CPU tego licznika. Wyjście B_{OUT} licznika $L3$ jest połączone z wejściami bramek $B10$ i $B11$. Wyjście C_{OUT} tego licznika jest połączone z drugim wejściem bramki $B10$ i z wejściem bramki $B12$. Wyjście bramki $B10$ jest połączone z wejściem L licznika $L3$. Wyjście bramki $B12$ – sygnał S_{B12} – jest połączone z wejściem programującym PD licznika $L3$ i z wejściami bramek $B11$ i $B9$. Wyjście bramki $B11$ jest połączone z wejściami programującymi PA , PB , PC licznika $L3$ i z wejściem bramki $B12$. Wyjście bramki $B9$, na którym pojawia się sygnał elementowej odbiorczej podstawy czasu S_{B9} jest połączone z wejściem T przerzutnika $P15$. Na wejście D tego przerzutnika jest dostarczany sygnał S_{B6} z wyjścia bramki $B6$, zaś na wyjściu Q tego przerzutnika pojawia się sygnał danych zdekodowanych S_{dz} .

1. Sposób dekodowania kodu transmisyjnego takiego, że binarnemu sygnałowi danych o elementach przyjmujących stany 1 i 0 przyporządkowuje się sygnał, w którym inicjuje się zmianę stanu w momencie zdekodowania środka każdego elementu 0 w sygnale danych uzyskując sygnał danych zakodowanych różnicowo, w którym z kolei wykrywa się elementy 0, elementy 1 i grupy o parzystej liczbie elementów 1 występujące po nieparzystej liczbie elementów 0 i generuje się sygnał tak kodowany, że wymuszona w nim zmiana stanu w odniesieniu do sygnału danych zakodowanych różnicowo występuje między elementami 0 oraz w środku elementów 1 za wyjątkiem ostatniego elementu w grupie o parzystej liczbie elementów 1, gdy pomiędzy poprzednią taką grupą a następną znajduje się nieparzysta liczba elementów 0, z n a m i e n n y t y m, że po odebraniu tego sygnału po jego wzmacnieniu i ograniczeniu wykrywa się w nim elementy o czasie trwania dwa i pół oraz trzy razy dłuższym od odstępu jednostkowego modulacji T i odwraca się fazę o 180° tych elementów po czasie T a następnie tak ukształtowany sygnał sumuje się modulo 2 z takim samym sygnałem ale opóźnionym o czas T i elementy tego sygnału traktuje się jak duobity stanowiące kryterium podczas dekodowania dla uzyskania sygnału danych według takiego przyporządkowania, że dla duobitu 11 generuje się w sygnale danych element 1, dla duobitu 01 lub 10 generuje się element 0, zaś przy detekcji duobitu 00 zmienia się fazę o 180° elementowej podstawy czasu przy czym podczas dekodowania jako przebieg zegarowy wykorzystuje się sygnał podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości elementowej podstawy czasu synchronizowanej wzmacnionym i ograniczonym sygnałem odebranym.

2. Układ dekodowania transmisyjnego, z n a m i e n n y t y m, że ma dekodery wstępny (DW), dekodery różnicowy (DR) oraz układ odtwarzania podstawy czasu o podwójnej częstotliwości w stosunku do częstotliwości podstawy czasu (U_{2fbit}) połączone tak, że wejście dekodera wstępnego (DW) i układu odtwarzania podstawy czasu (U_{2fbit}) są połączone ze źródłem dostarczającym wzmacniony i ograniczony sygnał odebrany (S_{od}), zaś wyjście dekodera wstępnego (DW) jest połączone z wejściem dekodera różnicowego (DR), którego wyjścia dla danych zdekodowanych (S_{dz}) i elementowej podstawy czasu (S_{fbit}) dla elementów odbieranych są połączone z wyjściem danych, a wejścia zegarowe dekodera wstępnego (DW) i dekodera różnicowego (DR) są połączone z wyjściem układu odtwarzania podstawy czasu (U_{2fbit}).

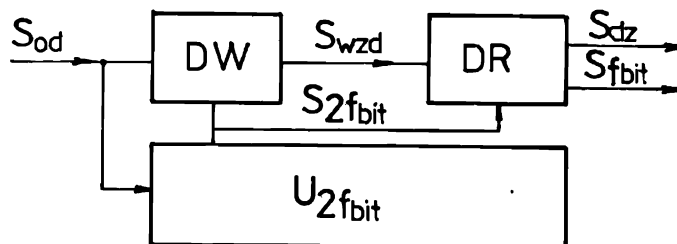


FIG 1

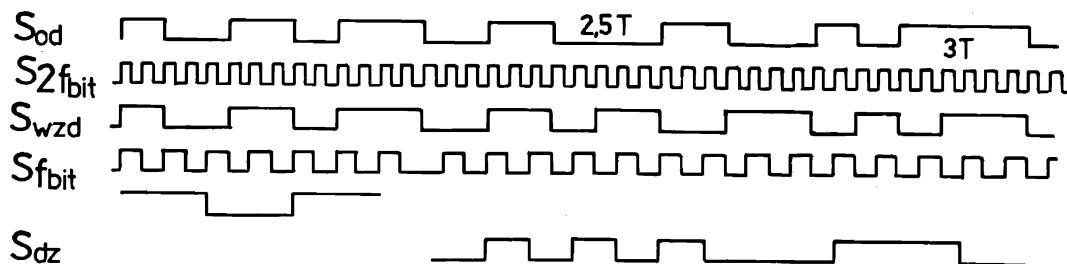


FIG 2

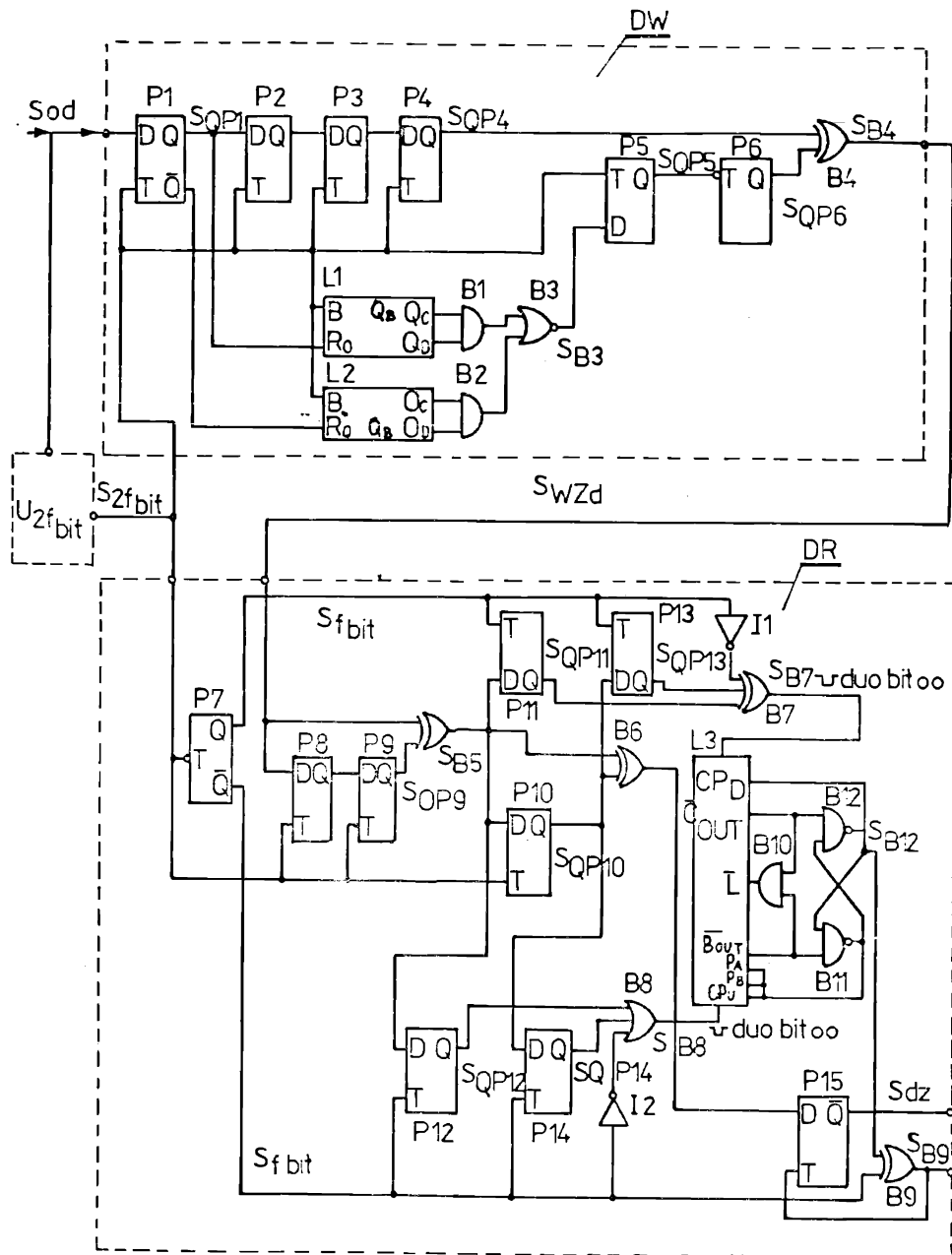


FIG 3

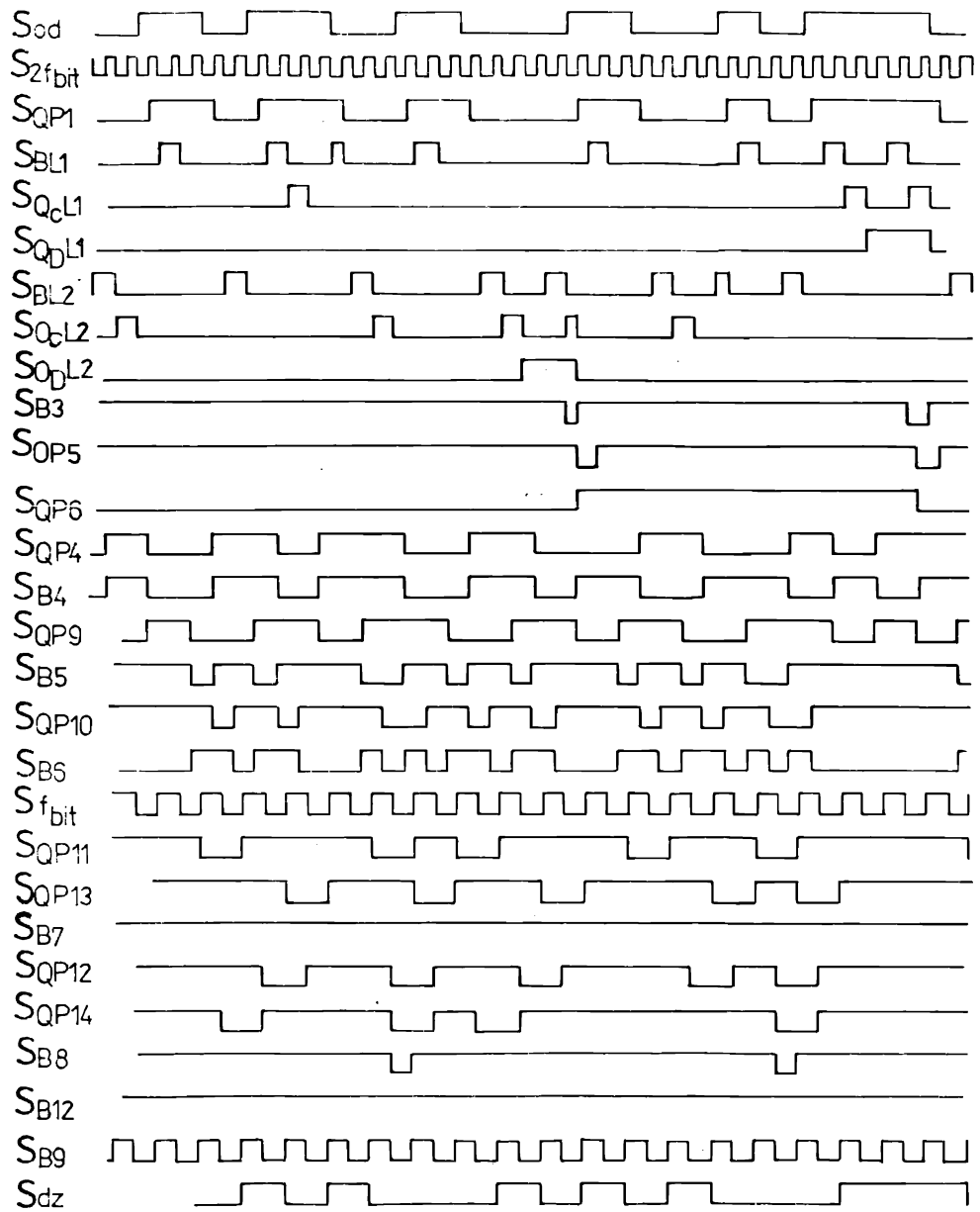


FIG.4