

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年6月28日(2012.6.28)

【公表番号】特表2011-522402(P2011-522402A)

【公表日】平成23年7月28日(2011.7.28)

【年通号数】公開・登録公報2011-030

【出願番号】特願2011-509604(P2011-509604)

【国際特許分類】

H 01 L	27/088	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/808	(2006.01)
H 01 L	27/098	(2006.01)
H 01 L	21/337	(2006.01)
H 01 L	27/095	(2006.01)
H 01 L	21/8222	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/8248	(2006.01)

【F I】

H 01 L	27/08	1 0 2 A
H 01 L	29/78	3 0 1 V
H 01 L	29/80	C
H 01 L	29/80	E
H 01 L	27/08	1 0 2 C
H 01 L	27/06	1 0 1 U
H 01 L	27/06	1 0 2 A
H 01 L	29/78	3 0 1 G

【手続補正書】

【提出日】平成24年5月9日(2012.5.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

J F E Tコンポーネントと、

J F E Tコンポーネントに近接して配置された第1の蓄積型M O S F E Tと、

トレンチ底部端においてJ F E Tコンポーネントに近接して配置された第2の蓄積型M O S F E Tと、  
を含み、

J F E Tコンポーネント、第1の蓄積型M O S F E Tおよび第2の蓄積型M O S F E T  
が当該装置のバルクシリコン領域を流れる電流を生じさせるように構成されているハイブ  
リッドパワー電界効果トランジスタ装置。

【請求項2】

チャネル装置中のn+ソースとp+コンタクトを連結することなく、縦型コンタクトト  
レンチの側壁に形成され、J F E Tコンポーネントの側方に配置された第1のショットキ

ー領域をさらに含む請求項 1 に記載の装置。

【請求項 3】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET は、トレンチ側壁の薄膜酸化物およびトレンチ底部に近い厚膜ゲート酸化物領域を含み、ゲート-トレンチ容量を低減する請求項 1 に記載の装置。

【請求項 4】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が自己位置決めを容易にするように、高電流設計レイアウトにより配置される請求項 1 に記載の装置。

【請求項 5】

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成される請求項 1 に記載の装置。

【請求項 6】

第 1 の蓄積型 MOSFET および前記第 2 の蓄積型 MOSFET が N チャネル MOSFET である請求項 1 に記載の装置。

【請求項 7】

前記第 2 の MOSFET が前記ソースと接続する絶縁ゲートを有する請求項 1 に記載の装置。

【請求項 8】

JFET コンポーネント、第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET がトレンチ型縦型装置として形成されている請求項 1 に記載の装置。

【請求項 9】

JFET コンポーネントと、

JFET コンポーネントに近接して配置された第 1 の蓄積型 MOSFET と、

第 1 の蓄積型 MOSFET の反対側の JFET コンポーネントに近接して配置された第 2 の蓄積型 MOSFET と、

を含み、

JFET コンポーネント、第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が装置のバルクシリコン領域を通る電流フローを引き起こすように構成され、JFET コンポーネント、第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET はトレンチ型縦型構造として形成されているパワー MOSFET 装置。

【請求項 10】

JFET コンポーネントの側方に配置された第 1 のショットキー領域と、

第 1 のショットキー領域とは反対側の JFET コンポーネントの側方に配置された第 2 のショットキー領域とを、

さらに含む請求項 9 に記載の装置。

【請求項 11】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が厚膜でより下方の酸化物ゲート領域を含み、ゲート-ドレイン容量を低減する請求項 9 に記載の装置。

【請求項 12】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が自己位置決めを容易にする高電流設計レイアウトに従って配置されている請求項 9 に記載の装置。

【請求項 13】

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成されている請求項 9 に記載の装置。

【請求項 14】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が N チャネル型 MOSFET である請求項 9 に記載の装置。

【請求項 15】

第 1 の蓄積型 MOSFET および第 2 の蓄積型 MOSFET が P チャネル型 MOSFET である請求項 9 に記載の装置。

**【請求項 16】**

J F E T コンポーネントと、  
J F E T コンポーネントに近接して配置された第 1 の蓄積型 M O S F E T と、  
第 1 の蓄積型 M O S F E T とは反対側の F E T コンポーネントに近接して配置された第 2 の蓄積型 M O S F E T と、  
J F E T コンポーネントの側方に配置された第 1 のショットキー領域と、  
第 1 のショットキー領域とは反対側の J F E T コンポーネントの側方に配置された第 2 のショットキー領域と、  
を含み、  
J F E T コンポーネント、第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が装置のバルクシリコン領域を通る電流を引き起こすように構成されているパワーフェット装置。

**【請求項 17】**

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が厚膜でより下方の酸化物ゲート領域を含み、ゲート - ドレイン容量を低減する請求項 16 に記載の装置。

**【請求項 18】**

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T が自己位置決めを容易にするように高電流設計レイアウトに従って配置されている請求項 16 に記載の装置。

**【請求項 19】**

装置のバルクシリコン領域を通る誘導電流フローがゲート酸化物の拡散を低減するように構成される請求項 16 に記載の装置。

**【請求項 20】**

第 1 の蓄積型 M O S F E T および第 2 の蓄積型 M O S F E T のドレイン領域が縦型コンタクトトレーナーと接する請求項 1、9 および 16 のいずれか 1 項に記載の装置。

**【請求項 21】**

第 1 の蓄積型 M O S F E T のソース領域が第 1 の蓄積型 M O S F E T のドレイン領域の反対側にある請求項 1、9 および 16 のいずれか 1 項に記載の装置。