(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3709572号

(P3709572)

(45)発行日　平成17年10月26日(2005.10.26)　(24)登録日　平成17年8月19日(2005.8.19)

(51)Int.Cl.[7]		F I		
H04N	7/24	H04N	7/13	Z
G06T	9/00	G06T	9/00	
H03M	7/30	H03M	7/30	Z
H04N	1/41	H04N	1/41	B
// H04N	7/01	H04N	7/01	G

請求項の数 2　(全 9 頁)

(21)出願番号　特願平6-282756
(22)出願日　平成6年10月21日(1994.10.21)
(65)公開番号　特開平8-126007
(43)公開日　平成8年5月17日(1996.5.17)
審査請求日　平成13年10月4日(2001.10.4)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　中屋　秀雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　菅原　道晴

最終頁に続く

(54)【発明の名称】クラス分類装置および方法

(57)【特許請求の範囲】

【請求項１】

入力画素の中から処理の対象となる注目画素と上記注目画素の周辺の画素とからなるｎ個の画素を使用して、上記注目画素のクラスを決定していたクラス分類適応処理装置におけるクラス分類装置において、

入力端子から供給される画素のデータを遅延する遅延手段と、

上記ｎ個の画素よりも広い範囲のｍ個の画素（ｍ＞ｎ）から第１の最大値を検出する第１の最大値検出工程と、

上記ｍ個の画素から第１の最小値を検出する第１の最小値検出手段と、

検出された上記第１の最大値と、上記第１の最小値とから第１のダイナミックレンジを算出する第１のダイナミックレンジ算出手段と、

上記遅延手段から供給される画素のデータから上記第１の最小値を減算し、第１の減算値を算出する第１の減算手段と、

上記ｍ個の画素から第２の最大値を検出する第２の最大値検出手段と、

上記ｍ個の画素から第２の最小値を検出する第２の最小値検出手段と、

検出された上記第２の最大値と、上記第２の最小値とから第２のダイナミックレンジを算出する第２のダイナミックレンジ算出手段と、

上記遅延手段から供給される画素のデータから上記第２の最小値を減算し、第２の減算値を算出する第２の減算手段と、

上記第１のダイナミックレンジおよび上記第１の減算値と、上記第２のダイナミックレ

ンジおよび上記第２の減算値とをｍ／２個の画素毎に交互に用いて量子化値を生成する量子化手段と、
上記量子化手段から出力される連続した複数の量子化値を用いて、所定のビット数からなる上記クラスを指示するクラスコードを生成するクラスコード生成手段とを有し、
上記第１の最大値、上記第１の最小値、および上記第１のダイナミックレンジと、上記第２の最大値、上記第２の最小値、および上記第２のダイナミックレンジとを上記ｍ／２個の画素毎に算出するようにしたことを特徴とするクラス分類装置。
【請求項２】
入力画素の中から処理の対象となる注目画素と上記注目画素の周辺の画素とからなるｎ個の画素を使用して、上記注目画素のクラスを決定していたクラス分類適応処理装置におけるクラス分類方法において、
入力端子から供給される画素のデータを遅延する遅延工程と、
上記ｎ個の画素よりも広い範囲のｍ個の画素（ｍ＞ｎ）から第１の最大値を検出する第１の最大値検出工程と、
上記ｍ個の画素から第１の最小値を検出する第１の最小値検出工程と、
検出された上記第１の最大値と、上記第１の最小値とから第１のダイナミックレンジを算出する第１のダイナミックレンジ算出工程と、
上記遅延工程から供給される画素のデータから上記第１の最小値を減算し、第１の減算値を算出する第１の減算工程と、
上記ｍ個の画素から第２の最大値を検出する第２の最大値検出工程と、
上記ｍ個の画素から第２の最小値を検出する第２の最小値検出工程と、
検出された上記第２の最大値と、上記第２の最小値とから第２のダイナミックレンジを算出する第２のダイナミックレンジ算出工程と、
上記遅延工程から供給される画素のデータから上記第２の最小値を減算し、第２の減算値を算出する第２の減算工程と、
上記第１のダイナミックレンジおよび上記第１の減算値と、上記第２のダイナミックレンジおよび上記第２の減算値とをｍ／２個の画素毎に交互に用いて量子化値を生成する量子化工程と、
上記量子化工程から出力される連続した複数の量子化値を用いて、所定のビット数からなる上記クラスを指示するクラスコードを生成するクラスコード生成工程とを有し、
上記第１の最大値、上記第１の最小値、および上記第１のダイナミックレンジと、上記第２の最大値、上記第２の最小値、および上記第２のダイナミックレンジとを上記ｍ／２個の画素毎に算出するようにしたことを特徴とするクラス分類方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、クラス分類適応処理、例えばＳＤ（Standerd Difinition ）ＴＶ画像からＨＤ（High Difinition ）ＴＶ画像を生成する解像度創造や、圧縮符号化における適応復号、時空間間引き補間などにおいて使用される、汎用技術であるクラス分類装置および方法に関する。
【０００２】
【従来の技術】
従来のクラス分類適応処理の例として、本願出願人は、特願平４－１５５７１９号（特開平５－３２８１８５号公報）において、複数の入力データの分布状態に応じたクラス分けがされ、各クラスに関するデータ変換、すなわち、クラス毎に標準解像度の信号を高解像度の信号へ変換するアップコンバージョンを提案している。このためのマッピング表は、トレーニング用の種々の絵柄の源画像を用いて予め形成されている。従って、このマッピング表によって、入力画像信号に含まれない高解像度成分を復元することができる。
【０００３】
さらに、特願平５－２３７１２０号においては、サブサンプリングにより間引かれた画素

の補間にクラス分類適応処理が適用される。この場合には、学習によって、補間値を予め作成するので、補間フィルタを使用するのと異なり、斜め方向の解像度を復元でき、復号画像の画質を向上できる。また、代表値として、ダイナミックレンジで正規化された値を用いるので、代表値を格納するメモリの規模が大きくなることを防止することができることを提案している。また、特願平５－１８６９８６号において、画像信号パターン毎に学習によって求められた下位ビットデータを用いて、入力画像データよりも多いビット数で量子化された画像データに変換を行うことにより、階調不足による疑似輪郭の発生等の問題を解決することを提案している。

【０００４】

さらにまた、特願平５－２０７０４９号において、ディジタルクロマキー装置に関して、画像切り換え用のキー信号を生成するための入力画像の画素データのレベル解像度を増加させ、この結果、ストレッチ処理を施してもキー信号の量子化歪みを許容範囲内に制限するものを提案している。さらに、特願平５－２１３２１０号、特願平５－２４１１８６号等様々なクラス分類適応処理を提案している。

【０００５】

従来、クラス分類においてＡＤＲＣ（Adaptive Dinamic Range Coding ）を用いた場合、例えば図３に示すように水平方向の１５画素からなるタップより矢印で示される注目される画素のクラスが形成されると、注目画素が１画素毎に移動したとき、そのクラスは移動したタップ毎、すなわち１画素毎にクラスの計算が行われていた。

【０００６】

ここで、従来のＡＤＲＣを使用したクラス形成回路の一例のブロック図を図４に示す。入力端子１０１から１画素のデータが供給され、供給された画素値は、レジスタ１０６、１２２、１２８、比較器１２３、１２９へ供給される。また、入力端子１０２からクラスコード発生回路１０５へロード信号ＬＤ１が供給され、供給されたロード信号ＬＤ１は、ＡＮＤゲート１２４、１３０、レジスタ１２５、１３２へ供給される。入力端子１０３からクラスコード発生回路１０５へロード信号ＬＤ２が供給され、入力端子１０４からクラスコード発生回路１０５へイネーブル信号ＯＥが供給され、供給されたロード信号ＬＤ２、およびイネーブル信号ＯＥは、クラス生成回路１４３へ供給される。このロード信号ＬＤ１、ＬＤ２、イネーブル信号ＯＥは、１５クロックに１回信号レベルが `Ｌ' となる。

【０００７】

レジスタ１０６へ供給された画素値は、クロック信号に従ってレジスタ１０７へ供給される。このように、レジスタ１０６へ供給された画素値は、レジスタ１２１まで、クロック信号に従って、画素値は、遅延される。そして、レジスタ１２２、比較器１２３、ＡＮＤゲート１２４により最小値ＭＩＮが検出され、検出された最小値ＭＩＮは、レジスタ１２５へ供給される。この比較器１２３は、Ａ端子に供給されるデータと、Ｂ端子に供給されるデータとを比較し、Ａ端子に供給されるデータの方が大きければ `Ｌ' を出力する。比較器１２３の'Ｌ'は、ＡＮＤゲート１２４を介して、レジスタ１２２のロードパルスとなり、Ｂ端子に供給されているデータがレジスタ１２２に保持される。レジスタ１２５では、検出された最小値ＭＩＮが保持され、減算器１２６へ供給される。減算器１２６では、レジスタ１２１から供給された画素値から検出された最小値ＭＩＮの減算が行われ、減算結果は、レジスタ１２７を介して、量子化回路１３４へ供給される。

【０００８】

レジスタ１２８、比較器１２９、ＡＮＤゲート１３０により最大値ＭＡＸが検出され、検出された最大値ＭＡＸは減算器１３１へ供給される。この比較器１２９は、比較器１２３と同様にＡ端子に供給されるデータの方が大きければ `Ｌ' を出力する。比較器１２９の'Ｌ'は、ＡＮＤゲート１３０を介して、レジスタ１２８のロードパルスとなり、Ａ端子に供給されているデータがレジスタ１２８に保持される。減算器１３１では、検出された最大値ＭＡＸから検出された最小値ＭＩＮが減算され、ダイナミックレンジＤＲが算出され、算出されたダイナミックレンジＤＲは、レジスタ１３２へ供給される。レジスタ１３２では、ダイナミックレンジＤＲが保持され、ダイナミックレンジＤＲは、レジスタ１３

３を介して、量子化回路１３４へ供給される。量子化回路１３４では、レジスタ１２７から供給された画素値とレジスタ１３３から供給されたダイナミックレンジＤＲとから供給された画素の量子化が行われる。

【０００９】

量子化された画素値は、レジスタ１３５へ供給され、供給された画素値は、クロック毎にレジスタ１４２まで伝送され、レジスタ１３５～１４２に保持された量子化された画素値は、次のレジスタに伝送されると共に、クラス生成回路１４３へ供給される。クラス生成回路１４３では、量子化された８つの画素値から１つのクラスコードが生成され、生成されたクラスコードは、出力端子１４４から取り出される。

【００１０】

【発明が解決しようとする課題】

上述のような回路では、クラスコードが算出されるまでに３０クロック以上のスループットディレイが必要となり、注目画素を１個ずらす毎にリアルタイムでクラスコードの計算を行うとすれば、図５のブロック図で示すように上述の回路を１５個並列し、出力されるクラスコードを選択する必要があるため、ハードウェアはかなり重いものになる問題があった。

【００１１】

従って、この発明の目的は、基本的なパターン分類を変更することなくクラス分類を行うためのハードウェアを簡略化することができるクラス分類装置および方法を提供することにある。

【００１２】

【課題を解決するための手段】

この発明は、入力画素の中から処理の対象となる注目画素と注目画素の周辺の画素とからなるｎ個の画素を使用して、注目画素のクラスを決定していたクラス分類適応処理装置におけるクラス分類装置において、入力端子から供給される画素のデータを遅延する遅延手段と、ｎ個の画素よりも広い範囲のｍ個の画素（ｍ＞ｎ）から第１の最大値を検出する第１の最大値検出工程と、ｍ個の画素から第１の最小値を検出する第１の最小値検出手段と、検出された第１の最大値と、第１の最小値とから第１のダイナミックレンジを算出する第１のダイナミックレンジ算出手段と、遅延手段から供給される画素のデータから第１の最小値を減算し、第１の減算値を算出する第１の減算手段と、ｍ個の画素から第２の最大値を検出する第２の最大値検出手段と、ｍ個の画素から第２の最小値を検出する第２の最小値検出手段と、検出された第２の最大値と、第２の最小値とから第２のダイナミックレンジを算出する第２のダイナミックレンジ算出手段と、遅延手段から供給される画素のデータから第２の最小値を減算し、第２の減算値を算出する第２の減算手段と、第１のダイナミックレンジおよび第１の減算値と、第２のダイナミックレンジおよび第２の減算値とをｍ／２個の画素毎に交互に用いて量子化値を生成する量子化手段と、量子化手段から出力される連続した複数の量子化値を用いて、所定のビット数からなるクラスを指示するクラスコードを生成するクラスコード生成手段とを有し、第１の最大値、第１の最小値、および第１のダイナミックレンジと、第２の最大値、第２の最小値、および第２のダイナミックレンジとをｍ／２個の画素毎に算出するようにしたことを特徴とするクラス分類装置である。

さらに、この発明は、入力画素の中から処理の対象となる注目画素と注目画素の周辺の画素とからなるｎ個の画素を使用して、注目画素のクラスを決定していたクラス分類適応処理装置におけるクラス分類方法において、入力端子から供給される画素のデータを遅延する遅延工程と、ｎ個の画素よりも広い範囲のｍ個の画素（ｍ＞ｎ）から第１の最大値を検出する第１の最大値検出工程と、ｍ個の画素から第１の最小値を検出する第１の最小値検出工程と、検出された第１の最大値と、第１の最小値とから第１のダイナミックレンジを算出する第１のダイナミックレンジ算出工程と、遅延工程から供給される画素のデータから第１の最小値を減算し、第１の減算値を算出する第１の減算工程と、ｍ個の画素から第２の最大値を検出する第２の最大値検出工程と、ｍ個の画素から第２の最小値を検出す

る第２の最小値検出工程と、検出された第２の最大値と、第２の最小値とから第２のダイナミックレンジを算出する第２のダイナミックレンジ算出工程と、遅延工程から供給される画素のデータから第２の最小値を減算し、第２の減算値を算出する第２の減算工程と、第１のダイナミックレンジおよび第１の減算値と、第２のダイナミックレンジおよび第２の減算値とをｍ／２個の画素毎に交互に用いて量子化値を生成する量子化工程と、量子化工程から出力される連続した複数の量子化値を用いて、所定のビット数からなるクラスを指示するクラスコードを生成するクラスコード生成工程とを有し、第１の最大値、第１の最小値、および第１のダイナミックレンジと、第２の最大値、第２の最小値、および第２のダイナミックレンジとをｍ／２個の画素毎に算出するようにしたことを特徴とするクラス分類方法である。

【００１３】

【作用】

クラスを形成するｎ個の画素からなるタップより広い範囲のｍ個の画素（ｍ＞ｎ）から最小値ＭＩＮ、最大値ＭＡＸが検出され、検出された最小値ＭＩＮ、最大値ＭＡＸからダイナミックレンジＤＲを求めることにより、精度を劣化させることなくクラス形成回路の並列化数を減らすことが可能である。

【００１４】

【実施例】

以下、この発明に係るクラス分類装置の一実施例について、図面を参照しながら説明する。図１は、この発明に係るタイミングチャートである。この発明は、例えば図１Ａに示すように水平方向に連続する画素を用いてクラスを生成する。この図１Ａでは、従来のクラスを形成するタップに含まれる画素を●で表し、そのときの注目画素を矢印で表す。上述したように従来は、注目される画素のクラスを形成する場合、クラスを形成するｎ個の画素からなるタップから最小値ＭＩＮ、最大値ＭＡＸが検出され、ダイナミックレンジＤＲが算出されていた。

【００１５】

しかしながら、この実施例では、図１Ａに示すようにダイナミックレンジＤＲを算出する対象画素がクラスを形成するｎ個の画素からなるタップより長いｍ個の画素からなるタップへ拡張される。これは前提として、画像の相関性から、比較的狭い範囲でのダイナミックレンジはあまり変化がないものとすることを根拠とする。さらに、注目画素毎にダイナミックレンジＤＲの算出を行わないように、ある程度の範囲内では１度算出されたダイナミックレンジＤＲを使用する。すなわち、図１Ｂに示すＴ１の期間に含まれる画素の量子化は、図１Ａに示すようにｍ１タップの範囲で算出されたダイナミックレンジＤＲが使用される。

【００１６】

ここで、最小値ＭＩＮ、および最大値ＭＡＸが検出され、ダイナミックレンジＤＲが算出される検出回路の並列化数をｐとすると、このダイナミックレンジＤＲを算出する周期は、ｍ／ｐ画素毎とし（ｐ＞１）、この周期毎に最小値ＭＩＮ、および最大値ＭＡＸが検出され、ダイナミックレンジＤＲが算出される。このとき、ダイナミックレンジを算出する画素の範囲を全くオーバーラップさせないと、ダイナミックレンジの対象画素間の切れ目（境界）において、ミスマッチが生じるため、この実施例では、図１Ａに示すように、ｍ／２ずつオーバーラップさせてダイナミックレンジＤＲが算出される。

【００１７】

図１Ｂは、ｍ１タップで算出されるダイナミックレンジＤＲを用いて量子化される画素の期間Ｔ１、およびｍ２タップで算出されるダイナミックレンジＤＲを用いて量子化される画素の期間Ｔ２を示す。所定のｍ１タップの範囲の始めで、図１Ｃに示すロード信号ＬＤ１の信号レベルが `Ｌ' となる。図１Ｅに示す選択信号ＳＥＬ１の信号レベルが `Ｌ' となる期間の画素は、ｍ１タップのダイナミックレンジＤＲに基づいて、量子化される。所定のｍ２タップの範囲が始めで、図１Ｄに示すロード信号ＬＤ２の信号レベルが `Ｌ' となる。図１Ｆに示す選択信号ＳＥＬ２の信号レベルが `Ｌ' となる期間の画素は、ｍ２タ

ップのダイナミックレンジＤＲに基づいて、量子化される。また、ｍ２タップの範囲は、ｍ１タップの範囲とｍ／２の範囲でオーバーラップしている。

【００１８】

ここで、この発明のクラス分類装置の一実施例を図２のブロック図に示し、詳細に説明する。この図２は、基本的に図４の回路を２並列化する場合の一例である。上述と同様に、入力端子１から１画素のデータが供給され、供給された画素値は、レジスタ2_1、クラスコード生成回路１０、３０へ供給される。また、クラスコード生成回路１０とクラスコード生成回路３０との回路構成は同じ同じものとするため、ここではクラスコード生成回路１０を用いて説明を行う。クラスコード生成回路１０へ供給された画素値は、レジスタ１３、１９、比較器１４、２０へ供給される。

【００１９】

入力端子１１からクラスコード発生回路１０へ選択信号ＳＥＬ１が供給され、供給された選択信号ＳＥＬ１は、レジスタ１８、２４へ供給される。また、入力端子１２からクラスコード発生回路１０へロード信号ＬＤ１が供給され、供給されたロード信号ＬＤ１は、ＡＮＤゲート１５、２１、レジスタ１６、２３へ供給される。このロード信号ＬＤ１は、図１Ｃに示すようにダイナミックレンジ対象画素のｍ1タップに１回信号レベルが `Ｌ' となり、選択信号ＳＥＬ１は、図１Ｅに示すようにｍ1タップの対象画素から算出されたダイナミックレンジＤＲを用いて量子化される画素が注目画素とされる期間、信号レベル `Ｌ' となる。

【００２０】

レジスタ2_1へ供給された画素値は、クロック信号に従ってレジスタ2_2へ供給される。このように、レジスタ2_1へ供給された画素値は、レジスタ2_mまで、クロック信号に従って、画素値は、遅延される。そして、レジスタ１３、比較器１４、ＡＮＤゲート１５により最小値ＭＩＮが検出され、検出された最小値ＭＩＮは、レジスタ１６へ供給される。この比較器１４は、Ａ端子に供給されるデータと、Ｂ端子に供給されるデータとを比較し、Ａ端子に供給されるデータの方が大きければ `Ｌ' を出力する。

【００２１】

この比較器１４の `Ｌ' は、ＡＮＤゲート１５を介して、レジスタ１３のロードパルスとなる。レジスタ１６では、検出された最小値ＭＩＮが保持され、減算器１７へ供給される。減算器１７では、レジスタ$2_m$から供給された画素値から検出された最小値ＭＩＮの減算が行われ、減算結果は、レジスタ１８を介して、選択信号ＳＥＬ１の信号レベルが `Ｌ' となる期間、量子化回路５１へ供給される。

【００２２】

さらに、レジスタ１９、比較器２０、ＡＮＤゲート２１により最大値ＭＡＸが検出され、検出された最大値ＭＡＸは減算器２２へ供給される。この比較器２０は、比較器１４と同様にＡ端子に供給されるデータの方が大きければ `Ｌ' を出力する。この比較器２０の `Ｌ' は、ＡＮＤゲート２１を介して、レジスタ１９のロードパルスとなる。減算器２２では、検出された最大値ＭＡＸから検出された最小値ＭＩＮが減算され、ダイナミックレンジＤＲが算出され、算出されたダイナミックレンジＤＲは、レジスタ２３へ供給される。レジスタ２３では、ダイナミックレンジＤＲが保持され、ダイナミックレンジＤＲは、レジスタ２４を介して、選択信号ＳＥＬ１の信号レジスタが `Ｌ' となる期間、量子化回路５１へ供給される。量子化回路５１では、レジスタ１８から供給された画素値とレジスタ２４から供給されたダイナミックレンジＤＲとから供給された画素の量子化が行われる。

【００２３】

ここで、クラスコード発生回路３０は、クラスコード発生回路１０と同様な構成とされ、入力端子３１からクラスコード発生回路１０へ選択信号ＳＥＬ２が供給され、入力端子３２からクラスコード発生回路１０へロード信号ＬＤ２が供給される。このロード信号ＬＤ２は、図１Ｄに示すようにダイナミックレンジ対象画素のｍ2タップに１回、信号レベルが `Ｌ' となり、選択信号ＳＥＬ２は、図１Ｆに示すようにｍ2タップの対象画素から算出されたダイナミックレンジＤＲを用いて量子化される画素が注目画素とされる期間、

信号レベルが `Ｌ' となる。すなわち、クラスコード発生回路３０から最小値が減算された画素値と、ダイナミックレンジＤＲが量子化回路５１へ供給される。

【００２４】

すなわち、最小値ＭＩＮが減算された画素値と、ダイナミックレンジＤＲがクラスコード発生回路１０から量子化回路５１へｍ／ｐ画素分供給され、次に最小値ＭＩＮが減算された画素値と、ダイナミックレンジＤＲがクラスコード発生回路３０から量子化回路５１へｍ／ｐ画素分供給される。量子化回路５１では、供給された画素値とダイナミックレンジＤＲとから量子化、例えば１ビットＡＤＲＣが行われ、１ビットＡＤＲＣが行われた画素値は、レジスタ５２へ供給される。レジスタ５２では、供給された画素値がクロック毎にレジスタ６６まで伝送され、レジスタ５２～６６に保持された量子化された画素値は、次のレジスタに伝送されると共に、クラス生成回路６７へ供給される。クラス生成回路６７では、量子化された１５個の画素値から１つのクラスコード、すなわち１５ビットからなるクラスコードが生成され、生成されたクラスコードは、出力端子６８から取り出される。取り出されたクラスコードは、上述した様々なクラス分類適応処理を用いる装置に使用される。

【００２５】

ここで、この実施例では、量子化回路５１において行われる量子化を１ビットＡＤＲＣとしたが、複数ビットのＡＤＲＣ符号化を行うことも可能である。

【００２６】

さらに、この実施例では、クラスコード発生回路１０、および３０から量子化回路５１へ画素値から最小値ＭＩＮを減算した値と、ダイナミックレンジＤＲとが供給されることによりＡＤＲＣ符号化が行われているが、クラスコード発生回路１０、および３０から量子化回路５１へ最大値ＭＡＸから画素値を減算した値と、ダイナミックレンジＤＲとを量子化回路５１へ供給することによりＡＤＲＣ符号化を行うことも可能である。

【００２７】

また、この実施例では、水平方向の画素、すなわち１次元について量子化を行っているが、メモリを接続することにより２次元、例えば３画素×３ラインの範囲について量子化を行うことも可能であり、さらに時間方向を含むことにより３次元の範囲について量子化を行うことも可能である。

【００２８】

【発明の効果】

この発明によれば、ダイナミックレンジＤＲを求める周期を画素毎ではなく、ｍ／ｐ画素毎とし（ｐ＞１）、この周期で求められたダイナミックレンジＤＲ、最小値ＭＩＮ、および最大値ＭＡＸを順次切り換える回路構成とし、ＡＤＲＣ符号化を行うことで、従来よりクラス形成回路の並列化数を減らし、しかもあまり精度を劣化させることなくクラス分類を行うことが可能となる。

【図面の簡単な説明】

【図１】この発明に係る画素配置の略線図、およびタイミングチャートである。

【図２】この発明のクラス分類装置の一実施例を示すブロック図である。

【図３】中心となる画素とその画素のクラスの一例を示す略線図である。

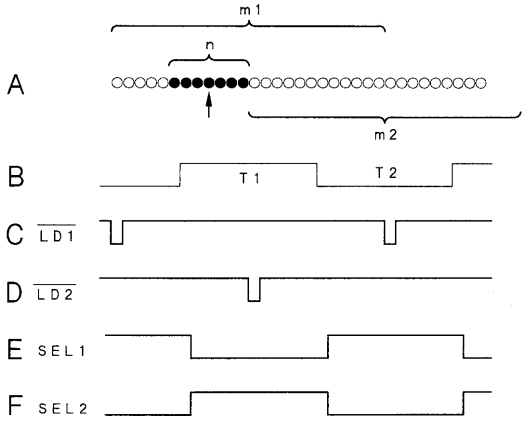
【図４】従来のクラス分類装置の一例を示すブロック図である。

【図５】従来のクラス分類装置の並列化の一例を示すブロック図である。

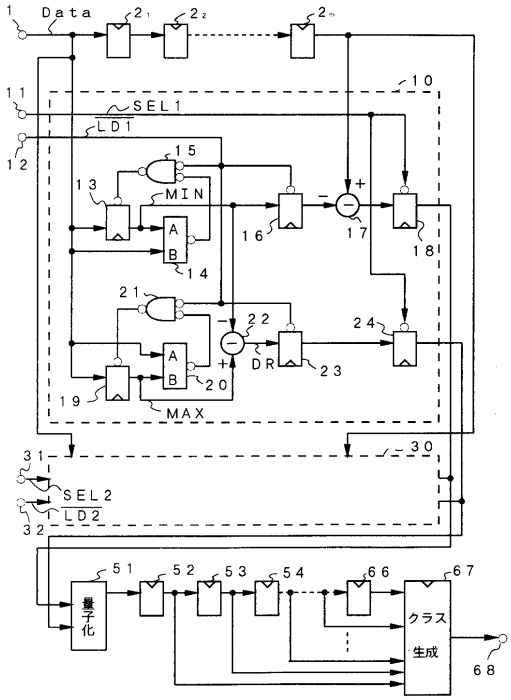
【符号の説明】

２、１３、１６、１８、１９、２３、２４、５２、５３、５４、６６　レジスタ
１４、２０　比較器
１５、２１　ＡＮＤゲート
１７、２２　減算器
５１　量子化回路
６７　クラス生成回路

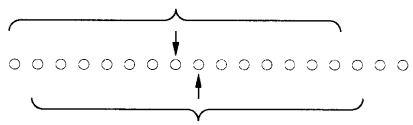
【図１】


m1
n
A
m2
B
T1
T2
C LD1
D LD2
E SEL1
F SEL2

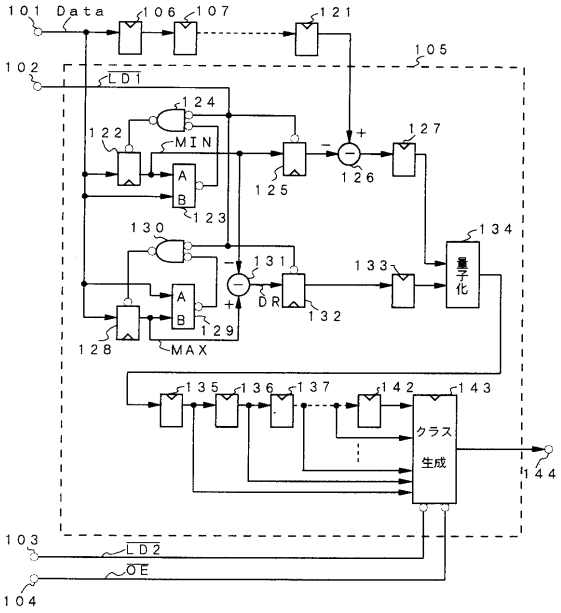
【図２】


1
Data
11
SEL1
12
LD1
10
15
13
MIN
16
17
18
14
21
22
24
DR
23
20
19
MAX
30
31
SEL2
32
LD2
51
52
53
54
66
67
量子化
クラス生成
68

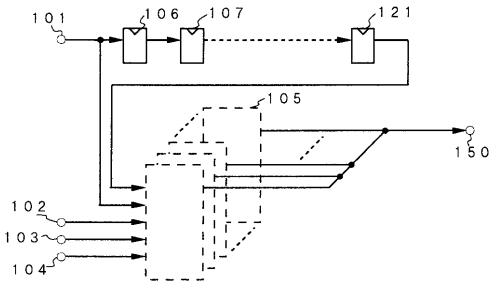
【図３】



【図４】


101
Data
106
107
121
105
102
LD1
124
122
MIN
125
126
127
123
130
131
133
134
量子化
DR
132
128
MAX
129
135
136
137
142
143
クラス生成
144
103
LD2
OE
104

【図５】


101
106
107
121
105
150
102
103
104

フロントページの続き

(56)参考文献 特開昭６３－０４８０８８（ＪＰ，Ａ）
特開平０２－２１７０８６（ＪＰ，Ａ）
特開平０５－３２８１８５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04N 7/26-7/68