



(21) 申請案號：112116546 (22) 申請日：中華民國 112 (2023) 年 05 月 04 日

(51) Int. Cl. : *H01L21/3213(2006.01)* *H01L21/3065(2006.01)*
H01L21/308 (2006.01)

(30) 優先權：2022/05/09 美國 63/339,895
 2022/10/12 美國 17/964,601

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
 日本

(72) 發明人：弗勞 馬修 FLAUGH, MATTHEW (US)；奧蘭 強納森 HOLLIN, JONATHAN (US)；卡爾 蘇巴迪普 KAL, SUBHADEEP (US)；樂平山 LUAN, PINGSHAN (CN)；哈吉巴巴伊埃納加發巴帝 哈馬德 HAJIBABAEINAJAFABADI, HAMED (IR)；蔡宇浩 TSAI, YU-HAO (TW)；莫斯登 艾倫 MOSDEN, AELAN (US)

(74) 代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 51 頁

(54) 名稱

藉由新式化學品及表面改質的矽相對矽鍍合金及介電質之選擇性且等向性蝕刻

(57) 摘要

本文提供的是選擇性保護和蝕刻，其係可以在相對於 Ge 或 SiGe 層蝕刻含矽層時使用。在示例中，這些層係被堆疊，而氧化物係位於這些層的側表面上。處理係用於在 Ge/SiGe 層的側表面上提供經改質表面或終止表面，而熱處理係在該氣體處理後提供以選擇性昇華含 Si 層的側表面上的層部分。氣體處理和熱處理較佳係在非電漿環境中進行。其後，電漿處理係執行以在含 Ge 層上形成保護層，而含 Si 層可以被該電漿蝕刻。

Selective protection and etching is provided which can be utilized in etching of a silicon containing layer with respect to a Ge or SiGe layer. In an example, the layers are stacked, and an oxide is on a side surface of the layers. A treatment is utilized to provide a modified surface or termination surface on side surfaces of the Ge/SiGe layers, and a heat treatment is provided after the gas treatment to selectively sublimate layer portions on side surfaces of the Si containing layers. The gas treatment and heat treatment are preferably in non-plasma environments. Thereafter, a plasma process is performed to form a protective layer on the Ge containing layers, and the Si containing layers can be etched with the plasma.

指定代表圖：

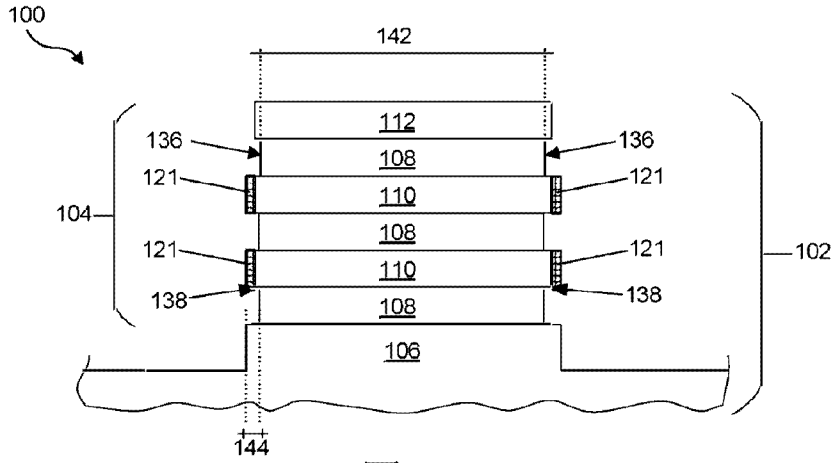


圖 1D

符號簡單說明：

- 100:處理
- 102:基板
- 104:膜堆疊
- 106:基底層
- 108:Si 層
- 110:含 Ge 層
- 112:硬遮罩
- 121:保護層
- 136:凹陷部
- 138:額外表面
- 142:暴露端部間距
- 144:受蝕刻寬度

【發明摘要】

【中文發明名稱】藉由新式化學品及表面改質的矽相對矽鍺合金及介電質之選擇性且等向性蝕刻

【英文發明名稱】 SELECTIVE AND ISOTROPIC ETCH OF SILICON OVER SILICON-GERMANIUM ALLOYS AND DIELECTRICS; VIA NEW CHEMISTRY AND SURFACE MODIFICATION

【中文】

本文提供的是選擇性保護和蝕刻，其係可以在相對於Ge或SiGe層蝕刻含矽層時使用。在示例中，這些層係被堆疊，而氧化物係位於這些層的側表面上。處理係用於在Ge/SiGe層的側表面上提供經改質表面或終止表面，而熱處理係在該氣體處理後提供以選擇性昇華含Si層的側表面上的層部分。氣體處理和熱處理較佳係在非電漿環境中進行。其後，電漿處理係執行以在含Ge層上形成保護層，而含Si層可以被該電漿蝕刻。

【英文】

Selective protection and etching is provided which can be utilized in etching of a silicon containing layer with respect to a Ge or SiGe layer. In an example, the layers are stacked, and an oxide is on a side surface of the layers. A treatment is utilized to provide a modified surface or termination surface on side surfaces of the Ge/SiGe layers, and a heat treatment is provided after the gas treatment to selectively sublimate layer

portions on side surfaces of the Si containing layers. The gas treatment and heat treatment are preferably in non-plasma environments. Thereafter, a plasma process is performed to form a protective layer on the Ge containing layers, and the Si containing layers can be etched with the plasma.

【指定代表圖】 圖1D

【代表圖之符號簡單說明】

100:處理

102:基板

104:膜堆疊

106:基底層

108:Si 層

110:含 Ge 層

112:硬遮罩

121:保護層

136:凹陷部

138:額外表面

142:暴露端部間距

144:受蝕刻寬度

【發明說明書】

【中文發明名稱】藉由新式化學品及表面改質的矽相對矽鍺合金及介電質之選擇性且等向性蝕刻

【英文發明名稱】 SELECTIVE AND ISOTROPIC ETCH OF SILICON OVER SILICON-GERMANIUM ALLOYS AND DIELECTRICS; VIA NEW CHEMISTRY AND SURFACE MODIFICATION

【技術領域】

【0001】 本揭示大致上係關於半導體製造，而在某些實施例中係關於電漿蝕刻技術。

〔相關申請案的交互參照〕

【0002】 本申請案係主張 2022 年 5 月 9 日提出申請的美國臨時專利申請案第 63/339,895 號，以及 2022 年 10 月 12 日提出申請的美國專利申請案第 17/964,601 號的優先權，其整體內容係作為參考文獻而引進本文。

【先前技術】

【0003】 積體電路（IC）製造產業係致力於提高裝置密度，從而改善速度、效能和成本。針對持續微縮至更小的節點尺寸，裝置架構已從二維（2D）平面結構演進到例如奈米線或垂直位向電晶體的三維（3D）垂直結構。閘極電位對於導電通道的控制不足係驅使這種改變的需求。短通道效應（SCE）可能會隨著閘極尺寸的微縮而變得過於顯著，並且可能會在未對閘極施加電壓（ I_{off} ）時增加電流傳導。裝置架構的改變係可以允許

對閘極進行較佳的靜電控制，從而降低SCE和功率損失。製造奈米線裝置可能會面臨3D蝕刻挑戰，其中高選擇性的非等向性蝕刻處理是有益的。例如，暴露材料層可能需要相對於彼此進行蝕刻，從而在膜堆疊中產生凹陷部，或是在膜堆疊中產生其他選擇性蝕刻部。

【發明內容】

【0004】本發明的某些實施例係描述相對於含鍺材料和介電質材料而對矽進行選擇性和等向性蝕刻。在某些實施例中，描述一種處理半導體基板的方法，其包括接收包括膜堆疊的半導體基板。該膜堆疊係包括第一和第二含鍺（Ge）層，以及位於該第一和第二含Ge層之間的第一矽（Si）層。該方法進一步包括從膜堆疊去除氧化物層，例如本質性氧化物層，以及藉由包含氟試劑和氧試劑的處理氣體處理膜堆疊，以及對膜堆疊進行熱處理，從而在第一含鍺層和第二含鍺層上形成終止層。該方法進一步包括將膜堆疊暴露於包括氟試劑和氦試劑的電漿，該電漿係選擇性地蝕刻第一矽層，並將終止層轉化為蝕刻保護層，該蝕刻保護層係在膜堆疊暴露於電漿期間抑制第一含鍺層和第二含鍺層的蝕刻。本文中還揭示提供選擇性去除或蝕刻以及相關處理的設備。

【圖式簡單說明】

【0005】為了更全面地理解本揭示內容及其優點，特此引用以下描述，結合附圖進行說明，其中：

【0006】圖1A至1E繪示根據本揭示的某些實施例的在處理半導體基板的示例性處理期間的半導體基板的橫截面圖；

【0007】圖2繪示根據本揭示的某些實施例的包括基板的示例裝置，該基板係具有凹陷交替膜堆疊；

【0008】圖3繪示根據本揭示的某些實施例的示例電漿工具的方格圖；

【0009】圖4提供根據實施例的乾式非電漿蝕刻系統的示意圖；

【0010】圖5提供根據實施例的工件支架的示意圖；

【0011】圖6為設備的處理或操作示例的流程圖或演算法；及

【0012】圖7A及圖7B繪示內部間隔物沉積及回蝕，以在凹陷部內側留下凹陷空間。

【實施方式】

【0013】存在著試圖對一種材料相對於另一者進行選擇性蝕刻的各種技術。在某些情況下，兩種材料的化學性質係具有足夠的相異性，從而允許使用對其中一種材料進行選擇性蝕刻的電漿，而不必擔心對另一材料造成蝕刻。在其他情況下，決定適合進行選擇性蝕刻的蝕刻方案係更加困難的，因為該些材料的化學性質可能是相似的，或者可供使用的蝕刻處理可能受到其他因素的限制。某些材料會面臨更困難的選擇性挑戰，因為會期望在對一種材料造成極少或甚至無蝕刻的情況下蝕刻另一種材料。針對此種選擇性蝕刻的習知處理可能無法達成對一種材料相對於另一種材料的選

擇性蝕刻，或者可能無法滿足處理要求，例如選擇性、蝕刻輪廓（例如，局部均勻性和/或表面粗糙度）等。

【0014】 在形成奈米線或奈米片以作為半導體裝置〔例如，閘極全環繞（GAA）裝置〕的3D垂直結構中的通道區域時，可能會衍生關於選擇性的挑戰。形成這種奈米線可能涉及在基底層上形成膜堆疊，該膜堆疊係包括被配置成交替堆疊的Si層和Ge層或Si-Ge（SiGe）合金層。該處理的一部分可能例如包括在Si層的相對端部處蝕刻凹陷部，同時使含Ge層的蝕刻最小化，從而暴露該含Ge層的端部部分，以供後續作為導電裝置使用。由於各種挑戰，部分包括膜堆疊的表面上存在的原生氧化物層（NOL）和/或其他殘留物〔例如，反應性離子蝕刻（RIE）的殘留物〕，習知的蝕刻技術可能不令人滿意。

【0015】 例如，一些習知技術係採用單一蝕刻步驟，其中該蝕刻步驟係使用三氟化氮（ NF_3 ）（或其他蝕刻劑）和氧（ O_2 ）的電漿。此電漿中的氟自由基係可以蝕刻該Si層，而氧係可以與該含Ge層中的Ge發生反應，從而在該含Ge層上形成Ge氧化物（例如， GeO_2 ）保護層。然而，蝕刻後所產生的結構通常會顯示出沿著該Si層和該含Ge層的暴露表面的無法接受的表面粗糙度水平，而這部分係源自於該NOL的蝕刻。此外，雖然該 GeO_2 保護層係可以促進該Si層的選擇性蝕刻，但該 GeO_2 層會消耗大部分的該含Ge層。

【0016】 下面提供的實施例描述各種選擇性蝕刻的方法。例如，實施例係可以用於選擇性蝕刻基板的膜堆疊（例如，其包括以交替堆疊排列的Si層和含Ge層）的一部分。例如，期望的可能是，選擇性地在該些Si層的

邊緣部分（或者，可能將其完全去除）蝕刻凹陷部，從而形成該含Ge層的奈米線。此外，本發明的實施例係使選擇性Si蝕刻期間的電漿損傷減少。

【0017】圖1A至1E繪示根據本揭示的某些實施例的在處理示例基板102的示例處理100期間該基板102的橫截面圖。在某些實施例中，該處理100係引進不含氧的電漿蝕刻處理以蝕刻基板102的膜堆疊的某些層的一部分，使得基板102在執行處理100後具有凹陷的膜堆疊。應當理解的是，不含氧並不表示在處理100中去除所有氧氣，而是表示在電漿蝕刻處理的一部分時不刻意引進含氧氣體，例如O₂和CO₂。

【0018】如圖1A所示，基板102是半導體基板，其係包括被設置在基底層106上的膜堆疊104。膜堆疊104係包括以交替堆疊排列的複數Si層108和複數含Ge層110。膜堆疊104係可以具有任何適當的形狀，以及可以包含任何適當數量的層。例如，Si層108和含Ge層110的垂直厚度係可以各自約為10 nm至約25 nm，而作為特定示例係可能約為10 nm或約20 nm。此外，該些Si層108係可以具有相同厚度，或是可以相對於彼此具有不同厚度；該些含Ge層110係可以具有相同厚度，或是可以相對於彼此具有不同厚度；該些Si層108和該些含Ge層110係可以具有相同厚度，或是可以相對於彼此具有不同厚度。在特定示例中，Si層108和含Ge層110係具有實質相同的厚度。

【0019】Si層108的材料例如可以是純矽或矽氮化物（SiN）。在某些實施例中，所有Si層108都包含相同的材料；然而，若是需要，Si層108係可以包含不同的材料。

【0020】含Ge層110的材料例如可以是純Ge或SiGe合金。作為特定示例，含Ge層110係可以包含適當比例（例如， $\text{Si}_{0.7}\text{Ge}_{0.3}$ 、 $\text{Si}_{0.75}\text{Ge}_{0.25}$ 等）的SiGe合金（混合物），以用於給定應用所需的蝕刻性質，或是在部分使用處理100而形成的半導體裝置中所需的性能。在某些實施例中，所有含Ge層110係包含相同的材料；然而，若是需要，含Ge層110係可以包含不同的材料。

【0021】基底層106可以是任何適當的材料，而在一示例係包含Ge或SiGe合金。在特定示例中，藉由在基底層106上生長Si（例如，Si層108）和Ge或SiGe（例如，含Ge層110）的交替異質磊晶層而形成膜堆疊104。

【0022】任選的硬遮罩112係可以位於膜堆疊104的頂部。硬遮罩112係可以例如在先前的蝕刻處理中已被使用於形成膜堆疊104的結構。在某些實施例中，硬遮罩112是SiN，但也可以包含任何適當的材料。

【0023】阻障層114係形成在膜堆疊104（包括硬遮罩112）及基底層106（在本示例中）上方。阻障層114可以源自於對基板102所施予的先前製造步驟（例如，RIE），或是源自於對基板102的其他操作（例如，在處理工具之間傳輸時暴露於環境空氣）。作為特定示例，阻障層114係可以包括原生氧化物層（NOL）、RIE殘留物或上述二者。NOL可以是 SiO_2 （或其他合適的材料）的薄層，厚度例如約為1 nm至約2.0 nm，其係在基板102暴露於環境空氣（其包含 O_2 和 H_2O ）時形成在基板102的表面。例如，基底層106、Si層108、含Ge層110和硬遮罩112的表面係可以與環境空氣發生相互作用，而這係可以在這些表面處形成阻障層114。作為另一示例，基底層106、Si

層108、含Ge層110和硬遮罩112的表面係可以包含先前的RIE步驟所產生的殘留物。

【0024】阻障層114係可以與其下方的層具有不同的蝕刻性質。雖然將阻障層114顯示為在膜堆疊104（包括硬遮罩112）和基底層106上方具有大致均勻的覆蓋，但阻障層114仍可能會或可能不會具有均勻的覆蓋。

【0025】從橫截面的視角檢視時（即，如圖所示），膜堆疊104中的各層在相對端部處係具有一對暴露表面。換言之，各Si層108係具有（相對的）暴露表面116，且各含Ge層110係具有（相對的）暴露表面118。此外，在圖1A中所繪示的狀態下，因為基板102係包括阻障層114，故Si層108的暴露表面116和含Ge層110的暴露表面118係包括阻障層114。

【0026】在圖1B中，為了移除阻障層114的含有NOL的至少一部分，故利用處理氣體對膜堆疊104進行處理，接著對膜堆疊104進行熱處理，在一示例中，該處理氣體係包含氟試劑和氧試劑。這係從Si層108的暴露表面116（或是與Si層108相鄰的層114的區域116中）去除阻障層114，以及從基底層106及硬遮罩112的暴露表面去除阻障層114。此外，對於該處理氣體的暴露會使阻障層114發生反應，在含Ge層110的暴露表面118上形成終止層117或經改質表面。根據一個實施例，該處理是在缺乏電漿的情況下進行的。在一示例中，該處理係導致含Ge層110的O的原子%降低約60%（終止層117相對於層114的O減量），其中這種O的損失係伴隨著Ge和F的原子%提高。在一示例中，該終止層或經改質表面117係包括H、Si、F和Ge，其後續會與電漿（在下方討論）發生反應，從而在該層或經改質表面117所佔據的區域中形成氮化鍺。進一步言，作為阻障層114進行氣體處理的結果，

經改質阻障層將會在區域118中具有H、Si、F和Ge，且將不會在該熱處理中昇華，而阻障層114的該些區域116（與含Si層相鄰）將會在該熱處理中昇華，且在後續的電漿步驟中，在與該含Si層相鄰的該些區域或位於該含Si層的側表面上的該些區域中幾乎沒有或確實沒有氮化的動作。因此，該氣體處理和該熱處理係提供對於區域116（該含Si層相鄰或位於該含Si層的側表面上）的層部分的選擇性去除或選擇性昇華。

【0027】 雖然該終止層或經改質表面117係可以具有任何合適的厚度，但在某些實施例中，終止層117係相對較薄的，例如為2 nm以下。該終止層例如可以是單層。在某些實施例中，終止層117係包含氟，例如Ge-F。在一些示例中，該處理氣體係更包括氫試劑。在一些示例中，該處理氣體係包括含氟氣體和含氫氧化物的氣體（包括例如H₂O和/或OH），且通常還包括承載氣體（例如，Ar和/或N）。在一示例中，該處理氣體係包括氟化氫（HF）氣體和水（H₂O）氣體（例如，氣溶膠化的水和/或水蒸氣）。在某些實施例中，對於該處理氣體的暴露係可以在介於約0°C與約35°C的基板溫度下進行。在某些實施例中，該熱處理係可以在約100°C至250°C，且較佳係在從約150°C至約200°C的基板溫度下進行。在一示例中，該熱處理係可以在惰性氣體（例如，N₂和/或Ar）的存在下，於次大氣壓下進行。較佳地，該熱處理係在1000 mTorr至3000 mTorr的壓力下進行，尤其較佳係在1800 mTorr至2200 mTorr之間的壓力下進行。

【0028】 在本文中提及的「氣相」處理係用於與電漿相區分開，因此某些成分，例如水，係可以處於氣溶膠化形式或蒸汽相形式。因此，除非特別指定，否則氣相係可以包括蒸汽成分或氣溶膠化成分，例如水。

【0029】在示例中，如圖1A所繪示的基板係經過非電漿處理，以利用包括氣溶膠化的H₂O、氟和承載氣體（例如，N和/或Ar）的處理氣體以處理該阻障層114。該處理氣體將會取決於該阻障層所覆蓋的層（含Si層或含Ge層）而以不同方式改質該層114。具體而言，在一示例中，在該部分118（其覆蓋著含Ge層110）中，該經改質層將會包括H、Si、Ge和F，而在該區域116（其覆蓋著含Si層108）中，該阻障層114的經改質部分116將會包括H、Si和F，但不包括Ge（或者，若有任何Ge存在，則其含量係低於區域118的Ge含量）。在示例中，該處理係在第一腔室中進行，而次一步驟，該熱處理（其導致得到如圖1B所示的基板）係在第二腔室中進行，但也可以在同一腔室中執行複數步驟。在處理該阻障層114以形成該些區域116、118後，在熱處理中，殘留的水蒸氣被去除，同時剩餘的層部分116也被去除，而在鍍層110的側表面上存在該終止層117或經改質表面117，而該終止層117或經改質表面117較佳係包括H、Si、Ge和F。該熱處理例如係處於100°C至250°C，較佳係處於150°C至200°C，且處在前述的惰性氣氛（例如，N和/或Ar）中。接著，終止層117或經改質表面117係被電漿轉化為保護層121，如進一步討論於下。

【0030】如圖1C所示，在處理100的電漿步驟120中，基板102係被暴露於電漿而進行半導體基板的處理。該電漿122係選擇性蝕刻該矽層108，且轉化該終止層117，以在該含Ge層110的側表面118上形成蝕刻保護層121。例如，Si蝕刻的揮發性蝕刻副產物係可以包含氟矽酸鹽材料，而該蝕刻保護層121係可以包含Ge氮化物。該電漿步驟120係在基板溫度下進行，而該基板溫度係低於該蝕刻保護層121的昇華溫度。在某些實施例中，該電

漿步驟120係可以在介於約-50°C與25°C之間，且較佳係在-40°C至約20°C的範圍內的基板溫度下進行。該電漿處理期間的壓力係可以為例如25 mTorr至700 mTorr，較佳為50 mTorr至500 mTorr，更佳為150 mTorr至400 mTorr。如下所述，該電漿處理係可以包括兩個部分或兩個步驟，包括第一電漿及第二電漿，其中該第一電漿係包含H和N，但未引進F或另一鹵素，而該第二電漿係包含H、N和F（或另一鹵素），其各者係被引進該電漿。雖然針對各部分係有利地使用相同的壓力和溫度，但也可以使用不同的溫度和/或壓力。

【0031】該氮化物（例如，Ge氮化物）蝕刻保護層121係可以不溶於水，允許該蝕刻保護層121作用成為O₂和H₂O的擴散阻障，從而改善由該含Ge層110所形成的奈米線的穩定性。除了對Ge和SiGe具有選擇性外，電漿122（例如，含氟、氫和氮的電漿）也可以對SiO₂、Si₃N₄、氧化物和低介電常數材料具有選擇性，因為電漿122缺乏氧，而氧係會導致習知的基於F/O電漿對這些材料造成蝕刻。

【0032】在圖1C的電漿處理的示例中，存在一個利用電漿的初始電漿處理，其中該電漿係包含氫和氮，但較佳不包含氟（或另一鹵素）或氧；接著，將氟（或另一鹵素）加入該電漿。在不包含氟的該初始電漿期間，含有氫和氮的該電漿係與經改質層117發生反應而形成氮化物，從而提供保護層（圖1D中所繪示的121）。其後，在引進氟之後，該矽含量層108被蝕刻。在該電漿中持續供應H和N係可以防止或減少層117/121的消耗，而氟電漿係蝕刻該含Si層108。若需要，在對於包含氟的電漿的暴露後，亦可以在缺乏氟的情況下重複進行對於不含氟的電漿的暴露（例如，持續5秒至25

秒，較佳為8至20秒，更佳為10至15秒），接著可以再次引進氟，以確保在含矽層108的蝕刻時不會將該保護層121完全蝕刻掉。如下所述，亦可以使用無鹵素電漿（其包括H和N）接著鹵素電漿的重複暴露，從而在新暴露的Ge（或SiGe）表面上提供保護層，其中該些Ge（或SiGe）表面係在蝕刻含Si層後暴露，例如，當含矽層的壓痕（indenting）後，該含Ge層的頂表面和底表面會暴露。

【0033】 在較佳示例中，無論是不含氟電漿（例如，第一電漿）還是含氟電漿（第二電漿），在將基板暴露於電漿之前都會將離子從電漿去除，使該電漿的自由基與該基板產生反應，從而形成保護層121及對層108蝕刻。例如，該電漿係可以被形成為遠端電漿，其中該電漿係在第一腔室或第一腔室部分中產生，且該電漿係被供給至第二腔室或第二腔室部分（基板所處的位置），同時使用格柵或網格配置去除離子，其中該格柵或網格配置係帶有電性以去除離子。該基板所處的腔室或腔室部分不會被單獨激發而在其中形成電漿，反而，其係接收在第一腔室或第一腔室部分中產生的電漿。雖然，較佳的是將離子去除，或是僅利用自由基進行處理，但在存在離子的情況下也觀察到有利的結果，因此，也可以在基板所處的腔室（或腔室部分）中點燃電漿。

【0034】 在本文中，對於不存在氟（或另一鹵素）的描述係表示未引進氟（或另一鹵素），但仍可能會取決於材料的純度和/或例如從其他材料或層釋出的氣體而存在微量的氟（或另一鹵素）。

【0035】 在包含H、F和N各者的電漿暴露期間，F：N的體積流率比率較佳係落在例如1：5至1：10的範圍內，較佳在1：5.5至1：9的範圍內，及

較佳約為1：7。若引進過量的氮，則氮化物的形成或該保護層的形成可能會侵入該含Si層的區域，且抑制該含Si層的蝕刻。在示例中，氟和氫（F:H）的體積流率比率係可以落在1：1.5至1：2.5的範圍內，較佳約為1：2。當未引進氟時，N：H的比率係可以落在4.5：1至3.5：1的範圍內，例如為4：1。在示例中，可以使用RF功率，以例如在200至500瓦特，較佳為250至350瓦特的條件下形成電漿（對於該電漿處理的兩個電漿或兩個部分）。

【0036】 在某些實施例中，電漿步驟120是非等向性的蝕刻處理。電漿步驟120係可以在電漿工具的電漿腔室中進行。該電漿工具可以是任何適合類型的電漿工具，包括感應耦合電漿（ICP）工具、電容耦合電漿（CCP）工具、表面波電漿（SWP）工具等。一個示例性電漿工具係參照圖3而描述於下。

【0037】 舉例而言，可以將基板102暴露於電漿122，而該電漿是無氧電漿。應理解的是，無氧並不一定表示要將所有的氧從電漿步驟120去除，而是反映出不會在電漿步驟120的一部分時刻意引進含氧氣體。要將所有的氧從電漿腔室123完全去除可能是很難或甚至不可能的，因此在下方描述的某些步驟期間仍可能存在些許的氧。

【0038】 電漿122係可以包括氟試劑126、氫試劑128和氮試劑130。氟試劑126主要可以作為蝕刻劑，用於在Si層108的暴露表面116處形成蝕刻副產物。在氟試劑126的存在下，氫試劑128係可以作為還原劑。此外，若合適的話，取決於用於產生電漿122的氣體，氫化劑128可以進一步分解某些氟化合物和氮化合物，從而產生氟試劑126和氮試劑130。氮試劑130係與來自含Ge層110的暴露表面118（其包括H、Si、Ge和F）的終止層117中的

Ge反應，從而在暴露表面118處形成氮化物層（例如，Ge氮化物層，例如Ge₃N₄）。例如，電漿122中產生的氮原子（N）係可以與含Ge層110的暴露表面118處的Ge反應，從而形成蝕刻保護層121。

【0039】 在某些實施例中，電漿122係可以產生自包括氟氣、氮氣和氬氣的氣體。作為一些示例，產生針對該電漿處理的第二部分的電漿122所使用的含氟氣體係可以包括F₂、NF₃、六氟化硫（SF₆）或四氟化碳（CF₄）等。此外，雖然係對氟進行描述，但其他鹵素也可以用於促進該蝕刻處理。

【0040】 在某些實施例中，並未刻意引進含氧氣體作為用於產生電漿122的氣體的一部分。作為特定示例，用於生成電漿122的氣體係可以包括NF₃、N₂和H₂的合適組合。作為另一具體示例，該些氣體係可以包括NF₃、氮（NH₃）和N₂。在某些實施例中，N₂係可以被例如氬（Ar）或氪（Kr）的鈍氣取代，或者這種鈍氣係可以與N₂結合使用。作為特定示例，用於產生電漿122的氣體/氣體組合係可以包括N₂/H₂/NF₃、N₂/NH₃/NF₃、Ar/NH₃/NF₃、N₂/H₂/Ar/NF₃、NF₃/NH₃、NF₃/H₂或N₂/H₂/NH₃/NF₃。

【0041】 在用於產生電漿122的氣體係包括NF₃和N₂的示例中，NF₃與N₂的比率係可為合適的考慮因素。在某些實施例中，電漿122係包括比氟更多的氮，以確保該蝕刻保護層121係形成足夠快，從而減少或消除氟對含Ge層110的蝕刻，而且因為該氟是電漿122中較具反應性的化學品。該合適比率（或比率範圍）係可以取決於多種因素，包括其他處理參數，以及含Ge層110中的Ge濃度。在某些實施例中，含Ge層110中較高的Ge百分比係可以使蝕刻保護層121較快形成，以及帶來較好結果。可以添加H₂，從而助於驅動在電漿腔室123中發生的反應。NF₃與H₂的示例比率範圍係可以包括從

$\text{NF}_3 : \text{H}_2 = 1 : 0.5$ 到 $\text{NF}_3 : \text{H}_2 = 1 : 10$ 。 NF_3 與 N_2 的示例比率範圍係可以從 $\text{NF}_3 : \text{N}_2 = 1 : 1$ 到 $\text{NF}_3 : \text{N}_2 = 1 : 15$ 。

【0042】 用於生成電漿122的其他處理參數係包括氣體流率、壓力、電漿昇源功率、電漿偏置功率、時間和溫度。用於形成電漿122的氣體係可以利用任何合適的流率提供。在某些實施例中，蝕刻劑來源氣體的流率為 $\text{NF}_3 = 20 \sim 50 \text{ sccm}$ ， $\text{H}_2 = 30 \sim 150 \text{ sccm}$ ， $\text{N}_2 = 50 \sim 500 \text{ sccm}$ 。在某些實施例中，電漿步驟120係可以在中間壓力（例如，約50 mTorr到約500 mTorr，且在一示例中約為300 mTorr到約350 mTorr）及中間來源功率（例如，約150 W到約800 W，且在一示例中約為200 W到約300 W）下進行。電漿步驟120的暴露時間可以是任何合適的時間。在某些實施例中，暴露時間可以僅為約五秒以下，十秒以下，十五秒以下或二十秒以下。在特定實施例中，暴露時間約為十五秒。在某些實施例中，電漿步驟120係在約 -40°C 到約 20°C 的溫度下進行，而在一示例中係在約 0°C 下進行。較佳的是，該溫度係落在 -50°C 到 25°C 的範圍內。應理解，本文中提供的具體值數和範圍僅作為示例目的。

【0043】 針對無氧蝕刻處理120的一個示例配方係包括以下內容：壓力350 mTorr；來源功率（感應耦合電漿）300瓦；偏置功率0瓦；晶圓處理溫度 0°C ； NF_3 、 H_2 和 N_2 的流率分別為30 sccm、55 sccm和250 sccm。另一示例配方係可以包括：壓力300 mTorr；來源功率（感應耦合電漿）300瓦；偏置功率0瓦；晶圓處理溫度 0°C ； NF_3 、 H_2 和 N_2 的流率分別為20 sccm、36 sccm和250 sccm。另一示例配方係可以包括：壓力50 mTorr；來源功率150

瓦；晶圓處理溫度 -40°C ； NF_3 、 H_2 和 N_2 的流率分別為30 sccm、15 sccm和450 sccm。

【0044】圖1D進一步顯示所得到的基板102的某些測量值，例如暴露端部間距142和受蝕刻寬度144。蝕刻副產物從Si層108脫附會形成含Ge層110的凹陷部136和額外表面138。例如，藉由從膜堆疊104的第一側上的第一暴露表面116至膜堆疊104的第二側上的相對第二暴露表面116對各個Si層108進行測量，暴露端部間距142係顯示Si層108的剩餘寬度（針對此橫截面）。在某些實施例中，暴露端部間距142係可以小於20 nm，而在一個實施例中，其係介於2 nm與20 nm之間。暴露端部間距142也可以指的是暴露端部在進行蝕刻之前的間隔。受蝕刻寬度144係可以測量從特定Si層108的特定端部去除多少該特定Si層108。換句話說，受蝕刻寬度144係可以測量Si層108的凹陷部136的量。在某些實施例中，受蝕刻寬度144約為5 nm到約15 nm。然而，取決於給定應用，暴露端部間距142和受蝕刻寬度144係可以落在這些範圍之外。

【0045】如圖1E所繪示，該Si層108係藉由更長時間暴露於電漿122而被進一步蝕刻，從而增加該受蝕刻寬度144。此外，電漿122中生成的原子氮（N）係可以與Ge發生反應，從而在含Ge層110的額外表面138和基底層106的表面上形成鈍化層124（例如，氮化物層）。

【0046】在某些實施例中，電漿步驟120可以利用該電漿的脈衝來提高蝕刻選擇性，以及使得對含Ge層110的電漿損傷最小化。作為替代，可以使用不同電漿或電漿處理的複數部分的循環。例如，第一電漿暴露係可以包括氮試劑但不包括氟試劑，而第二電漿暴露係可以同時包括氟試劑和氮

試劑。第一和第二電漿暴露（持續第一和第二時間段）係可以依序重複進行，從而進一步蝕刻Si層108（持續第三和第四時間段）。在一示例中，第一電漿暴露係可以包括N₂和H₂，持續5秒鐘至30秒鐘（較佳為8到25秒，更佳為10到15秒），而第二電漿暴露係可以包括NF₃、N₂和H₂，持續5秒鐘至30秒鐘（較佳為8秒到25秒）。使用不含氟試劑（或其他鹵素）的第一電漿暴露係進一步有助於在含Ge層110的額外表面138和基底層106的表面上形成鈍化層124（例如，氮化物層）。因此，該基板（堆疊）係可以被暴露於第一電漿一段預定的時間（例如，由控制器所控制），接著暴露於第二電漿。在過渡到第二電漿時，無需熄滅第一電漿。例如，可以在缺乏氟的情況下，利用含氮氣體和含氫氣體形成第一電漿。在經過預定的時間後，持續引進含氮氣體和含氫氣體，且也引進含氟氣體，以在該第一電漿之後接續形成第二電漿。

【0047】 如圖1D所示，在該Si已凹陷後，含Ge層的上下表面（其面向凹陷部）被新暴露來，且若使用含氟（或鹵素）的氣體電漿繼續進行蝕刻，則該蝕刻的動作係可以蝕刻進入新暴露表面處的含Ge層。在示例中，在初始電漿持續進行第一時間段後，在第二時間段內利用所引進的氟或鹵素進行蝕刻5秒鐘至30秒鐘，較佳為8秒鐘到25秒鐘（作為示例）後，含氟（或鹵素）氣體的流動被中斷，而含氫氣體和含氮氣體的供應則持續第三時間段，例如持續8秒鐘到20秒鐘，較佳持續例如10秒鐘到15秒鐘；接著，回復含氟或鹵素氣體的引進持續第四時間段（例如5秒鐘至30秒鐘，較佳為8秒鐘至25秒鐘）。作為另一種選擇，在利用氟或鹵素進行蝕刻後，可以在預定的時間量內中斷電漿功率，或者在預定的時間量內（在第三時間段內，

例如8秒鐘到20秒鐘或10秒鐘到15秒鐘)中斷功率和含氟(或鹵素)氣體的引進都可以在一段預定的時間內中斷,同時持續引進氫和氮,接著重新利用含氟或鹵素氣體和電漿功率施加進行蝕刻(在第四時間段內)。該循環係可以類似地重複進行持續額外的時間段。中斷電漿功率和/或中斷鹵素或氟的引進亦可以在預定的蝕刻量後進行(例如,在每蝕刻2 nm至5 nm後),或是基於蝕刻時間而進行(例如,8秒至25秒,例如8秒至15秒)。因此,可以在新暴露表面上形成額外的保護層或鈍化層。

【0048】 如前所述,在某些實施例中,電漿步驟120係可以使用遠端電漿,而該遠端電漿係產生高濃度自由基以撞擊基板102。這降低對膜堆疊104的電漿損傷,包括在蝕刻期間保存該保護層121和含Ge層110的輪廓。例如,電漿可以在一腔室或腔室部分中形成,且可以去除離子以形成該基板所暴露於的電漿。

【0049】 根據一實施例,將膜堆疊104暴露於處理氣體、對膜堆疊104進行熱處理、暴露於包含氮但不含氟的電漿,以及將膜堆疊暴露於包含氟試劑和氮試劑的電漿的依序步驟係可以至少重複一次,以進一步選擇性地蝕刻該Si層108。

【0050】 隨後,可以對基板102進行後續處理。例如,電漿步驟120係可以被整合至一處理中,該處理係針對將含Ge層110形成至個別奈米線中,以作為半導體裝置(例如,GAA裝置)的通道區域。在這樣的裝置中,後續處理係可以包括利用絕緣體或間隔物填充凹陷部136、去除Si層108的剩餘部分、在含Ge層110周圍提供閘極氧化物,以及其他相關步驟,其中,這

些步驟僅為示例目的提供。在這樣的裝置中，含Ge層110的暴露端部118係可以作為與膜堆疊104的區域內所形成的通道區域的導電接點。

【0051】 圖2繪示根據本揭示的實施例的一種示例裝置400，其係包括基板，而該基板係具有凹陷交替膜堆疊。該裝置400的至少一部分係可以使用本文所述的任何處理和方法而形成。

【0052】 裝置400係包括基板402，該基板402係包括通道材料404（例如，Ge或SiGe）和閘極材料406（例如，SiGe或Si）。通道材料404係可以對應於處理100後的某時點時的基板102的含Ge層110。裝置400可以是如圖所示的GAA裝置，或者可以是任何其他裝置，例如鰭式場效應電晶體（FinFET）。裝置400還可以包括隔離區域408。在某些實施例中，隔離區域408是淺溝槽隔離（STI）。

【0053】 裝置400係可以藉由下列步驟而製造：首先，形成凹陷交替膜堆疊410（其可以對應於處理100及可能的其他後續處理後的膜堆疊104），接著，在凹陷交替膜堆疊410上方沉積額外的閘極材料406。具體而言，裝置400係可以形成自：藉由異質磊晶生長交替的複數Si和Ge或SiGe層，而該些層則接著進行圖案化且垂直凹陷，從而橫向暴露Ge或SiGe層。

【0054】 有利的是，本文所述實施例的應用可以是5 nm節點、3 nm節點或更低節點的最佳解決方案。例如，GAA裝置架構係可能適用於超過7 nm節點的微縮化（scaling）。GAA裝置架構可以藉由將閘極圍繞整個通道而不僅僅是三個側面，從而解決某些FinFET架構中的短通道效應。這可以減少或消除FinFET的閘極下方發生的電流洩漏，從而減少非主動的功率損失。

【0055】 根據一實施例，用於處理半導體基板的方法，包括選擇性的Si蝕刻，係可以在真空處理工具中進行，該真空處理工具係包含處理工具、電漿工具和熱處理工具。該真空處理工具係可以配置成在不暴露基板於空氣的情況下處理該基板。例如，氣體處理、熱處理和電漿處理係可以在複數腔室系統的不同腔室中進行。根據一實施例，該基板處理係可以包括在處理工具中利用包含氟試劑和氧試劑（例如， H_2O ）的處理氣體處理基板、在減壓條件下將該基板從處理工具轉移到熱處理工具、在該熱處理工具中熱處理該基板、在減壓條件下將該基板從熱處理工具轉移到電漿處理工具，接著在電漿處理工具中將該基板暴露於包含氟試劑和氬試劑的電漿。在一示例中，該處理工具也可以用作熱處理工具。

【0056】 根據某些實施例，用於處理半導體基板的方法可以進一步包括一或多個蝕刻後處理，其中，該一或多個蝕刻後處理係在處理100的電漿步驟120後執行，以將任何氟從膜堆疊104完全去除。第一蝕刻後處理係可以包括如上所述接在處理步驟後進行的熱處理，其例如係使用約 $150^{\circ}C$ 至約 $200^{\circ}C$ 的基板溫度。該第一蝕刻後處理對於去除膜堆疊104上的任何殘留氟或殘留物係有效的。第二蝕刻後處理係可以包括一種利用包含氟試劑和氧試劑的處理氣體所進行的處理，如關於圖1B而描述於上。該第二蝕刻後處理對於去除矽層108上的任何經氧化氟殘留物係有效的。其後，第三蝕刻後處理係可以包括如上所述的熱處理，其例如係使用約 $150^{\circ}C$ 至約 $200^{\circ}C$ 的基板溫度。該第三蝕刻後處理對於去除膜堆疊104上的任何剩餘氟或殘留物係有效的。

【0057】圖3繪示根據本揭示的某些實施例的示例電漿工具500的方塊圖。雖然係繪示及描述特定的電漿工具500，但仍可以使用任何合適類型的電漿工具。電漿工具500可用於執行與圖1A至1E相關的電漿處理120。

【0058】電漿工具500包括電漿腔室123，而在該電漿腔室123中係使用電漿（例如，電漿122）處理半導體基板（例如，基板102）。電漿腔室123係包括一個基板台502，其係用於在處理期間支撐基板102。在某些實施例中，基板102在例如經過處理步驟後係位於在基板台502上且處於圖1B中所示的狀態，以使用電漿122執行電漿步驟120。藉由將電漿（例如，電漿122）注射通過電漿工具500的噴淋頭504，在電漿腔室123內對基板102的膜堆疊104的Si層108的材料（已描述於上，例如參照圖1A至1E）進行選擇性蝕刻。噴淋頭504係可以包括單一混合反應腔體及一組出口孔，該單一混合反應腔體係填充著蝕刻氣體、混合氣體和承載氣體，而這些氣體係混合而形成電漿122，該一組出口孔係用於將電漿122分配朝向基板102。該電漿係可以在噴淋頭504上游的腔室內形成，該腔室係可以被視為與基板所在的腔室或腔室部分分隔開的腔室或腔室部分；或者，可以藉由格柵或網格配置來隔出個別的腔室或腔室部分，其中，電漿係在具有處理氣體的第一腔室或腔室部分中產生，該處理氣體係被饋送至該第一腔室或腔室部分，且在該第一腔室或腔室部分中被激發；當電漿前進至基板所在的腔室或腔室部分時，離子被萃取，使得該基板係在去除離子後被電漿進行處理，從而使電漿的自由基與該基板發生反應。

【0059】電漿腔室123係包括和/或以其他方式與真空幫浦506耦接，該真空幫浦506係與真空管線508耦接，以將殘留的前驅物氣體從電漿腔室

123吹除；在某些實施例中，電漿腔室123還可能包括和/或以其他方式與壓力系統耦接，從而維持目標壓力。電漿腔室123可以進一步包括機器工具或構件，例如針對加熱基板102及控制電漿腔室123內和/或基板102的溫度所用的加熱器510和溫度感測器512。

【0060】 舉例而言，電漿工具500係包括與噴淋頭504耦接的前驅物氣體管線514、混合氣體管線516和承載氣體管線518。在某些實施例中，經由前驅物氣體管線514而饋送的蝕刻氣體係可以包括基於氟前驅物，例如氟或 NF_3 ；經由混合氣體管線516而饋送的混合氣體係可以包括氫；而經由承載氣體管線518而饋送的承載氣體係可以包括氮或惰性氣體，例如氬或氦。

【0061】 在某些實施例中，電漿工具500係可以包括用於控制氣體流動（例如，質量流率）的質量流量控制器和感測器。因此，電漿工具500係可以包括第一流動控制器520、第二流動控制器522、第三流動控制器524、真空幫浦506、加熱器510、溫度感測器512、電壓－電流（V-I）感測器526和基板感測器528、530、532和534（528至534）。前驅物氣體管線514、混合氣體管線516和承載氣體管線518係分別與第一流動控制器520、第二流動控制器522和第三流動控制器524耦接，且被其所控制。

【0062】 電漿工具500係可以包括控制器536，用以控制電漿步驟120的層面。控制器536係得以任何適當的方式實施。例如，控制器536可以是電腦或處理器。作為另一示例，控制器536係可以包括一或多個可編程IC，這些IC係被編程以提供本文所描述的功能性。在特定示例中，一或多個處理器（例如，微處理器、微控制器、中央處理單元等）、可編程邏輯裝置（例如，複雜可編程邏輯裝置、場域可編程閘極陣列等）和/或其他可編程

IC係被軟體或其他編程指令編程，以實施本文中針對控制器536所述的功能性。這些軟體或其他編程指令係可以被儲存在一或多個非暫態電腦可讀媒體（例如，記憶體儲存裝置、快閃記憶體、動態隨機存取記憶體、可重新編程儲存裝置、硬碟、軟碟、DVD、CD-ROM等）中，且當這些軟體或其他邊程指令被可編程IC執行時會導致該些可編程IC執行本文所述的操作。

【0063】 像是電漿腔室123的加熱器510及溫度感測器512的機器構件，以及流動控制器520、522和524、真空幫浦506及位於電漿腔室123外部的其他構件係與控制器536耦接，且被其控制。

【0064】 設備感測器係測量例如基板台502的溫度、加熱器電流、真空幫浦速度和溫度的設備參數，以及提供信號以確保該設備正常運行。各種處理感測器係測量例如處理溫度、處理壓力、電漿密度、氣體流率和氣體組成的處理參數，以及提供信號以確保該設備正常運行。來自這些設備感測器和處理感測器的數據係在整個電漿步驟120期間持續向控制器536提供回饋。控制器536係可以即時進行調整，使該設備和處理係保持在規格的中心附近。

【0065】 控制器536係接收來自感測器的數據，並且根據感測器數據以控制電漿腔室123的處理參數。控制器536係可以分析這些感測器所收集的數據、判斷何時修改或結束電漿步驟120的其中一或多個步驟，以及提供回饋以控制電漿腔室123的構件的處理參數。

【0066】 控制器536係可以與V-I感測器526和基板感測器528～534連接，從而在基板102暴露於電漿122時監控電漿122，以即時提供電漿122的

條件以及任選的組成和厚度數據。這些回饋數據係可以被控制器536使用，以在選擇性使用電漿122對基板102進行蝕刻時持續或週期性調整電漿步驟120，以及例如在達到目標凹陷部（例如，受蝕刻寬度144）時（或者在表面因為前述的凹陷部而被新暴露出來時）關閉電漿步驟120。該控制例如係可以基於檢測到的條件（或檢測到的條件的累積）及基於時間的條件。舉例而言，如前所述，在該基板已經過非電漿處理改質且接受熱處理後，在第一電漿處理步驟中，該基板係暴露於包含氮和氫但不含氟的電漿持續預定時間量，例如5秒至20秒，較佳為至少8秒，其中較佳時間量例如為10秒至15秒。在經過預定時間量過後，接著將氟引進電漿，使得該基板係暴露於包含氮、氫和氟的電漿。

【0067】 來自基板感測器528～534和溫度感測器512的測量數據係可以被控制器536接收，而控制器536係生成的控制信號以發送到第一流動控制器520、第二流動控制器522、第三流動控制器524、真空幫浦506和加熱器510。應理解的是，氣體流量和流動控制器的數量，以及感測器或其他構件的數量係可以變動。

【0068】 控制器536係可以接收基板感測器528～534在基板102各處的複數點所取得的測量或計量數據，以原地且即時測量處理均勻性、鈍化層124（其係由基板102暴露於電漿122而形成）、暴露端分離142以及/或目標凹痕（例如，蝕刻寬度144）等厚度和組成。例如，可以使用複數基板電漿工具中的複數跨基板感測器以從基板102的頂部到底部監控和調整蝕刻保護層121和保護層124（其係由基板102暴露於電漿122而形成）、暴露端部間距142及/或目標凹陷部（例如，蝕刻寬度144）的厚度和組成。可以使

用複數基板電漿工具中的複數跨基板感測器以從基板102的中心到邊緣監控和調整蝕刻保護層121和保護層124、暴露端部間距142及/或目標凹陷部（例如，蝕刻寬度144）的厚度和組成。

【0069】 基板感測器528～534係可以與電漿腔室123耦接和/或位於其中，以監測基板102、電漿工具500和/或電漿步驟120的各種參數。基板感測器528～534係可以包括各種類型的感測器，包括但不限於光學感測器（例如，相機、雷射、光、反射計、光譜儀、橢圓偏振儀等）、電容感測器、超聲波感測器、氣體感測器或其他可以監測基板102、電漿122和/或電漿工具500狀態的感測器。在某些實施例中，可以使用一或多個光學感測器以即時（在電漿步驟120期間）測量含Ge層的表面118和基底層106的表面（例如，形成保護層124處）、暴露端部間距142及/或受蝕刻寬度144a處的材料厚度和折射率（或另一合適測量值）。作為另一示例，可以使用光譜儀以即時（在電漿步驟120期間）測量含Ge層的表面118和基底層106的表面（例如，形成保護層124處）、暴露端部間距142及/或受蝕刻寬度144a處的材料膜厚度（或另一合適測量值）。在又一種實施例中，可以使用殘餘氣體分析儀（RGA）以即時（在電漿步驟120期間）檢測前驅物分解，以進行即時的化學反應完成檢測。

【0070】 控制器536係可以接收使用者輸入處理參數，包括例如（例如，保護層124的）蝕刻速率、保形性、輪廓和沉積速率，基於標準電漿蝕刻參數，例如腔室壓力、腔室溫度、RF源功率、RF偏置功率、RF波形（例如，連續波RF、脈衝RF、方形脈衝、鋸齒形脈衝等）、蝕刻時間，以及各

種處理氣體和承載氣體的組成和流率。有利的是允許使用者調整電漿122以符合目標局部臨界尺寸均勻性（LCDU）。

【0071】 根據基板感測器528～534的數據和使用者的輸入處理參數，控制器536係生成控制信號至溫度感測器512和加熱器510，以調整電漿腔室123內的溫度。當加熱器510加熱電漿腔室123時，控制器536係持續或週期性監控溫度感測器512，以追蹤電漿腔室123的溫度，以向加熱器510發送控制信號而維持電漿腔室123中的溫度。

【0072】 在示例中，在控制器536根據溫度感測器512所提供的數據而判斷已達到電漿腔室123的目標溫度後，控制器536會生成控制信號和數據信號以啟動第一流動控制器520、第二流動控制器522和第三流動控制器524，並且基於使用者的輸入處理參數而向第一流動控制器520提供前驅物氣體的目標流率，向第二流動控制器522提供混合氣體的目標流率，以及向第三流動控制器524提供承載氣體的目標流率。在控制器536判斷已經建立相應的流率後，控制器536係對電漿腔室123提供功率，以經由偏置電極和來源電極而為電漿122供電。根據來自V-I感測器526的測量值，可以對供應至偏置電極和來源電極的功率進行調整。第一流動控制器520、第二流動控制器522和第三流動控制器524係各自可以是閉迴路控制系統，該閉迴路控制系統係連接到流率感測器及可調整比例閥，使各個流動控制器係能夠通過該流率感測器和可調整比例閥而持續或週期性監測及內部維護各種氣體的目標流率。

【0073】 在某些實施例中，在控制器536根據使用者的輸入數據而判斷已達到蝕刻處理時間後，控制器536係生成控制信號以停用第一流動控制器

520、第二流動控制器522和第三流動控制器524，其中，在合適情況下，這些流動控制器係可以在同時或不同時被停用。

【0074】 控制器536係可以使用或分析基板感測器數據，以判斷何時結束電漿步驟120。例如，控制器536係可以從殘餘氣體分析儀接收數據，以檢測電漿步驟120的終點。在另一示例中，控制器536係可以使用光譜橢圓偏振儀以在電漿步驟120期間檢測鈍化層124的平均膜厚、含Ge層110的暴露端部141及/或暴露端部間距142，並且指示電漿步驟120期間的變化。在另一示例中，控制器536係可以使用光譜橢圓偏振儀以在電漿步驟120期間檢測含Ge層的表面118和基底層106的表面（例如，形成保護層124之處）處的材料折射率，並且指示電漿步驟120期間的膜組成變化。當達到暴露端部間距142和/或受蝕刻寬度144a（或另一適當的測量值）目標時，控制器536係可以自動結束電漿步驟120。在某些實施例中，控制器536係可以自動調整電漿步驟120期間的一或多項參數，例如NF₃與H₂的比率和/或NF₃與N₂的比例，以達成膜堆疊104所需的蝕刻輪廓。控制器536和來自基板感測器528～534的數據還可以用於達成所需的半導體基板產量目標。此外，控制器536和來自基板感測器528～534的數據係可以用於達成膜堆疊104的所需蝕刻輪廓和組成，以及所需的半導體基板產量，或者是上述兩者的組合目標。

【0075】 如前所述，本文所述的控制器係可以包括電腦或處理器，以及可以包括用於儲存非瞬態電腦可讀數據和/或指令的記憶體。應當理解的是，控制器係可以包括單一或複數分散控制器或子控制器，其例如具有主

控制器或更高級別的控制器，這些控制器向子控制器提供指令，而這些子控制器係控制著獨立腔室或腔室構件。

【0076】 圖4顯示用於對基板進行熱處理的系統300。在一實施例中，該系統300還可以用於處理步驟。或者，阻障層114（例如，氧化物層，如NO₂）的初始非電漿處理係可以在一腔室內進行，而熱處理係在另一腔室內進行。系統300係包括用於在非電漿真空環境中處理工件325的處理腔室310，設置在處理腔室310內且用於支撐工件325的工件支架320，與工件支架320耦接且配置為將工件支架320的溫度控制在設定點溫度的溫度控制系統350，與處理腔室310耦接且配置以向處理腔室310供應一或多種處理氣體的氣體分配系統330，以及與溫度控制系統350運行耦接且配置為將工件支架320的溫度控制在例如-40°C到250°C之間的控制器360。例如，溫度控制系統350係可以配置為控制工件支架320的溫度。處理腔室310係可以包括真空幫浦340，用於將處理氣體從處理腔室310抽除。處理腔室310可以更包括遠端電漿產生器或遠端自由基產生器，配置以向處理腔室供應受激發的自由基或亞穩態物質，或其組合。

【0077】 氣體分配系統330係可以包括噴淋頭氣體噴射系統，其具有氣體分配組件，以及與該氣體分配組件耦接且配置為形成一或多個氣體分配隔室或供應管線的一或多個氣體分配板或導管。雖然未顯示，但該一或多個氣體分配隔室係可以包括一或多個氣體分配擋板。較佳地，氣體供應還可以供應氣溶膠化的H₂O和/或水蒸氣，以用於該初始非電漿處理（在熱處理之前）。該一或多個氣體分配板更包括一或多個氣體分配孔，用以將處理氣體從該一或多個氣體分配隔室分配到處理腔室310。此外，一或多個

氣體供應管線係可以通過例如氣體分配組件而與一或多個氣體分配隔室耦接，以供應包含一或多種氣體的處理氣體。處理氣體係可以一起作為單一流而引進，或者作為分開流而單獨引進。

【0078】 氣體分配系統330可以進一步包括分支氣體分配網路，其係設計以減少或最小化氣體分配容積。分支網路係可以去除隔室或最小化氣體隔室的容積，並且縮短從氣體閥到處理室的氣體分配長度，同時有效地將處理氣體分配橫跨工件325的直徑。藉此，可以更快地切換氣體，並且可以更有效地改變化學環境的組成。

【0079】 定義出工件325所暴露至的化學環境的處理腔室310的容積係可以被減少或最小化，以減少或最小化停留時間或抽空、置換及利用一種化學環境取代另一種化學環境所需的時間。置換處理腔室310中的化學環境所需的時間可以被估計為處理腔室容積與真空幫浦340對該處理腔室容積提供的抽氣速度之比率。

【0080】 工件支架320係可以針對工件325的熱控制和處理而提供多種操作功能。工件支架320係包括一或多個溫度控制元件，用於調整和/或提升工件支架320的溫度。

【0081】 如圖5所示，工件支架320係可以包括至少一個流體通道322，以允許熱傳輸流體通過其流動，且改變工件支架320的溫度。工件支架320可以更包括至少一個電阻加熱元件324。多區通道和/或加熱元件係可以用以調整和控制工件325的加熱和冷卻的空間均勻性。例如，該至少一個電阻加熱元件324係可以包括中央區加熱元件和邊緣區加熱元件。此外，例如，該至少一個流體通道322係可以包括中央區流體通道和邊緣區流體通道。在

高於200到250°C的溫度下，可以使用其他加熱系統，包括紅外（IR）加熱，例如燈加熱等。

【0082】 電源358係與該至少一個電阻加熱元件324耦接以供應電流。電源358係可以包括直流（DC）電源或交流（AC）電源。此外，該至少一個電阻加熱元件324係可以串聯連接或並聯連接。

【0083】 該至少一個電阻加熱元件324例如係可以包括由碳、鎢、鎳鉻合金、鋁鐵合金、鋁氮化物等材料所製造的電阻加熱器元件。能夠用於製造電阻加熱元件的商業可用材料示例係包括Kanthal、Nikrothal、Akrothal，其係由Kanthal Corporation of Bethel, Conn生產的金屬合金的註冊商標名稱。Kanthal系列係包括肥粒鐵合金（FeCrAl），而Nikrothal系列係包括沃斯田合金（NiCr、NiCrFe）。根據一個示例，該至少一個電阻加熱元件324的各者係可以包括能夠從Watlow Electric Manufacturing Company（12001 Lackland Road, St. Louis, Mo. 63146）商業取得的加熱元件。替代性或額外性地，可以在該些實施例的任何者中使用冷卻元件。

【0084】 熱傳輸流體分配歧管352被設置為泵送和監控熱傳輸流體通過該一或多個流體通道322的流動。熱傳輸流體分配歧管352係可以從處於第一熱傳輸流體溫度的第一熱傳輸流體供應浴354抽取熱傳輸流體，及/或從處於第二熱傳輸流體溫度的第二熱傳輸流體供應浴356抽取熱傳輸流體。歧管352係可以將來自第一熱傳輸流體供應浴354及第二熱傳輸流體供應浴356的熱傳輸流體混合以達到中間溫度。此外，熱傳輸流體分配歧管352係可以包括幫浦、閥組件、加熱器、冷卻器及流體溫度感測器，從而可控制地供應、分配和混合預定溫度的熱傳輸流體。

【0085】在替代實施例中，溫度控制系統350係可以包括與工件支架320緊鄰的熱牆。該工件支架320可以進一步包括用於將工件夾持於該工件支架的工件夾持系統，以及用於將熱傳輸氣體供應至工件的背側的背側氣體供應系統。

【0086】熱傳輸流體係可以包括沸點高於200°C的高溫流體。例如，熱傳輸流體係可以包括能夠從3M公司商業取得的Fluorinert.TM.FC40（其具有-57至165°C的溫度範圍）或Fluorinert.TM.FC70（其具有-25至215°C的溫度範圍）。

【0087】工件支架320係可以使用例如熱電耦（例如，K型熱電耦、Pt感測器等）的溫度感測裝置或光學裝置而進行監控。此外，基板支架溫度控制系統350係可以利用溫度測量值作為對於工件支架320的回饋，以控制工件支架320的溫度。例如，可以調整流體流率、流體溫度、熱傳輸流體類型、熱傳輸流體壓力、夾持力、電阻加熱元件電流或電壓、熱電裝置電流或極性等的其中至少一者，從而影響工件支架320的溫度和/或工件325的溫度的變化。

【0088】如前所述，控制器360係與溫度控制系統350運行耦接，且配置為控制系統300中的各種構件的溫度，例如包括將工件支架320控制在-40°C到250°C的範圍內。溫度控制系統350係可以從一或多個溫度感測器取得溫度資訊，該一或多個溫度感測器係設置用於測量工件支架320、工件325、處理腔室310的腔室壁的溫度，或是氣體分配系統330的溫度等等，以及利用該溫度資訊而可控制地調整這些溫度。

【0089】處理腔室310的其他腔室構件，包括腔室壁、氣體分配系統330等係可以包括加熱和/或冷卻元件，以控制其溫度。例如，處理腔室310的腔室壁溫度和氣體分配系統的至少一部分的溫度係可以被控制在高達150°C，或是落在50°C到150°C範圍內（較佳是70°C到110°C）的溫度。

【0090】雖然本揭示係針對用於形成GAA裝置的奈米線/奈米片的特定應用進行描述，但本揭示係可以使用於對含Ge層具有選擇性的任何類型的Si等向性蝕刻中。此外，雖然所執行的蝕刻主要被描述為藉由去除Si層108的相對端部的一部份而在膜堆疊104中形成凹陷部，但處理100係可以用於去除Si層108的實質所有部分，這可以被稱為釋放含Ge層110或通道釋放。

【0091】現在請參照圖6，其提供本文所揭示的處理示例的概述。圖6的流程圖係可以提供演算法，以利用一或多個控制器控制本文所揭示的處理腔室或系統。

【0092】如S10所示，首先提供一基板，該基板係具有含Ge層和含Si層，還有位於堆疊的側表面上的層，如圖1A的114處所示的氧化層。

【0093】如S12所示，接著在本文所揭示的示例中的非電漿環境中進行處理。在較佳示例中，非電漿環境係包括例如含氫氣體、含氧氣體和含氟氣體，在示例中係提供氣溶膠化的水或水蒸汽以提供H和O，以及例如利用HF或F以提供氟。該非電漿環境中的初始處理將會對層114進行處理以形成經改質層，例如，其中在含Ge層上係形成經改質部分118，且其係包括H、Si、Ge和F，其中在含Si層上係形成經改質部分116，其係包括例如H、Si和F，但不含Ge，或者至少比該些部分118較少的Ge。

【0094】如S14所示，接著執行熱處理，這將會去除經改質層部分116的剩餘部分，而該熱處理還將會去除殘留的水蒸氣，伴隨氟的減量。因此，在該熱處理後，終止層117或經改質側表面117仍然會如圖1B所示存在，而先前位於116處的部分則被去除。

【0095】如S16和S18所示，接著在該基板上執行電漿處理，較佳係包括第一部分S16或第一電漿步驟S16，接著是第二部分S18或第二電漿步驟S18。在該第一部分中，形成包括氮和氫但不包括氟或另一鹵素的電漿，使該終止層或經改質表面117轉化為包含鍍氮化物的保護層。接著，向該電漿添加氟，以在S18中進行蝕刻，同時持續供應氮以防止保護層121的消耗和/或在含Ge層上形成額外的保護層。較佳地，針對電漿處理的兩個部分S16和S18都將氫引進該電漿。此外，較佳地在S16和S18中係不引進氧。

【0096】該處理係可以取決於所需的蝕刻量而重複執行，且還可以提供額外的經改質表面，如前述的124、138處所示，從而在去除含Si層以例如形成凹陷部後露出含Ge層表面時，保護這些額外暴露的含Ge層表面。

【0097】圖7A和7B繪示額外處理，其係可以在例如前述圖1E所示的形成凹陷部之後進行。

【0098】圖7A和7B的配置係包括例如複數含Ge層104，其中含Si層102係介於該些層104之間，其中該含Si層已如前述般產生凹陷部。該區域108可以是遮罩，例如硬遮罩，而該區域107最初可以包括仿真閘極，其會在後續被移除，且沉積閘極金屬。在前述的凹陷處理後，間隔層110係沉積以提供內部間隔層110。該層110係可以由例如SiN或低k介電質的間隔材料所形成。接著，將該內部間隔層110部分移除，以在先前形成的凹陷部中留

下間隔物103。接著，層102可以被移除（通道釋放），留下由含Ge層形成的通道104，而先前被仿真閘極107和含Si層102佔據的區域係可以被閘極金屬填充。此外，在去除或蝕刻內部間隔層110以留下間隔物103的步驟中，該間隔物103應當要相對於該含Ge層或通道104的外表面凹陷，使該間隔物103的外表面尺寸小於層104的外表面或外尺寸104s。雖然本發明先前係討論對於含Si層（圖1A-1B中的108，圖7A和7B中的102）的蝕刻，但本發明也可以被用於例如通道釋放，在保護含Ge層104（例如，SiGe層）的情況下去除層102（圖7A和7B）。作為另一替代例，本發明係可以應用於選擇性地與或相對於層104（同時保護層104）而蝕刻間隔物材料103，使內部間隔層110的剩餘部分被蝕刻，且使間隔物的凹陷外表面103s相對於含Ge層（或SiGe）的外表面104s凹陷。

【0099】 應當理解，可以利用包括本文所揭示的示例特徵的其他應用。

【0100】 雖然本揭示係描述以特定順序進行的特定處理/方法步驟，但本揭示係將以任何適當的順序進行的處理步驟納入考量。雖然本揭示係參照說明性實施例而描述，但此實施方式的用意並不在於以限制性涵義進行解釋。在參照本實施方式後，對於熟悉本技術領域的人來說，本揭示的說明性實施例及其他實施例的各種修改和組合將是顯而易見的。因此，隨附的申請專利範圍係旨在包括任何此類修改或實施例。

【符號說明】

【0101】

100:處理

- 102:基板
- 102:含 Si 層
- 103:間隔物
- 103s:凹陷外表面
- 104:含 Ge 層
- 104s:外尺寸
- 104:膜堆疊
- 106:基底層
- 107:區域
- 107:仿真閘極
- 108:Si 層
- 110:含 Ge 層
- 110:間隔層
- 112:硬遮罩
- 114:阻障層
- 116:暴露表面
- 117:終止層
- 118:暴露表面
- 120:電漿步驟
- 121:保護層
- 122:電漿
- 123:電漿腔室

- 124:鈍化層
- 126:氟試劑
- 128:氫試劑
- 130:氮試劑
- 136:凹陷部
- 138:額外表面
- 142:暴露端部間距
- 144:受蝕刻寬度
- 300:系統
- 310:處理腔室
- 320:工件支架
- 322:流體通道
- 324:電阻加熱元件
- 325:工件
- 330:氣體分配系統
- 340:真空幫浦
- 350:溫度控制系統
- 352:熱傳輸流體分配歧管
- 354:第一熱傳輸流體供應浴
- 356:第二熱傳輸流體供應浴
- 358:電源
- 360:控制器

- 400:裝置
- 402:基板
- 404:通道材料
- 406:閘極材料
- 408:隔離區域
- 410:凹陷交替膜堆疊
- 500:電漿工具
- 502:基板台
- 504:噴淋頭
- 506:真空幫浦
- 508:真空管線
- 510:加熱器
- 512:溫度感測器
- 514:前驅物氣體管線
- 516:混合氣體管線
- 518:承載氣體管線
- 520:第一流動控制器
- 522:第二流動控制器
- 524:第三流動控制器
- 526:電壓－電流（V-I）感測器
- 528, 530, 532, 534:基板感測器
- 536:控制器

【發明申請專利範圍】

【請求項1】 一種半導體基板的處理方法，包括：

接收包括膜堆疊的半導體基板，該膜堆疊係包括第一含鍍層、第二含鍍層，以及位於該第一含鍍層與該第二含鍍層之間的第一矽層；

從該膜堆疊去除氧化層，以及藉由下列步驟而在該第一含鍍層及該第二含鍍層上形成終止層：

利用包含氟及氧的處理氣體對該膜堆疊進行處理，及

對該膜堆疊進行熱處理；及

將該膜堆疊暴露於包含氟及氮的電漿，該電漿將該第一矽層選擇性蝕刻，以及將該終止層轉化為蝕刻保護層，該蝕刻保護層係在將該膜堆疊暴露於該電漿期間抑制該第一含鍍層及該第二含鍍層的蝕刻。

【請求項2】 如請求項1之半導體基板的處理方法，其中，將該膜堆疊暴露於該電漿係包括：

將該膜堆疊暴露於包含氮但不含氟的第一電漿，及

將該膜堆疊暴露於包含氟及氮的第二電漿。

【請求項3】 如請求項2之半導體基板的處理方法，更包括將該膜堆疊暴露於該第一電漿及將該膜堆疊暴露於該第二電漿的步驟依序重複至少一次。

【請求項4】 如請求項2之半導體基板的處理方法，其中，將該膜堆疊暴露於該第一電漿及將該膜堆疊暴露於該第二電漿係包括：

利用氮及氫形成該第一電漿，以及將該膜堆疊暴露於該第一電漿持續預定時間量，及

在該預定時間後，持續引進氮及氫，且進一步引進氟以形成該第二電漿，

該第二電漿與該第一電漿是連續的。

【請求項5】如請求項4之半導體基板的處理方法，其中，該預定時間量為5秒以上。

【請求項6】如請求項4之半導體基板的處理方法，其中，該預定時間係落在5秒至25秒的範圍內，以及在該預定時間後，引進該含氟氣體。

【請求項7】如請求項1之半導體基板的處理方法，其中，該處理係在缺乏電漿的情況下執行，其中該處理氣體係包括氣溶膠化的水或水蒸氣，且其中該電漿係更包括氫。

【請求項8】如請求項2之半導體基板的處理方法，其中，該第一電漿係從包含氮和氫，但不含氟的氣體所產生，而該第二電漿係從包含氮、氫和氟的氣體所形成。

【請求項9】如請求項1之半導體基板的處理方法，其中，該電漿係從包括下列的氣體組合所產生：

三氟化氮 (NF_3) 及氮 (NH_3) ；

NF_3 、 NH_3 及氮 (N_2) ；

NF_3 、 NH_3 及氬 (Ar) ；

NF_3 及氫 (H_2) ；

NF_3 、 H_2 及 N_2 ；或

NF_3 、 H_2 、 NH_3 及 N_2 。

【請求項10】如請求項1之半導體基板的處理方法，其中，在該第一含銻層及該第二含銻層的該些暴露表面上所形成的該蝕刻保護層係包括銻氮化物。

【請求項11】如請求項 1 之半導體基板的處理方法，其中，該第一含銻層及該第二含銻層均為銻層，或是均為矽銻層，

其中，該電漿將該第一矽層選擇性蝕刻係包括選擇性蝕刻該第一矽層的端部，以在該膜堆疊中的該第一含銻層與該第二含銻層之間形成凹陷部，

隨著該第一矽層被選擇性蝕刻，該第一含銻層及該第二含銻層的複數額外表面係暴露出，而該電漿係在該些額外表面上形成鈍化層。

【請求項12】一種基板處理方法，包括：

提供具有含 Ge 層及含 Si 層的基板，該含 Ge 層或該含 Si 層的其中一者係位於該含 Ge 層或該含 Si 層的另一者上方，該含 Si 層係不包括 Ge，或是包括 Ge 但百分比含量小於該含 Ge 層，其中該含 Ge 層及該含 Si 層係各自在側表面上具有氧化物；

執行非電漿處理，該非電漿處理係從該含 Si 層的側表面去除該氧化物，以及在該含 Ge 層的側表面上提供經改質表面；及

執行電漿處理，該電漿處理對該含 Si 層的側表面進行蝕刻，以及將該含 Ge 層的該經改質表面轉化為包含銻氮化物的保護表面，從而防止該含 Ge 層的蝕刻。

【請求項13】如請求項 12 之基板處理方法，其中，該電漿處理係包括：

利用含氮氣體形成第一電漿，該含氮氣體不包括氟；

將該基板暴露於該第一電漿 5 秒以上；

在暴露至該第一電漿後，在持續供應該含氮氣體的情況下將氟引進該第一電漿，以形成第二電漿；及

將該基板暴露於該第二電漿。

【請求項14】如請求項 12 之基板處理方法，其中，在該電漿處理後，該含 Si 層係相對於該含 Ge 層凹陷，使該含 Si 層的外尺寸係小於該含 Ge 層的外尺寸。

【請求項15】如請求項 12 之基板處理方法，其中，該非電漿處理係包括：

利用含氟氣體及含氮氣體的處理，以在該含 Ge 層的側表面上形成該經改質表面；及

提高該基板的溫度以執行熱處理，

其中，該經改質表面係包括氮、矽、鍺及氟，

其中，在該電漿處理的第一部分期間，該經改質表面係與電漿中的氮產生反應，以形成包括鍺氮化物的該保護表面，在該電漿處理的該第一部分期間的該電漿不包括鹵素，及

其中，在該電漿處理的第二部分期間，氟被引進該電漿，且該含 Si 層係被蝕刻，而該含 Ge 層係被該保護表面保護。

【請求項16】如請求項 15 之基板處理方法，其中，該含氮氣體係包括氣溶膠化的水或水蒸氣，及

該熱處理係去除水殘留物，以及去除該含 Si 層的側表面上剩餘的殘留氧化物層部分，而該含 Ge 層的側表面上的該經改質表面未被去除。

【請求項17】一種選擇性蝕刻方法，包括：

提供具有含 Ge 層及含 Si 層的基板，該含 Ge 層的 Ge 百分比係大於該含 Si 層，

其中，該含 Ge 層或該含 Si 層的其中一者係垂直地位於該含 Ge 層或該含 Si 層的另一者上方，且其中側表面層係位於該含 Ge 層及該含 Si 層二者的側表面上；

在無電漿的情況下，利用包含氫、氧及氟的處理氣體對該側表面層進行處理；

在該處理過後，將該側表面層的一部分選擇性昇華，使得在該選擇性昇華後，該側表面層係從該含 Si 層的側表面去除，而經改質側表面層係存在於該含 Ge 層的側表面上；

在該選擇性昇華後，將該基板暴露於包含氫及氮，但不包含鹵素或氧的第一電漿；及

在暴露於該第一電漿後，將該基板暴露於包含氫、氮及鹵素的第二電漿。

【請求項18】 如請求項 17 之選擇性蝕刻方法，其中，該經改質側表面層係包括氫、矽、鍺及氟，

該基板係暴露於該第一電漿持續在 5 秒至 25 秒的範圍內的第一時間段，

該基板係暴露於該第二電漿持續在 8 秒至 25 秒的範圍內的第二時間段，

在該第二時間段後，在第三時間段執行關閉電漿功率或中斷該鹵素的引進的其中至少一者，且在該第三時間段期間持續引進氫及氮，

在該第三時間段後，開啟電漿功率，以及引進該鹵素氣體持續在 8 秒至 25 秒的範圍內的第四時間段。

【請求項19】 如請求項 18 之選擇性蝕刻方法，其中，該鹵素係包括氟，且在該第二時間段期間，所引進的氟比氮的比率係落在 1：5 至 1：10 的範圍內，

在該第一時間段及該第二時間段期間，並未引進氧，且溫度係被保持在 -50°C 至 25°C 的範圍內。

【請求項20】 如請求項17之選擇性蝕刻方法，其中，該處理係在第一處理腔室中執行，該選擇性昇華係在第二處理腔室中執行，而對於該第一電漿及該第二電漿的該暴露係在第三處理腔室中執行。

【發明圖式】

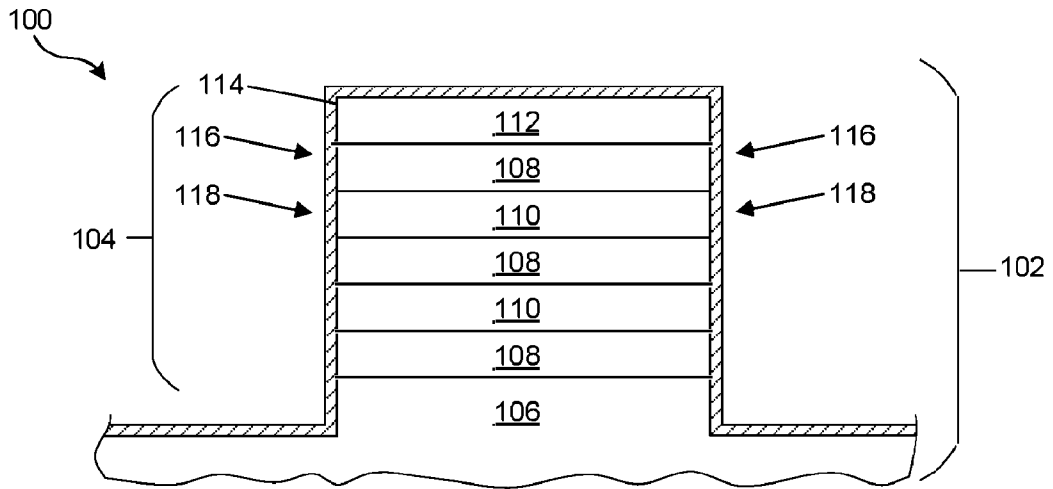


圖 1A

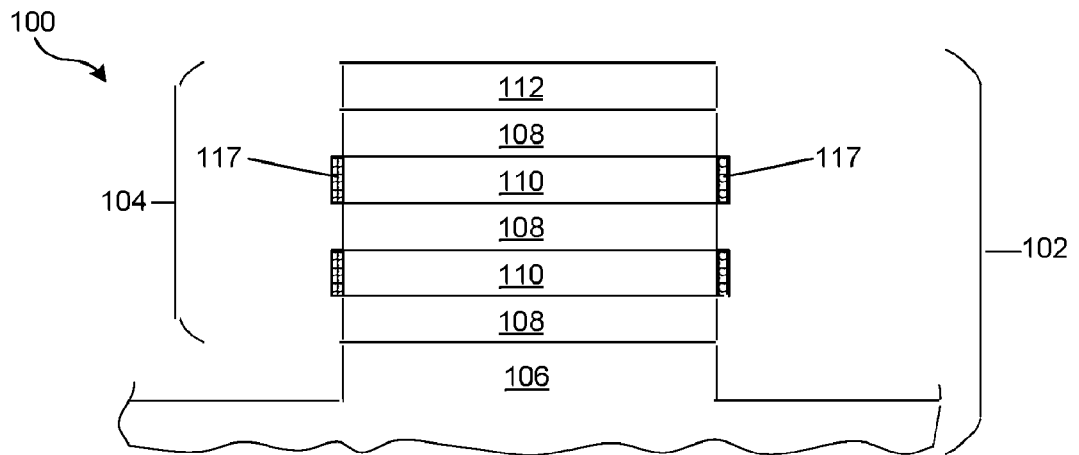


圖 1B

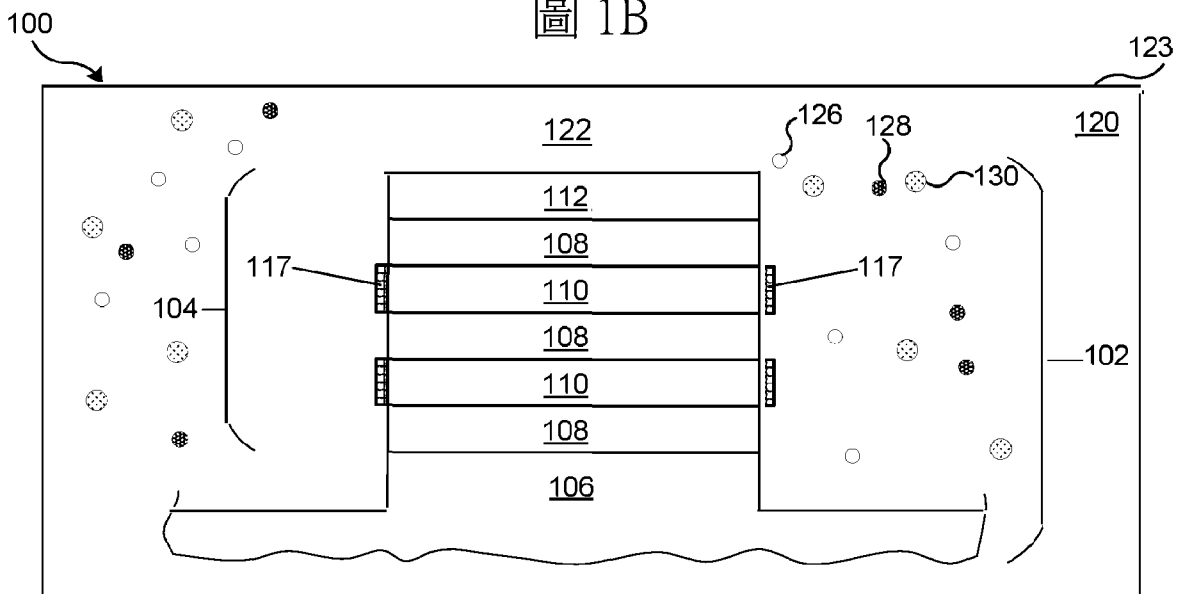


圖 1C

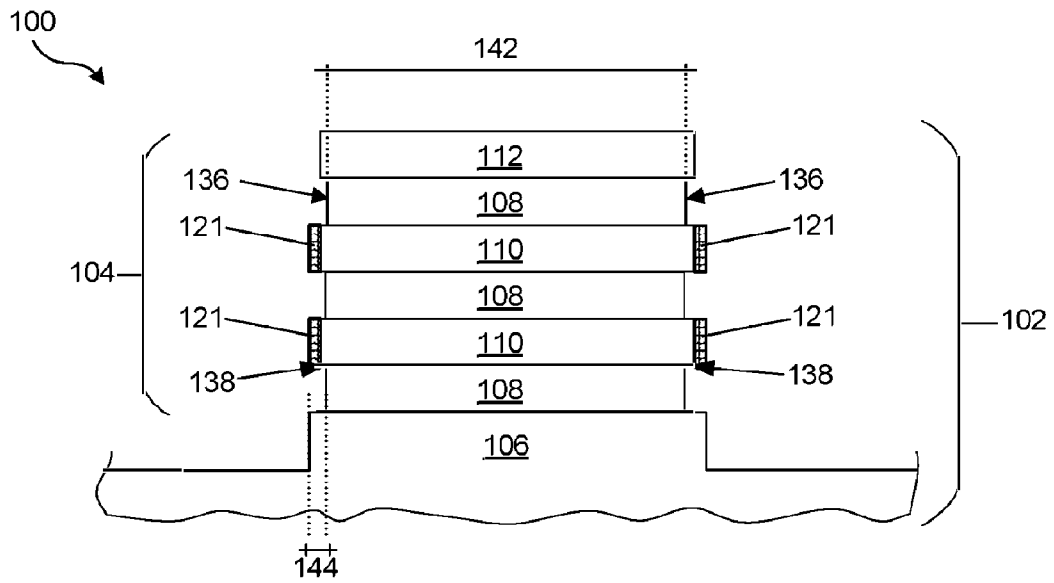


圖 1D

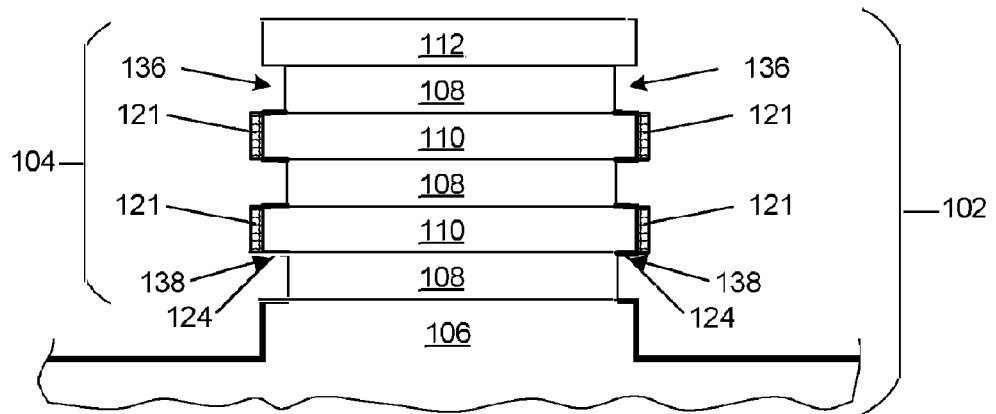


圖 1E

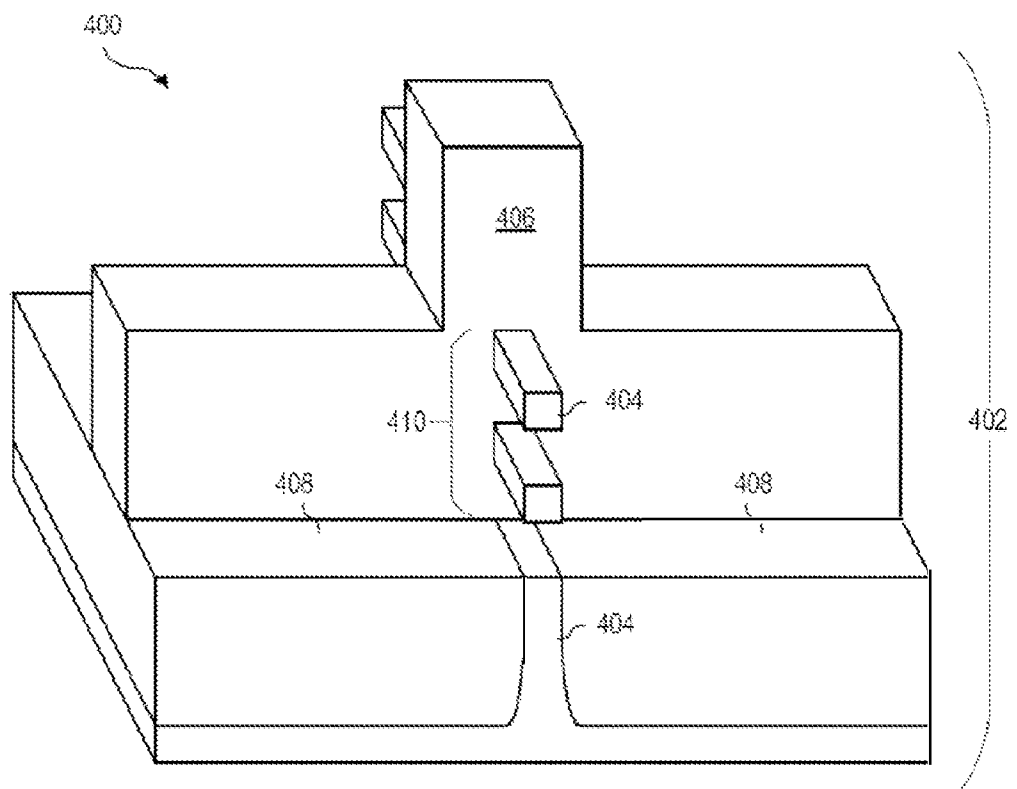


圖 2

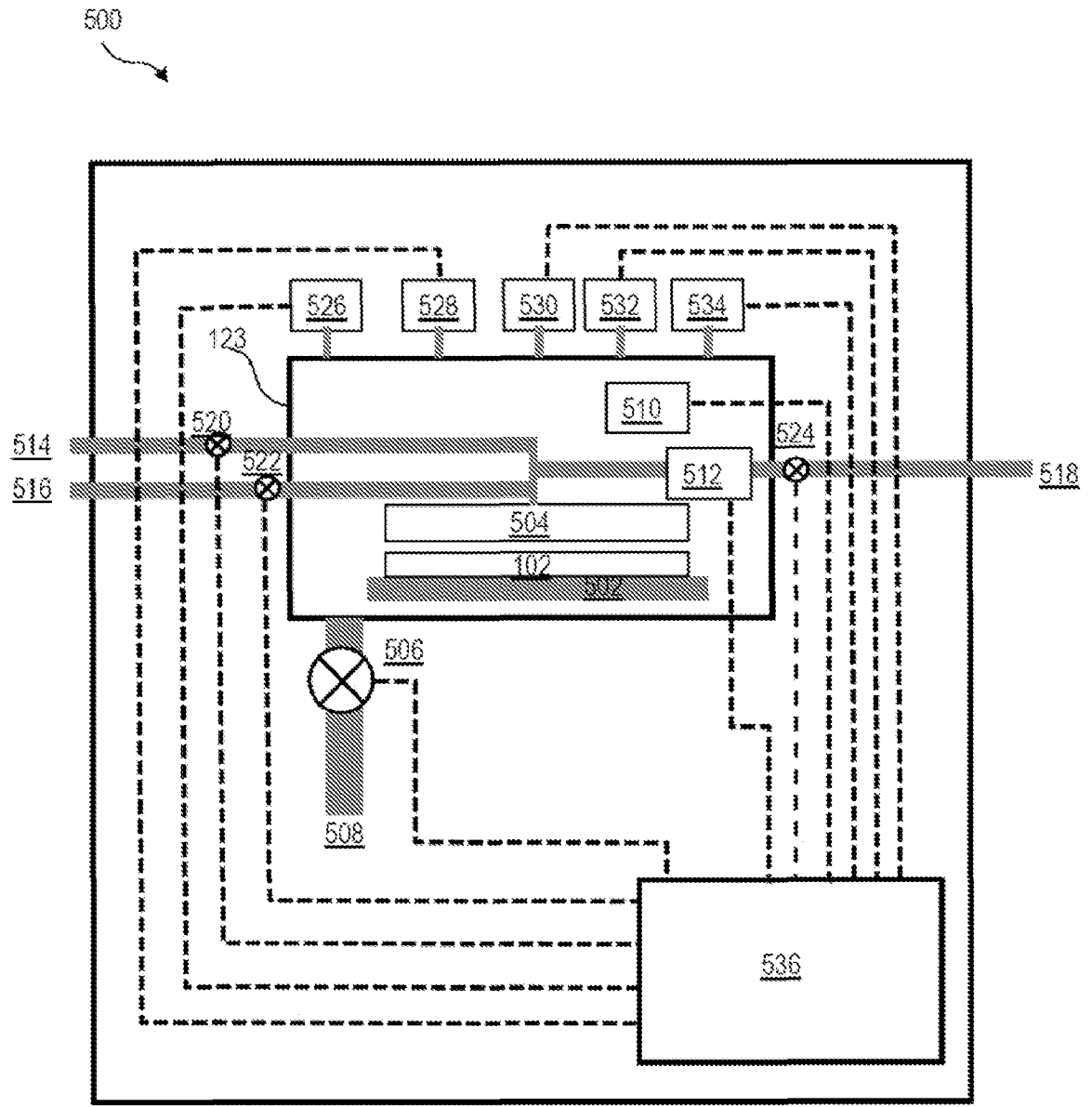


圖 3

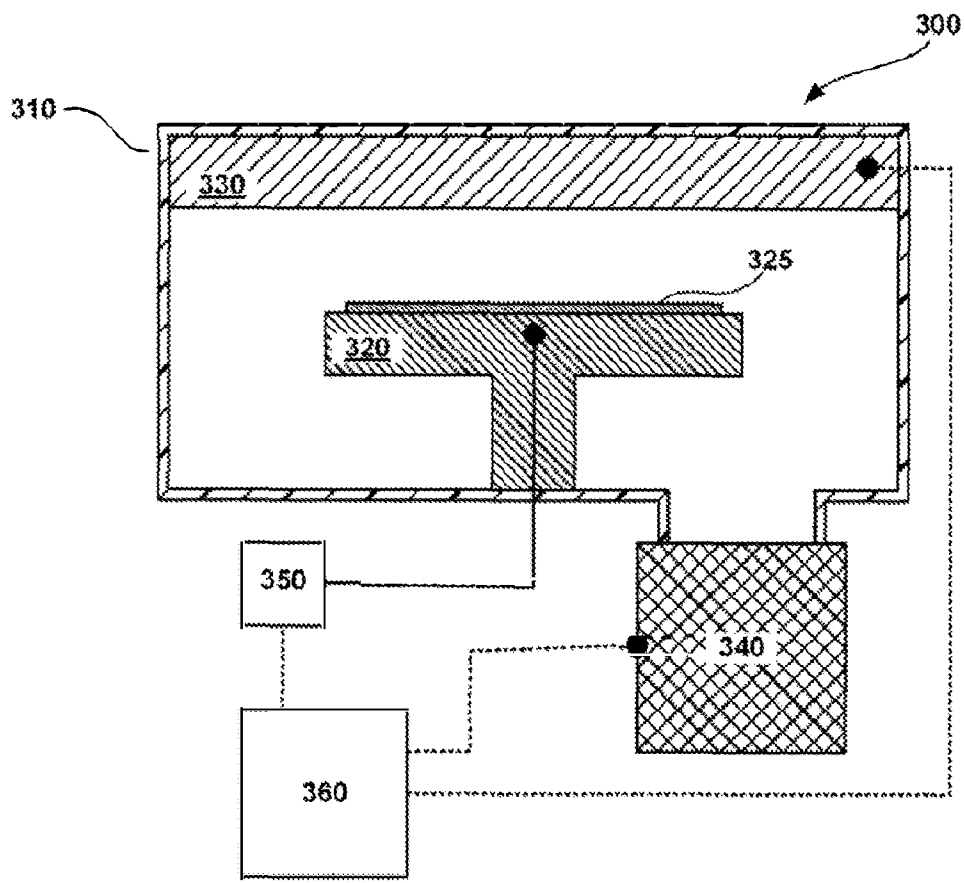


圖 4

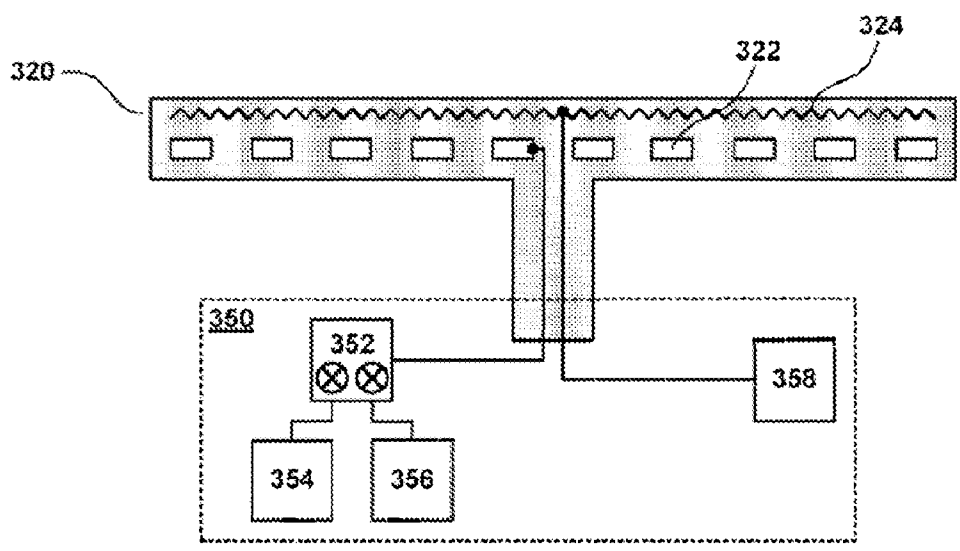


圖 5

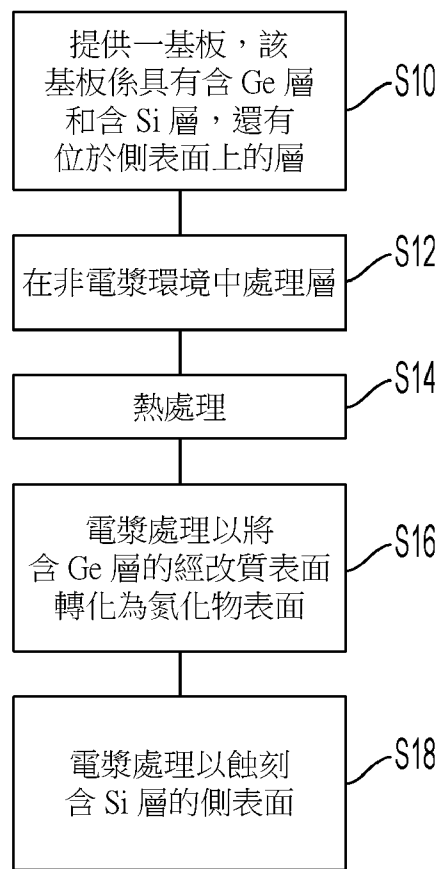


圖 6

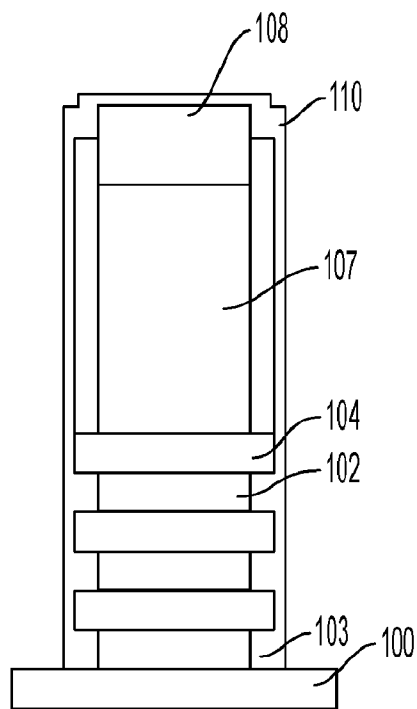


圖 7A

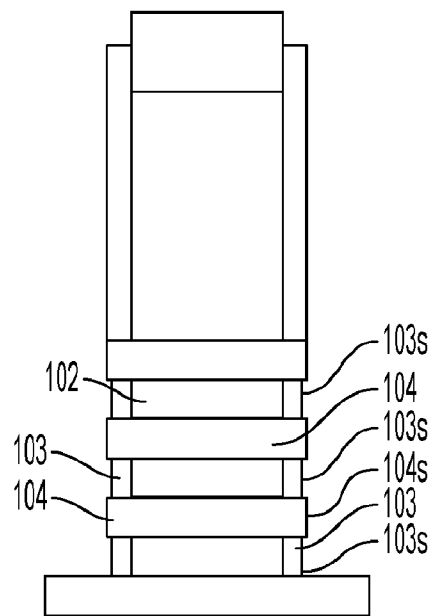


圖 7B