



(12) 发明专利申请

(10) 申请公布号 CN 103677042 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310401909. 3

(22) 申请日 2013. 09. 06

(30) 优先权数据

13/604653 2012. 09. 06 US

(71) 申请人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72) 发明人 M. 伦茨

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 马红梅 王忠忠

(51) Int. Cl.

G05F 1/56(2006. 01)

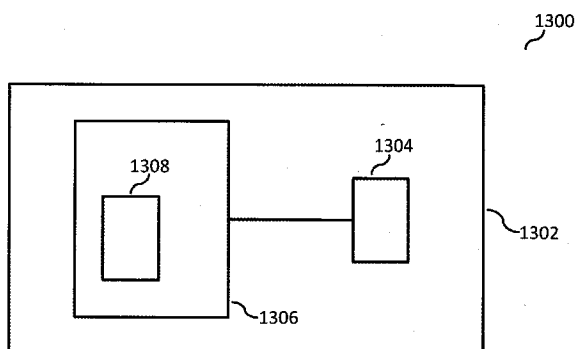
权利要求书2页 说明书16页 附图18页

(54) 发明名称

电压调节器

(57) 摘要

本发明涉及电压调节器。在各种实施例中提供了一种电压调节电路,其可以包括:至少部分地形成在n型衬底中的控制晶体管;以及调节电路,其包括耦合到所述控制晶体管的控制区的调节输出端,其中所述调节电路包括被形成在n型衬底上和在n型衬底中的至少一个的至少一个晶体管。



1. 一种电压调节电路,其包括:
至少部分地形成在 n 型衬底中的控制晶体管;以及
调节电路,其包括耦合到所述控制晶体管的控制区的调节输出端,其中所述调节电路包括形成在所述 n 型衬底上和在所述 n 型衬底中的至少一个的至少一个晶体管。
2. 根据权利要求 1 所述的电路,进一步包括:
输入端子,其被耦合到所述控制晶体管的第一受控端子。
3. 根据权利要求 2 所述的电路,进一步包括:
输出端子,其被耦合到所述控制晶体管的第二受控端子。
4. 根据权利要求 3 所述的电路,
其中,所述控制晶体管的所述第一受控端子被提供在所述 n 型衬底的第一面上方。
5. 根据权利要求 4 所述的电路,进一步包括:
在所述 n 型衬底的所述第一面上提供的层,其中,所述控制晶体管的所述第一受控端子被形成在所述层的表面处。
6. 根据权利要求 5 所述的电路,
其中,所述层包括外延层。
7. 根据权利要求 5 所述的电路,
其中,所述层掺杂有至少一个 n 型掺杂物。
8. 根据权利要求 7 所述的电路,
其中,所述层的掺杂浓度小于所述衬底的掺杂浓度。
9. 根据权利要求 5 所述的电路,
其中,所述控制晶体管的所述第二受控端子被提供在与所述 n 型衬底的所述第一面相反的所述 n 型衬底的第二面处。
10. 根据权利要求 9 所述的电路,
其中,所述 n 型衬底包括所述第二受控端子。
11. 根据权利要求 9 所述的电路,
其中,所述控制晶体管被配置成许可电流在基本上正交于由所述 n 型衬底所定义的平面的其受控端子之间流动。
12. 根据权利要求 1 所述的电路,
其中,所述控制晶体管被配置为垂直晶体管。
13. 根据权利要求 5 所述的电路,
其中,所述至少一个晶体管包括第一受控端子和第二受控端子,其中,其所述第一受控端子被形成在所述层的所述表面处。
14. 根据权利要求 13 所述的电路,
其中,所述至少一个晶体管的所述第二受控端子被形成在所述层的所述表面处。
15. 根据权利要求 13 所述的电路,
其中,所述至少一个晶体管被配置成许可电流在基本上平行于由所述 n 型衬底所定义的平面的其受控端子之间流动。
16. 根据权利要求 13 所述的电路,进一步包括:
形成在所述层中的阱,其中所述至少一个晶体管被布置在所述阱内。

17. 根据权利要求 16 所述的电路，
其中，所述阱掺杂有至少一个 p 型掺杂物。
18. 根据权利要求 17 所述的电路，
其中，所述阱的掺杂浓度小于所述衬底的所述掺杂浓度。
19. 根据权利要求 16 所述的电路，
其中，所述阱被耦合到基准电位。
20. 根据权利要求 16 所述的电路，
其中，所述阱被配置成使所述至少一个晶体管与围绕所述阱的所述层隔离。
21. 根据权利要求 1 所述的电路，
其中，所述至少一个晶体管被配置为平面场效应晶体管。
22. 根据权利要求 1 所述的电路，
其中，所述调节电路包括被配置成接收得自在所述输出端子处的输出电压的反馈信号的输入端。
23. 根据权利要求 22 所述的电路，
其中，所述调节电路被配置成将所述反馈信号与基准信号进行比较并且基于所述比较的结果将调节信号提供给所述控制晶体管的控制区。
24. 根据权利要求 23 所述的电路，
其中，所述调节电路进一步包括被配置成从带隙基准电压得到所述基准信号的带隙基准电压电路。
25. 一种电压调节器，其包括：
调节开关，其被至少部分地形成在衬底中；以及
控制器，其包括被形成在所述衬底上和在所述衬底中的至少一个的至少一个开关，
其中，所述衬底包括 n 型衬底。

电压调节器

技术领域

[0001] 各种实施例涉及一种电压调节器。

背景技术

[0002] 常规集成模拟电压调节器使用基于 p 型衬底的技术来制造。在 p 型衬底上提供的电子器件的触点被布置在衬底的正面上,衬底的背面被通常用于方便安装/ 附连。然而,那些所谓的 IC(集成电路) 技术在功率电子学方面可能具有缺点。在通道元件即诸如功率晶体管之类的受控可变电阻器件中,基于 p 衬底技术电流发生在器件的横向方向上,即在与 p 型衬底的表面平行的方向上。此外,例如晶片的正面表面上的电压调节器的其他电子器件的触点的供应需要线接合,所述线接合建立芯片或集成电路 (IC) 上的接触垫与印刷电路板上周围电路的对应触点之间的电连接。不是易于容易断裂的脆弱结构的线接合可以导致增加成本并且对总体增加的电阻作出贡献。

发明内容

[0003] 在各种实施例中提供了电压调节电路,其可以包括至少部分地形成在 n 型衬底中的控制晶体管,以及包括耦合到所述控制晶体管的控制区的调节输出端的调节电路,其中,所述调节电路包括形成在所述 n 型衬底上和/或在 n 型衬底中的至少一个的至少一个晶体管。

附图说明

[0004] 在图中,相同的附图标记在所有不同的视图中通常指的是相同的部分。图未必按比例绘制,重点替代地通常被放置在说明本发明的原理之上。在以下描述中,参考附图对本发明的各种实施例进行描述,在附图中:

图 1 示出了常见电压调节应用;

图 2 示出了图 1 中所示出的常见电压调节应用的侧视图;

图 3 示出了普通 NMOS 晶体管;

图 4 示出了常见电压调节应用的内部安装;

图 5 示出了根据各种实施例的基于 n 衬底技术的 MOS 晶体管;

图 6 示出了根据各种实施例的电压调节应用的内部安装;

图 7A 示出了包括通道元件和另外的晶体管的普通电压调节电路的一部分;

图 7B 示出了包括通道元件和另外的晶体管的根据各种实施例的电压调节电路的一部分;

图 8A 和图 8B 示出了根据各种实施例的电压调节电路的示例性实施方式;

图 9A 和图 9B 示出了根据各种实施例的电压调节电路的另外的示例性实施方式;

图 10 示出了依照各种实施例的带隙基准电压发生器的示例性实施方式;

图 11 示出了依照各种实施例的误差放大器的示例性实施方式;

图 12A 至 12D 示出了用于在根据各种实施例的基准电压发生器中和在根据各种实施例

的电压调节电路中使用的隔离晶体管的结构；以及

图 13 示出了根据各种实施例的电压调节电路的一般实施方式。

具体实施方式

[0005] 以下具体描述涉及附图，附图通过图示的方式示出了在其中可以实践本发明的特定细节和实施例。

[0006] 词“示例性”在本文中被用来意指“用作示例、实例或图示”。本文中被描述为“示例性”的任何实施例或设计未必被解释为优于其他实施例或设计为优选的或有利的。

[0007] 在图 1 中示出了常见电压调节应用 100 的示意框图。在图 2 中用侧视图示出了图 1 的电压调节应用。例如，电压调节应用 100 包括可以被作为 IC 提供的电压调节器 104。电压调节应用 100 包括待调节 / 控制的输入电压 V_{in} 可以被施加到其的输入端子 102。例如，输入端子 102 可以为垫并且可以被提供在印刷电路板 (PCB) 上。电压调节应用 100 可以进一步包括可以为垫的输出端子 106，在所述垫处可以提供调节 / 受控输出电压 V_{out} 。输入端子 102 和输出端子 106 借助于线接合 108 而被连接到电压调节器 104。电压调节器 104 经由引线框架 110 而被连接到 PCB（图 1 和图 2 中未显式地示出）。

[0008] 在图 3 中示出了普通 NMOS（n 沟道金属氧化物半导体）晶体管。NMOS 晶体管 300 可以被提供在图 1 和图 2 中所示出的电压调节器 104 内，例如，被用作其中其漏触点 D 被耦合到输入端子 102 并且其源触点 S 被耦合到输出端子 106 的通道元件。NMOS 晶体管 300 被提供在 n 型外延层 304 被提供在其之上的 p 型衬底 302 上。衬底 302 可以被连接到接地电位。U 形 n 型阱 308 被提供在外延层 304 和衬底 302 中，其中接触外延层 304 的上表面的 n 型阱 308 的各部分被耦合到漏极 D。阱 308 可以被 n 掺杂有大于 n 掺杂外延层 304 的掺杂浓度的掺杂浓度。栅触点 G 被耦合到栅区 314，所述栅区 314 被栅电介质围绕并且布置在 U 形阱 308 上面在中间的外延层 304 的上表面上。源触点 S 被耦合到被嵌入在 p 型阱区 312 中的源区 310。NMOS 晶体管 300 经由从外延层 304 的上表面延伸到衬底 302 中的 p 型隔离沟槽 306 与其他器件横向地分离。图 3 中的箭头 314 象征性地指示当它处于导通态时电流通过 NMOS 晶体管 300 的方向。输入电压 V_{in} 经由接合线 108 被从输入端子 102 施加到电压调节器 104。由电压调节器 104 所输出的调节电压 V_{out} 被提供在经由另一接合线 108 而被耦合到该电压调节器的输出端子 106 处。调节输出电压 V_{out} 然后可以被施加到负载。箭头 314 指示在电压调节应用 100 的操作期间通过 NMOS 晶体管 300 的电流。所述电流经由（一个或多个）源触点 S 被供应给（一个或多个）源区 310。采用施加到栅区 314 的适当电位 n 型沟道被形成在 p 型阱区 312 中的栅区 314 的下面，使得电流能够从（一个或多个）源区 310 进入在这种情况下可以被看成为 NMOS 晶体管 300 的体的外延层 304。电流然后深深地沉入外延层 304 直到它到达 n 型阱 308 为止，并且继续在水平 / 横向方向上流动直到它到达将漏触点 D 与 n 型阱 308 的较低水平部分连接在一起的 n 型阱 308 的垂直延伸部分为止。

[0009] 图 3 中所示出的 NMOS 晶体管 300 仅仅是在 p 型衬底上提供的一个示例性开关器件。以类似的方式，还可以在 n 型衬底上制造 PMOS 晶体管和 NPN/PNP 双极晶体管。

[0010] 如果高电流将被提供在电压调节应用 100 的输出端子 106 处则若干问题可能发生。另一方面，在连接在芯片 / IC 上提供的连接端子与在引线框上提供的对应连接垫之间

的元件时候不得不提供昂贵的线接合。用于线接合的材料应该具有非常低的电阻率使得电流可以以尽可能少的损失流入和流出芯片 /IC。因此,铝、铜或金被主要地用作作为线接合的材料。在高电流电压调节应用中通道元件经常被细分成若干晶体管,例如成为四个单晶体管。两个晶体管可以共享输入端子和输出端子,使得可以在具有需要线接合到引线框上的对应接触垫的四个晶体管通道元件的芯片 /IC 上提供总共两个输入端子垫和两个输出端子垫。

[0011] 刚刚描述的方面在图 4 中被描绘,图 4 示出了常见电压调节应用 400 的内部安装。电压调节应用安装 400 包括可以被作为附连到引线框架 402 的芯片 /IC 提供的电压调节器 404。第一线接合 408 被提供来将在引线框架 402 上提供的外部第一连接垫 422 电力地耦合到在电压调节器 404 上提供的对应的第一输出连接垫,第二线接合 406 被提供来将在引线框 402 上提供的外部第二连接垫 424 电力地耦合到在电压调节器 404 上提供的对应的第二输出连接垫。关于连接垫的术语“外部”表示不在电压调节器 404 上提供但形成在引线框上或者在用于建立芯片 /IC 与 PCB 之间的电接触的其他相关连接元件上提供的连接 / 接合垫的连接垫。外部第一连接垫 422 和外部第二连接垫 424 被电力地连接到在其提供调节输出电压 V_{out} 的输出端子 420。第三线接合 410 被提供来电力地将在电压调节器 404 上提供的第一输入连接垫与待调节的输入电压 V_{in} 可以被施加到其的输入端子 416 耦合。第四线接合 412 被提供来电力地将在电压调节器 404 上提供的第二输入连接垫与输入端子 416 耦合。换句话说,由于将电压调节器 404 的通道元件细分成四个晶体管(图 4 中未显式地示出)需要提供两个输入线接合(第一线接合 408 和第二线接合 406)和两个输出线接合(第三线接合 410 和第四线接合 412)。此外,第五线接合 414 被提供以便将接地端子 418 电力地耦合到在电压调节器 404 上提供的接地连接垫。此外,第六线接合 415 被提供以便电力地将在电压调节器 404 上提供的感测连接垫与电力地耦合到输出端子 420 的外部感测垫 426 连接。电压调节器 404 可以需要第六线接合 415 与外部感测垫 426 结合以便感测实际的输出电压 V_{out} 并且将它与基准输出电压进行比较。另外,如果输出电压将在第一和 / 或第二输出连接垫处(即在“球体”或芯片 /IC 中)被感测到,则可以不说明由于第一线接合 408 和 / 或第二线接合 406 的电阻率而导致的电压降使得在输出端子 420 处输出的输出电压 V_{out} 可以偏移所期望的输出电压值。通过经由外部感测垫 422 来感测输出电压 V_{out} , 电压调节器 404 可以使用在输出端子 420 处输出的实际输出电压 V_{out} 。因此,可以通过电压调节器 404 来说明由第一线接合 408 和 / 或第二线接合 406 所引发的可能的电压降。总之,基于在 p 型衬底上提供的普通通道元件的电压调节应用安装 400 可能需要至少六个线接合。

[0012] 基于 p 型衬底技术并且被配置成提供高输出电流的电压调节应用在通道元件处,即在被调节电路驱动以提供期望的调节输出电压 V_{out} 的至少一个晶体管处可以进一步遭受太高的压降。压降是所谓的后电压调节器的关键参数。耦合在 DC-DC 转换器下游的后电压调节器被用来将对应 DC-DC 转换器的输出电压减少到由 DC-DC 转换器所供电的应用所要求的适当电压,例如从 5V 到 3.3V、2.5V、1.8V 或 0.9V,并且用来对来自对应 DC-DC 转换器的输出电压进行校正 / 重调整到更准确的值。

[0013] 各种高电流电压调节应用包括形式为被用在快速电压调节器中的达林顿 (Darlington) 对的通道元件,尤其是当压降扮演次要作用时。在针对快速调节速度所设计

的那些电压调节器中仅需要具有不到 1 μF 电容的小输出电容器。

[0014] 相反,如果低压降是有决定性重要的,则通常 pnp 双极晶体管或 PMOS (p 沟道金属氧化物半导体) 晶体管被使用。然而,因为基于那些晶体管的电压调节器具有低载流容量并且导致慢电压调节器,所以或者可能需要提供具有在 10 μF 范围内的电容的较大输出电容器,使得实际上可能要求较大芯片面积。在较高电流处使用所谓的准 PNP (基于 PNP 双极晶体管的驱动器 / 调节电路和基于 NPN 双极晶体管的通道元件的组合)。那些结构具有与具有在 10 μF 或更大范围内的电容的仍然相当大的输出电容器耦合的较高压降的缺点。

[0015] 采用现今在市场上可得到的普通电压调节器在低压降与快速工作速度之间一直存在折衷。作为单片集成系统 IC 的一部分的电压调节器不受那些问题影响,因为通道元件通常由若干晶体管例如十个晶体管或更多个组成,并且因此通过单个晶体管的电流不和诸如图 4 中所示出的电压调节应用之类的常见电压调节应用中一样高,其中每个晶体管可以携带非常高的电流,例如 0.5A 或更大范围内的电流。这样的电压调节器常常将 DMOS (双扩散型 MOS) 晶体管用作通道元件,这然而而是基于具有上面所描述的缺点的 p 型衬底技术的。

[0016] 根据各种实施例,可以提供具有改进电压特性的电压调节电路,其与 p 型阱相结合地使用 n 型衬底来制造,其中每个 p 型阱可以被个别地耦合 / 连线到期望的电位,例如到接地电位。通过组合那两个方面,可以同时解决相关技术的所有问题并且可以获得以下优点。依照各种实施例,电压调节电路可以具有低压降和快速稳定时间 (快速调节速度) 使得仅小输出电容器可能是需要的。根据各种实施例的电压调节电路可以进一步提供合理价格和简单的标准组件。此外,根据各种实施例的电压调节电路相对于最大额定输入电压、短路条件、ESD (静电放电) 条件以及 HF 干扰 (HF: 高频) 的非耦合 (incoupling) 将低芯片成本可以与非常高的鲁棒性结合。作为又一效果根据各种实施例的电压调节电路也许能携带高峰值电流并且它可以提供有软启动功能性。软启动功能性可以指的是根据各种实施例的电压调节电路使具有非常少的瞬时过调量的初始通电阶段有特色的能力。

[0017] 在图 5 中示出了基于 n 衬底技术的 MOS 晶体管 500。MOS 晶体管 500 可以在根据各种实施例的电压调节电路中被用作为 (功率) 通道元件,并且例如可以被配置为 DMOS 晶体管。图 5 中所示出的 MOS 晶体管 500 被配置为垂直 MOS 晶体管,意味着晶体管 500 中的电流发生在相对于由衬底 / 晶片所定义的平面基本上垂直的方向或正交的方向上。换句话说,垂直 MOS 晶体管 500 可以被配置使得在导通态中,电流通过衬底 / 晶片从衬底的上表面 (顶面) 流动到衬底 / 晶片的下表面 (底面)。然而,根据各种实施例的电压调节电路同样可以只包括不同于图 5 中所示出的垂直 MOS 晶体管 500 的实施方式的 (功率) 通道元件,所述垂直 MOS 晶体管 500 可以被配置成许可电流在衬底的一面上提供的输入端子与在位于衬底的一面相反的衬底的另一面上提供的输出端子之间流动。

[0018] 以横截面侧视图在图 5 中所示出的垂直 MOS 晶体管形成在包括衬底 504 和外延层 506 的两个分层结构中。例如,衬底 504 可以为具有约 10^{17} cm^{-3} 或更大的掺杂浓度的 n 型衬底 (n+ 衬底)。例如,外延层 504 可以为具有在约 10^{16} cm^{-3} 与约 $5 \times 10^{16} \text{ cm}^{-3}$ 之间的范围内的掺杂浓度的 n 掺杂层 (n 外延层)。作为可以形成单个源触点 / 电极的两个部分的左源触点和右源触点的源触点 S (或源电极) 中的每一个可以被耦合到可以被 n 掺杂的源区 510 (n+ 源区)。可以在 p 掺杂阱区 508 (p 阱区) 中形成源区 510。在靠近对应源区 510 并且位于在栅电极 514 下面的 p 掺杂阱区 508 的部分中,当适当的电位被施加到栅触点 G

时形成导电沟道。箭头 512 指示电流当它处于导通态时通过图 5 中所示出的垂直 DMOS 晶体管 500 的方向。在已经从源区 510 和在栅电极 514 下面形成的沟道进入位于各 p 掺杂阱区 508 之间的外延层 506 的部分之后,电流朝衬底 504 的背面(下面)向垂直 MOS 晶体管 500 的漏触点 D 垂直地流动。漏触点 D 可以作为金属化层 502 被提供在衬底 504 的背面上。换句话说,漏触点 D 和源触点 S 被提供在衬底 504 的不同面上,其中漏触点 D 可以被提供在衬底 504 的背面上而源触点 S 可以被提供在衬底 504 的上表面上面(在衬底 504 上提供的外延层 506 的上表面处)。同图 3 中所示出的 NMOS 晶体管 300 比较起来,根据各种实施例的通过垂直 MOS 晶体管 500 的电流基本上被正交地导向由衬底 504 所定义的平面,并且垂直 MOS 晶体管 500 的输入端子(例如漏触点 D)和输出端子(例如源触点)被提供在衬底 504 的不同面上。换句话说,电流通过 MOS 晶体管 500 垂直地流动。

[0019] 将通道元件用作图 5 中所描绘的通道元件对根据各种实施例的电压调节电路的影响在图 6 中被示出。

[0020] 图 6 示出了根据各种实施例的电压调节应用 600 的内部安装。和图 4 中所示出的普通电压调节应用 400 类似,根据各种实施例的电压调节应用 600 包括可以被作为微芯片/IC 提供并且可以被布置在引线框架 602 上的电压调节器 604。第一接合线 606 可以被提供来将外部输出端子 610 电力地耦合到在电压调节器 604 上提供的输出端子垫 616。第一接合线 606 例如可以包括金、铜或 / 和铝或那些材料中的任一个的混合物并且具有约 500 μm 的厚度。然而,还可以以众多的单独线结合例如众多的三个单独线结合的形式来提供第一接合线 606,所述线接合包括金、铜或 / 和铝或那些材料中的任一个的混合物,每个接合线都具有约 75 μm 的厚度。第二线接合 608 被提供以便将外部接地端子 614 电力地耦合到在电压调节器 604 上提供的接地连接垫 618。第二接合线 608 例如可以包括金、铜或 / 和铝或那些材料中的任一个的混合物,并且具有约 75 μm 的厚度。外部输入端子 612 可以被耦合到在电压调节器 604 中提供的通道元件的输入端子,例如到垂直 MOS 晶体管 500 的漏触点 D (图 6 中未显式地示出)而不用使用线接合,因为衬底 504 的背面可以被带入与引线框 602 直接接触。因此,可以通过通道元件被布置在其上的衬底的背面在电压调节器 604 的通道元件(例如垂直 MOS 晶体管 500)的输入端子与外部输入端子 612 之间建立具有可忽视电阻的鲁棒互连。

[0021] 同图 4 中所示出的电压调节应用 400 比较起来,能够看到的是,可以在图 6 中所示出的根据各种实施例的电压调节应用 600 中省略出自六个接合线的四个。由于通过通道元件的垂直电流,如上面参考图 5 所描述的那样,衬底的背面可以为或者可以包括漏触点并且它可以被直接地连接到引线框而不必使用线接合。此外,因为不存在将外部输入端子 612 与电压调节器 604 连接在一起的线接合,所以在电压调节器 604 的通道元件的输入端子与连接到其的外部输入端子 612 之间的电压降可能是可忽视的时候可以省略实现感测线接合作用的图 4 中所示出的第六线接合 415。换句话说,可以需要仅一个高功率接合即第一线接合 606,以电力地将电压调节器 604 的输出端子例如垂直 MOS 晶体管 500 的源触点 S 与外部输出端子 610 耦合。此外,由于引线框与输入端子例如垂直 MOS 晶体管 500 的漏触点 D 之间的较大接触表面,该接触表面可以被用来将热从电压调节器微芯片 404 传递到引线框,该过程可以被用于电压调节器芯片 404 的冷却。此外,芯片的厚度即包括衬底 504 和外延层 506 的结构总体厚度可以被减少。基础技术可以被用于其中热阻 R_{th} 是有决定性

参数的高功率侧开关的制造。通过使芯片保持相对薄,例如其厚度在 100 μm 或更小的范围内,可以减少热阻并且因此可以更有效地冷却功率开关。

[0022] 应当注意的是,术语“输出端子”和“输入端子”是非限制性特征并且因此在不背离根据各种实施例的电压调节电路的构思的情况下可以被交换。也就是说,代替在衬底的背面上提供通道元件的输入端子,例如垂直 MOS 晶体管 500 的漏触点 D,可以在衬底的背面上提供通道元件的输出端子,例如垂直 MOS 晶体管 500 的源触点 S。换句话说,作为通道元件的晶体管的漏极和源极与电压调节器 604 的输入端和输出端的关联纯粹是任意的。

[0023] 第一线接合 606 可以使用被用在普通 MOSFET (MOS 场效应晶体管) 的制造中的标准工艺来制造,所述标准工艺例如使用厚铝线接合的线接合。垂直 MOS 晶体管作为通道元件也就是说作为电流通过其流动到负载的可变电阻器件的使用可以使得有可能提供可以仅需要小输出电容器,并且由于小导通状态电阻 ($R_{\text{DS(on)}}$) 而具有非常低的压降的快速电压调节器,所述导通状态电阻即处于其导电状态的通道元件的输入端子和输出端子之间的电阻,例如图 5 中所示出的垂直 MOS 晶体管 500 的源触点 S 和漏触点 D 之间的电阻。此外,高峰值电流可以用部署通道元件的根据各种实施例的电压调节器来实现,所述通道元件诸如基于 n 型衬底和软启动功能性可以被容易地实现的晶体管。

[0024] 在下文中将参考图 7A 和图 7B 解释基于 n 型衬底的根据各种实施例的电压调节电路优于基于 p 型衬底的普通电压调节电路的另外的可能效果。假定电压调节电路至少包括通道元件 (例如晶体管) 和调节 / 控制电路,所述调节 / 控制电路驱动通道元件使得可以在该通道元件的输出端子处提供期望幅度的调节输出电压。在图 7A 中示出了包括通道元件例如图 3 中所示出的 MOS 晶体管 300 和可以属于调节 / 控制电路的另外的晶体管 702 的普通电压调节电路的一部分。两个晶体管被提供在如现有技术中已知的 p 型衬底上。将不再次对 MOS 晶体管 300 进行描述,因为它对应于图 3 中所示出的晶体管 300。同样存在于图 7A 中的图 3 的元件将标记有相同的附图标记并且它们将不被再次描述。

[0025] 为属于电压调节电路内的调节电路的晶体管的表示所选择的另外的晶体管 702 在这种情况下是 NPN 双极晶体管。另外的晶体管 702 借助于从外延层 304 的上表面延伸到衬底 302 中的 p 型沟槽区 306 而与通道元件 300 分离。另外的晶体管 702 包括耦合到被 n 掺杂的集电极区 703 的集电极 C、被耦合到 n 掺杂发射极区 706 的发射电极 E 以及被耦合到基区 704 的基极 B,其中发射极区 706 被基区 704 围绕。

[0026] 在如图 7A 中所示出的基于 p 型衬底技术的普通电压调节电路中,干扰 (即不希望有的电磁场) 例如 HF 干扰可以经由漏触点 D 耦合到 MOS 晶体管 300 的漏区 308 中。从具有非常大的表面的漏区 308, HF 干扰可以经由漏极至衬底 (对于漏极至主体) 电容器 708 (Cd-b) 而被耦合到高阻衬底 302 中,所述电容器 708 由于漏区 308 与衬底 302 之间的接触表面的大面积而具有相对大的电容。衬底 302 的下表面 (背面) 可以被耦合到基准电位例如接地电位,但由于可以位于约 200 μm 到约 500 μm 范围内的衬底 302 的非常实质厚度,例如,直接地位于在 MOS 晶体管 300 下面的衬底 302 不能够被有效地接地 (同时牢记体现实际 MOS 晶体管 302 的结构可以具有约 10 μm 到约 20 μm 范围内的厚度)。因此,从漏区 308 注入到衬底 302 中的干扰可以遍及衬底 302 传播并且影响诸如另外的晶体管 702 的邻近器件。干扰例如可以经由横向衬底电阻器和 / 或集电极至衬底 (或集电极至主体) 电容器 710 (Cc-b) 影响另外的晶体管 702 的工作点,所述电容器 710 可以由于集电极区 703 与衬底

302 之间的低电位差而具有相对大的电容。换句话说, p 衬底 302 可以当作将 HF 干扰从一个晶体管传播到另一晶体管的“泵送(pumping)”衬底, 衬底 302 与相应晶体管的漏区 308 或集极区 703 之间的耦合分别经由非常大的衬底至漏极电容和衬底至源电极电容而发生。

[0027] 在图 7B 中, 示出了根据各种实施例的电压调节电路 720 的一部分。根据各种实施例的电压调节电路 700 的部分可以包括诸如垂直功率沟槽 MOS 晶体管之类的通道元件 724 和另外的晶体管 722, 所述另外的晶体管 722 例如可以属于在根据各种实施例的电压调节电路中提供的带隙基准电压电路或误差放大器。

[0028] 图 7B 中的两个示例性地示出的晶体管被提供在 n 型衬底 726 上。例如, n 型衬底 726 可以具有约 10^{17} cm^{-3} 或更大的掺杂浓度。n 型外延层 728 可以被提供在具有在约 10^{16} cm^{-3} 与约 $5 \times 10^{16} \text{ cm}^{-3}$ 之间的范围内的掺杂浓度的衬底 728 上。在图 7B 的右侧示出了垂直功率沟槽 MOS 晶体管 724。在外延层 728 的表面上提供了栅触点 G 和两个源触点 S。栅触点 G 被耦合到向下延伸到沟槽 732 中的外延层 728 中的栅区。沟槽 732 内的栅区 (图 7A 未显式地标记) 被隔离层例如介电材料围绕。每个源触点 S 被耦合到源区 730。在每个源触点 S 下面并且在源区 730 的两个部分之间提供了体区 734。体区可以被 p 掺杂并且它可以具有约 10^{17} cm^{-3} 的掺杂浓度。在示例性垂直功率沟槽 MOS 晶体管 724 中可以提供两个源触点 S, 其中每个源触点可以被耦合到在体区 734 中提供的对应源区 730。两个体区 734 中的每一个都被两个沟槽 732 围绕。在适当的电位被施加到栅触点 G 情况下从源区 730 通过向下通过外延层 728 在体区 734 中形成的导电通道到漏区的电流被建立。在通道元件的这个示例性实施例中, 漏区可以对应于 n 型衬底 726。和耦合到源区 730 的源触点 S 类似, 漏触点 (图 7B 中未显式地示出) 可以被连接到漏区 726。

[0029] 在图 7B 的左边, 靠近垂直功率沟槽 MOS 晶体管 724 提供了另外的晶体管 722。所述另外的晶体管可以被配置为隔离 NPN 双极晶体管。另外的晶体管 722 可以具有基区 742, 其中耦合到发射极触点 D 的发射极区和耦合到基触点 B 的基触点区 744 (p+ 掺杂) 被提供。基区 742 可以被外延层区 745 围绕并且它可以被 p 掺杂。外延层区 745 可以进一步包括被耦合到集极触点 C 的集极触点区 740 (n+ 掺杂)。外延层区 745 可以具有与外延层 728 相同的种类, 并且它可以被阱 748 围绕或者位于阱 748 内。换句话说, 外延层区 745 可以位于阱 748 内使得它不与在其中提供阱 748 的外延层 728 直接接触。阱 748 可以被 p 掺杂有在约 $1 \times 10^{16} \text{ cm}^{-3}$ 与约 $8 \times 10^{16} \text{ cm}^{-3}$ 之间的范围内的掺杂浓度。阱 748 可以具有耦合到其的接触电极 749, 其被提供在外延层 728 的上表面上, 也就是说在与另外的晶体管 722 的基触点 B、发射极触点 E 以及集极触点 C 相同的表面上。

[0030] 可以基于 n 型衬底技术形成根据各种实施例的电压调节电路的一部分的图 7B 中所示出的晶体管示出了关于处理干扰的不同行为。干扰例如 HF 干扰可以从在这个示例中对应于 n 型衬底 726 的垂直沟槽 MOS 晶体管的漏区传播到具有相对高欧姆电阻的外延层 728 中。阱 748 可以被耦合到基准电位例如接地电位, 并且因此作为使隔离 NPN 晶体管 722 的“核心”与衬底 726 和 / 或外延层 728 隔离的隔离阱。换句话说, 采用这样的结构, 阱 748 可以被看成为接地屏蔽。干扰可以从外延层 728 到阱 748 中的传播可以通过第一耦合电容器 738 (还标记有 C_{n-p}) 来发生。第一耦合电容器 738 通过表示在 n 掺杂外延层 728 与 p 掺杂阱 748 之间内在地形成的寄生电容器的电容器符号来象征性地指示。由于存在于第一耦合电容器 738 处的相对高的电压以及与也为小的另外的晶体管 722 的面积结合为非常

小的外延层 728 的掺杂浓度和阱 748 的掺杂浓度,第一耦合电容器 738 的电容是相对小的。因此,第一耦合电容 738 不会为外延层 728 与阱 748 之间的干扰提供良好的耦合通路。

[0031] 阱 748 可以通过第二耦合电容器 736 (C_{p-c}) 而被耦合到外延层区 745 (在其中形成了隔离 NPN 双极晶体管 722)。第二耦合电容器 736 通过表示在 p 掺杂阱 748 与外延层区 745 之间内在地形成的寄生电容器的电容器符号来象征性地指示。通过将阱 748 的接触电极 749 连接到基准电位例如接地电位,第一耦合电容器 738 和第二耦合电容器 736 的串联布置的“中点”可以被有效地接地。这可以具有在阱 748 内提供的外延层区 745 可以被从外延层 728 有效地解耦或者屏蔽,使得经隔离的另外的晶体管 722 可以保持未受干扰(即不希望有的电磁场)影响的效果,所述干扰在非常小的程度上可以从漏区传播到外延层 728 中。

[0032] 在图 8A 和图 8B 中示出了电压调节电路的示例性实施例。在图 8A 中示出了三引脚实施例,在图 8B 中示出了四引脚实施例。术语引脚可以指的是可以从器件封装向外地指向的接触腿,在所述器件封装中根据各种实施例的电压调节电路可以被例如封装为 IC,并且所述器件封装可以被用来建立电压调节电路与 PCB 之间的电连接。

[0033] 图 8A 中所示出的根据各种实施例的电压调节电路 800 可以包括通道元件 810 (例如控制晶体管)以及耦合到控制晶体管 810 的控制端子的误差放大器 808。控制晶体管 810 可以被耦合在输入端子 802 与输出端子 804 之间。输入电压 V_{in} 可以被施加到输入端子 802。可以在输出端子 804 处提供调节输出电压 V_{out} 。误差放大器 808 的第一电源端子可以被耦合到输入端子 802,其第二电源端子可以被耦合到基准电位可以被外部地施加到其的基准电位端子 806,例如接地电位。误差放大器 808 的第一输入端子可以被耦合到可以被配置为带隙电压基准源的基准电压发生器 812 的一个端子。根据各种实施例,带隙电压源可以为被配置成提供可能是基于相应材料的带隙(例如硅的带隙)的温度不相关基准电压的电路。基准电压发生器 812 的另外的端子可以被耦合到基准电位端子 806。误差放大器 808 的第二输入端子可以被耦合到输出端子 804。误差放大器 808 和基准电压发生器 812 可以形成具有反馈控制的调节电路 814。用于反馈控制的反馈信号可以对应于输出电压 V_{out} (或例如借助于分压器从其得到的信号)。为了执行反馈控制,调节电路 814 可以被配置成将驱动/控制信号提供给控制晶体管 810 的控制端子。依照各种实施例反馈控制可以指的是其中反馈信号例如输出电压 V_{out} 影响由调节电路 814 提供给(功率)通道元件的控制区的调节/控制信号的控制方案。

[0034] 包括通道元件 724 (例如垂直 MOS 晶体管)和另外的晶体管 722 的根据各种实施例的电压调节电路 720 的部分可以对应于图 8 中所示出的电压调节电路 800 的一部分。也就是说,通道元件 724 可以对应于控制晶体管 810 而另外的晶体管 722 可以对应于在调节电路 814 中包括的晶体管中的任何一个。为了提供反馈控制,通过衬底 728 和外延层 728 的采样通路可以被例如作为通孔来提供,使得输出电压 V_{out} 可以在衬底 726 (其同时地是垂直 MOS 晶体管 724 的漏触点)的背面处作为反馈信号被采样,并且可以在衬底 726 的相反面通过由图 7B 中的另外的晶体管 722 所表示的调节电路 817 而被处理。

[0035] 在根据各种实施例的电压调节电路 800 的操作期间,输出电压 V_{out} 可以被感测并且作为反馈信号提供给误差放大器 808 的第二输入端。误差放大器 808 可以被配置成将所感测到的输出电压 V_{out} 与由基准电压发生器 812 提供给它的第一输入端的基准电压相比较。

误差放大器 808 可以基于该比较来生成驱动 / 控制信号以便调整控制晶体管 808 的电阻使得输出电压 V_{out} 被朝期望值移动和 / 或被保持在期望值处, 所述期望值通过由基准电压发生器 812 所提供的基准电压的值来定义。换句话说, 误差放大器 808 可以为被配置成比较两个信号并且输出指示两个被比较信号之间的差异的结果信号的任何电路。例如, 误差放大器 808 可以为比较器或运算跨导放大器。输入端子 802、输出端子 804 以及基准电位端子 806 可以为可以被配置为接触引脚 / 垫的三个端子, 从而在根据各种实施例的电压调节电路 800 与诸如 PCB 之类的周围电路之间提供接口。

[0036] 根据各种实施例的电压调节电路 800 可以被作为集成电路 (IC) 提供。根据各种实施例的电压调节电路 800 可以被配置为具有高压降的电压调节电路。在那种情况下, 可以省略用于为控制晶体管 810 的控制端子提供控制 / 驱动信号的电荷泵。如果低压降是期望的则可以提供电荷泵。电荷泵例如然后可以一直或仅在其中输入电压 V_{in} 是非常低的并且从而可忽视的压降是期望的情形下为活动的。

[0037] 在图 8B 中示出了根据各种实施例的电压调节电路的四引脚实施例 840。由于其与图 8A 中所示出的电压调节电路 800 的相似性, 相同的元件携带相同的附图标记并且它们将不被再次描述。

[0038] 图 8A 中所示出的电压调节电路 800 与图 8B 中所示出的电压调节电路 814 之间的差异是后者包括附加的供应电压端子 820, 其被耦合到误差放大器 808 的第一电源端子 (而不是被耦合到其的输入端子 802)。借助于供应电压端子 820 可能与输入电压 V_{in} 无关的供应电压 V_s 可以被提供给误差放大器 808。供应电压 V_s 可能是足够高的使得为了获得通道元件的非常低的压降可以不需要电荷泵。此外, 由误差放大器 808 经由其第二输入端所感测到的输出电压 V_{out} 被电压分压器划分, 所述电压分压器包括被串联耦合在输出端子 804 与基准电位端子 806 之间的第一电阻器 816 和第二电阻器 818。

[0039] 在图 9A 中示出了电压调节电路 900 的另外的实施例。根据各种实施例的电压调节电路 900 是基于在图 8A 中和在图 8B 中所示出的其实施方式的。因此, 相同的元件携带相同的附图标记并且它们将不被再次描述。

[0040] 图 9A 中所示出的根据各种实施例的电压调节电路 900 可以被作为具有和图 8A 中所示出的电压调节电路 800 类似的三个接触端子的集成电路来提供。除图 8A 中所描述的部件 / 元件之外, 根据各种实施例的电压调节电路 900 可以进一步包括耦合在输入端子 102 与基准电压发生器 812 之间的预偏置电路 902。预偏置电路 902 可以被配置为用于基准电压发生电路 812 和阻塞干扰 (block disturbance) / 脉动的电源, 所述阻塞干扰 / 脉动可以存在于从到达参考电压发生电路 812 施加到输入端子 802 的电压上。进一步地, SOA (安全工作区域) 电路 904 可以被耦合在输入端子 802 与误差放大器 808 之间。SOA 电路 904 可以被配置成确保电压调节电路 900 在额定工作区域内操作。限流电路 906 和热保护电路 908 可以被进一步提供并且耦合到误差放大器 808 以便分别防止根据各种实施例的电压调节电路 900 由于过流或过热而导致的失效或损坏。

[0041] 在图 9B 中示出了电压调节电路 950 的又一实施例。根据各种实施例的电压调节电路 950 与图 9A 中所示出的实施例非常类似。因此相同的元件携带相同的附图标记并且它们将不被再次描述。电压调节电路 950 包括比图 9A 中所示出的实施例多两个以上的接触端子 (其可以为接触垫)。可以提供第四接触端子, 其对应于被配置成接收如图 8B 中所

示出的供应电压 V_s 的供应电压端子 820, 并且被耦合到误差放大器 808。第五接触端子 928 可以被提供和用于借助于外部电压分压器 (代替包括如图 9A 中所示出的串联布置中的第一电阻器 816 和第二电阻器 818 的内部电压分压器) 来设置调节的输出电压 V_{out} 。提供诸如启用、软启动以及电源良好之类的功能性的另外的功能电路可以被进一步实现到图 9A 和图 9B 中所示出的电压调节电路的实施例。启用功能性可能是与有效功率管理有关的并且它可以涉及关断电压调节电路 950 的可能性, 这在那个状态中可以具有非常低的电流消耗。电源良好功能性可以指的是输出电压被监控以得到欠压和 / 或过压, 并且可以在检测到那些误差状态中的任何一个的情况下例如通过设置数字误差标志来生成对应的误差消息。

[0042] 在图 10 中示出了基准电压发生器 812 (基准电压发生电路) 的示例性实施方式。图 10 中所示出的根据各种实施例的示例性基准电压发生器 1000 被配置成提供带隙基准电压, 例如 1, 25V 的带隙基准电压。

[0043] 根据各种实施例的基准电压发生电路 1000 可以包括第一晶体管 1004 和第二晶体管 1006, 其中那些晶体管中的每一个都可以被配置为增强型 PMOS 晶体管。第一晶体管 1004 的第一源 / 漏端子和第二晶体管 1006 的第一源 / 漏端子被耦合到电源端子 1002。第一晶体管 1004 的第二源 / 漏端子被耦合到可以为 NPN 双极晶体管的集电极端子的第三晶体管 1010 的第一端子。第二晶体管 1006 的第二源 / 漏端子被耦合到可以为 NPN 双极晶体管的集电极端子的第四晶体管 1012 的第一端子。第一晶体管 1004 的栅端子被耦合到第一晶体管 1004 的第二源 / 漏端子并且耦合到第二晶体管 1006 的栅端子。第三晶体管 1010 的第二端子例如发射极端子可以经由包括第一电阻器 1016 和第二电阻器 1018 的串联布置而被耦合到基准电位例如接地电位。第一电阻器 1016 和第二电阻器 1018 之间的节点被耦合到第四晶体管 1012 的第二端子, 例如发射极端子。第三晶体管 1010 的控制端子例如其基极端子以及第四晶体管 1012 的控制端子例如其基极端子两者都被耦合到基准电压发生器 1000 的输出端 1020。电流源 1014 被耦合在基准电压发生器电路 1000 的输出端 1020 与基准电位端子 GND 之间。第五晶体管 1008 例如 NPN 双极晶体管被耦合在电源端子 1002 与输出端子 1020 之间。第五晶体管 1008 的控制端子例如其基极端子被耦合到第二晶体管 1006 与第四晶体管 1012 之间的电通路。

[0044] 在根据各种实施例的基准电压发生电路 1000 中提供的晶体管可以为在 n 型衬底上提供的隔离晶体管。隔离 NPN 双极晶体管在图 7B 中已经被呈现。以相似的方式, 可以在位于 p 型阱内的 n 型衬底的一部分中 (或在 n+ 衬底上提供的外延层的部分中) 提供 MOS 晶体管。图 10 中的晶体管符号中的每一个都包括围绕表示 p 型阱的晶体管符号的矩形。如图 7B 中所示, 围绕隔离 NPN 双极晶体管的基区、发射极区以及集极区的阱 748 包括接触电极 749。因此, 可以自由地选择阱区 748 的电位。在基准电压发生器 1000 中提供的五个晶体管中的每一个的阱区可以被以星形布置的方式耦合到基准电位例如接地电位, 使得每一个晶体管通过接地阱与干扰屏蔽 / 隔离。

[0045] 在图 11 中呈现了图 8B 中所示出的电压调节电路 808 的示例性实施方式。基准电压发生器 812 的可能实施方式在图 10 中已经被示出, 并且为了清楚起见该电路在图 11 中未被示出。

[0046] 根据各种实施例的电压调节电路 1100 像关于图 9B 已经描述的那样包括被耦合到

控制晶体管 810 的第一源 / 漏端子的输入端子 802。控制晶体管 810 可以被配置为如图 7B 中所示出的垂直沟槽 MOS 晶体管或者进一步配置为垂直沟槽 DMOS 晶体管。控制晶体管 810 的第二源 / 漏端子被耦合到输出端子 804。输出电压 V_{out} 经由包括第一电阻器 816 和第二电阻器 818 的电阻式分压器被感测并且提供给调节电路 814, 例如给误差放大器 808 的第二输入端。

[0047] 误差放大器 808 可以包括第一晶体管 1104, 例如增强型 PMOS 晶体管。第一晶体管 1104 的第一源 / 漏端子可以被耦合到电源端子 820。第一晶体管 1104 的栅端子可以被耦合到其第二源 / 漏端子并且耦合到第二晶体管 1108 例如增强型 PMOS 晶体管的栅端子。第二晶体管 1108 的第一源 / 漏端子可以被耦合到供应电压端子垫 820。第二晶体管 1108 的第二源 / 漏端子可以被耦合到第八晶体管 1130 例如增强型 NMOS 晶体管的第一源 / 漏端子, 并且耦合到第九晶体管 1132 例如耗尽型 NMOS 晶体管的栅端子。第八晶体管 1130 的第二源 / 漏端子可以被耦合到基准电位, 例如接地电位 GND。第八晶体管 1130 的栅端子可以被耦合到第七晶体管 1128 例如增强型 NMOS 晶体管的栅端子, 并且耦合到其第一源 / 漏端子。第七晶体管 1128 的第一源 / 漏端子可以被耦合到第四晶体管 1120 例如增强型 PMOS 晶体管的第二源 / 漏端子。第七晶体管 1128 的第二源 / 漏端子可以被耦合到基准电位。第四晶体管 1120 的第一源 / 漏端子可以经由第四电阻器 1114 而被耦合到第三电流源 1110 并且到基准电位, 并且经由第四电阻器 1114 和第三电阻器 1112 进一步耦合到第三晶体管 1116 例如增强型 MOS 晶体管的第一源 / 漏端子。第三电流源 1110 可以被进一步耦合到供应电压端子垫 1102。第四晶体管 1120 的栅端子可以被耦合到图 10 中所示出的基准电压发生器 1000 的输出端子 1020 使得带隙基准电压 VBG 可以被施加到其。第三晶体管 1116 的栅端子可以被耦合到第一电阻器 816 与第二电阻器 818 之间的节点使得输出电压 V_{out} 可以被感测。第三晶体管 1116 的第二源 / 漏端子可以被耦合到第六晶体管 1126 例如增强型 NMOS 晶体管的第一源 / 漏端子, 耦合到其栅端子以及到第五晶体管 1124 例如增强型 NMOS 晶体管的栅端子。第六晶体管 1126 的第二源 / 漏端子和第五晶体管 1124 的第二源 / 漏端子可以被耦合到基准电位。第五晶体管 1124 的第一源 / 漏端子可以被耦合到第一晶体管 1104 的第二源 / 漏端子。第九晶体管 1132 的第一源 / 漏端子可以被耦合到供应电压端子垫 820。第九晶体管 1132 的第二源 / 漏端子可以被耦合到第十晶体管 1134 例如耗尽型 NMOS 晶体管的栅端子, 并且经由第一电流源 1136 耦合到电压调节电路 1100 的输出端 804。第十晶体管 1134 例如耗尽型 NMOS 晶体管的第一源 / 漏端子可以被耦合到供应电压端子垫 1102, 第十晶体管 1134 的第二源 / 漏端子可以经由第二电流源 1138 而被耦合到控制晶体管 810 的控制区并且到电压调节电路 1100 的输出端。

[0048] 在根据各种实施例的图 11 中所示出的误差放大器电路 808 中提供的晶体管可以为在 n 型衬底上提供的隔离晶体管, 仅作为图 10 中所示出的根据各种实施例的基准电压发生器 1000 中提供的晶体管。图 11 中的晶体管符号中的每一个 (除控制晶体管 810 之外) 都包括围绕表示对应晶体管的 p 掺杂阱的晶体管符号的矩形。第一晶体管 1104 和第二晶体管 1108 可以被配置使得晶体管中的每一个的阱被耦合到其第一源 / 漏端子并且耦合到其主体 / 体区。第九晶体管 1132 和第十晶体管 1134 可以被配置使得同时地实现对应晶体管的主体 / 体的作用的晶体管中的每一个的阱可以被耦合到比对应晶体管的第二漏 / 源端子的电压更低的电压。然而, 阱可以还被耦合到对应晶体管的第二源 / 漏区。第三晶体管

1116 和第四晶体管 1120 可以被配置使得所述晶体管中的每一个的阱被耦合到基准电位。第五晶体管 1124、第六晶体管 1126、第七晶体管 1128 以及第八晶体管 1130 可以被配置使得所述晶体管中的每一个的阱连同晶体管中的每一个的主体 / 体区一起被耦合到基准电位。

[0049] 在图 11 中所示出的根据各种实施例的误差放大器 808 中包括的晶体管的阱的结构对应于许多非常可能的结构中的一个。可以看到可以被用于根据各种实施例的电压调节电路的设计的 n 型衬底技术的关键特征, 事实上隔离晶体管中的每一个的 p 掺杂阱可以被个别地耦合到定义电位。如图 10 中所演示的那样, 晶体管的阱可以被全部耦合到基准电位例如接地电位, 从而形成星形布置。因此, 当阱被耦合到特定电位时, 阱可以提供屏蔽 / 隔离功能性使得对应晶体管的操作可能是更稳定的和 / 或抵抗干扰例如 HF 干扰。

[0050] 在下文中, 将在图 12A 至 12D 中更详细地描述在根据各种实施例的基准电压发生器 1000 中使用的和在根据各种实施例的电压调节电路 1100 中使用的晶体管的结构。即使在单独的图中描绘了晶体管中的每一个, 也例如可以在一个衬底 / 晶片上的一个 IC 中提供图 12A 至 12D 中所示出的晶体管。因此, 可以在包括在其上提供了外延层 1204 的 n 型衬底 1202 的晶片上 / 上提供晶体管。在衬底 1202 的背面上可以提供漏极 / 触点 1201。漏极 1201 可以仅被通道元件即被可以被配置为例垂直 MOS 晶体管的控制晶体管所使用。在图 12A 至 12D 中呈现的各视图中的每一个都是通过衬底 / 晶片的横截面侧视图。发生在晶体管的实施例中并且依赖相同结构的公共方面一旦在它们的首次出现之后就将其仅进行描述。

[0051] 图 12A 中所示出的垂直沟槽 MOS 晶体管 1200 包括在外延层 1204 的上表面上提供的源电极 S 和栅电极 G。栅电极 G 中的每一个都被耦合到在沟槽中向下延伸并且被隔离材料 1208 例如介电材料围绕的栅区 1210。当垂直 MOS 晶体管 1200 处于需要适当电压被施加到栅电极 G 的导通态时, 从源区 1216 通过在体区 1214 中形成的沟道朝漏极 1201 的电流被建立。换句话说, 电流仅正通过包括源区 1216 和体区 1214 的垂直 MOS 晶体管 1200 的中心段流动。在最外面的源电极 S 与外延层之间提供的阻塞区 1212 被提供在第一沟槽与第二沟槽之间和在从左向右计数的第三沟槽与第四沟槽之间。阻塞区 1212 被提供在垂直沟槽 MOS 晶体管 1200 的外面部分中以便减少泄漏电流并且可以被 p 掺杂有约 10^{17} cm^{-3} 范围内的掺杂浓度。因为通过垂直沟槽 MOS 晶体管 1200 的电流在从布置在外延层 1204 的上表面的源区 1216 朝布置在衬底 1202 的背面上的漏极 D 的垂直方向上流动, 所以衬底 1202 形成实际垂直 MOS 晶体管 1200 的整体部分。换句话说, 衬底 1202 可以作为垂直沟槽 MOS 晶体管 1200 的漏区。因此, 可以看到的是, 作为通道元件的垂直 MOS 晶体管 1200 至少部分地形成在衬底中。另一方面, 在图 10 中所示出的基准电压发生器 1000 中和在图 11 中所示出的电压调节电路 1100 中使用的其他晶体管可以为隔离晶体管, 使得它们处于导通态的电流不会流动或者侵入衬底 1202。那些晶体管的基本结构, 即源区或发射极区、栅区或基区以及漏区或集极区, 被提供在阱内的外延层区中并且因此被提供在衬底 1202 上或上面。然而, 在可替换的实施例中可以在图 10 中所示出的基准电压发生器 1000 和图 11 中所示出的电压调节电路 1100 中使用垂直晶体管代替平面晶体管。

[0052] 在图 12B 中示出了通过增强型 PMOS 晶体管 1220 的横截面视图。PMOS 晶体管 1220 包括耦合到可以被 p 掺杂的源区 1228 的源电极 S、耦合到可以被 p 掺杂的漏区 1225 的漏极

D 以及在源区 1228 与漏区 1225 之间的体的一部分上面提供的栅电极 G。体电极 B 经由 n 掺杂体区 1226 被耦合到 PMOS 晶体管 1220 的主体 / 体 1224。PMOS 晶体管形成在其中的主体 / 体 1224 位于可以被 p 掺杂的阱 1206 内。阱 1206 细分成三个部分仅仅可以反应位于被用不同于形成阱 1206 的壁的两个部分的工艺中制造的 PMOS 晶体管的主体 / 体 1224 下面的阱 1206 的部分的情况。阱电极 W 被耦合到阱 1206。靠近阱 1206 的侧面提供了沟槽, 所述沟槽可以包括诸如被诸如介电材料之类的隔离材料 1208 围绕的多晶硅之类的导电材料 1222。

[0053] 增强型 PMOS 晶体管 1220 可以对应于在图 10 中所示出的电压基准电压发生器 1000 中提供的第一晶体管 1004 和第二晶体管 1006, 并且对应于在图 11 中所示出的电压调节电路 1100 中提供的第三晶体管 1116 和第四晶体管 1120。为了实现对应结构阱电极 W 可以被连接到主体电极 B 和源电极 S。

[0054] 在图 12C 中示出了 NPN 双极晶体管 1240 的横截面视图。NPN 双极晶体管 1240 包括耦合到可以被 p 掺杂的基区 1244 的基极 B、耦合到可以被 n 掺杂的发射极区 1246 并且可以被布置在基区 1244 内的发射电极 E 以及耦合到可以被 n 掺杂的集电极区 1242 的集电极 C。和图 12B 中所示出的隔离 PMOS 晶体管 1220 的情况类似, 该隔离 NPN 双极晶体管被提供在阱 1206 内, 所述阱 1206 可以被 p 掺杂并且可以包括经由可以被 p 掺杂的耦合区 1248 耦合到其的阱电极 W。接触区 1248 可以提供阱电极 W 与阱 1206 之间的低欧姆接触。

[0055] 图 12C 中所示出的 NPN 双极晶体管 1240 可以对应于在图 10 中所示出的电压基准电压发生器 1000 中提供的第三晶体管 1010、第四晶体管 1012 以及第五晶体管 1008。为了实现对应结构阱电极 W 可以被连接到基准电位, 例如接地电位。

[0056] 在图 12D 中示出了 NMOS 晶体管 1260 的横截面视图。NMOS 晶体管 1240 包括耦合到可以被 n 掺杂的源区 1228 的源电极 S、耦合到可以被 n 掺杂的漏区 1225 的漏极 D 以及可以被耦合到栅极 1262 的栅电极 G。栅极 1262 可以被布置在阱 1206 内的外延层 1204 的表面上提供的隔离层 1264 上, 并且它可以通过 p 掺杂阱 1206 与其余外延层 1204 隔离。体电极 B 被提供耦合到可以被 p 掺杂并且被提供在阱 1206 的一部分中的体区 1226。换句话说, 在这个示例性实施例中阱 1206 的一部分同时地用作 NMOS 晶体管 1260 的体区。

[0057] 取决于施加到栅电极 G 的电压的种类和源区 1228 与漏区 1225 之间的区的掺杂的种类, 图 12D 中所示出的 NMOS 晶体管 1260 可以被配置为增强型或耗尽型晶体管。配置为增强型晶体管的 NMOS 晶体管 1260 可以对应于在图 11 中所示出的电压调节电路 1100 中提供的第五晶体管 1124、第六晶体管 1126、第七晶体管 1128 以及第八晶体管 1130。为了实现对应结构在这种情况下还对应于阱电极的体电极 B 可以被耦合到基准电位, 例如接地电位。配置为耗尽型晶体管的 NMOS 晶体管 1260 可以对应于在图 11 中所示出的电压调节电路 1100 中提供的第九晶体管 1132 和第十晶体管 1134。为了实现对应结构, 在这种情况下对应于阱电极的体电极 B 可以被耦合到第一电流源和第二电流源与电压调节电路 1100 的输出端子垫 1140 之间的电通路。

[0058] 依照各种实施例的电压调节电路的通用实施方式在图 13 中被示出。根据各种实施例的电压调节电路 1300 可以包括至少部分地形成在 n 型衬底 1302 中的控制晶体管和包括耦合到控制晶体管 1304 的控制区的调节输出端的调节电路 1306, 其中, 调节电路 1306 包括形成在 n 型衬底 1302 上和/或在 n 型衬底 1302 中的至少一个的至少一个晶体管 1308。

[0059] 依照各种实施例,所述电压调节电路可以包括至少部分地形成在 n 型衬底中的控制晶体管和包括耦合到所述控制晶体管的控制区的调节输出端的调节电路,其中,所述调节电路可以包括形成在 n 型衬底上和/或在 n 型衬底中的至少一个的至少一个晶体管。

[0060] 根据另外的实施例,所述电压调节电路可以进一步包括耦合到控制晶体管的第一受控端子的输入端子。

[0061] 根据另外的实施例,所述电压调节电路可以进一步包括耦合到控制晶体管的第二受控端子的输出端子。

[0062] 根据所述电压调节电路的另外的实施例,控制晶体管的第一受控端子可以被提供在 n 型衬底的第一面之上。

[0063] 根据另外的实施例,所述电压调节电路可以进一步包括在 n 型衬底的第一面上提供的层,其中,控制晶体管的第一受控端子可以被形成在所述层的表面处。

[0064] 根据所述电压调节电路的另外的实施例,所述层可以包括外延层。

[0065] 根据所述电压调节电路的另外的实施例,所述层可以掺杂有至少一个 n 型掺杂物。

[0066] 根据所述电压调节电路的另外的实施例,所述层的掺杂浓度可以小于衬底的掺杂浓度。

[0067] 根据所述电压调节电路的另外的实施例控制,晶体管的第二受控端子可以被提供在与 n 型衬底的第一面相反的 n 型衬底的第二面处。

[0068] 根据所述电压调节电路的另外的实施例,n 型衬底可以包括第二受控端子。

[0069] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置成许可电流在可以基本上正交于由 n 型衬底所定义的平面的其受控端子之间流动。

[0070] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为垂直晶体管。

[0071] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为垂直场效应晶体管。

[0072] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为垂直金属氧化物半导体场效应晶体管。

[0073] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为双扩散型金属氧化物半导体场效应晶体管。

[0074] 根据所述电压调节电路的另外的实施例,调节电路可以被配置为电压控制电流源。

[0075] 根据所述电压调节电路的另外的实施例,调节电路可以被配置为运算跨导放大器。

[0076] 根据所述电压调节电路的另外的实施例,至少一个晶体管包括第一受控端子和第二受控端子,其中其所述第一受控端子被形成在所述层的表面处。

[0077] 根据所述电压调节电路的另外的实施例,至少一个晶体管的第二受控端子可以被形成在所述层的表面处。

[0078] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置成许可电流在可以基本上平行于由 n 型衬底所定义的平面的其受控端子之间流动。

[0079] 根据另外的实施例,所述电压调节电路可以进一步包括在层中形成的阱,其中至

少一个晶体管可以被布置在所述阱内。

[0080] 根据所述电压调节电路的另外的实施例,所述阱可以掺杂有至少一个 p 型掺杂物。

[0081] 根据所述电压调节电路的另外的实施,例所述阱的掺杂浓度可以小于衬底的掺杂浓度。

[0082] 根据所述电压调节电路的另外的实施例,所述阱可以具有耦合到其的阱端子。

[0083] 根据所述电压调节电路的另外的实施例,阱端子可以被耦合到基准电位。

[0084] 根据所述电压调节电路的另外的实施例,阱端子可以被耦合到具有较低电压电位的至少一个晶体管的两个受控端子的该受控端子。

[0085] 根据所述电压调节电路的另外的实施例,阱端子可以被耦合到低于在具有至少一个晶体管的两个受控端子的较低电压电位的该受控端子处的电位的电位。

[0086] 根据所述电压调节电路的另外的实施例,所述层可以包括被耦合到晶体管的受控端子中的一个的层端子并且阱端子可以被耦合到该层端子。

[0087] 根据所述电压调节电路的另外的实施例,所述阱可以被配置成使至少一个晶体管与围绕阱的层隔离。

[0088] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置为平面场效应晶体管。

[0089] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置为平面金属氧化物半导体场效应晶体管。

[0090] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置为平面双极晶体管。

[0091] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置为垂直双极晶体管。

[0092] 根据所述电压调节电路的另外的实施例,至少一个晶体管的第二受控端子可以被提供在与 n 型衬底的第一面相反的 n 型衬底的第二面处。

[0093] 根据所述电压调节电路的另外的实施例,至少一个晶体管的第二受控端子和控制晶体管的第二受控端子可以被提供在 n 型衬底的相同面处。

[0094] 根据所述电压调节电路的另外的实施例,调节电路可以包括被配置成接收得自在输出端子处的输出电压的反馈信号的输入端。

[0095] 根据所述电压调节电路的另外的实施例,调节电路可以被配置成将反馈信号与基准信号进行比较并且基于比较的结果将调节信号提供给控制晶体管的控制区。

[0096] 根据所述电压调节电路的另外的实施例,调节电路可以进一步包括被配置成从带隙基准电压得到基准信号的带隙基准电压电路。

[0097] 根据所述电压调节电路的另外的实施例, n 型衬底可以包括至少一个晶体管的第二受控端子。

[0098] 根据所述电压调节电路的另外的实施例,至少一个晶体管可以被配置成许可电流在基本上正交于由 n 型衬底所定义的平面的其受控端子之间流动。

[0099] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为垂直场效应晶体管。

[0100] 根据所述电压调节电路的另外的实施例,控制晶体管可以被配置为垂直金属氧化物半导体场效应晶体管。

[0101] 依照另外的实施例提供了电压调节器,其可以包括至少部分地形成在衬底中的调节开关和包括可以被形成在衬底上和/或在衬底中的至少一个的至少一个开关的控制器,其中所述衬底可以包括 n 型衬底。

[0102] 虽然已经参考特定实施例示出并且描述了本发明,但是本领域的技术人员应该理解,在不背离如由所附权利要求所限定的本发明的精神和范围的情况下,可以在本文中进行形式和细节上的各种改变。本发明的范围因此由所附权利要求来指示,并且落入权利要求的同等意义和范围内的所有改变因此旨在被包含。

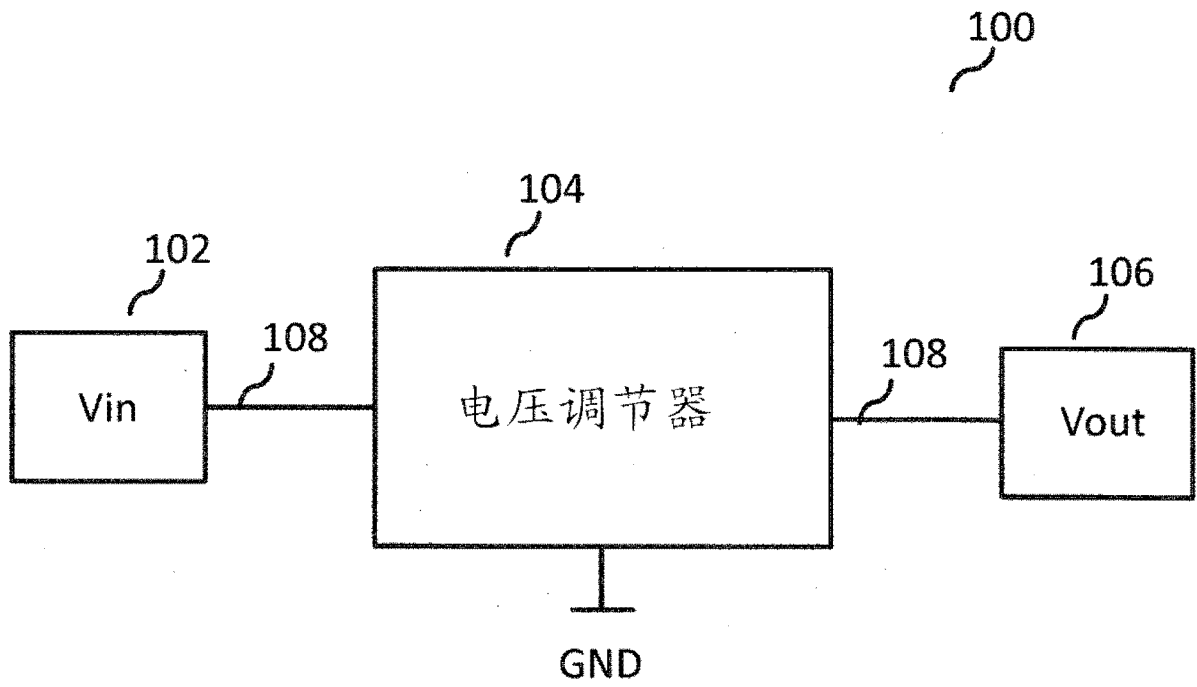


图 1

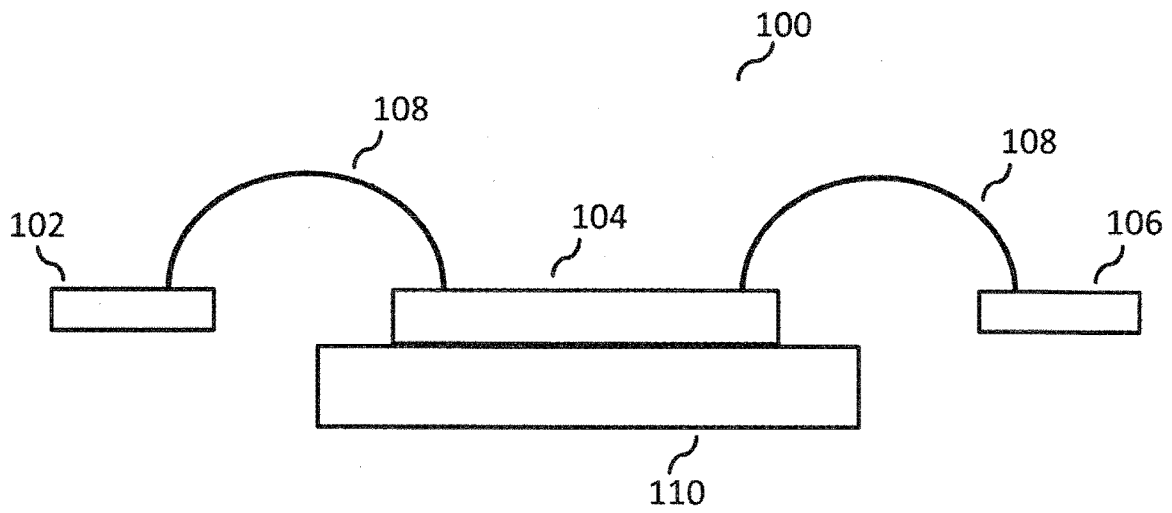


图 2

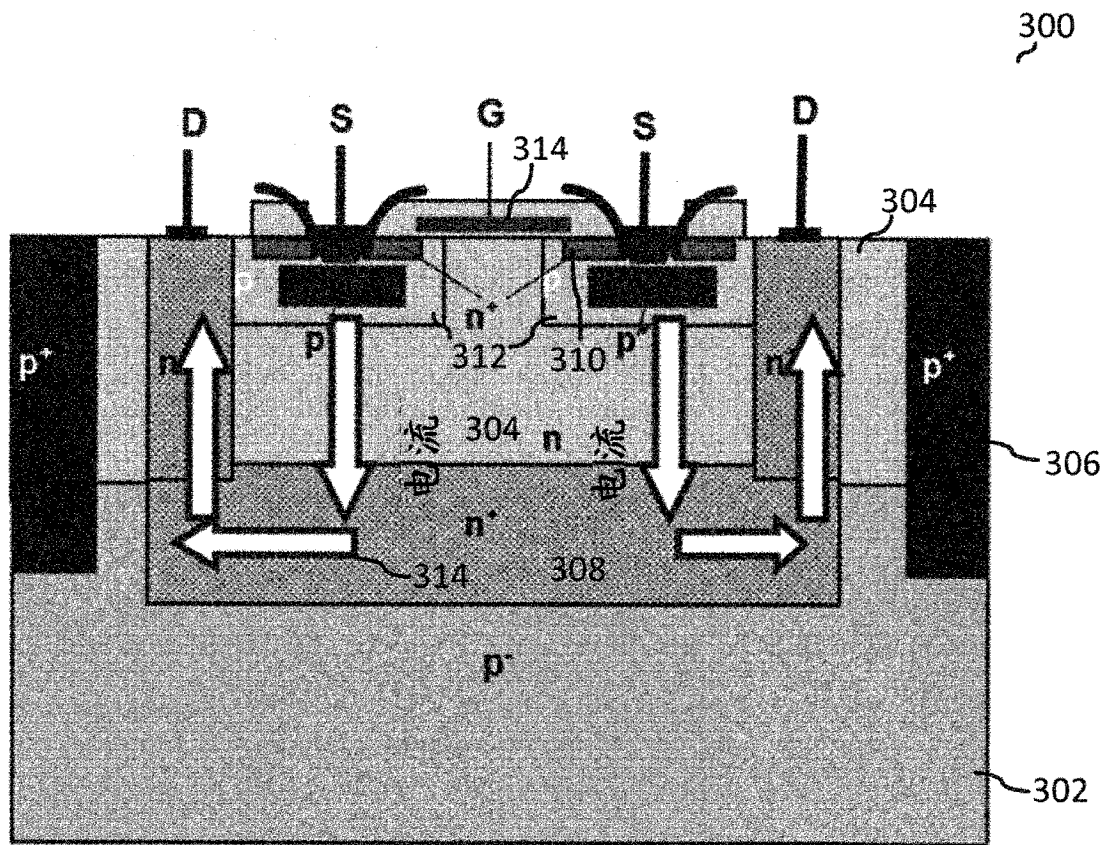


图 3

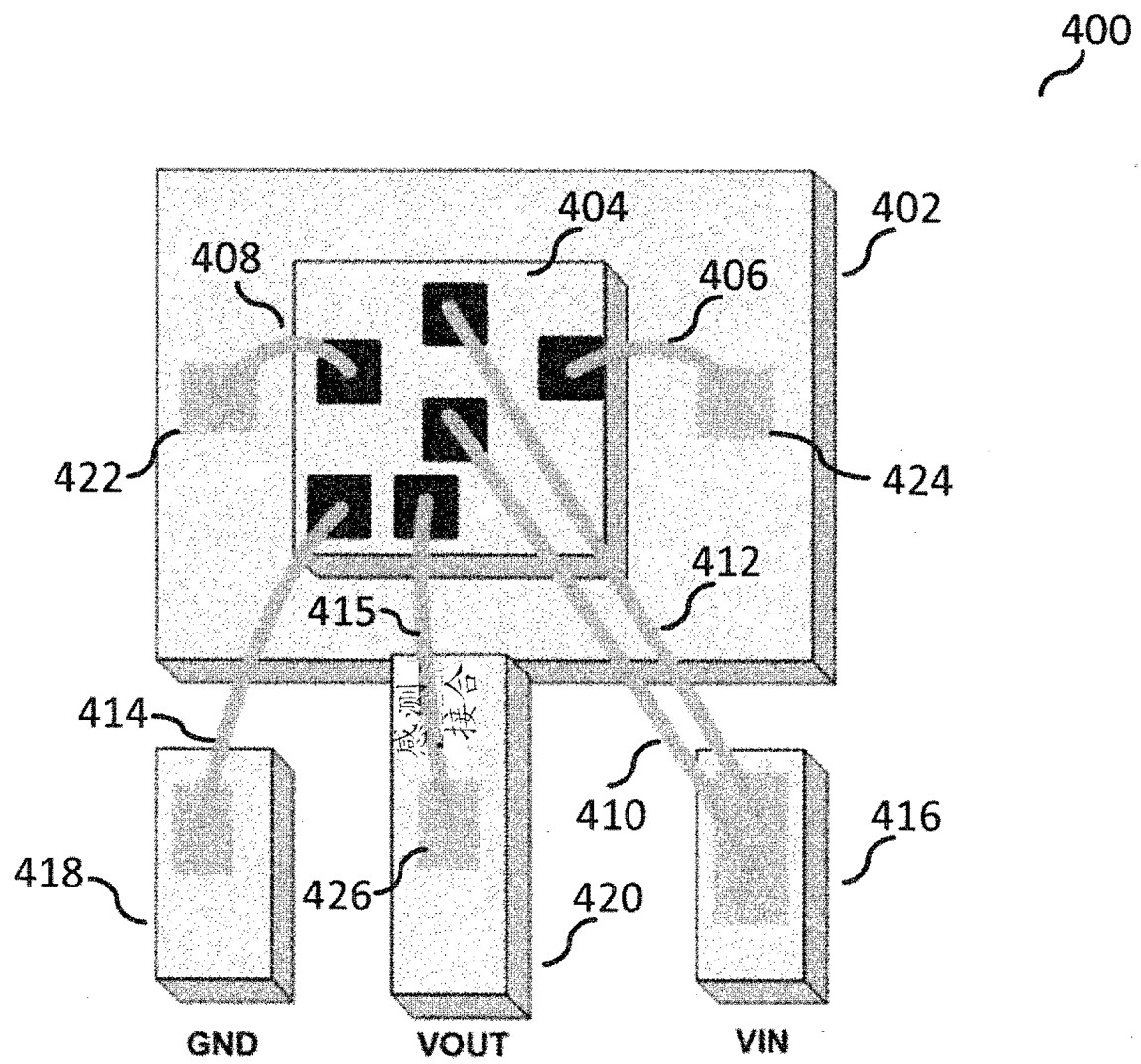


图 4

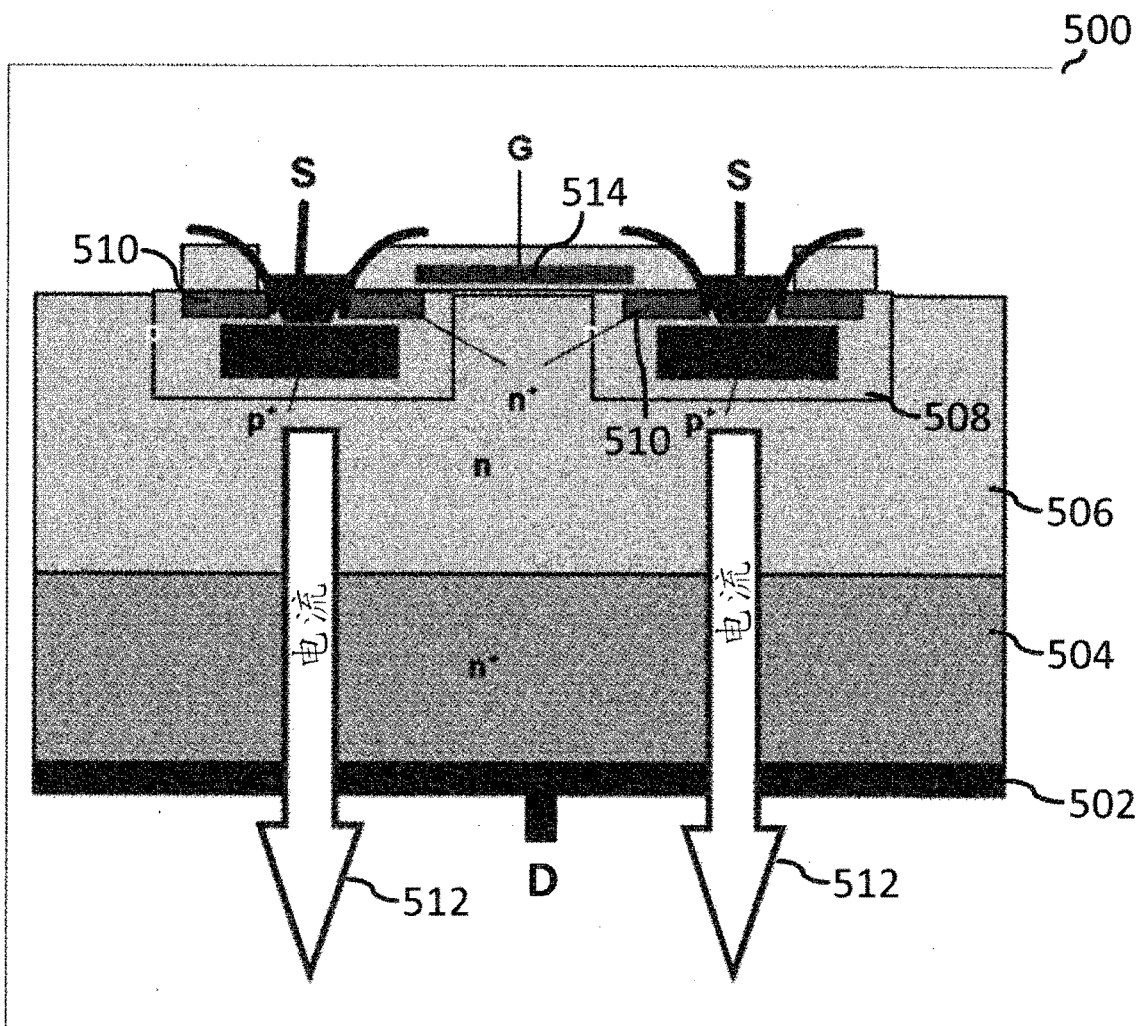


图 5

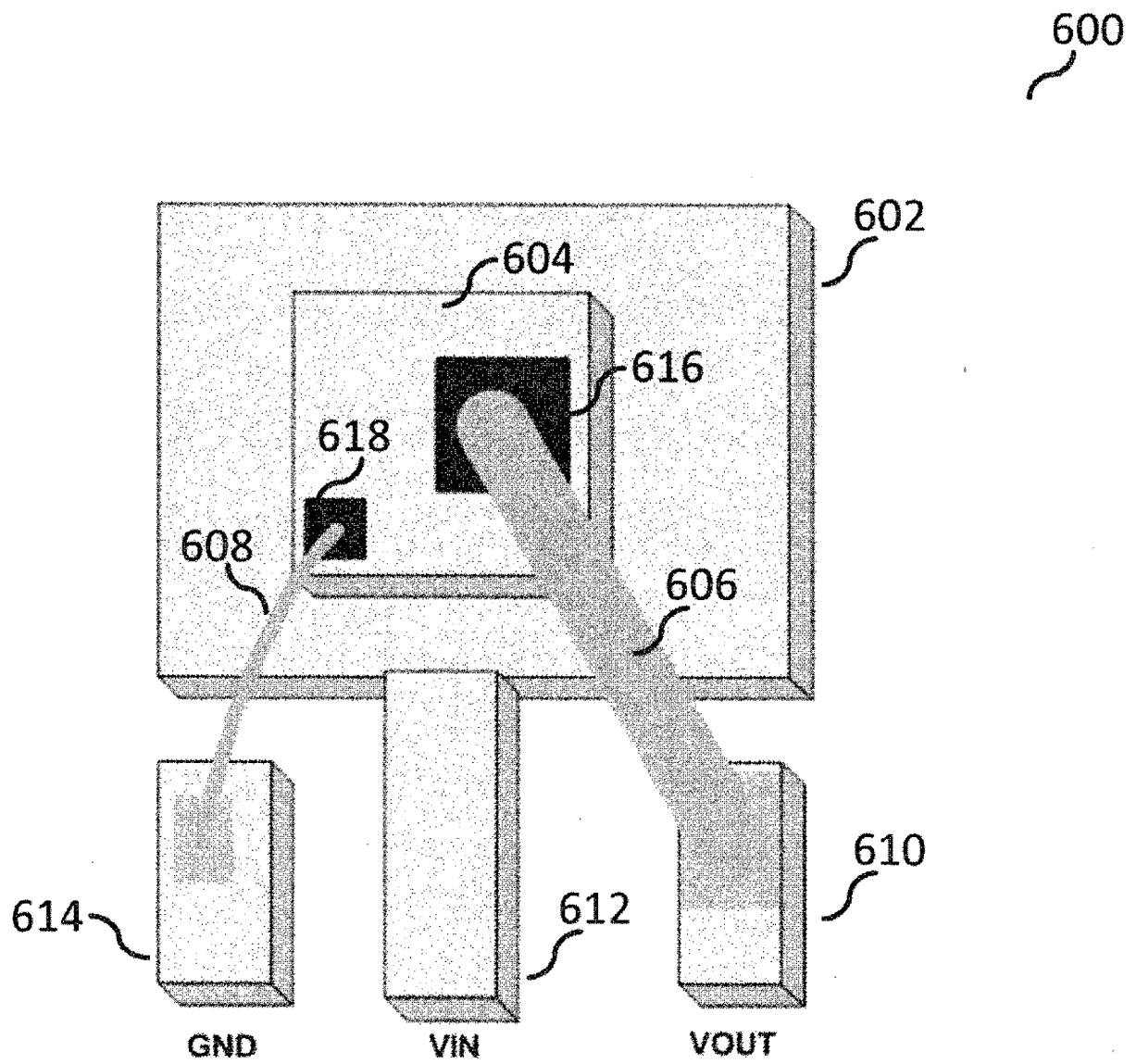


图 6

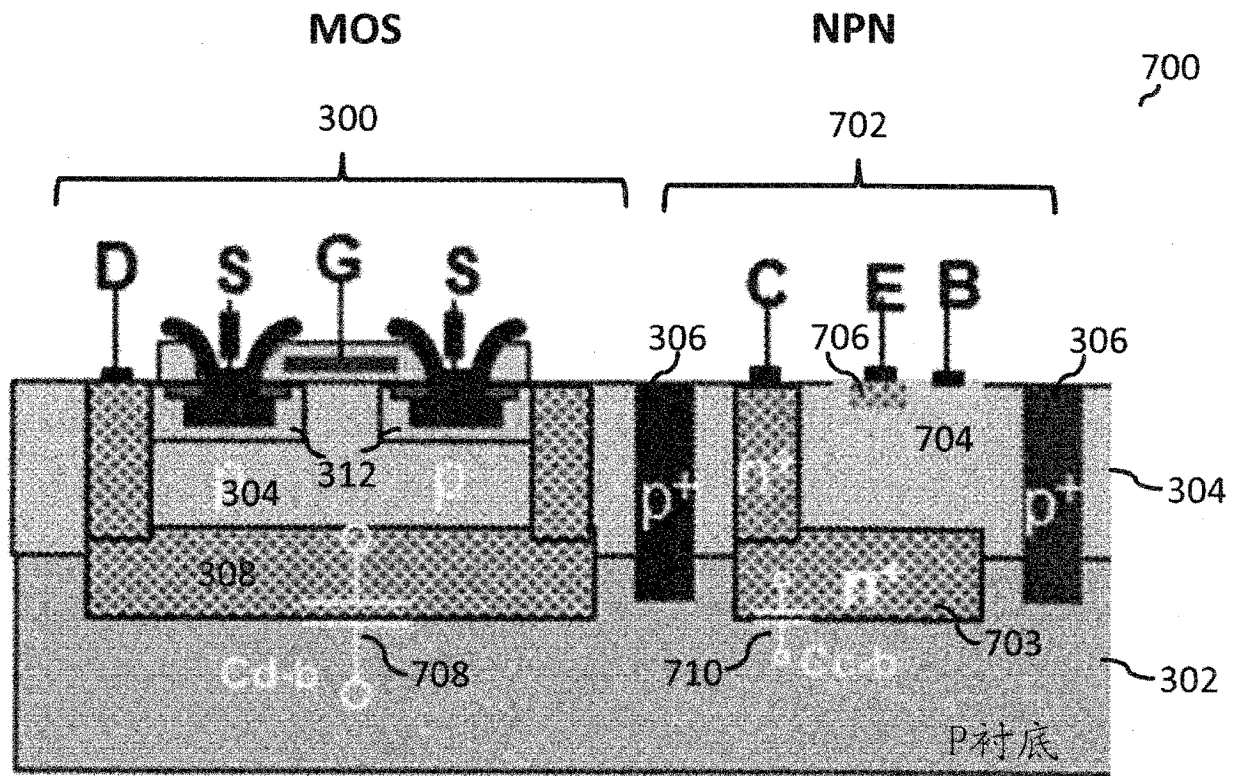


图 7A

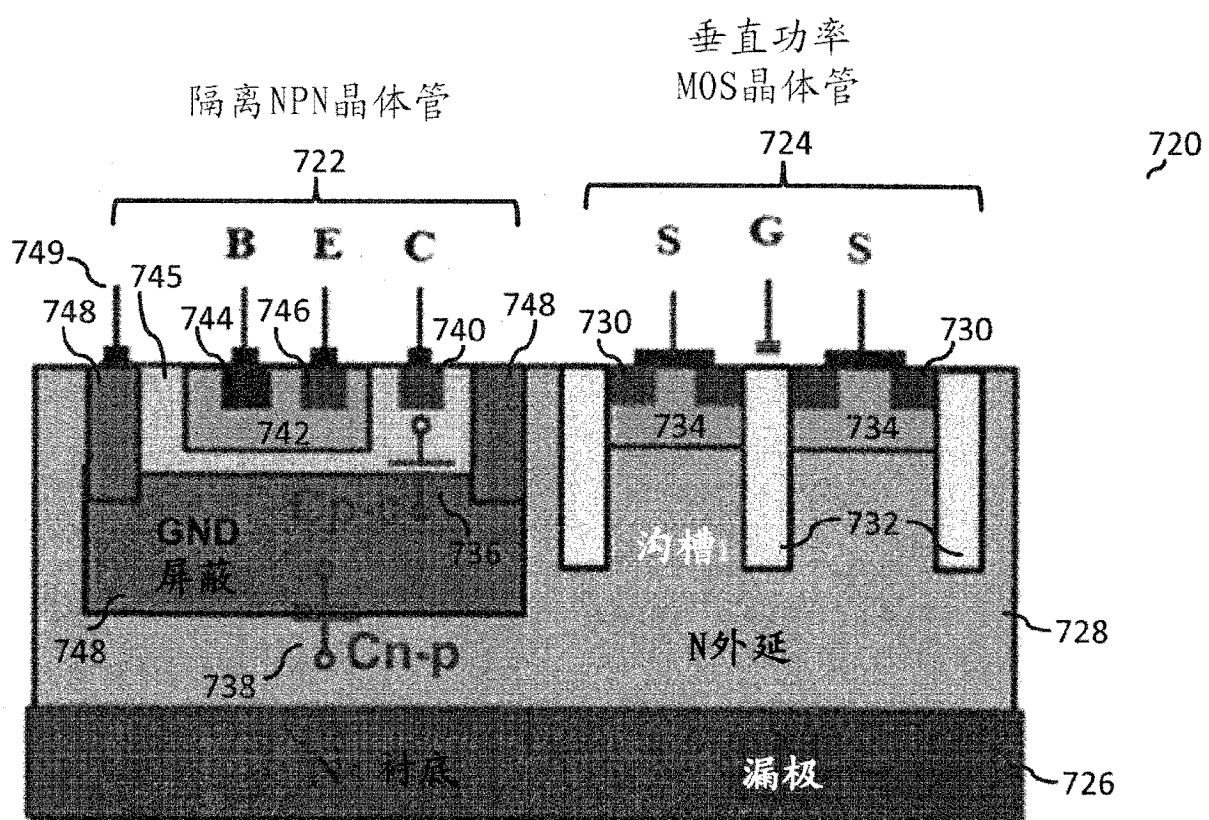


图 7B

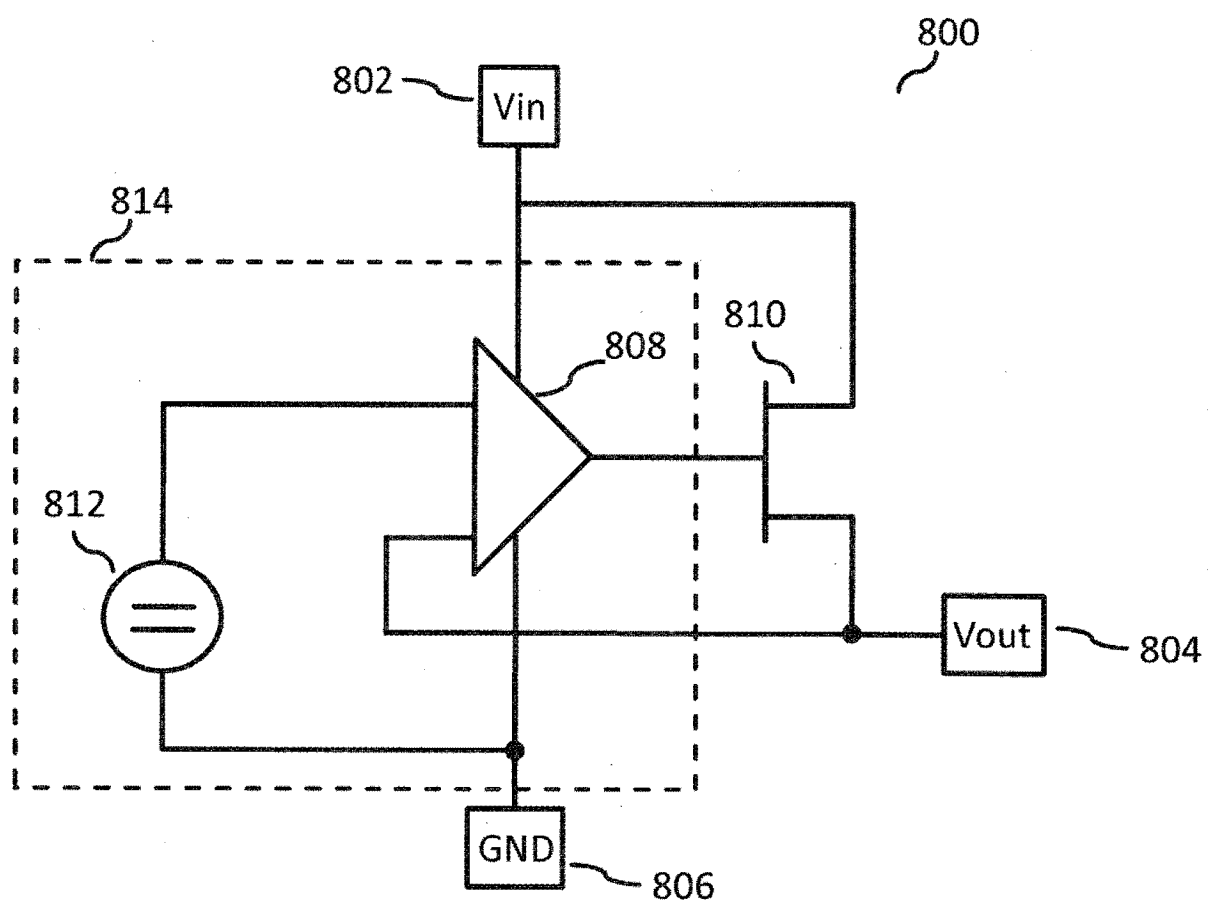


图 8A

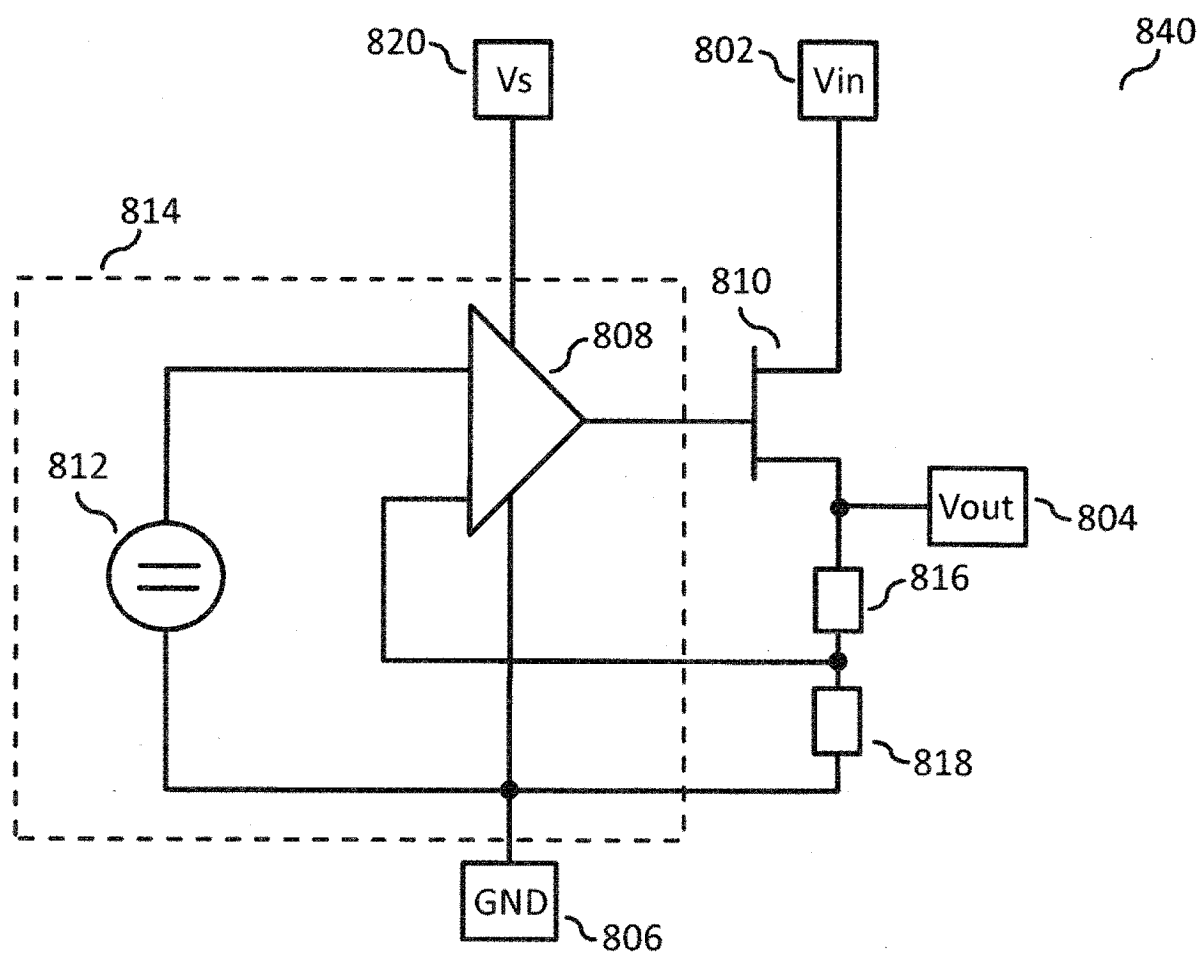


图 8B

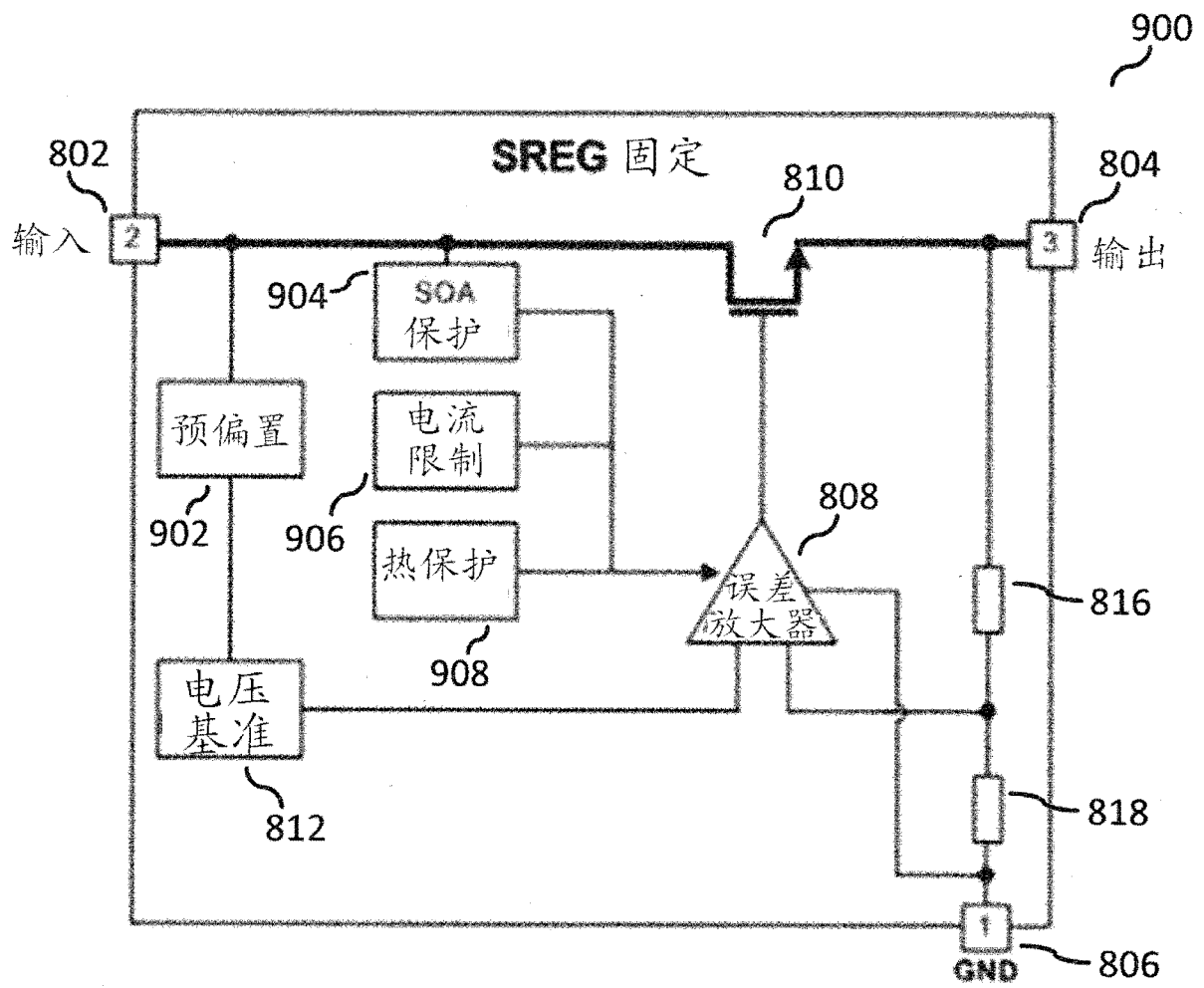


图 9A

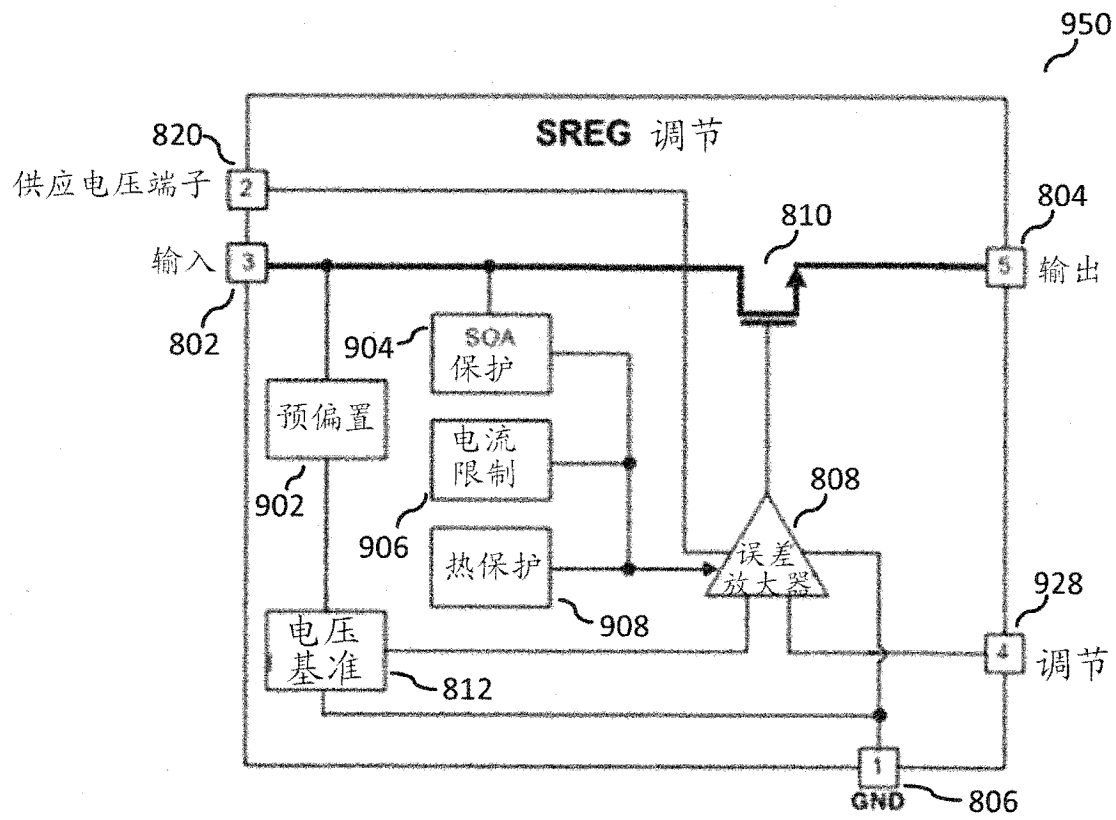


图 9B

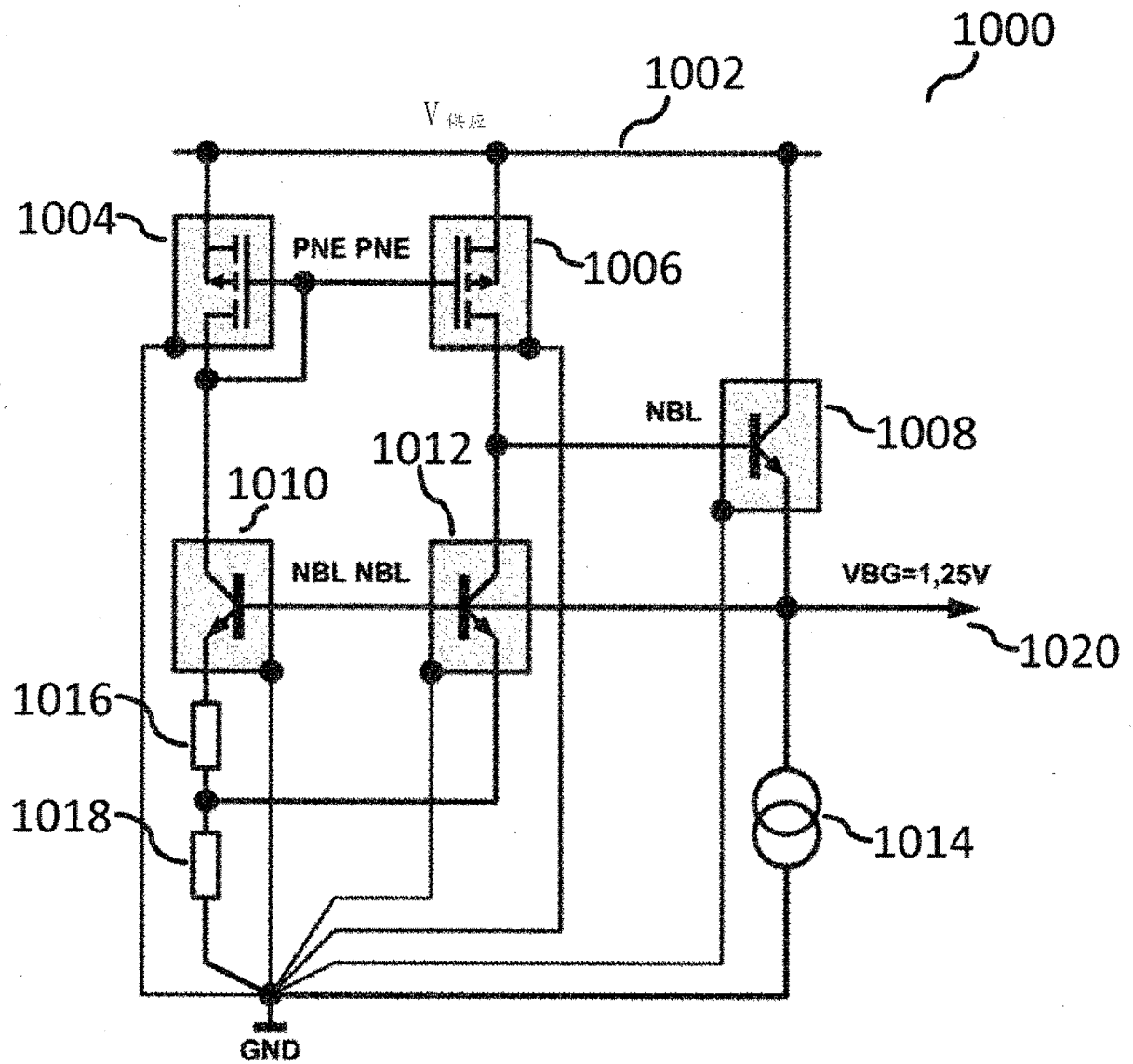


图 10

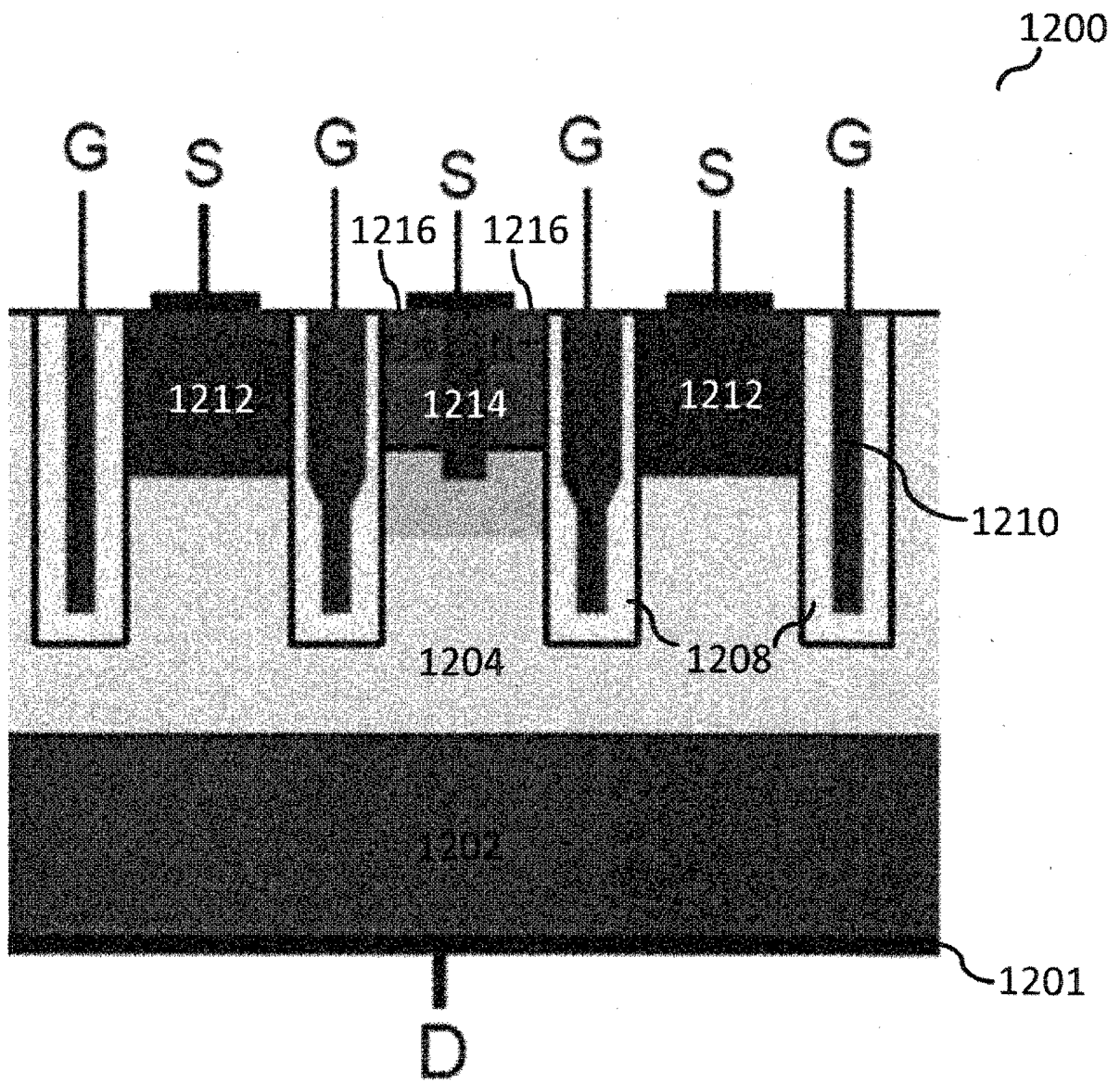


图 12A

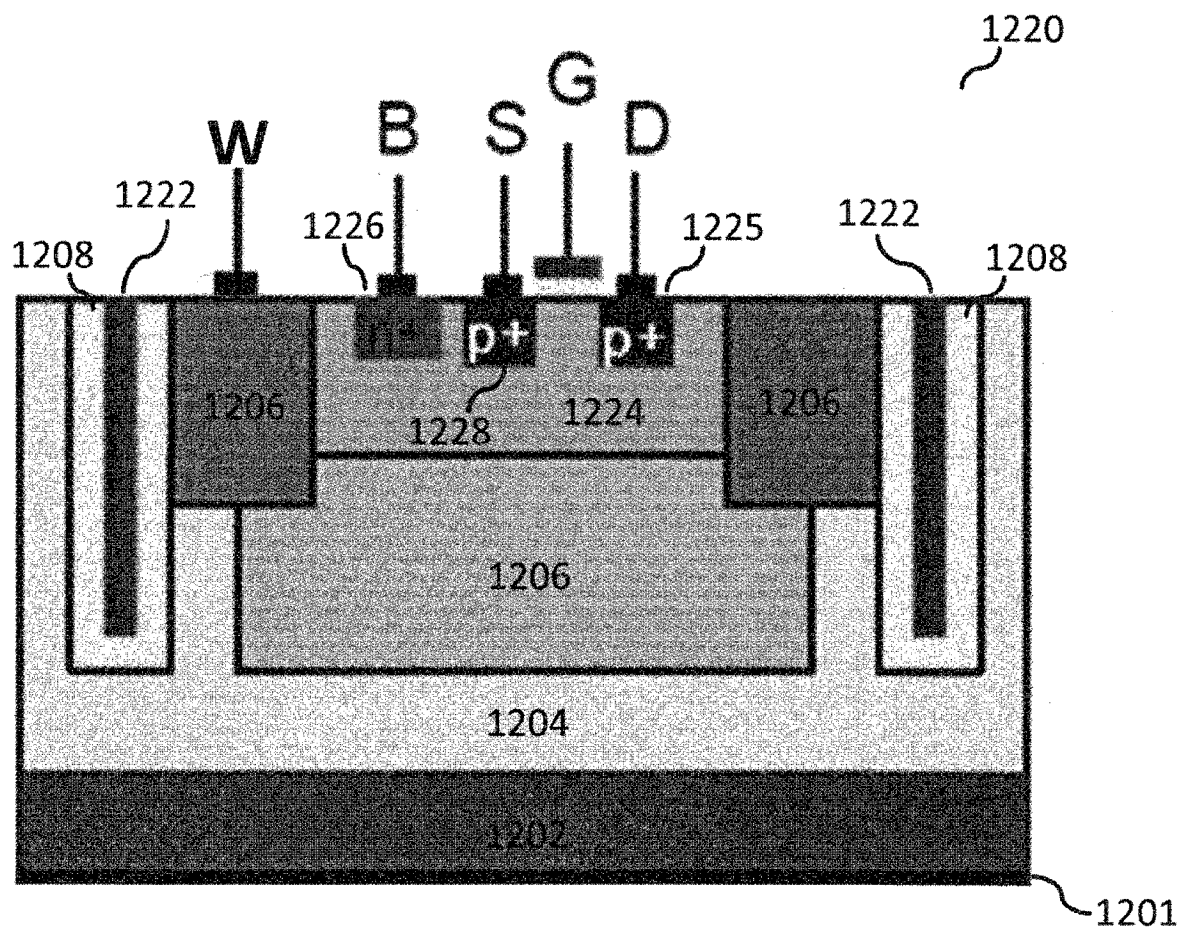


图 12B

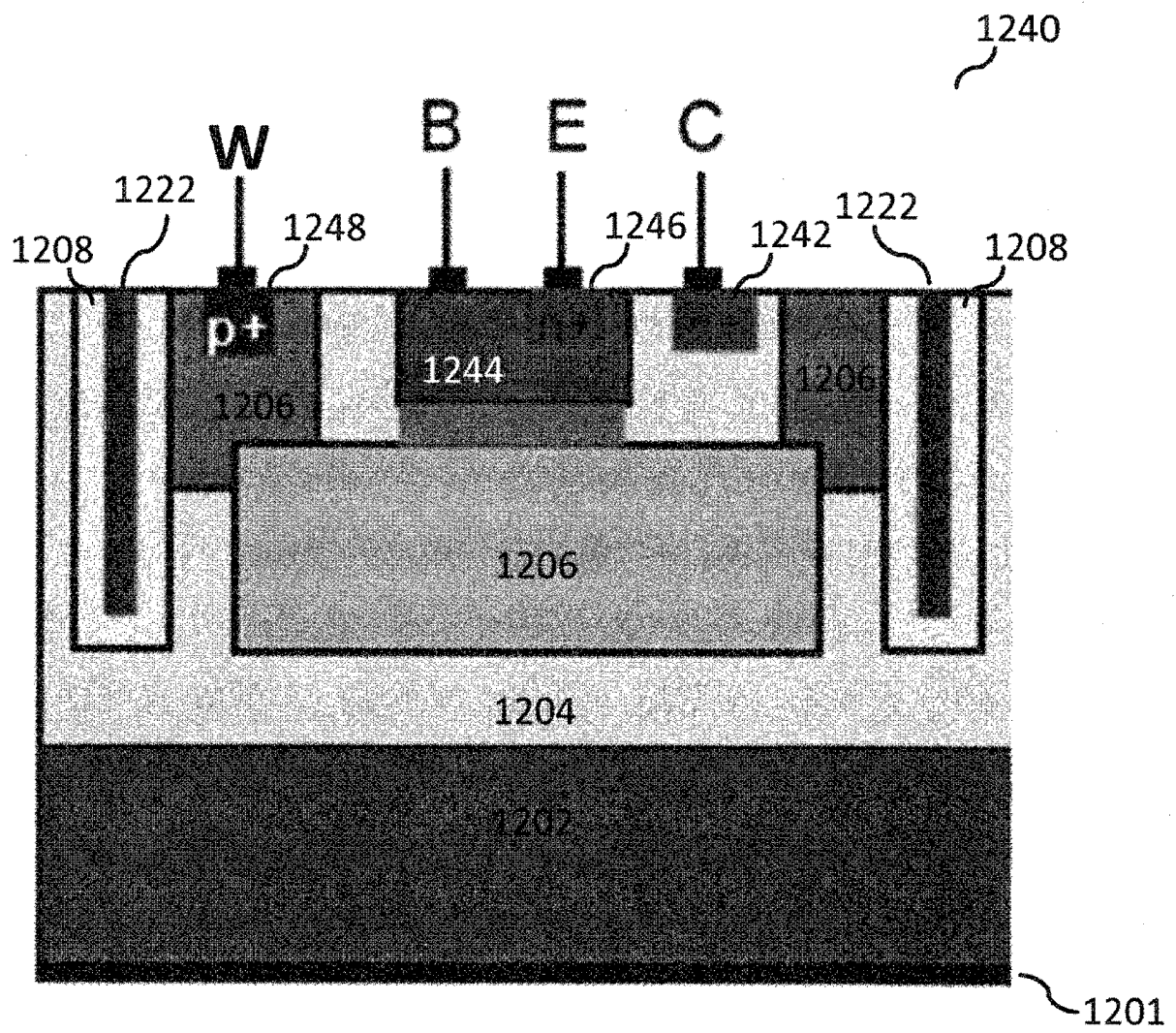


图 12C

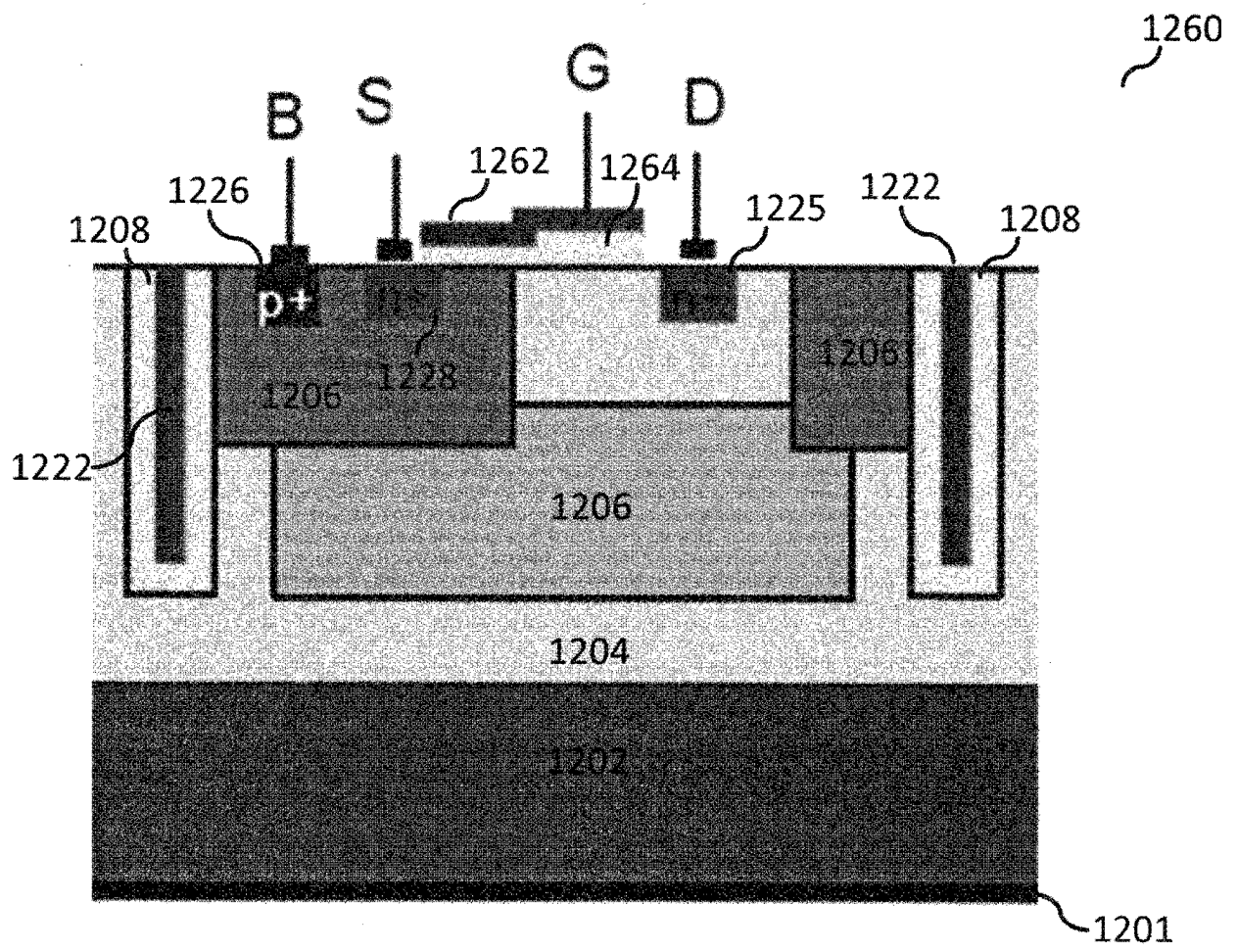


图 12D

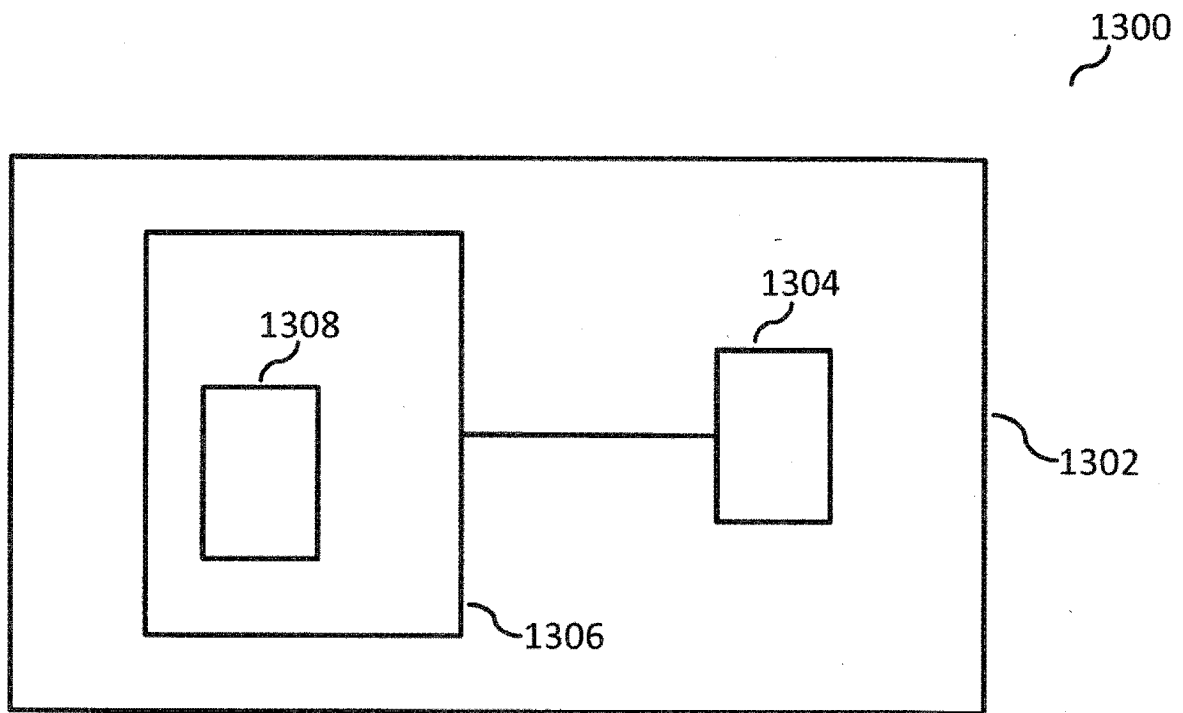


图 13