



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월14일
(11) 등록번호 10-0878306
(24) 등록일자 2009년01월06일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2002-0004803

(22) 출원일자 2002년01월28일

심사청구일자 2007년01월26일

(65) 공개번호 10-2003-0010459

(43) 공개일자 2003년02월05일

(30) 우선권주장

09/771,857 2001년01월29일 미국(US)

(56) 선행기술조사문헌

JP04344383 A*

US05764567 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

트란롱티

미국캘리포니아주95070사라토가우드브레이크트5085

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 8 항

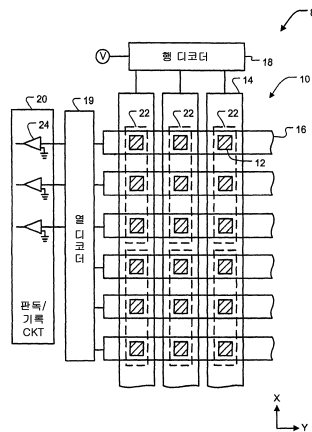
심사관 : 윤진훈

(54) 정보 저장 장치

(57) 요약

정보 저장 장치(8)는 메모리 소자(12)의 저항성 교차점 어레이(10) 및 판독 동작 동안 어레이(10)에서 스니크 경로 전류를 차단하는 다수의 장치(22,222)를 포함한다. 각각의 차단 장치(22,222)는 어레이(10) 내의 메모리 소자(12) 그룹에 접속되고 이에 의하여 공유된다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

정보 저장 장치(information storage device)(8)로서,

메모리 소자(memory element)(12)의 저항성 교차점 어레이(resistive cross point array)(10)와,

상기 메모리 소자(12)의 그룹에 결합되고 이에 의하여 공유되는 스니크 경로 전류 차단 장치(sneak path current blocking device)(22)를 포함하되,

상기 차단 장치 상에 도전층(conductive layer)(26)을 더 포함하되, 상기 그룹 내의 상기 메모리 소자(12)가 상기 도전층(26) 상에 있는

정보 저장 장치.

청구항 3

제 2항에 있어서,

상기 차단 장치(22)는 다이오드(diode)를 포함하는

정보 저장 장치.

청구항 4

제 3 항에 있어서,

상기 다이오드는 극성이 반대(opposite polarity)인 제 1 반도체 층(22a) 및 제 2 반도체 층(22b)을 포함하되, 각각의 층은 상기 그룹 내의 상기 메모리 소자(12) 전체에 걸치는(spanning)

정보 저장 장치.

청구항 5

제 2 항에 있어서,

상기 차단 장치(22)는 트랜지스터(transistor)를 포함하는

정보 저장 장치.

청구항 6

제 2 항에 있어서,

상기 메모리 소자(12)는 자기 터널 접합부(magnetic tunnel junction)(12a, 12b, 12c)인

정보 저장 장치.

청구항 7

제 2 항에 있어서,

상기 그룹 내의 상기 메모리 소자(12)는 상기 차단 장치(22)와 직접 접촉하는

정보 저장 장치.

청구항 8

제 7 항에 있어서,

상기 그룹 내의 상기 메모리 소자(12)는,

상기 차단 장치(22)와 직접 접촉하는 공유형 고정층(shared pinned layer)(112a)과,
상기 공유형 고정층(112a) 상의 공유형 터널 장벽(shared tunnel barrier)(112c)과,
상기 공유형 터널 장벽(112c) 상의 개별적 자유층(individual free layer)(12b)을 포함하는
정보 저장 장치.

청구항 9

제 2 항에 있어서,
추가적 메모리 소자(12) 그룹 및 그에 대응하는 차단 장치(22)는 상기 정보 저장 장치(150)의 적어도 하나의 추가적 평면(152) 상에 형성되고,
상기 차단 장치(22)는 비정질 물질(amorphous material)로 구성되는
정보 저장 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 정보 저장 장치에 관한 것이다. 보다 구체적으로, 본 발명은 저항성 교차점 메모리 셀 어레이(resistive cross point memory cell array)를 포함하는 데이터 저장 장치에 관한 것이다.
- <19> 스핀 의존성 터널링(spin dependent tunneling : SDT) 접합부의 저항성 교차점 어레이와, SDT 접합부의 행(row)을 따라서 전개되는 워드 라인(word line)과, SDT 접합부의 열을 따라서 전개되는 비트 라인(bit line)을 포함하는 자기 랜덤 액세스 메모리(Magnetic Random Access Memory : "MRAM")의 예에 관한 것이다. 각각의 SDT 접합부는 워드 라인 및 비트 라인의 교차점에 배치된다. 각각의 SDT 접합부의 자화(magnetization) 방향은 임의의 주어진 시간에 두 가지 안정된 방향 중 한쪽으로 가정한다. 이들 두 가지 안정된 방향, 즉 평행 방향(parallel)과 역평행 방향(anti-parallel)은 '0'과 '1'의 논리 값을 나타낸다. 자화 방향은, 번갈아, SDT 접합부의 저항에 영향을 준다. SDT 접합부의 저항은 그 자화 방향이 평행인 경우 제 1 값(R)을 가지며 역평행인 경우 제 2 값($R + \Delta R$)을 갖는다. SDT 접합부의 자화 방향과, 그에 따른 논리값은 SDT 접합부의 저항 상태를 감지함으로써 판독될 수 있다.
- <20> 저항성 교차점 어레이에서 단일 SDT 접합부의 저항 상태를 감지하는 것은 신뢰할 만하지 않다. 어레이 내의 모든 SDT 접합부가 많은 병렬 경로를 통하여 서로 결합되어 있다. 하나의 교차점에서 관측되는 저항은 다른 행 및 열에 있는 SDT 접합부의 저항과 병렬식으로, 그 교차점에서의 SDT 접합부의 저항과 동일하다.
- <21> 또한, 감지되는 SDT 접합부가 저장된 자화에 따라 상이한 저항 상태를 가지는 경우, 작은 차동 전압(differential voltage)이 발생할 수 있다. 이러한 작은 차동 전압은 기생(parasitic), 즉, "스니크 경로(sneak path)" 전류를 초래할 수 있다. 그 기생 전류는 저항 상태 감지를 방해할 수 있다.
- <22> 기생 전류가 도 1에 도시되어 있다. 선택된 SDT 접합부는 제 1 저항기(12a)로 표시되고, 선택되지 않은 SDT 접합부는 제 2, 제 3 및 제 4 저항기(12b, 12c, 12d)로 표시된다. 선택된 SDT 접합부는 선택된 워드 및 비트 라인(14, 16)의 교차점에 놓여있다. 제 2 저항기(12b)는 선택된 비트 라인(16)을 따라 선택되지 않은 SDT 접합부를 표시하고, 제 3 저항기(12c)는 선택된 워드 라인(14)을 따라 선택되지 않은 SDT 접합부를 표시하며, 제 4 저항기(12d)는 나머지 SDT 접합부를 표시한다. 예컨대, SDT 접합부 전체(12)가 약 R의 공칭 저항(nominal resistance)을 가지며, 어레이(10)가 n 개의 행 및 m 개의 열을 갖는다면, 제 2 저항기(12b)는 약 $R/(n-1)$ 의 저항을 가질 것이고, 제 3 저항기(12c)는 약 $R/(m-1)$ 의 저항을 가질 것이며, 제 4 저항기(12d)는 약 $R/[(n-1)(m-1)]$ 의 저항을 가질 것이다.
- <23> 판독 동작 동안, 선택된 비트 라인(16)에 동작 전위(operating potential)(V_s)를 인가하고 선택된 워드 라인(14)에 접지 전위(ground potential)를 인가함으로써 제 1 저항기(12a)가 선택될 수 있다. 결과적으로, 감지

전류(I_s)는 제 1 저항기(12a)를 통하여 흐른다. 그러나, 동작 전위(V_s)와 접지 전위 사이에 제 2, 제 3 및 제 4 저항기(12b, 12c, 12d)도 결합되므로, 스니크 경로 전류(S_1, S_2, S_3)가 제 2, 제 3 및 제 4 저항기(12b, 12c, 12d)를 통하여 흐를 수 있다. 또한, 제 2, 제 3 및 제 4 저항기(12b, 12c, 12d)의 저항은 선택된 (제 1) 저항기(12a)의 저항보다 훨씬 더 작으므로, 스니크 경로 전류(S_1, S_2, S_3)는 감지 전류(I_s)보다 더 크다. 그러한 스니크 경로 전류(S_1, S_2, S_3)는 선택된 SDT 접합부에 대한 관독 동작 동안 그 감지 전류(I_s)를 방해할 수 있다.

<24> MRAM 장치에서 메모리 소자의 저항 상태를 신뢰할 만하게 감지할 필요가 있다. 보다 일반적으로, 저항성 교차점 메모리 셀 어레이에서 메모리 소자의 저항 상태를 신뢰할 만하게 감지하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

<25> 본 발명의 한가지 특징에 따르면, RAM(random access memory) 장치는 메모리 소자의 저항성 교차점 어레이와, 그 메모리 소자에 결합된 스니크 경로 차단 장치를 포함한다. 차단 장치는 메모리 소자 그룹에 의하여 공유된다. 본 발명의 다른 특징 및 이점은 본 발명의 원리를 예로써 도시하고 있는, 첨부 도면과 함께 다음의 상세한 설명으로 더욱 명백해질 것이다.

발명의 구성 및 작용

<26> 도면에서 설명을 위하여 도시된 바와 같이, 본 발명은 메모리 소자의 저항성 교차점 어레이와, 관독 동작 동안 스니크 경로 전류를 차단할 수 있는 다수의 장치(예컨대, 다이오드, 트랜지스터)를 포함하는 MRAM 장치로 구현된다. 이들 차단 장치는 다수의 메모리 소자에 의하여 공유된다. 공유형 차단 장치는 메모리 소자마다의 개별적 차단 장치보다 더 효율적인 배치를 제공한다. 또한 공유형 차단 장치는 더 높은 전류 특성을 제공한다.

<27> 도 2를 참조하면, MRAM 장치(8)는 메모리 소자(12)의 저항성 교차점 어레이(10)를 포함한다. 메모리 소자(12)는 행과 열로 정렬되는데, 행은 y 방향으로 전개되고, 열은 x 방향으로 전개된다. 장치(8)의 설명을 간단하게 하기 위하여 비교적 적은 수의 메모리 소자(12)만이 도시되고 있다. 사실, 어떠한 크기의 어레이도 이용될 수 있다.

<28> 워드 라인(14)으로 기능하는 트레이스(trace)는 어레이(10)의 한쪽 평면에서 x 방향을 따라 전개된다. 비트 라인(16)으로 기능하는 트레이스는 어레이(10)의 반대쪽 평면에서 y 방향을 따라서 전개된다. 어레이(10)의 각 행마다 하나의 워드 라인(14)이 있을 수 있으며 어레이(10)의 각 열마다 하나의 비트 라인(16)이 있을 수 있다. 각각의 메모리 소자(12)는 워드 라인(14)과 비트 라인(16)의 교차점에 배치된다.

<29> 메모리 소자(12)는 SDT 접합부나 다른 유형의 자기 터널 접합부일 수 있다. 각각의 SDT 접합부의 저항은 그 자화 방향이 평행인 경우 제 1 값(R)이고 그 자화 방향이 역평행인 경우 제 2 값($R + \Delta R$)이다.

<30> 도 3을 참조하면, 자기 터널 접합부는 절연 터널 장벽(insulating tunnel barrier)(12c)으로 분리되는 고정 및 자유층(pinned and free layer)(12a, 12b)을 포함한다. 고정층(12a)은 고정층(12a)의 평면에서 방향이 설정되지만 그 관찰 범위 내에서 자기장이 인가되는 경우 회전하지 않도록 고정된 자화 방향을 갖는다. 자유층(12b)은 자유층(12b)의 평면에서 두 방향 중 어느 한쪽으로 방향이 설정될 수 있는 자화 방향을 갖는다. 고정층 및 자유층(12a, 12b)의 자화 방향이 동일하면, 그 방향은 평행 방향이다. 고정층 및 자유층(12a, 12b)의 자화 방향이 반대이면, 그 방향은 역평행 방향이다.

<31> 절연 터널 장벽(12c)은 고정층 및 자유층(12a, 12b) 사이에서 양자 역학적 터널링(quantum mechanical tunneling)이 발생하는 것을 허용한다. 이러한 터널링 현상은 전자 스핀 의존적(electron spin dependent)이고, 자기 터널 접합부의 저항이 고정층 및 자유층(12a, 12b)의 자화 방향의 함수가 되도록 한다.

<32> 도 2를 다시 참조하면, MRAM 장치(8)는 관독 및 기록 동작 동안 워드 라인(14)을 선택하는 행 디코더(row decoder)(18)도 포함한다. MRAM 장치(8)는 열 디코더(column decoder)(19) 및 관련된 관독/기록 회로(read/write circuit)(20)를 더 포함한다. 관독/기록 회로(20)는 관독 동작 동안 선택된 메모리 소자(12)의 저항을 감지하고, 기록 동작 동안 선택된 메모리 소자(10)의 자화 방향을 설정한다.

<33> MRAM 장치(8)는 메모리 소자에 접속된 다수의 다이오드(22)를 더 포함한다. 각각의 다이오드(22)는 메모리 소자(12) 그룹에 의하여 공유된다. 도 2에서는 각각의 다이오드가 3개의 메모리 소자(12)로 구성된 그룹에 의하여 공유되는 것으로 도시되어 있다. 그러나, 그룹 당 메모리 소자(12)의 수는 이처럼 제한되지 않으며, 각각의 그룹은 3개보다 많거나 적은 메모리 소자(12)를 가질 수 있다.

<34> 관독/기록 회로(20)는 다수의 감지 증폭기(sense amplifier)(24) 그룹을 포함한다. 그룹 당 감지 증폭기(24)의

수는 그룹 당 메모리 소자(12)의 수에 대응한다. 예컨대, 3개의 감지 증폭기(24)는 3개의 메모리 소자(12)로 구성된 그룹에 대응하며, 판독 동작 동안에, 열 디코더(19)가 3개의 메모리 소자(12)로 구성된 그룹 중 선택된 그룹에 3개의 감지 증폭기(24)를 접속한다.

- <35> 이제, 제 1 유형의 판독 동작용으로 구성된 어레이(10)를 도시하고 있는 도 4를 참조한다. 판독 동작 동안, 행 디코더(18)는 선택된 워드 라인(14)에 동작 전위(V)를 인가하고, 감지 증폭기(24)는 선택된 비트 라인(16)에 기준 전위(reference potential)를 인가하며, 이로써 감지 전류가 공유형 다이오드(22) 및 선택된 메모리 소자(12)를 통하여 흐른다. 감지 증폭기(24)가 그 전류를 감지하여 저항 상태 및 그에 따른 선택된 메모리 소자(12)에 저장된 논리 값을 감지한다. 다이오드(22)는 임의의 스니크 경로 전류가 판독 동작을 방해하는 것을 막는다. 다수의 감지 증폭기(24) 그룹을 다수의 비트 라인(16)에 접속함으로써 다수의 메모리 소자(12) 그룹이 동시에 감지될 수 있다.
- <36> 이제, 제 2 유형의 판독 동작용으로 구성된 메모리 어레이(50)를 도시하고 있는 도 5를 참조한다. 판독 동작 동안 동작 전위(V)가 선택된 비트 라인(16)에 인가되고, 감지 증폭기(24)는 워드 라인(14)에 접속된다. 선택된 비트 라인(16)에 접속된 다이오드(22)의 애노드(anode)는 동일한 전위에 있다. 결과적으로, 선택된 비트 라인(16)에 접속된 메모리 소자(12)에 의해서만 전류가 전도된다. 이들 전류는 서로 간섭하지 않고 관련된 다이오드(22)를 통하여 관련된 감지 증폭기(24)로 흐른다. 감지 증폭기(24)는 전류의 크기를 감지하고 선택된 메모리 소자(12)의 저항 상태(및 그에 따른 논리)를 판정한다. 각각의 다이오드(22)는 오직 하나의 메모리 소자로부터 전류를 전도하므로, 메모리 소자(12) 및 다이오드(22)의 크기가 줄어들어 설계 밀도가 더 높아질 수 있다.
- <37> 이제, 제 1 공유형 다이오드 구성을 도시하고 있는 도 6을 참조한다. 하부 도전체(예컨대, 워드 라인)(14)가 실리콘 기판(도시되지 않음) 상에 형성되고, 반도체 층(예컨대, 실리콘이나 비정질 실리콘 층)이 하부 도전체(14) 상에 형성된다. 공유형 다이오드(22)가 반도체 층에서 형성되며, 매개 도전층(intermediate conductive layer)(26)이 다이오드(22)의 상부에 형성된다. 격리 아일랜드(isolation island)(28)는 다이오드(22)와 매개 도전층(26)을 분리한다.
- <38> 메모리 소자(12)는 매개 도전층(26)의 상부에 형성된다. 도 6에 각각의 다이오드(22)마다 다섯 개의 메모리 소자(12)로 구성된 그룹이 도시되고 있다. 상부 도전체(16)(예컨대, 비트 라인)가 메모리 소자(12) 상에 형성된다. 매개 도전층(26)(알루미늄이나 구리와 같은 금속으로 구성될 수 있음)은 동일한 다이오드(22)를 공유하는 메모리 소자(12)가 동일한 전위에 있음을 보장한다. 매개 도전층(26)은 상부 및 하부 도전체(14,16)보다 더 얇게 구성될 수 있다.
- <39> 각각의 다이오드(22)는 n-형 실리콘 층(22a) 및 p-형 실리콘 층(22b)을 포함한다. 각각의 공유형 다이오드(22)는 그 그룹의 전체 메모리 소자(12)에 걸친다.
- <40> 공유형 다이오드 구성은 메모리 셀 마다 하나의 다이오드를 가지는 구성보다 효율적이다. 또한, 전류 특성도 개선된다.
- <41> 이제, 제 2 공유형 다이오드 구성을 도시하고 있는 도 7을 참조한다. 하부 도전체(14)가 실리콘 기판 상에 형성되고 공유형 다이오드(22)가 하부 도전체(14) 상에 형성된다. 공유형 다이오드(22) 상에 매개층이 형성되지는 않는다. 대신에, 공통 즉 공유형 고정층(112a)이 각각의 다이오드(22) 위에 형성되고, 공통 즉 공유형 터널 장벽(112c)이 고정층(112a)을 가로질러 형성된다. 격리 아일랜드(28)는 다이오드(22)와 공유형 고정층(112a)을 분리한다. 개별적 자유층(12b)이 공유형 터널 장벽(112c) 위에 형성되고, 워드 라인(16)이 자유층(12b) 위에 형성된다.
- <42> 도 6 및 도 7에 도시된 바에 따르면, 공유형 다이오드(22)는 하부 도전체(14)를 메모리 소자(12,112)로부터 멀리 이동시킨다. 기록 동작 동안 자기장 내의 실질적인 손실을 피하기 위하여, 하부 도전체(14)는 니켈-철(nickel-iron : NiFe)(도 8 참조)과 같은 물질(14a)로 클래딩될(clad) 수 있다. 클래딩(14a)은 기록 자기장이 메모리 소자(12,112)를 향하게 한다.
- <43> 이제, 저항성 교차점 메모리 셀 어레이의 다수 레벨 즉 다수 평면(152)을 포함하는 칩(150)을 설명한다. 각각의 평면(152)은 스니크 경로 전류를 차단하는 공유형 다이오드를 포함한다. 평면(152)은 기판(154) 상에 적층되고 절연 물질(예컨대, 알루미늄, 유리)로 분리된다. 다이오드는 비정질 반도체 물질로 구성될 수 있으며, 이는 구리와 같은 도전체 상에 형성될 수 있다.
- <44> 판독 및 기록 회로는 기판(154) 상에 제조될 수 있다. 판독 및 기록 회로는 판독하고 기록할 레벨을 선택하는

추가적 멀티플렉서(multiplexer)를 포함할 수 있다.

- <45> 본 발명은 동일한 다이오드를 공유하는 3개 또는 5개의 메모리 소자로 제한되지 않는다. 이와 다른 크기의 다이오드 그룹이 동일한 다이오드를 공유할 수도 있다.
- <46> 본 발명은 전술된 감지 방안(sense scheme)으로 제한되지 않는다. 메모리 소자는 다양한 방법으로 감지될 수 있다.
- <47> 본 발명은 자기 터널 접합 메모리 소자에 제한되지 않는다. 이와 다른 유형의 박막(thin film) 소자가 이용될 수도 있다. 예컨대, 메모리 소자는 폴리머 메모리 소자(polymer memory element)이거나 강유전 메모리 소자(ferroelectric memory element)일 수 있다.
- <48> 본 발명은 스니크 경로 전류를 차단하는 다이오드로 제한되지 않는다. 이와 다른 유형의 차단 장치가 이용될 수도 있다. 예컨대, 트랜지스터가 다이오드 대신에 이용될 수 있다. 도 10을 참조하면, 메모리 어레이(210)는 m개의 워드 라인(214)과, n개의 비트 라인(216)과, $n \times m$ 메모리 소자(212)를 포함한다. 각각의 트랜지스터(222)는 3개의 메모리 소자(212)로 구성된 그룹에 의하여 공유되는 것으로 도시되고 있다. 각각의 메모리 소자(212)는 비트 라인(216)과 그 공유형 트랜지스터(222)의 드레인(drain) 사이에서 접속된다. 각각의 트랜지스터(222)의 게이트(gate)가 워드 라인(214)에 접속되고, 각각의 트랜지스터(222)의 소스는 동작 전위(V)를 수용한다. 판독 동작 동안, 전압(Vsel)이 선택된 워드 라인(214)에 인가되고, 이로써 선택된 워드 라인(214)에 접속된 트랜지스터(222)가 턴온된다. 각 그룹마다 하나의 비트 라인(216)이 선택되고, 대응하는 감지 증폭기(224)에 의하여 각각의 선택된 비트 라인(216)에 기준 전위가 인가된다. 감지 전류는 서로를 방해하지 않고 트랜지스터(222) 및 관련된 감지 증폭기(224)를 통하여 흐른다. 감지 증폭기(224)는 전류의 크기를 감지하고 그 메모리 소자(212)의 저항 상태(및 그에 따른 논리 상태)를 판정한다.
- <49> 본 발명은 전술된 특정 실시예로 제한되지 않는다. 대신에, 본 발명은 다음의 특허청구범위에 따라서 해석된다.

발명의 효과

- <50> 본 발명은, 메모리 소자의 저항성 교차점 어레이를 포함하고, 그 메모리 소자에 결합된 스니크 경로 차단 장치를 포함하는 MRAM 장치를 제공한다. 차단 장치는 메모리 소자 그룹에 의하여 공유된다.

도면의 간단한 설명

- <1> 도 1은 종래 기술에 따르는 저항성 교차점 어레이에서 "스니크 경로" 전류를 도시하는 도면,
- <2> 도 2는 공유형 다이오드 교차점 메모리 어레이를 도시하는 단순화된 도면,
- <3> 도 3은 어레이의 메모리 소자의 자화 방향을 도시하는 도면,
- <4> 도 4는 제 1 유형의 판독 동작용으로 구성된 메모리 어레이를 도시하는 도면,
- <5> 도 5는 제 2 유형의 판독 동작용으로 구성된 메모리 어레이를 도시하는 도면,
- <6> 도 6은 제 1 공유형 다이오드 구성의 단면도,
- <7> 도 7은 제 2 공유형 다이오드 구성의 단면도,
- <8> 도 8은 기록 전류에 의하여 유도되는 자기장을 강화하는 자기 물질을 갖는 도전체 클래드(clad)를 도시하는 도면,
- <9> 도 9는 공유형 다이오드 교차점 메모리 어레이의 다수 평면을 포함하는 칩을 도시하는 도면,
- <10> 도 10은 공유형 트랜지스터 교차점 메모리 어레이를 도시하는 단순화된 도면.

<11> 도면의 주요 부분에 대한 부호의 설명

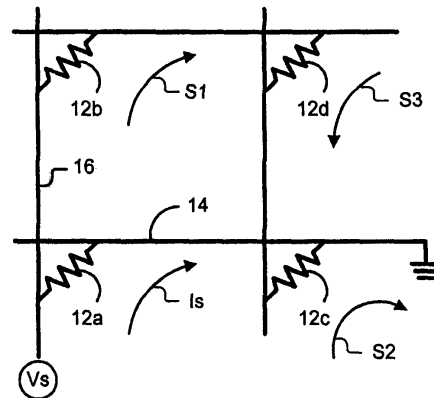
- | | |
|------------------|----------------|
| <12> 12 : 메모리 소자 | 12a : 고정층 |
| <13> 12b : 자유층 | 12c : 절연 터널 장벽 |
| <14> 14 : 워드 라인 | 16 : 비트 라인 |

- | | | |
|------|---------------|--------------|
| <15> | 18 : 행 디코더 | 19 : 열 디코더 |
| <16> | 20 : 판독/기록 회로 | 22 : 다이오드 |
| <17> | 24 : 감지 증폭기 | 28 : 격리 아일랜드 |

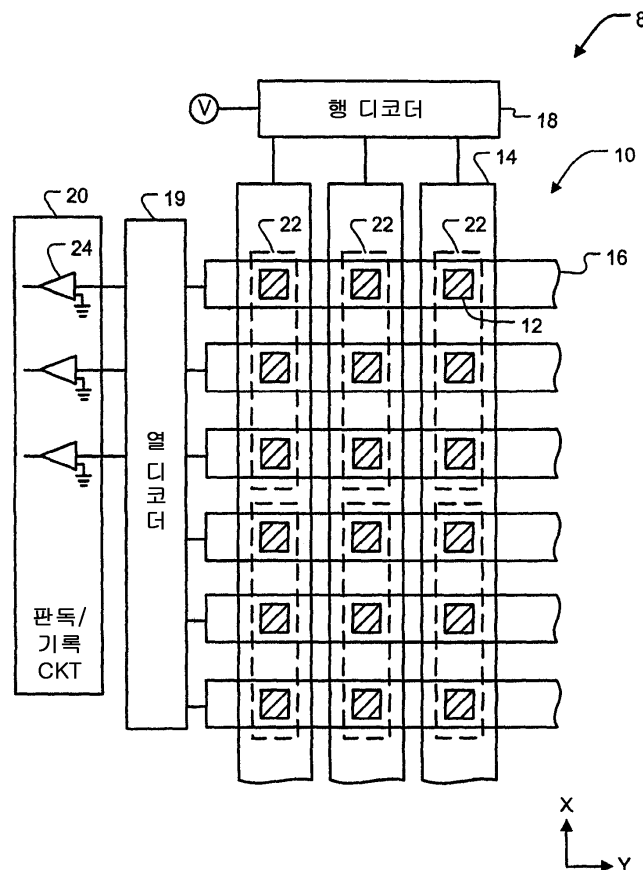
도면

도면1

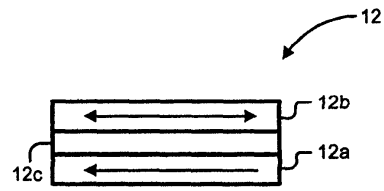
(종래기술)



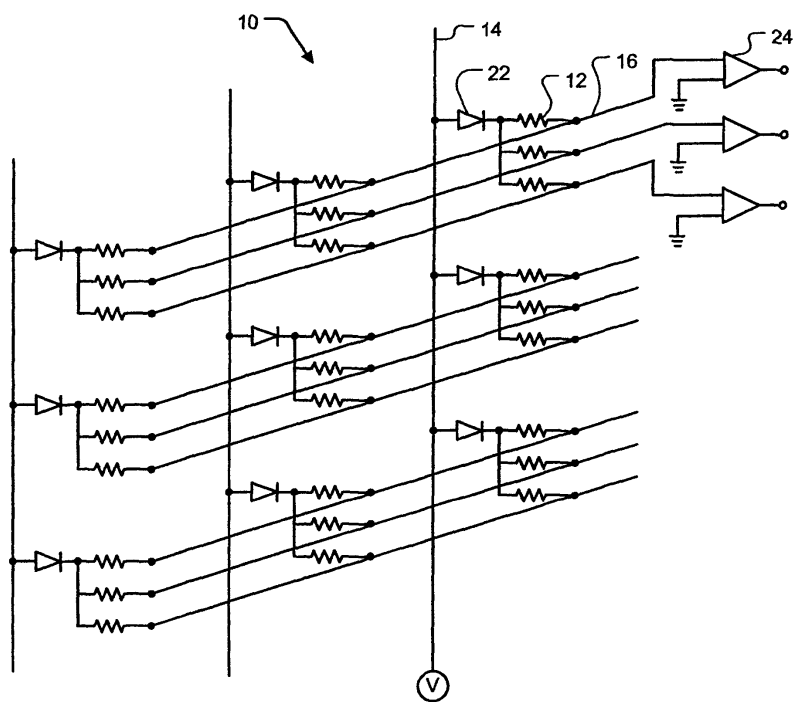
도면2



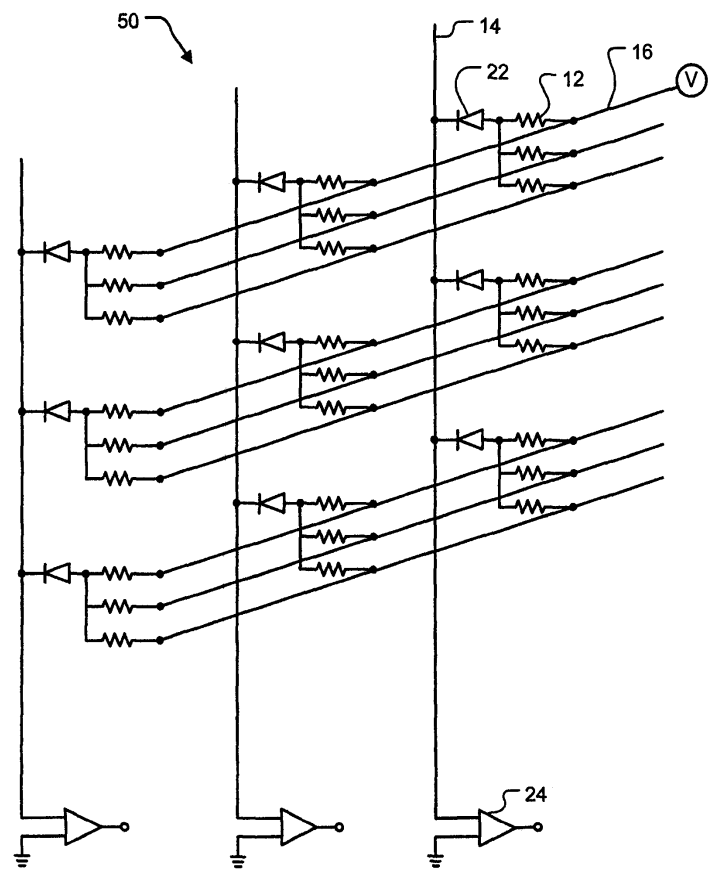
도면3



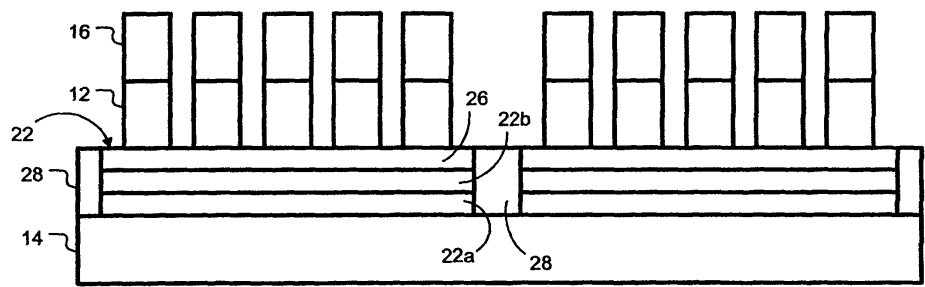
도면4



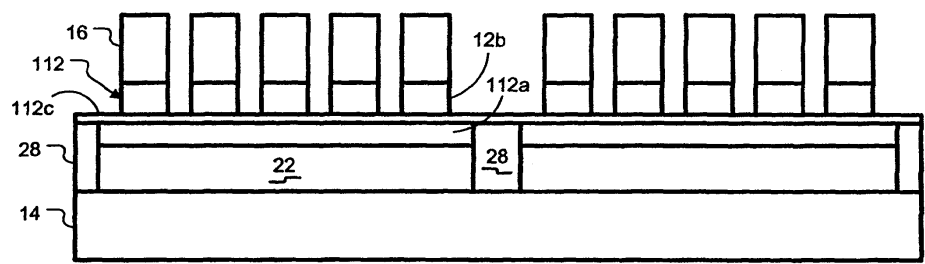
도면5



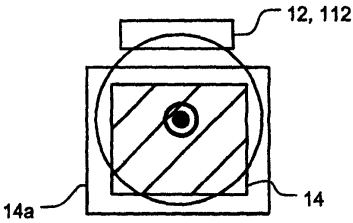
도면6



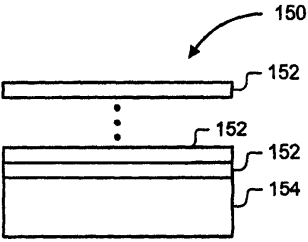
도면7



도면8



도면9



도면10

