(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 3/36

(45) 공고일자 2005년12월14일
(11) 등록번호 10-0513665
(24) 등록일자 2005년09월01일

(21) 출원번호 10-1998-0006999
(22) 출원일자 1998년02월27일

(65) 공개번호 10-1998-0071872
(43) 공개일자 1998년10월26일

(30) 우선권주장 97-44377 1997년02월27일 일본(JP)
98-41181 1998년02월06일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 다무라 츠요시
일본 나가노켄 스와시 오와 3-3-5 세코 에푸손(주) 내

이시야마 히사노부
일본 나가노켄 스와시 오와 3-3-5 세코 에푸손(주) 내

(74) 대리인 한양특허법인

심사관 : 정병락

(54) 액정패널의구동방법과세그먼트구동기와표시제어기와액정표시장치

요약

전압 레벨 수의 증가나 콘트라스트 등의 표시 특성의 열화를 최소한으로 억제하면서, MLS 구동법에서의 PWM에 의한 계조 표시를 실현하는 것이 목적이다. 계조 데이타와 이를 기초로 발생되는 가상 데이타와 직교 함수에 의해 소정의 연산을 하고, 얻어진 데이타로 펄스폭 변조를 하며, MLS 구동법에서의 2값 레벨의 펄스폭 변조를 실현한다. 계조 데이타 및 가상 데이타의 각 비트마다 1의 개수의 합이 짝수가 되도록 가상 데이타를 발생한다. 계조 데이타, 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 변환하고, 변환된 데이타와 직교 함수에 기초하여 행렬 연산을 하고, 행렬 연산의 결과를 양의 정수(整數)로 변환한다. 또는, 계조 데이타, 가상 데이타, 직교 함수에 기초하는 행렬 연산을 행하고, 행렬 연산의 결과와 직교 함수의 행 요소의 총합에 따른 정수(定數)에 기초하는 가산 연산을 행한다. 표시 제어기측에서 PWM용 데이타를 생성해도 되고, 메모리를 내장하고 있는 세그먼트 구동기측에서 PWM용 데이타를 생성해도 된다.

대표도

도 17

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래예의 2라인 동시 선택시의 연산 과정을 설명하기 위한 도면.

도 2는 종래예의 2라인 동시 선택시의 구동 파형을 나타낸 도면.

도 3은 종래예의 4라인 동시 선택시의 연산 과정을 설명하기 위한 도면.

도 4는 종래예의 4라인 동시 선택시의 구동 파형예를 나타낸 도면.

도 5는 비교예의 계산식을 나타낸 도면.

도 6은 비교예의 4라인 동시 선택시의 구동 파형을 나타낸 도면.

도 7은 종래예나 비교예의 ON/OFF비의 계산식을 나타낸 도면.

도 8은 종래예나 비교예의 ON/OFF비 특성을 나타낸 그래프를 나타낸 도면.

도 9는 본 실시 형태의 계산식을 나타낸 도면.

도 10은 본 실시 형태의 3라인 동시 선택시의 연산 과정을 설명하기 위한 도면.

도 11은 가상 데이타의 발생 방법에 대해서 설명하기 위한 도면.

도 12는 가상 데이타의 발생 방법에 대해서 설명하기 위한 도면.

도 13은 본 실시 형태의 3라인 동시 선택시의 구동 파형을 나타낸 도면.

도 14는 가상 데이타 발생 회로의 구성예를 나타낸 도면.

도 15는 가상 데이타 발생 회로의 타이밍 파형을 나타낸 도면.

도 16은 계산식의 간략화에 대해서 설명하기 위한 도면.

도 17은 본 실시 형태의 세그먼트 구동기의 블록도.

도 18은 세그먼트 구동기의 타이밍 파형을 나타낸 도면.

도 19는 본 실시 형태의 표시 제어기의 블록도.

도 20은 메모리에의 데이타 기록 타이밍과 세그먼트 구동기로의 데이타 출력 타이밍과의 관계에 대해서 설명하기 위한 도면.

도 21은 표시 제어기의 타이밍 파형을 나타낸 도면.

도 22는 본 실시 형태의 공통 구동기의 블록도.

도 23은 본 실시 형태의 세그먼트 구동기 및 공통 구동기를 사용한 액정 구동 장치의 블록도.

도 24는 본 실시 형태의 표시 제어기 및 공통 구동기를 사용한 액정 구동 장치의 블록도.

도 25a 및 도 25b는 완전 분산, 반분산 구동을 모식적으로 나타낸 도면.

도 26a 및 도 26b는 적은 분산, 비분산 구동을 모식적으로 나타낸 도면.

도 27은 본 실시 형태의 구동 방법의 ON/OFF비의 계산식을 나타낸 도면.

도 28은 종래예, 비교예, 본 실시 형태의 ON/OFF비 특성을 나타낸 그래프를 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명

73: 주소 제어 회로 75 : 가감산 제어 회로

76 : 직교 함수 행 가산 회로

81 : 타이밍 발생 회로 83 : PWM 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 계조(階調) 표시를 실현할 수 있는 멀티라인 구동법에 관한 것이다. 특히, 멀티라인 구동법에 의한 액정 패널의 구동을 행하기 위한 세그먼트 구동기, 표시 제어기 및 액정 표시 장치에 관한 것이다.

단순 매트릭스형의 액정 패널에서는 동화상 표시에 대응하기 위해서 응답 속도가 빠른 액정 재료를 채용하는 것이 요구되고 있다. 하지만, 액정의 응답 속도를 신속히 하면, 소위 프레임 응답이라고 하는 현상이 발생하여, 플리커나 콘트라스트의 저하 등의 문제가 초래된다. 이러한 문제를 해결하는 것으로서, 복수의 주사 전극을 동시에 선택하는 멀티라인 구동법(MLS)이라고 하는 종래 기술이 알려져 있다.

그런데 MLS 구동법에서의 계조 표시는 일반적으로, 프레임 간인법(間引法)(FRC)에 의해 실현되고 있다. 그렇지만, 이 프레임 간인법에는, 플리커가 발생하기 쉽다고 하는 문제가 있다. 그래서, 이 문제를 해결하기 위해서, 펄스폭 변조법(일본 특개평 5-100642호, 일본 특개평 7-199863등)이나 전압 변조법에 의한 계조 표시의 실현이 시도되고 있다. 이하, MLS에서의 종래 펄스폭 변조법(PWM)에 관해서 도 1a 내지 도 4를 사용하여 설명한다.

우선 2라인 동시 선택으로 4계조인 경우에 관해서 설명한다. 4계조는 2비트의 계조 데이타로 나타낼 수 있다. 그리고 도 1a에 도시된 바와 같이, 주사 전극(131)과 신호 전극(132)의 교점의 화소(133,134)의 계조 데이타가 (01)인 경우를 고려한다. 여기서 액정의 OFF를 1, 액정의 ON을 -1로 나타내면, 계조 데이타(01)의 상위 비트인 0은 1로 표현되고, 하위 비트인 1은 -1로 표현된다. 그리고, 이 종래 예에서는, 도 1b에 도시된 바와 같이, 계조 데이타를 상위, 하위로 분할하여 계조 데이타와 직교 함수(예컨대 1, -1로 표현된 행렬)와의 행렬 연산을 행하고 있다. 즉, 화소(133,134)의 계조 데이타는 135로 나타낸 바와 같이 상위, 하위로 분할되어, 이들의 상위, 하위의 각각과 직교 함수(136)와의 행렬 연산이 행해진다. 행렬 연산의 결과 137은 2개가 얻어지지만, 이들을 제1필드(이하 1f라고 함), 제2필드(이하 2f라고 함)로 나누어 출력한다. 행렬 연산의 결과는 2, 0, -2중 어느 하나의 값을 취하지만, 각각을 Vx, 0, -Vx의 전압 레벨에 대응시켜 세그먼트(신호 전극)로 출력한다. 이 경우의 세그먼트 출력의 전압 파형이 도 2에 도시되어 있다. 141은 세그먼트 출력의 전압 레벨, 142는 시간축을 나타낸다. 143, 144는 필드를 나타낸다. 도 2에 도시된 바와 같이 145로 나타낸 구간 a는 146으로 나타낸 구간 b의 2배의 길이로 되어 있다. 즉, 계조 데이타의 상위 비트에 대응하는 펄스의 폭은 하위 비트에 대응하는 펄스폭의 2배로 되어 있다.

또한, 도 2에는, 도면을 보기 쉽게 하기 위해서, 1f의 하위 비트에 대응하는 펄스와 2f의 상위 비트에 대응하는 펄스가 연속된 것으로 나타내어져 있지만, 실제로는 이들은 분리되어 있다.

다음에, 4라인 동시 선택으로 4계조인 경우에 대해서 설명한다. 도 3에는 그 경우의 연산 결과 과정이 도시되어 있다. 4라인 동시 선택 구동인 경우에, 직교 함수(136)와의 행렬 연산의 결과 137은 4, 2, 0, -2, -4중 어느 하나의 값을 취하지만, 각각을 2Vx, Vx, 0, -Vx, -2Vx의 전압 레벨에 대응시켜서 세그먼트로 출력한다. 이 경우의 세그먼트 출력의 전압 파형이 도 4에 도시되어 있다. 상기와 마찬가지로, 도면을 보기 쉽게 하기 위해서, 1f의 하위 비트에 대응하는 펄스와 2f의 상위 비트에 대응하는 펄스가 연속되어 있는 것으로 도시되어 있다.

하지만, 이 종래예의 방법에 의해 계조 수 및 동시 선택 라인 수를 증가시켜 가면 이하와 같은 문제가 발생한다. 즉, 계조수가 증가하면 도 4의 변화점 C1 내지 C7의 수가 증가한다. 또한, 변화점 C1 내지 C7에 있어서의 세그먼트 파형의 변동의 전압 레벨차나 변동의 방향은, 변화점 C1 내지 C7에 의해서 여러 가지로 된다. 따라서, 세그먼트 파형의 변형이나, 세그먼트 파형의 변동시에 공통(주사 전극)으로 중첩되는 노이즈의 크기나 방향도 여러 가지로 된다. 이 노이즈는 누설의 원인이 되며, 표시 품위를 현저히 저하시킨다. 이러한 누설을 해소하는 방법으로서, 일본 특개소 62-183434의 방법을 응용하여, PWM에서의 펄스마다 위치를 예컨대 프레임마다 전후에 변화시키는 것으로 노이즈를 상쇄하는 방법이 고려된다. 그렇지만, 이 종래예에서는 변화점의 위치, 변화점에서의 파형 변동의 전압 레벨차, 변동의 방향이 여러 가지이기 때문에, 이 방법을 종래예에 적용하는 것은 곤란하다.

또한, 이 종래예에서는, 동시 선택 라인수가 증가하면 전압 레벨수가 증가한다. 예컨대, 4라인 동시 선택에서는 5개, 5라인 동시 선택에서는 6개의 전압 레벨이 필요하게 된다. 전압 레벨수가 증가하면, 시스템이 필요로 하는 전원의 수도 증가한다. 또한, 세그먼트 구동기의 출력 트랜지스터 소자수의 증가를 초래하며, 각 출력 트랜지스터의 제어 회로도 필요하게 되어, 원가 상승을 초래한다.

발명이 이루고자 하는 기술적 과제

본 발명은 이상과 같은 기술적 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 바는 전압 레벨수의 증가나 콘트라스트 등의 표시 특성의 열화를 최소한으로 억제하면서, MLS 구동법에서의 PWM에 의한 계조 표시를 실현할 수 있는 액정 패널의 구동 방법, 세그먼트 구동기, 표시 제어기 및 액정 표시 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 해결하기 위해서 본 발명은, 복수의 주사 전극을 동시 선택하는 멀티라인 구동법에 의해, 주사 전극과 신호 전극을 갖는 액정 패널을 구동하는 구동 방법으로서, 동시 선택되는 복수의 주사 전극에 대응하는 복수의 계조 데이타에 기초하여 가상 데이타를 발생하고, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수에 기초하여 소정의 연산을 행하며, 상기 소정의 연산에 의해 얻어진 데이타에 기초하여, 선택 기간에 신호 전극으로 제공된 신호를 펄스폭 변조하는 것을 특징으로 한다.

본 발명에 의하면, 계조 데이타에 기초하여 가상 데이타를 얻는다. 그리고, 계조 데이타와 가상 데이타와 직교 함수를 기초하여 소정의 연산을 행하여, 얻어진 데이타에 기초하여 펄스폭 변조(PWM)를 행한다. 이와 같이 함으로써, MLS 구동법에서의 PWM에 의한 계조 표시를 실현할 수 있다. 이에 의해, 사용하는 전압 레벨수의 증가를 최소한으로 억제하면서, MLS 구동법에 의한 계조 표시를 실현할 수 있게 된다. 그리고 가상 데이타의 개념을 도입함으로써, 이러한 전압 레벨수가 적은 PWM에 의한 계조 표시를 실현하면서, 콘트라스트 등의 표시 특성의 열화를 최소한으로 억제할 수 있음과 동시에, 적절하고 재현성이 있는 PWM용 데이타를 얻을 수 있게 된다.

또한, 본 발명은, 상기 복수의 계조 데이타를 2진법으로 표현한 경우의 각 비트에 대해서 1 및 0중 어느 하나의 개수와, 상기 가상 데이타를 2진법으로 표현한 경우의 대응하는 각 비트에 대해서 1 및 0중 어느 하나의 개수와의 합이 짝수가 되도록, 상기 가상 데이타를 발생하는 것을 특징으로 한다. 이와 같이 가상 데이타를 생성함으로써, 모든 계조 데이타에 대해서 적절하고 재현성이 있는 PWM용 데이타를 생성할 수 있다.

또한, 본 발명은, 상기 소정의 연산에 의해 얻어진 데이타가, 상기 계조 데이타 및 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 변환하고, 변환된 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수에 기초하여 행렬 연산을 하며, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 변환하는 것으로 얻어진 데이타인 것을 특징으로 한다. 이와 같이 함으로써, 계조 데이타에 대응한 적절한 PWM용 데이타를 얻을 수 있다. 단, 이러한 변환 그 자체를 회로 등을 사용하여 반드시 실제로 행할 필요는 없고, 소정의 연산에 의해 얻어진 데이타가, 이러한 변환에 의해 얻어진 데이타와 같은 것이면 된다.

또한, 상기 계조 데이타 및 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 하는 변환으로서는, 예컨대, 계조수를 N, 주사 전극의 동시 선택수에 가상 데이타수를 가산한 수를 L로 한 경우에, 상기 계조 데이타 및 상기 가상 데이타를 2×L배하여, 얻어진 값으로부터 (N-1)×L을 감산하는 변환을 생각할 수 있다. 또한, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 하는 변환으로서는, 예컨대, 계조수를 N, 주사 전극의 동시 선택수에 가상 데이타수를 가산한 수를 L로 한 경우에, 행렬 연산의 결과에 L×(N-1)×L/2를 가산하고, 얻어진 결과를 L로 나누는 변환을 생각할 수 있다.

또한, 본 발명은, 상기 소정의 연산이, 상기 계조 데이타 및 상기 가상 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초하는 행렬 연산과, 행렬 연산의 결과와 직교 함수 행의 요소의 총합에 따른 정수(定數)에 기초하는 가산 연산을 포함하는 것을 특징으로 한다. 이와 같이 함으로써, 소규모이고 간편한 구성의 회로 등으로 소정의 연산을 실현할 수 있다.

또한, 직교 함수의 행의 요소의 총합에 따른 상기 정수로서, 예컨대, 직교 함수 행의 요소의 총합을 S로 하고 계조수를 N으로 한 경우에, -(N-1)×S + (N-1)×L/2를 고려할 수 있다.

또한, 본 발명은, 계조수를 N, 주사 전극의 동시 선택수에 가상 데이타수를 가산한 수 L를 4로 한 경우에, 펄스폭 변조에서의 상기 선택 기간의 시분할 수를 (N-1)로 하는 것을 특징으로 한다. 본 발명에 의하면, L=4인 경우에, 얻어진 PWM용 데이타를 4의 배수로 할 수 있다. 그리고, PWM용 데이타를 4로 약분한 데이타를 사용함으로써, 선택 기간의 시분할 수를, (N-1)×L = (N-1)×4에서 (N-1)로 줄이는 것이 가능해진다. 이 결과, 선택 기간을 시분할하기 위한 분리용 클록의 주파수를 줄이는 것이 가능해져, 세그먼트 구동기 등의 동작 속도의 저속화나 저소모 전력화를 도모할 수 있다.

또한, 본 발명은, 복수의 주사 전극을 동시 선택하는 멀티라인 구동법에 의해 신호 전극을 구동하는 세그먼트 구동기로서, 동시 선택되는 복수의 주사 전극에 대응한 복수의 계조 데이타를 기초하여 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수에 기초하여 소정의 연산을 하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타에 기초하여, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 수단을 포함하는 것을 특징으로 한다.

본 발명에 의하면, MLS 구동법에서의 PWM에 의한 계조 표시를, 전압 레벨수의 증가나 표시 특성의 열화를 억제하면서 실현할 수 있는 세그먼트 구동기를 제공할 수 있게 된다.

또한, 이 경우에 세그먼트 구동기가, 주사 전극의 동시 선택수를 LM으로 한 경우에, LM의 2배 이상분의 라인의 계조 데이타를 유지하는 라인 메모리를 포함하는 것이 바람직하다. 이와 같이 함으로써, 라인 메모리에의 계조 데이타의 기록 동작과 라인 메모리로부터의 계조 데이타의 판독 동작을 병렬로 행할 수 있다.

또한 본 발명은, 상기 가상 데이타를 발생하는 수단이, 상기 라인 메모리의 판독 타이밍에 대하여 일정 기간 지연된 펄스 신호와 상기 라인 메모리의 출력 신호와의 AND 연산을 행하는 논리 회로와, 상기 직교 함수에 의한 행렬 연산의 개시전에 초기화되고, 상기 논리 회로의 출력이 클록 단자에 입력되며, 상기 가상 데이타를 출력 단자에 출력하는 토글 플립플롭을 포함하는 것을 특징으로 한다. 이와 같이 함으로써, 계조 데이타의 각 비트의 1 또는 0의 개수와 가상 데이타의 각 비트의 1 또는 0의 개수와의 합이 짝수가 되는 가상 데이타를, 간편한 회로 구성으로 생성할 수 있게 된다.

또한, 본 발명은, 복수의 주사 전극을 동시 선택하는 멀티라인 구동법에 의해 신호 전극과 주사 전극을 각각 구동하는 세그먼트 구동기와 공통 구동기에 신호를 공급하는 표시 제어기로서, 계조 데이타를 받아들이는 수단과, 주사 전극의 동시 선택수의 2배 이상분의 라인의 계조 데이타를 유지 가능한 라인 메모리에, 받아들인 계조 데이타를 기록하는 수단과, 상기 라인 메모리에 기록된 계조 데이타를 판독하는 수단과, 동시 선택된 복수의 주사 전극에 대응한 복수의 계조 데이타에 기초하여 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수에 기초하여 소정의 연산을 하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를, 해당 데이타에 기초하여 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 세그먼트 구동기에 공급하는 수단과, 직교 함수를 공통 구동기에 공급하는 수단을 포함하는 것을 특징으로 한다.

본 발명에 의하면, MLS 구동법에서의 PWM에 의한 계조 표시를, 전압 레벨수의 증가나 표시 특성의 열화를 억제하면서 실현할 수 있는 표시 제어기를 제공할 수 있다.

또한, 본 발명은, 주사 전극의 동시 선택수를 LM, LM에 가상 데이타수를 가산한 수를 L, 상기 라인 메모리에의 계조 데이타 기록 사이클 시간을 T1, 세그먼트 구동기로의 데이타 출력 사이클 시간을 T2로 한 경우에, T2 = m×(LM/L)×T1(m은 양의 정수)인 것을 특징으로 한다. 이와 같이 함으로써, 라인 메모리에 계조 데이타를 기록하는 처리와, 라인 메모리로부터 계조 데이타를 판독하는 소정의 연산을 행하는 세그먼트 구동기에 PWM용 데이타를 출력하는 처리를, 처리의 낭비가 발생하지 않고 실현할 수 있다.

또한, 본 발명은, 복수의 주사 전극을 동시 선택하는 멀티라인 구동법에 의해 액정 패널을 구동하는 액정 표시 장치로서, 주사 전극과 신호 전극을 갖는 액정 패널과, 신호 전극을 구동하는 상기의 세그먼트 구동기와, 주사 전극을 구동하는 공통 구동기를 포함하는 것을 특징으로 한다. 이러한 시스템 구성으로 함으로써, 종래의 표시 제어기로부터의 계조 데이타를 그대로 상기 세그먼트 구동기에 입력하여, MLS 구동법에서의 PWM에 의한 계조 표시를 실현할 수 있다.

또한, 본 발명은, 복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 액정 패널을 구동하는 액정 표시 장치로서, 주사 전극과 신호 전극을 갖는 액정 패널과, 펄스폭 변조에 의해 신호 전극을 구동하는 세그먼트 구동기와, 주사 전극을 구동하는 공통 구동기와, 상기 세그먼트 구동기 및 상기 공통 구동기에 신호를 공급하는 상기 표시 제어기를 포함하는 것을 특징으로 한다. 이와 같이 시스템을 구성함으로써, 예컨대 완전 분산이나 반분산 구동에 알맞은 액정 표시 장치를 제공할 수 있다.

발명의 바람직한 실시예의 설명

이하, 본 발명의 적합한 실시 형태에 대해서 도면을 사용하여 상세히 설명한다.

1. 비교예

그런데 본 발명자는, 전압 레벨수를 2레벨(표시 OFF시의 중간 레벨을 더하면 3레벨)로 억제하면서, MLS 구동으로 PWM에 의한 계조 표시를 실현할 수 있는 구동 방법을 개발하고 있다(일본 특원평 8-288772). 이하, 이 구동 방법을 비교예로서 도 5, 도 6을 사용하여 설명한다.

동시 선택수를 L, 계조수를 N, 직교 함수를 F, 계조 데이타를 D로 하면, 도 5에 나타낸 계산식에 따라, 계조 데이타(D)를, 2레벨의 PWM에 의한 구동을 가능하게 하는 데이타로 변환할 수 있다. 이하, 2라인 동시 선택으로 4계조인 경우(L=2, N=4)에 대해서 설명한다. 또한, 계조 데이타를 0, 1, 2, 3으로 나타낸다.

도 5의 계산식의 제1항 중 L×D-(N-1)×L/2의 항은, 계조 데이타를, 0을 중심으로 대칭이 되는 데이타로 변환하기 위한 것이다. 상기 항에 의해, 계조 데이타인 0, 1, 2, 3은 각각 0을 중심으로 대칭이 되는 데이타인 -3, -1, 1, 3으로 변환된다. 제1항 중 ∑는, L×D-(N-1)×L/2의 항에 의해 얻어진 데이타와 직교 함수 F와의 행렬 연산시에서의 각 행마다의 총합을 의미한다.

도 5의 계산식의 제2항중 (N-1)×L/2의 항은, 제1항에서 계조 데이타를 마이너스측에 비켜놓은 부분을 플러스측으로 되돌려, 양의 정수의 데이타를 얻기 위한 것이다. 또한, 이 항에 L이 있는 것은, 제1항으로 ∑에 의해 L회의 가산을 하고 있으므로, 이 가산 횟수분만 데이타를 플러스측으로 되돌릴 필요가 있기 때문이다. 또한, 도 5의 계산식으로 분자를 L로 나누고 있는 것은, 제1항에서 계조 데이타를 L배한 부분을 보정하기 때문이다. 또 이 비교예에서는, 선택 기간(1회의 신호 전극 인가 시간)의 시분할 수는 (N-1)×L로 되어 있다.

상기 도 5의 계산식에 의해 얻어진 데이타에 기초하여 PWM 변환을 하는 것으로, MLS 구동에 있어서 2레벨의 PWM에 의한 계조 표시가 가능해진다.

하지만, 이 비교예에는, 액정에 가해지는 ON시의 실효 전압과 OFF시의 실효 전압의 비인 ON/OFF비를 만족할 수 있는 값으로 할 수 없다고 하는 문제점이 있다.

도 6에는, 도 5의 계산식으로 얻어진 데이타에 기초하여, 4라인 동시 선택으로 4계조의 표시를 행한 경우의 세그먼트 파형, 공통 파형의 예가 도시되어 있다. 흑색 동그라미, 2사선이 그어진 동그라미, 1사선이 그어진 동그라미 및 흰색 동그라미는 표시하는 화소의 계조 상태를 나타낸 것이다. 2사선이 그어진 동그라미는 흑색에 가까운 회색을, 1사선이 그어진 동그라미는 흰색에 가까운 회색을 나타낸다. 21은 공통(주사 전극), 22는 세그먼트(신호 전극)를 나타낸다. 56은 각 화소의 계조 데이타가 0, 1, 2, 3인 표시 패턴을, 57은 각 화소의 계조 데이타가 0, 3, 0, 3인 경우의 표시 패턴을 나타낸다. 23은 각 필드에 대해서의 도 5의 계산식 결과를 나타낸다. 40은 세그먼트의 전압 레벨, 41은 공통 전압 레벨을 나타낸다. 42, 43, 52, 53의 가는 선은 공통 파형, 44의 굵은 선은 세그먼트 파형을 나타낸다. 공통 파형과 세그먼트 파형의 차가 액정에 가해지는 실효치를 결정한다. 공통 전압 레벨을 Vy, 0, -Vy로 하고, 세그먼트의 전압 레벨을 Vx, -Vx로 하면, 도 6의 49는 액정을 ON시키는 전압(Vy+ Vx), 50은 액정을 OFF시키는 전압(Vy-Vx)으로 간주할 수 있다.

상기 비교예에서는, 선택 기간의 시분할 수가 (N-1)×L=12가 된다. 그리고 선택 기간을 시분할수 12로 나눈 것을 1분할 단위로 하면, 선택 기간의 길이는 12분할 단위가 되어, 1f, 2f, 3f, 4f의 선택 기간의 합계 길이는 48분할 단위가 된다. 그리고, 계조는, 액정의 ON에 기여하는 기간(공통 파형과 세그먼트 파형의 차가 전압(Vy+ Vx)이 되는 기간)의 합계를 분할 단위수로 나타낸 Ne로 나타낼 수 있다. 이 Ne의 계산 결과가 도 6의 각 파형의 오른쪽에 도시되어 있다. 예컨대 도 6의 45로 나타낸 바와 같이, 1행째의 파형에서는, 액정의 ON에 기여하는 기간은 분할 단위수로 나타내면 3, 5, 7, 3이 된다. 따라서, 이들의 합계인 Ne는 47로 나타낸 바와 같이 3+ 5+ 7+ 3 = 18이 된다. 마찬가지로, 48, 54, 55로 나타낸 바와 같이, 2행째의 파형에서는 Ne = 9+ 5+ 5+ 3=22, 3행째의 파형에서는 Ne = 29+ 7+ 7+ 3=26, 4행째의 파형에서는 Ne = 9+ 5+ 7+ 9=30이 된다. 즉, 계조가 0이 되는 1행째의 파형에서는, 48분할 단위중에서 18분할 단위가 액정의 ON에 기여한다. 마찬가지로, 계조가 1, 2, 3이 되는 2행째, 3행째, 4행째의 파형에서는, 각각, 22, 26, 30분할 단위가 액정의 ON에 기여한다.

도 6에서 분명한 바와 같이, 각 화소의 계조 데이타의 크기에 기초하여 Ne가 변하고 있다. 예컨대, 계조 3(흑색 동그라미)인 때에 Ne는 30이고, 이는 계조 0(흰색 공그라미인 때)인 때의 Ne인 18보다도 크게 된다. 또한, 동일 계조의 화소에 있어서는, 표시 패턴에 의존하지 않고 항상 동일의 Ne가 얻어진다. 예컨대, 도 6의 56으로 나타낸 표시 패턴, 또는 57으로 나타낸 표시 패턴이더라도, 계조 3(흑색 동그라미)인 때의 Ne는 항상 30이 되며, 계조 0(흰색 공그라미인 때)인 때의 Ne는 항상 18이 된다.

그런데, 계조 3인 때에 ON에 기여하는 기간은 Ne=30 분할 단위이고 OFF에 기여하는 기간은 48-Ne=18 분할 단위가 된다. 한편, 계조 0인 때에 ON에 기여하는 기간은 Ne=18 분할 단위이고 OFF에 기여하는 기간은 48-Ne=30 분할 단위가 된다. 종래의 레벨 변화에 의한, 4라인의 멀티라인 구동(이하, 4MLS 구동)의 ON/OFF비와 거의 동일한 ON/OFF비를 실현하기 위해서는, 이 30을 36으로, 18을 12로 할 필요가 있다.

도 7의 191, 192, 193에, 각각, 통상의 멀티플렉스 구동의 ON/OFF비 계산식, 종래의 레벨 변화에 의한 4MLS 구동의 ON/OFF비 계산식, 비교예의 ON/OFF비 계산식이 도시되어 있다. 계산식 중의 a는, 공통측의 구동 전압과 세그먼트측의 구동 전압과의 비(이하 바이어스비)를 나타낸다. 또한 (n-4) 및 (n-1)은 비선택 기간에 있어서의 액정에 가해지는 실효치에 상당한다.

도 8에, 주사선수가 240라인(n= 240)인 경우의 ON/OFF비의 특성을 나타낸 그래프가 도시되어 있다. 203, 204, 205는, 각각, 통상 멀티플렉스 구동의 특성, 레벨 변화에 의한 4MLS 구동의 특성, 비교예 구동의 특성을 나타낸다. 그래프에서, 통상 멀티플렉스 구동에서는 바이어스비가 15 내지 16인 때에 ON/OFF비가 최대치 1.067이 된다. 또한, 레벨 변화에 의한 4MLS 구동에서는 바이어스비가 7 내지 8인 때에 ON/OFF비가 최대치 1.067이 된다. 또한 비교예의 구동에서는 바이어스비가 7 내지 8인 때에 ON/OFF비가 최대치가 되지만, 이 때의 최대치는 1.034 밖에 되지 않는다. 1.034의 ON/OFF비에서는, 액정 패널의 콘트라스트가 극단적으로 저하된다. 실제로 콘트라스트를 평가한 결과, 통상 멀티플렉스 구동에서 31.7이던 것이 비교예에서는 10.8까지 저하한다.

그래서 본 발명자는 비교예가 가지고 있는 콘트라스트 저하의 문제를 해결하기 위해 이하에 나타낸 구동 방법을 고안하였다.

2. 계산식

도 9에는 본 실시 형태의 구동 방법을 실현하는 계산식이 도시되어 있다. 여기서 동시 선택수(LM) + 가상 데이타수를 L, 계조수를 N, 직교 함수를 F, 계조 데이타를 D로 한다. 이하, 동시 선택수가 3, 가상 데이타수가 1에서, 4계조인 경우(L=4, N= 4)에 대해서 설명한다. 또한, 계조 데이타를 0, 1, 2, 3으로 나타낸다. 도 9의 계산식의 제1항 중의 2×L×D-(N-1)×L의 항은, 계조 데이타를, 0을 중심으로 대칭이 되는 데이타로 변환하기 위한 것이다. 이 항에 의해, 계조 데이타인 0, 1, 2, 3은 각각 0을 중심으로 대칭이 되는 데이타인 -12, -4, 4, 12로 변환된다. 도 5의 비교예에서는 13, -1, 1, 3으로 변환되지만, 도 9에서는 이와 같이 -12, -4, 4, 12로 변환된다. 제1항중의 ∑는, 2×L×D-(N-1)×L의 항에 의해 얻어진 데이타와 직교 함수 F와의 행렬 연산시에 있어서의 각 행마다의 총합을 의미한다.

도 9의 계산식의 제2항중 (N-1)×L/2의 항은, 제1항으로 계조 데이타를 마이너스측에 비켜놓은 부분을 플러스측으로 되돌려, 양의 정수의 데이타를 얻기 위한 것이다. 또한 이 항에 L을 곱하고 있는 것은, 제1항에서 ∑에 의해 L회의 가산을 하고 있으므로, 이 가산 횟수분만 데이타를 플러스측으로 되돌릴 필요가 있기 때문이다. 또한 도 9의 계산식에서 분자를 L로 나누고 있는 것은, 제1항으로 계조 데이타를 L배한 분량을 보정하기 위해서이다.

도 10에는 도 9의 계산식에 따른 연산 과정의 일예가 도시되어 있다. 우선 가상 데이타를 이용하지 않은 경우의 예인 도 10의 E1에 대하여 설명한다.

221은 계조 데이타를 나타낸다. 222는 도 9의 계산식의 2×L×D-(N-1)× L항의 계산 결과이다. L=4, N=4로 하면, 계조 데이타는 8배로 되고, 다음에 12만 마이너스로 된다. 이에 의해 계조 데이타는 0을 중심으로 대칭이 되는 데이타로 변환된다. 223은 직교 함수를 나타낸다. 224는 행렬 연산의 결과를 나타낸다. 225는 행렬 연산의 결과 224로 도 9의 제2항의 L×(N-1)×L/2=24를 가산하고, 그 가산 결과를 L=4로 나눈 결과를 나타낸다. 226은 액정의 ON에 기여하는 기간의 합계에 상당하는 Ne를 나타낸다.

221의 계조 데이타를 위에서부터 순차적으로 0, 1, 2, 3으로 한 경우에, 연산 결과 225는 12, 4, 8, 0이 된다. 또한 액정의 ON에 기여하는 기간의 합계에 상당하는 Ne는 위에서부터 순차적으로 12, 20, 28, 36이 된다. 즉, 계조 데이타 0, 1, 2, 3이 각각 12, 20, 28, 36에 상당하게 된다. 이와 같이 본 실시 형태에서는, 비교예에서 18(도 6의 47참조)이던 것이 12로 개선되며, 비교예에서 30(도 6의 55참조)이던 것이 36으로 개선된다. 따라서, 종래의 레벨 변화에 의한 4MLS 구동의 ON/OFF비와 거의 동등한 ON/OFF비를 얻는 것을 기대할 수 있고, 콘트라스트의 개선을 기대할 수 있게 된다.

마찬가지로, 가상 데이타를 이용하지 않은 예인 도 10의 E2에 대해서 설명한다. 계조 데이타를 3, 1, 3, 3으로 한 경우에, 연산 결과 225는 8, 8, 16, 8이 된다. 하지만 선택 기간의 분할 단위수는 (N-1)×L=12로 되어 있다. 따라서, 연산 결과 225로서 얻어진 16을, PWM용 데이타로 변환할 수 없다고 하는 문제가 생긴다. 또한 도 10의 E1에서는, 계조 데이타(3)에 대응하는 연산 결과 225는 0이지만, 도 10의 E2에서는, 계조 데이타(3)에 대응하는 연산 결과 225는 8로 되어 버린다. 즉, 동일 계조의 화소라도, 표시 패턴에 의존하여 연산 결과(225)가 다르게 되어 버린다.

3. 가상 데이타

상기와 같은 문제를 해결하기 위해서 본 실시 형태에서는 가상 데이타라는 개념을 도입하고 있다. 즉, 액정 패널을 예컨대 3MLS(3라인 동시 선택)로 구동하는 한 쪽에서, 행렬 연산은 4MLS와 동등한 계산으로 한다. 즉, 동시 선택되는 3라인 분량의 계조 데이타에 가상 데이타를 첨가하여 행렬 연산을 한다.

가상 데이타의 발생 방법에 대해서 도 11을 이용하여 설명한다. 301은 계조 데이타, 302는 계조 데이타의 2진법 표현, 304는 가상 데이타, 303은 가상 데이타의 2진법 표현을 나타낸다. 가상 데이타(304)는, 계조 데이타(301)를 기초하여 발생된다. 계조 데이타가 3, 1, 3인 경우에, 이들은 2진법 표현은(11), (01), (11)이 된다. 도 11에 나타낸 바와 같이, 상위 비트, 하위 비트의 각각에 대해서, 계조 데이타의 각 비트의 1(또는 0)의 개수와 가상 데이타의 각 비트의 1(또는 0)의 개수와의 합이 짝수가 되도록 가상 데이타를 발생시킨다. 305에 상위 비트 1의 개수의 합을, 306에 하위 비트 1의 개수의 합을 나타낸다. 도 11에 나타낸 바와 같이 이 경우의 가상 데이타는 2진법 표현으로 (01)로 된다. 즉 가상 데이타는 1로 된다.

도 10의 E3에는 3라인분의 계조 데이타(3,1,3)에 상기 가상 데이타(1)를 첨가하여 계산한 경우에 대해서 도시되어 있다. 연산 결과(225)는 4, 4, 12, 12가 된다. 액정의 ON에 기여하는 기간의 합계에 상당하는 Ne는 36, 20, 36, 20이 된다. 도 10의 E2에서는, 연산 결과(225)로서 PWM용 데이타로 변환할 수 없는 값이 출력된다고 하는 문제가 생기지만, 도 10의 E3에서는 이러한 문제가 발생하지 않는다. 또한, 동일 계조의 화소에 있어서는, 표시 패턴에 의존하지 않고서 항상 동일한 Ne를 얻을 수 있다.

도 12에, 여러 가지인 계조 데이타에 대한 가상 데이타의 발생 과정을 나타낸다. 241은 계조 데이타, 242는 가상 데이타, 243은 계조 데이타의 2진법 표현, 244는 가상 데이타의 2진법 표현, 245는 연산 결과(도 10의 225), 246은 Ne를 나타낸다. 243 및 244의 2진법 표현을 보면 알 수 있는 바와 같이, 각 비트의 1(또는 0)의 개수의 합이 항상 짝수가 되도록 가상 데이타가 생성되어 있다. 또한, 계조 데이타 3, 2, 1, 0에 대응하는 Ne는 각각 항상 36, 28, 20, 12로 되어 있고 재현성이 있다.

또한, 도 12에 나타낸 바와 같이 연산 결과(245)는 항상 4의 배수로 되어 있다. 따라서, 선택 기간의 시분할수가 반드시 (N-1)×L=12일 필요는 없고, 12/4=3이어도 되는 것으로 판명된다. 즉, L=4인 경우, 선택 기간의 시분할 수는 (N-1)×L/4=N-1으로 해도 된다. 이와 같이 시분할수를 4로 나누는 것은, 도 9 계산식의 분모인 L을 4×L로 하는 것에 상당한다. 선택 기간의 시분할수를 줄이는 것으로, PWM에 사용하는 분리용 클록의 주파수를 낮게 할 수 있다. 이에 의해 장치의 저소비 전력화, 저비용화를 도모할 수 있다. 또한, 도 9의 계산식의 분모를 4×L로 하지 않은 이유는, 도 5의 비교예와의 비교를 설명하기 쉽게 하기 위해서이다.

4. 파형예

도 13에는 본 실시 형태에 의해 3라인 동시 선택으로 4계조의 표시를 한 경우의 세그먼트 파형, 공통 파형의 예가 도시되어 있다. 521은 공통, 522는 세그먼트를 나타낸다. 556은 각 화소의 계조 데이타가 0, 1, 2인 표시 패턴을, 557은 각 화소의 계조 데이타가 3, 1, 3인 표시 패턴을 나타낸다. 523은 각 필드에 대해서 계산식의 결과를 나타낸다. 540은 세그먼트의 전압 레벨, 541은 공통의 전압 레벨을 나타낸다. 542, 543, 552의 가는 선은 공통 파형, 544의 굵은 선은 세그먼트 파형을 나타낸다.

본 실시 형태에서는, 선택 기간의 시분할 수는 (N-1)=3이 된다. 액정의 ON으로 기여하는 기간의 합계에 상당하는 Ne의 계산 결과를 도 13의 각 파형의 오른쪽에 나타낸다. 예컨대, 도 13의 547, 548, 554에 나타낸 바와 같이, 1행째, 2행째, 3행째의 파형에서는 Ne=12, 20, 28이 된다. 즉, 계조가 0, 1, 2로 되는 1행째, 2행째, 3행째의 파형에서는 12, 20, 28 분할 단위가 액정의 ON에 기여한다.

도 13에서 명백한 바와 같이, 각 화소의 계조 데이타의 크기에 기초하여 Ne가 변화하고 있다. 예컨대, 계조 3(흑색 동그라미)인 때의 Ne는 36이고, 이는 계조 0(흰색 동그라미인 때)인 때의 Ne인 12보다도 커지게 된다. 또한, 동일 계조의 화소에 있어서는 표시 패턴에 의존하지 않고 항상 동일한 Ne를 얻을 수 있다. 예컨대, 도 13의 556으로 나타낸 표시 패턴 또는 557로 나타낸 표시 패턴이라도, 계조 1인 때의 Ne는 항상 20이 된다.

5. 가상 데이타 발생 회로

도 14에 가상 데이타 발생 회로의 구성예를 나타내며, 도 15에 상기 가상 데이타 발생 회로의 동작을 설명하기 위한 타이밍 파형을 나타낸다. 설명을 간단히 하기 위해서 도 14에서는 1비트분의 회로 구성만을 나타내고 있다. 251은 계조 데이타를 유지하는 메모리, 254는 지연 회로, 255는 AND 회로, 256은 리세트 장착 토글 플립플롭(이하 TFR)이다. 또한, 253은 메모리 판독 신호, 252는 메모리 출력 신호, 259는 지연 회로의 출력 신호, 257은 TFR의 리세트 신호, 260은 AND 회로의 출력 신호, 258은 TFR(256)의 출력 신호(가상 데이타)이다.

리세트 신호(257)는 TFR(256)을 초기화하는 신호이고, 1필드마다 액티브되게 된다. 이와 같이 함으로써, 직교 함수에 의한 행렬 연산의 개시 전에 TFR(256)를 반드시 초기화할 수 있다. 또한, 필드는 액정의 1회 세그먼트 전압 인가 시간을 나타낸다. 3MLS + 가상 데이타의 구동 방법에서는 4회의 필드로 나누어 액정에 세그먼트 전압을 인가하는 것으로 계조 표시를 실현한다.

메모리 판독 신호(253)에 의해, 1필드 내에서 3개의 계조 데이타가 메모리(251)로부터 판독된다. 메모리 출력 신호(252)는 메모리 판독 신호(253)에 동기하여 출력된다. 지연 회로(251)의 출력 신호(259)는 메모리 판독 신호(253)의 상승 에지로부터 소정의 기간 지연되어 출력되는 펄스 신호이다. 이 지연은, 소자 지연 또는 클록을 이용하여 실현된다. AND 회로(255)의 출력 신호(260)는, 안정 상태에 있는 메모리 출력 신호(252)와 지연 회로(254)로부터의 출력 신호(259)와의 AND를 취하는 것에 의해 생성된다. AND 회로(255)의 출력 신호(260)는, 메모리 출력 신호(252)가 1(High 레벨)인 경우에는 펄스 신호가 되며, 메모리 출력 신호(252)가 0(Low 레벨)인 경우에는 0으로 고정된다. 따라서, TFR(256)의 출력 신호(258)는 메모리 출력 신호(252)가 1인 때에는 2중으로 하고, 0인 때는 2중이 되는 않도록 되어 있다. 따라서, 메모리 출력 신호(252)가 1이 되는 횟수가 1회 또는 3회이면 TFR(256)의 출력은 1이 되고, H가 되는 횟수가 0회 또는 2회이면 0으로 된다. 바꾸어 말하면, 메모리 출력의 1의 개수가 홀수인 경우에 TFR(256)의 출력은 1이 되며, 짝수인 경우에 0이 된다. 따라서, TFR(256) 출력의 1의 개수와 메모리(251) 출력의 1의 개수의 합을 짝수로 할 수 있다. 따라서, 이 TFR(256)의 출력을 가상 데이타로 할 수 있다.

6. 계산식의 간략화

다음에, L(동시 선택수+ 가상 데이타수), N(계조수)을 고정하고, 도 9의 계산식을 간략화하는 방법에 대해서 도 16을 이용하여 설명한다. 이하, 구체적으로 L을 4(동시 선택수 3+ 가상 데이타 1)로, N을 64(64계조)로 고정한 경우에 대해서 설명한다.

도 16에 있어서, D1, D2, D3은 각각 선택된 공통의 1행째 내지 3행째의 계조 데이타를 나타낸다. K4는 가상 데이타를 나타낸다. F1 내지 F4는 직교 함수의 행요소를 나타낸다. 예컨대, 제1필드에서는 F1 내지 F4로서 도 10의 직교 함수(223)의 1행째의 -1, 1, 1, 1이 계산에 사용된다. 제2필드에서는 F1 내지 F4로서 2행째의 1, 1, -1, 1이 사용되고, 제3필드에서는 3행째의 1, -1, 1, 1이 사용되며, 제4필드에서는 4행째의 1, 1, 1, -1이 사용된다.

직교 함수의 요소(F1～F4)는 1이나 -1의 값밖에 취하지 않는다. 따라서, D1×F1+ D2×F2+ D3×F3+ K4×F4의 항은 계조 데이타끼리를 가산 또는 감산한 값이 된다. 또한 (F1+ F2+ F3+ F4)의 항은 + 2나 0이나 -2가 된다(대개의 경우, 0으로는 되지 않는다). 그리고, (F1+ F2+ F3+ F4)가 + 2인 경우에는, -63×(F1+ F2+ F3+ F4)+ 126의 항(직교 함수의 행의 요소의 총합에 따른 정수)은 0이 된다. 따라서, 이 경우에 간략화에 의해 얻어진 계산식은 도 16에 나타낸 바와 같이 2(D1×F1+ D2×F2+ D3×F3+ K4×F4)가 된다. 한편, (F1+ F2+ F3+ F4)가 -2인 경우에는 -63×(F1+ F2+ F3+ E4)+ 126의 항은 252가 된다. 따라서, 이 경우에 간략화에 의해 얻어진 계산식은 2{(D1×F1+ D2×F2+ D3×F3+ K4×F4)+ 126}이 된다.

이상과 같은 간략화에 의해 얻어진 계산식의 값은 반드시 4의 배수가 된다. 따라서 하위 2비트의 데이타를 잘라버려서 PWM용의 데이타로 하는 것이 가능하게 된다.

또한, 이상에서는 L=4, N=64로 고정한 경우에 대해서 설명하였다. 그렇지만, 직교 함수의 행의 요소의 총합 (S=F1+ F2+ F3+ F4)에 따른 정수인 -63×(F1+ F2+ F3+ F4)+ 126의 항은 보다 일반적으로는 -(N-1)×S+ (N-1)×L/2로 나타낼 수 있다.

7. 세그먼트 구동기

도 17에, 도 16으로 간략화된 계산식에 따른 연산을 실현할 수 있는 세그먼트 구동기의 블록도를 나타낸다. 이 세그먼트 구동기는 6라인분의 계조 데이타를 기억하는 메모리를 내장하고 있다. 또한, 설명을 간략화하기 위해서 출력 1비트분에 대응하는 블록도만을 나타낸다.

래치(71)는 계조 데이타를 메모리(72)에 기록하기 위한 데이타를 받아들이는 회로로서의 기능과 라인 래치로서의 기능을 가지고 있다. 래치(71)에는, 계조 데이타를 받아들이는 용도의 클록이 되는 CK(85), 계조 데이타인 DATA(86), 래치 펄스인 LP(87)가 입력된다. 메모리(72)는, 6라인분의 계조 데이타를 기억한다. 가상 데이타 발생 회로(70)는 계조 데이타를 기초하여 가상 데이타를 발생하는 것으로, 예컨대 도 14에 나타낸 바와 같은 구성을 채용할 수 있다. 주소 제어 회로(73)는, 메모리(72), 가상 데이타 발생 회로(70) 및 정수 ROM(74)의 주소를 제어한다. 정수 ROM(74)는 정수 0 및 정수 126을 기억하는 ROM이다.

가감산 제어 회로(75)는 가산을 할지 감산을 할지를 제어하는 것이며, 입력되는 직교 함수를 기초하여 1 또는 0을 출력한다. 이 예에서는 직교 함수의 요소가 -1인 경우에 1을, 직교 함수의 요소가 1인 경우에 0을 출력한다. 직교 함수 행 가산 회로(76)는 직교 함수의 F1 내지 F4의 가산 결과인 (F1+ F2+ F3+ F4)를 출력하는 것으로, 가산 결과가 2인 때에 1을, 가산 결과가 -2인 때 0을 출력한다. 통상, 직교 함수의 각 요소는 고정값이기 때문에, 가감산 제어 회로(75) 및 직교 함수 행 가산 회로(76)는 디코더로 구성할 수 있다.

정전·반전 회로(77)는 입력 신호를 반전 또는 정전시키는 것으로, 가감산 제어 회로(75)의 출력이 1인 경우(직교 함수의 요소가 -1인 경우)에 입력 신호를 반전시킨다. 가산 회로(78)는 8비트의 가산 연산을 행하는 것으로, 정전·반전 회로(77) 및 8비트의 래치(79)(리세트 장착 플립플롭으로 구성)의 출력을 입력으로 하여, 래치(79)에 가산 결과를 출력한다. 래치(79)에는, 타이밍 발생 회로(81)로부터의 리세트 신호(96) 및 클록(91)이 입력된다. 타이밍 발생 회로(81)는 CK(85), LP(87) 및 초기화 신호인 RES(88)에 기초하여 여러 가지의 타이밍 신호를 생성하여, 73, 76, 75 등의 각 블록측에 출력한다. 래치(80)는 최종적인 연산 결과를 유지하는 것이며, LP(81)에 의해 제어된다.

PWM 변환 회로(82)는 래치(80)에 유지된 연산 결과를 기초하여 PWM 변환을 한다. PWM 변환 회로(82)는 기존의 PWM 구동기의 구성으로 실현되기 때문에 자세한 설명은 생략한다. PWM 제어 회로(83)는 PWM 변환 회로(82)를 제어하는 것이며, 펄스폭 분할용의 클록인 GCP(89)가 입력된다.

도 18에 도 17의 세그먼트 구동기의 동작을 설명하기 위한 타이밍 파형을 나타낸다. RES(88)는 표시 화면의 1행째의 데이타가 입력되기 전에 액티브되게 되어 있다. LP(87)는 1수평기간(1H)마다 액티브되게 된다. 도 18에서 LP(87)는 RES(88)가 액티브되게 된 직후에 액티브되게 되어 있지만, 1행째의 데이타가 갖추어진 후 액티브되도록 해도 된다. CK(85)는 계조 데이타를 넣기 위한 클록이지만, 간단화를 위해 상세한 파형이 생략되어 있다. 통상, 소비 전류를 적게 하기 위해서 세그먼트 구동기를 인에이블 체인으로 접속하여 동작시킨다. 따라서, CK(85)는 각 세그먼트 구동기가 데이타를 입력하고 있는 기간에만 동작하며, 그 이외의 기간에서는 소정의 레벨에 고정된다. 또한 인에이블 체인을 실현하는 회로는 기존의 기술이기 때문에 도 17에서는 생략한다.

도 18에 있어서, 93은 메모리(72)의 출력 신호, 94는 가상 데이타 발생 회로(70)의 출력 신호, 95는 정수 ROM(74)의 출력 신호이다. CK(85)는, 나머지의 3라인분의 메모리에, 다음에 표시하는 3라인분의 데이타를 넣기 위한 래치(71)에 입력된다. 타이밍 발생 회로(81)가 출력하는 클록(91)은 이 CK(85)의 길이를 나누는 것으로 얻어진다. 클록(91)은 도 17의 래치(79)의 클록 단자에 입력된다. 92는 래치(79)의 출력 신호이다.

연산 결과인 출력 신호(92)의 생성 과정에 대해서 설명한다. 우선, 도 17의 래치(79)에 입력되는 리세트 신호(96)가 RES(88) 또는 LP(87)에 동기되어 액티브 게 되고, 래치(79)의 기억 내용이 클리어된다. 이에 의해 래치(79)의 출력 신호(92)가 0이 된다. 다음에, 타이밍 발생 회로(81)로부터의 타이밍 신호에 기초하여 동작하는 주소 제어 회로(73)의 제어에 의해, 메모리(72)가 1행째의 데이타(D1)를 출력한다. 동시에, 타이밍 발생 회로(81)로부터의 타이밍 신호에 기초하여 동작하는 가감산 제어 회로(75)가 1번째의 연산이 가산일지 감산일지를 결정한다. 감산인 경우에는, 가감산 제어 회로(75)는 정전·반전 회로(77)에 메모리(72)로부터의 출력을 반전시킴과 동시에, 가산 회로(78)의 캐리어 입력(CA)에 1을 출력한다. 이에 의해 데이타가 1의 보수로 변환된다. 가산 회로(78)는 래치(79)의 출력(0)과 정전·반전 회로(77)의 출력과 캐리어 입력(CA)의 상태에 기초하여 가산 연산을 행하고, 그 결과가 래치(79)에 유지된다. 이에 의해, 도 18에 나타낸 바와 같이, 클록(91)의 제 1 번째의 하강 타이밍으로 래치(79)가 D1×F1(D1 또는 -D1)을 출력한다.

다음에, 주소 제어 회로(73)의 제어에 의해, 메모리(72)가 2행째의 데이타(D2)를 출력한다. 그리고, 상기와 같은 처리가 행해지며, 래치(79)는 클록(91)의 2번째의 하강 타이밍으로 D1×Fl+ D2×F2를 출력한다. 마찬가지로, 래치(79)는 클록(91)의 3번째의 하강 타이밍으로 D1×F1+ D2×F2+ D3×F3을 출력한다.

클록(91)의 4번째 하강 타이밍에서는, 메모리(72)로부터의 데이타가 아니라 가상 데이타 발생 회로(70)로부터의 가상 데이타(K4)가 사용되며, 래치(79)는 D1×F1+ D2×F2+ D3×F3+ K4×F4를 출력한다.

다음에, 주소 제어 회로(73)의 제어에 의해 정수 ROM(74)가 0 또는 126을 출력한다. 여기서 0, 126중 어느 것을 출력할지는 직교 함수 행 가산 회로(76)로부터의 출력를 기초로 주소 제어 회로(73)가 결정한다. 즉 F1+ F2+ F3+ F4=2인 경우에는 정수 ROM(74)는 0을 출력하며, F1+ F2+ F3+ F4=-2인 경우에는 126을 출력한다(도 16참조). 정수 ROM(74)의 출력은 정전·반전 회로(77)에서 반전되지 않고 정전·반전 회로(77)를 통해 가산 회로(78)에 입력된다. 따라서, 클록(92)의 5번째의 하강 타이밍에서 래치(79)는 D1×F1+ D2×F2+ D3×F3+ K4×F4+ 0 또는 + 126을 출력한다.

여기서, 래치(79)의 출력을 1비트 자릿수 올림하면, 도 16에 나타낸 바와 같은 2×(D1×F1+ D2×F2+ D3×F3+ K4×F4+ 0 또는 + 126)을 얻을 수 있다. 하지만, 도 16의 계산식의 최종 연산 결과는 상술한 바와 같이 반드시 4의 배수가 되며, 최종 연산 결과의 하위 2비트는 0이 된다. 따라서, 래치(79) 출력의 자릿수 올림은 불필요하고, 반대로 래치(79) 출력의 자릿수 내림(하위 1비트를 삭제)을 한다. 그리고, LP(87)에 기초하여 래치(80)에 데이타를 유지한다. 그리고, PWM 변환 회로(82)가 래치(80)로부터의 데이타에 따른 펄스폭 변조를 행한다.

이상과 같이 하여, 도 16의 계산식에 따른 펄스폭 변조가 가능하게 된다.

8. 표시 제어기

도 19에, 도 16으로 간략화된 계산식에 따른 연산을 실현할 수 있는 표시 제어기의 블록도를 나타낸다. 이 표시 제어기의 외부에는, 6라인분 이상의 계조 데이타를 유지하는 메모리(427-432)가 설치된다. 표시 제어기는 메모리에 기억된 데이타 중 3라인분의 데이타를 PWM용의 데이타로 변환하기 위해서 판독된다. 이와 동시에, 메모리의 나머지 3라인분의 기억 영역에, TFT 등의 구동을 위해서 개발된 종래 표시 제어기로부터의 계조 데이타를 기록한다(도 24참조).

그런데 본 실시 형태의 구동 방법에서는, 3라인분의 표시를 하기 위해서 4라인분의 데이타를 세그먼트 구동기에 출력할 필요가 있다. 이 때문에, 3라인분의 계조 데이타를 메모리에 기록하는 사이클을 4등분한 사이클로, 세그먼트 구동기에 PWM용의 데이타를 출력하도록 하고 있다. 보다 구체적으로는, 도 20에 나타낸 바와 같이, 메모리의 데이타 기록 사이클 시간을 T1, 세그먼트 구동기의 데이타 출력 사이클 시간을 T2로 한 경우에, T2=(LM/L)×T1=(3/4)×T1(LM은 동시 선택 라인수, L은 LM에 가상 데이타 수를 가산한 수)로 되도록 하고 있다. 이와 같이 하는 것으로, 가상 데이타를 사용한 3MLS 구동을 실현할 수 있도록 되어 있다.

또한, 보다 일반적으로는, T2=m×(LM/L)×T1(m은 양의 정수)이 된다. 예컨대 후술하는 바와 같이 상측 화면용의 데이타와 하측 화면용의 데이타를 각각 생성, 출력하는 경우에는 T2=2×(LM/L)×T1이 된다.

또한, 64 계조의 경우에, 계조 데이타는 6비트×RGB에서 18비트의 데이타가 된다. 하지만, 통상적으로 메모리는 16비트의 데이타밖에 취급할 수 없다. 그래서, 표시 제어기는 6비트의 R, G, B 데이타의 각각을 5, 6, 5비트의 데이타로 변환하여, 메모리에 기록하는 데이타가 16비트가 되도록 하고 있다.

도 19에 나타낸 바와 같이, 외부에는 6개의 메모리(427 내지 432)가 마련된다. 그리고 메모리(427-429)는 상반 화면용으로, 메모리(430 내지 432)는 하반 화면용으로 사용된다. 메모리(427 및 430, 428 및 431, 429 및 432)는 각각 라인(1)용, 라인(2)용, 라인(3)용의 메모리로서 사용된다. 그리고 본 실시 형태의 표시 제어기는 종래 표시 제어기로부터 보내어져 오는 계조 데이타를 각 메모리에 배분하여 기록한다. 그리고 계조 데이타를 배분함과 동시에, 6비트의 R, G, B 데이타의 각각을 5, 6, 5비트의 데이타로 변환하는 처리를 한다. 표시 제어기는 메모리로부터 계조 데이타를 판독할 때는 각각의 메모리로부터 동시에 3비트(동시 선택되는 3라인에 대응하는 동일열의 계조 데이타)분의 계조 데이타를 받아들인다. 그리고 순간적으로 가상 데이타를 발생시켜서 일괄 연산하여 PWM용 데이타를 생성하며, 외부의 세그먼트 구동기에 출력한다.

도 19에 있어서, 411은 계조 데이타, 412는 계조 데이타 취입 회로, 413, 410은 메모리 기록 회로, 414는 메모리 판독 회로이다. 415는 가상 데이타 발생 회로에서, 각 도트의 계조 데이타가 2진법 표현으로 (100), (010), (001), (111)인 경우에 1을 발생시키는 게이트 회로로 구성할 수 있다. 416은 정전·반전 회로, 417, 418, 419, 420, 421은 가산 회로이다. 433은 직교 함수를 외부에 출력하는 출력 회로, 422는 직교 함수 발생 회로, 423은 F1+ F2+ F3+ F4의 가산을 하는 직교 함수 행 가산 회로, 424는 정수 발생 회로이다. 425는 래치, 426은 PWM용 데이타를 외부의 세그먼트 구동기에 출력하는 출력 회로이다.

427, 428, 429, 430, 431, 432는 외부에 마련된 메모리이다. 이들의 메모리는 2포트의 메모리이고, 판독이 진행중인 때에 별도의 주소에 기록 동작을 할 수 있다. 메모리의 주소 라인, 데이타 라인, 판독 라인, 기록 라인 등은 간단화를 위해서 생략되어 있다. 메모리(427,430)는 동시에 선택되는 라인 중 1라인째의 계조 데이타를 유지하고, 메모리(428,431)는 2라인째의 계조 데이타를 유지하며, 메모리(429,432)는 3라인째의 계조 데이타를 유지한다.

또한, R, G, B의 데이타를 일괄로 처리하여, 상측 화면용의 데이타와 하측 화면용의 데이타를 각각 생성, 출력하기 위하여, 표시 제어기는 434, 435, 437, 436, 438, 439의 6개의 연산 회로를 포함하고 있다. 여기서 연산 회로(434, 435, 437)는 상측 화면용이고, 그 각각이 R용, G용, B용으로 되어 있다. 또한, 연산 회로(436, 438, 439)는 하측 화면용이고, 그 각각이 R용, G용, B용으로 되어 있다.

다음에 표시 제어기의 동작에 대해서 설명한다. 계조 데이타 취입 회로(412)는, 계조 데이타(411)를 받아들이며, 동시에 18비트의 데이타를 16비트의 데이타로 변환한다. 즉 R, B의 데이타의 하위 비트를 삭제한다. 다음에, 메모리 기록 회로(413,410)가 계조 데이타를 메모리에 기록한다. 이때, 동시 선택 라인의 라인(1), 라인(2), 라인(3)용의 메모리에 분배되어 계조 데이타가 기록된다. 메모리 판독 회로(414)는, 라인(1), 라인(2), 라인(3)용의 계조 데이타를 일괄적으로 판독한다. 가상 데이타 발생 회로(415)는 계조 데이타를 기초로 가상 데이타를 발생시킨다. 직교 함수 발생 회로(422)는 F1 내지 F4를 발생시킨다. 정전·반전 회로(416)는 F1 내지 F4의 값이 1이면 입력 데이타를 정전시키고, -1이면 반전시킨다. 가산 회로(417-421)의 캐리어 입력(CA)에는 F1 내지 F4의 값이 1이면 0이 입력되고, -1이면 1이 입력된다. 이와 같이, 정전·반전 회로(416)와 가산 회로(417-420)의 캐리어 입력(CA)을 F1 내지 F4에 기초하여 제어함으로써, 가산 회로(417-420)에 가산을 할지 감산을 할지를 제어할 수 있도록 되어 있다.

가산 회로(417)는 D1×F1을 출력한다. 가산 회로(418)는 가산 회로(417)의 출력 D1×F1과 D2×F2를 가산하여, D1×F1+ D2×F2를 출력한다. 마찬가지로 가산 회로(419)는 D1×F1+ D2×F2+ D3×F3를 출력하고, 가산 회로(420)는 D1×F1+ D2×F2+ D3×F3+ K4×F4를 출력한다. 가산 회로(421)는 가산 회로(420)의 출력과 정수 발생 회로(424)의 출력(0 또는 126)을 가산한다. 따라서 가산 회로(421)의 출력은 D1×F1+ D2×F2+ D3×F3+ K4×F4+ 0 또는 + 126이 된다. 래치(425)는 가산 회로(421)의 출력을 래치한다. 여기서 가산 회로(421)의 출력을 1비트만 자릿수 올림하면, 도 16에 나타낸 바와 같은 2×(D1×F1+ D2×F2+ D3×F3+ K4×F4+ 0 또는 + 126)을 얻을 수 있다. 그렇지만 도 16의 계산식의 최종 연산 결과는 상술한 바와 같이 반드시 4의 배수가 되며, 최종 연산 결과의 하위 2비트는 0이 된다. 따라서, 가산 회로(421)의 출력의 자릿수 올림은 불필요하고, 반대로 가산 회로(421)의 출력의 자릿수 내림(하위 1비트를 삭제)하여, 래치(425)에 저장한다. 그리고 출력 회로(426)가 외부의 세그먼트 구동기에 대하여 6비트의 PWM용 데이타를 출력한다.

계조 데이타의 취입 주파수는, XGA 클래스(1024×768도트)의 액정 패널로 프레임 주파수를 60Hz로 한 경우에, 1024×768×60 = 47.2MHz 정도(RGB 병렬)로 된다. 따라서, 외부의 메모리의 기록 사이클 시간은 20ns정도가 된다. 도 19의 표시 제어기는, 상측 화면용의 데이타와 하측 화면용의 데이타를 각각 생성, 출력하고 있기 때문에, 40ns의 사이클

시간으로 데이타를 판독해도 된다. 하지만, 3라인의 처리 사이에 4회 데이타를 출력할 필요가 있기 때문에, 결국, 40ns×3/4=30ns의 사이클 시간으로 데이타를 판독해도 된다. 어떻게 하더라도, 도 19의 표시 제어기를 이용하는 경우에는 고속인 메모리가 필요하게 된다.

도 21에, 계조 데이타를 받아들이는 타이밍, 세그먼트 구동기에 데이타를 출력하는 타이밍 및 공통 구동기의 주사 타이밍을 설명하기 위한 타이밍 파형을 나타낸다. 440은 1라인분의 계조 데이타를 받아들이기 위한 수평 동기 신호, 441은 입력되는 계조 데이타이다. 442, 443, 444는 메모리의 기록 타이밍, 445는 외부의 세그먼트 구동기의 데이타 출력 타이밍, 447은 공통 구동기의 주사 타이밍, 448은 공통 구동기에의 데이타 출력 타이밍을 나타낸다.

계조 데이타(441)는 각 라인에 대응한 메모리에 442, 443, 444로 나타낸 타이밍으로 기록한다. 6라인분의 계조 데이타를 기록 시간을 4등분한 시간으로, 1라인분의 데이타가 세그먼트 구동기에 출력된다. 즉, 도 19의 표시 제어기에서는, 상측 화면용의 세그먼트 구동기(도 23의 G1참조)에 공급하는 PWM용 데이타의 생성 및 출력은 연산 회로(434,435,437)가 행하며, 하측 화면용의 세그먼트 구동기(도 23의 G2참조)로 공급하는 PWM용 데이타의 생성 및 출력은 연산 회로(436,438,439)가 행한다. 따라서, 도 21에서는 메모리의 데이타 기록 사이클 시간을 T1, 세그먼트 구동기의 데이타 출력 사이클 시간을 T2로 한 경우에, T2=2×(LM/L)×T1= 6/4×T1이 된다.

공통 구동기의 출력 신호(448)의 레벨은 직교 함수 F1, F2, F3에 기초하여 결정된다. 공통 구동기의 출력 신호(448)의 선택 기간이외에서의 레벨은 세그먼트 구동기 출력의 중심 전압이 된다. 표시 OFF시에는 세그먼트 구동기의 출력도 비선택 레벨의 전압이 된다. 공통 구동기에 입력되는 F1, F2, F3은 도 19의 표시 제어기가 포함하는 출력 회로(433)가 출력되지만, 출력 회로(433)는 현재 계산중의 값을 출력하는 것은 아니고, 1필드전의 계산에 사용한 값을 출력한다. 이는, 직교 함수 발생 회로(422)로부터의 F1, F2, F3을 출력 회로(433)가 내장하는 플립플롭의 데이타 단자에 입력하고, 플립플롭의 클록 단자에 주사타이밍 신호를 입력하며, 플립플롭의 출력을 공통 구동기에 송출하는 것으로 실현할 수 있다.

9. 공통 구동기

도 22에, 본 실시 형태의 공통 구동기의 블록도를 나타낸다. 161은 직교 함수 입력 회로, 162는 주사 타이밍 신호 입력 회로이다. 또한, 160은 시프트 레지스터, 164는 출력 인에이블 회로, 165는 레벨 시프터, 163은 구동기, 166은 구동기 출력이다. 또한 169는 직교 함수 신호(F1-F3), 167은 스타트 신호, 168은 주사 타이밍 신호이다.

시프트 레지스터(160)는 복수의 플립플롭에 의해 구성되며, 각 플립플롭이 3개의 구동기 출력(166)에 대응하도록 되어 있다. 그리고 시프트 레지스터(160)는 스타트 신호(167)가 입력되면, 주사 타이밍 신호에 기초하여 데이타의 시프트를 개시한다. 출력 인에이블 회로(164)는 이 시프트 레지스터(160)의 출력을 기초로, F1, F2, F3의 값에 따른 전압 레벨을 구동기(163)에 출력할지의 여부를 결정한다. 구동기 출력(166)은 시프트 레지스터(160)의 출력이 0인 경우에는 중간 전압이 되며, 1인 경우에는 F1, F2, F3의 값에 따른 전압 레벨이 된다. 즉, 구동기 출력(166)은 3라인마다 F1, F2, F3의 값에 따른 전압 레벨이 된다. 직교 함수 신호(169)(Fl, F2, F3), 스타트 신호(167), 주사 타이밍 신호(168) 등은 표시 제어기로부터 입력된다.

10. 액정 표시 장치

도 23에, 도 17의 세그먼트 구동기와 도 22의 공통 구동기를 포함하고 있는 액정 표시 장치의 블록도를 나타낸다. 세그먼트 구동기(171)는 액정 패널(173)의 상하에 배치되어 있다. 공통 구동기(172)는 액정 패널(173)의 좌측에 배치되어 있다. 세그먼트 구동기(171)와 공통 구동기(172)는 TCP(테이프 캐리어 패키지)에 설치되어, 액정 패널(173)에 부착된다. 174는 전원 회로, 175는 타이밍 신호 발생용의 게이트 어레이 IC, 176은 종래 표시 제어기이다. 게이트 어레이 IC(175)는 세그먼트 구동기(171)의 타이밍 신호(계조 데이타의 입력 타이밍에 대하여 4/3배의 주파수의 주사 타이밍 신호를 발생함), 그레이 스케일 펄스 발생용 클록, 공통 구동기의 주사 타이밍 신호, 스타트 신호, F1, F2, F3신호 등을 출력한다. 게이트 어레이 IC의 상세한 설명은 생략한다.

본 실시 형태에 의하면, TFT 액정 패널용의 18비트(RGB 각 6비트)의 계조 데이타를, 종래 표시 제어기(176)의 출력으로서, 직접 세그먼트 구동기(171)에 입력하는 것이 가능하게 된다. 따라서, 이 경우에는 도 19의 표시 제어기나 외부메모리가 불필요해진다.

도 24에, 도 19의 표시 제어기, 도 22의 공통 구동기, 종래 세그먼트 구동기를 포함하는 액정 표시 장치의 블록도를 나타낸다. 181은 종래의 PWM 변환 가능한 세그먼트 구동기이다. 세그먼트 구동기(181)는 액정 패널(183)의 상하에 배치되어

있다. 공통 구동기(182)는 액정 패널(183)의 좌측에 배치되어 있다. 세그먼트 구동기(181), 공통 구동기(182)는 TCP에 설치되어, 액정 패널(183)에 부착된다. 184는 전원 회로, 185는 도 19의 표시 제어기, 186은 계조 데이타를 기억하는 메모리, 187은 종래 표시 제어기이다.

그런데, 도 23의 액정 표시 장치는 도 24의 액정 표시 장치와 비교하여 회로규모가 커진다. 도 23에서는 세그먼트 구동기(171)가 메모리를 내장할 필요가 있기 때문이다. 그리고 도 25a에 나타낸 바와 같은 완전 분산 또는 도 25b에 나타낸 반분산으로 MLS 구동을 한 경우에, 세그먼트 구동기(171)는 1화면분 또는 반화면분의 데이타를 기억하는 메모리를 내장할 필요가 있다. 세그먼트 구동기의 출력수를 240으로 하여, XGA의 크기의 화면(1024×768 도트)으로 64계조(6 비트)의 완전 분산 구동을 한다고 하면, 각 세그먼트 구동기는 1.1M비트(240×6×768)의 메모리를 내장할 필요가 있다. 현재의 프로세스 기술에서는, 이 메모리만을 세그먼트 구동기에 내장하고 있으면, 세그먼트 구동기의 칩 사이즈가 커지게 되어 고가인 물건으로 된다. 또한 세그먼트 구동기를 액정 패널의 상하에 13개(3×1024/240)를 사용하여 합계로 26개를 사용하는 액정 표시 장치에서는 원가적으로 현실적이지 않다. 따라서, 완전 분산이나 반분산으로 MLS 구동하여, 큰 메모리 용량을 필요로 하는 경우에는, 도 23의 시스템 구성보다도 도 24의 시스템 구성쪽이 유리해진다.

여기서 완전 분산 구동에서는, 도 25a에 모식적으로 나타낸 바와 같이, 1 필드(1f) 내지 4필드(4f)의 데이타에 의한 구동을 1프레임 내에서 나누어 행한다. 예컨대, 완전 분산 구동의 경우에, 1필드째의 데이타로 화면의 위로부터 아래까지 구동한 후, 2필드째의 데이타로 화면의 위로부터 아래까지 구동하여, 이를 4필드째까지 계속한다. 또한, 반분산 구동에서는, 도 25b에 모식적으로 나타낸 바와 같이, 상측 화면, 하측 화면의 각각으로 완전 분산 구동을 행한다. 또한, 적은 분산 구동에서는, 도 26a에 모식적으로 나타낸 바와 같이, 3MLS인 경우에 6라인중 위의 3라인과 아래의 3라인을 교대로 구동한다. 또한 비분산 구동에서는, 도 26b에 모식적으로 나타낸 바와 같이, 처음의 3라인에서 1필드 내지 4필드의 데이타에 의한 구동을 연속하여 행하고, 다음 3라인에서도 또한 1필드 내지 4필드의 데이타에 의한 구동을 연속한다.

도 23의 시스템 구성은 비분산 및 적은 분산 구동에 유리하다. 한편, 도 24의 시스템 구성은, 완전 분산 및 반분산 구동에 유리하다. 단, 장래에 반도체 프로세스 기술의 미세화가 더욱 진행하여, 낮은 원가로 초고집적의 IC가 제조될 수 있게 되는 경우에는, 도 23의 시스템 구성이라도 완전 분산 및 반분산 구동을 실현할 수 있다.

11. ON/OFF비

도 27에 본 실시 형태의 구동 방법의 ON/OFF비를 나타낸 계산식을 나타낸다. 계산식 중 (n×4/3-1)의 항은 비선택 기간에서 액정에 가해지는 실효치를 나타낸 것이다. 여기서 n×4/3으로 되어 있는 것은 3라인의 표시를 할 때에 세그먼트 데이타가 4회 변화하고 있기 때문이다.

도 28에, 도 8의 그래프에 본 실시 형태의 구동 방법에서의 ON/OFF비의 특성을 추가한 그래프를 나타낸다. 여기서 206은 3MLS+ 가상 데이타로 구동을 하는 본 실시 형태의 구동 방법의 특성이다.

본 실시 형태에 의하면, 도 5의 비교예에서 1.034이던 ON/OFF비를 1.057까지 향상시킬 수 있다. 통상적으로 멀티플렉스 구동이나 레벨 변화에 의한 4MLS 구동의 ON/OFF비 1.067과 비교하면 뒤떨어지지만, 충분한 사용에 견딜 수 있는 레벨로 되어 있다. 콘트라스트는 통상적인 멀티플렉스 구동에서 31.7이고, 비교예(완전 분산)에서 10.8이던 것이, 본 실시 형태의 구동 방법(완전 분산)에서는 35.9까지 향상되었다. 종래의 레벨 변화에 의한 4MLS 구동(완전 분산)인 경우에 콘트라스트는 41이고, 이와 비교하면 본 실시 형태에 의해 얻어진 콘트라스트는 약14%만 저하되어 있다. 하지만, 응답 속도가 빠른 액정을 사용한 경우, 레벨 변화의 분산 구동에서는 프레임 간인법이나 디더(dither)법으로만 계조 표시를 실현할 수 없다. 그리고 프레임 삭제법에는, 플리커가 생기기 쉽다고 하는 문제가 있다. 또한 디더법에서는 면적 계산이 필요하게 되며, 또한 고세밀한 표시를 실현할 수 없다. 또한 레벨 변화와 PWM을 조합한 구동 방법에서는 누설이 지나치게 크고, 사용 허용 레벨이 아니다. 이에 대하여, 본 실시 형태의 구동법에서는 PWM이기 때문에 플리커가 발생하지 않는다. 따라서, 아른거리는 것이 없는 눈에 온화한 고세밀한 표시가 가능하다.

발명의 효과

이상 설명한 바와 같이, 본 실시 형태에는 이하의 효과가 있다.

종래에는 (동시 선택수+ 1)개의 전압 레벨이 필요한 MLS 구동법에 있어서, 2값의 전압 레벨만으로 PWM 구동이 가능하다. 이 때문에, MLS 구동법으로 종래의 계조 표시를 하는 경우와 비교하여, 파형의 변화 횟수, 변화 방향 및 변화량을 표시 패턴에 의존하지 않고 항상 동일하게 할 수 있다. 따라서, 파형 비뚤어짐의 횟수를 감소할 수 있고, 파형 변화의 방향도 분명해진다. 따라서, PWM에서의 펄스 분할 위치를 예컨대 프레임마다 전후에 변화시켜서 노이즈를 상쇄하는 방법을 채용할

수 있게 된다. 이렇게 하는 것은 누설도 저감시킬 수 있다. 또한, 전압 레벨의 수가 2개로 되기 때문에, 전원 회로의 부품 삭감도 실현할 수 있고, 세그먼트 구동기의 IC내의 구동기 트랜지스터의 개수도 삭감할 수 있다. 그리고 본 실시 형태에 의하면, 이상과 같은 효과를 유지한 채로 ON/OFF비의 향상, 즉 콘트라스트의 향상을 도모할 수 있다. 이에 의해, 아른거리는 것이 없는 눈에 온화한 고세밀한 표시가 가능해진다.

환언하면, STN 액정 패널에 있어서, 100ms정도의 고속인 응답이 가능한 액정 패널로 누설을 저감하여 콘트라스트가 극단적인 저하를 억제하면서, 지터 등이 없는 PWM에 의한 계조 표시를 실현할 수 있다. 또한 회로 구성이 간단해지기 때문에, 반도체를 집적화하기가 용이해지고 원가 절감을 도모할 수 있다.

또한, 본 발명은 상기 실시 형태에 한정되지 않고, 본 발명의 요지 범위내에서 여러 가지의 변형 실시가 가능하다.

예컨대, 본 실시 형태에서는 메모리가 2라인분의 계조 데이타를 기억하는 것으로 해서 설명하였지만, 본 발명은 이에 한정되는 것은 아니다. 또한, 세그먼트 구동기의 연산 타이밍을 외부 신호나 GCP 신호 등으로 정해도 된다. 또한, 화면을 2화면으로 나누지 않아도 된다. 또한, 계조 데이타를 기억하는 메모리를 각 라인마다 나누어 설치하는 것으로 설명하였지만, 이를 나누지 않아도 된다. 또한, 메모리를 표시 제어기내에 설치해도 된다.

또한, 도 9의 계산식은 설명을 알기 쉽게 하기 위한 것이며, 이 계산식에 약분 등을 실시해서 변형시켜도, 4로 나눈다고 해도 본 발명을 벗어나지 않음은 명백하다. 또한, 도 9의 계산식에 의해 얻어진 데이타를, 예컨대 도 16으로 간략화한 다른 계산식에 따른 연산에 의해 얻도록 해도 된다.

또한, 본 발명은 동시 선택되는 복수의 주사 전극에 대응한 복수의 계조 데이타에 기초하여 가상 데이타를 발생하고, 계조 데이타 및 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수에 기초하여 소정의 연산을 행하고, 소정의 연산에 의해 얻어진 데이타에 기초하여, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 것이면, 본 실시 형태에서의 구체예에 한하지 않고 여러 가지인 변형 실시가 가능하다. 또한, 가상 데이타의 발생이나 소정의 연산등의 처리는, 소프트웨어 처리에 의해 실현하는 것도 가능하다. 또한, 직교 함수는 통상적으로 1, -1로 표시되지만, 이에 한정되는 것은 아니다. 예컨대, 직교 함수의 각 요소를 일정한 비례 배로서 연산 처리하는 것도 가능하다.

(57) 청구의 범위

청구항 1.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해, 주사 전극과 신호 전극을 가지고 있는 액정 패널을 구동하는 구동 방법으로서,

동시에 선택된 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하고, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하며, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하며,

상기 복수의 계조 데이타를 2진법으로 표현한 경우의 각 비트에 대해서 1과 0중 어느 하나의 개수와, 상기 가상 데이타를 2진법으로 표현한 경우의 대응하는 각 비트에 대해서 1과 0중 어느 하나의 개수와의 합이 짝수가 되도록, 상기 가상 데이타를 발생하는 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 2.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해, 주사 전극과 신호 전극을 가지고 있는 액정 패널을 구동하는 구동 방법으로서,

동시에 선택된 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하고, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하며, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하며,

상기 소정의 연산에 의해 얻어진 데이타는, 상기 계조 데이타 및 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 변환하고, 변환된 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 행렬 연산을 행하며, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 변환하는 것으로 얻어진 데이타인 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 3.

제2항에 있어서, 상기 계조 데이타와 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 하는 변환은, 계조수를 N, 주사 전극의 동시 선택 수에 가상 데이타 수를 가산한 수를 L로 하는 경우에, 상기 계조 데이타와 상기 가상 데이타를 2×L배하여, 얻어진 값으로부터 (N-1)×L을 감산하는 변환인 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 4.

제2항에 있어서, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 하는 변환은, 계조수를 N, 주사 전극의 동시 선택 수에 가상 데이타 수를 가산한 수를 L로 하는 경우에, 행렬 연산의 결과에 L×(N-1)×L/2를 가산하여, 얻어진 결과를 L로 나누는 변환인 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 5.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해, 주사 전극과 신호 전극을 가지고 있는 액정 패널을 구동하는 구동 방법으로서,

동시에 선택된 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하고, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하며, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하며,

상기 소정의 연산은, 상기 계조 데이타 및 상기 가상 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 하는 행렬 연산과, 행렬 연산의 결과와 직교 함수의 행의 요소의 총합에 따른 정수를 기초로 하는 가산 연산을 포함하는 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 6.

제5항에 있어서, 직교 함수의 행의 요소의 총합에 따른 상기 정수는, 직교 함수의 행의 요소의 총합을 S로 하고 계조 수를 N으로 하는 경우에, -(N-1)×S+ (N-1)×L/2인 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 7.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해, 주사 전극과 신호 전극을 가지고 있는 액정 패널을 구동하는 구동 방법으로서,

동시에 선택된 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하고, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하며, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하며,

계조수를 N, 주사 전극의 동시 선택 수에 가상 데이타 수를 가산한 수(L)를 4로 하는 경우에, 펄스폭 변조에서의 상기 선택 기간의 시분할 수를 (N-1)로 하는 것을 특징으로 하는 액정 패널의 구동 방법.

청구항 8.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 신호 전극을 구동하는 세그먼트 구동기로서,

동시에 선택되는 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 수단을 포함하며,

상기 가상 데이타를 발생하는 수단은, 상기 복수의 계조 데이타를 2진법으로 표현한 경우의 각 비트에 대해서 1과 0중 어느 하나의 개수와, 상기 가상 데이타를 2진법으로 표현한 경우의 대응하는 각 비트에 대해서 1과 0의 어느 하나의 개수와의 합이 짝수가 되도록, 상기 가상 데이타를 발생하는 것을 특징으로 하는 세그먼트 구동기.

청구항 9.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 신호 전극을 구동하는 세그먼트 구동기로서,

동시에 선택되는 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 수단을 포함하며,

상기 소정의 연산에 의해 얻어진 데이터는, 상기 계조 데이타 및 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 변환하고, 변환된 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 행렬 연산을 행하며, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 변환하는 것으로 얻어진 데이타인 것을 특징으로 하는 세그먼트 구동기.

청구항 10.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 신호 전극을 구동하는 세그먼트 구동기로서,

동시에 선택되는 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 수단을 포함하며,

상기 소정의 연산은, 상기 계조 데이타 및 상기 가상 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 하는 행렬 연산과, 행렬 연산의 결과와 직교 함수의 행의 요소의 총합에 따른 정수를 기초로 하는 가산 연산을 포함하는 것을 특징으로 하는 세그먼트 구동기.

청구항 11.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 신호 전극을 구동하는 세그먼트 구동기로서,

동시에 선택되는 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를 기초로, 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 수단을 포함하며,

주사 전극의 동시 선택 수를 LM으로 하는 경우에, LM의 2배 이상분의 라인의 계조 데이타를 보유하는 라인 메모리를 포함하는 것을 특징으로 하는 세그먼트 구동기.

청구항 12.

제11항에 있어서, 상기 가상 데이타를 발생하는 수단은, 상기 라인 메모리의 판독 타이밍에 대하여 일정 기간 지연된 펄스 신호와 상기 라인 메모리의 출력 신호와의 AND 연산을 행하는 논리 회로와, 상기 직교 함수에 의한 행렬 연산의 개시전에 초기화되고, 상기 논리 회로의 출력이 클록 단자에 입력되며, 상기 가상 데이타를 출력 단자에 출력하는 쌍안정 플립플롭을 포함하는 것을 특징으로 하는 세그먼트 구동기.

청구항 13.

복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 신호 전극과 주사 전극을 각각 구동하는 세그먼트 구동기와 공통 구동기에 신호를 공급하는 표시 제어기로서, 계조 데이타를 받아들이는 수단과, 주사 전극의 동시 선택 수의 2배 이상분의 라인의 계조 데이타를 보유 가능한 라인 메모리에, 받아들인 계조 데이타를 기록하는 수단과, 상기 라인 메모리에 기록된 계조 데이타를 판독하는 수단과, 동시에 선택된 복수의 주사 전극에 대응하는 복수의 계조 데이타를 기초로 가상 데이타를 발생하는 수단과, 상기 계조 데이타 및 상기 가상 데이타와, 주사 전극에 제공된 신호를 규정하는 직교 함수를 기초로 소정의 연산을 행하는 수단과, 상기 소정의 연산에 의해 얻어진 데이타를, 해당 데이타를 기초로 선택 기간에 신호 전극에 제공된 신호를 펄스폭 변조하는 세그먼트 구동기에 공급하는 수단과, 직교 함수를 공통 구동기에 공급하는 수단을 포함하는 것을 특징으로 하는 표시 제어기.

청구항 14.

제13항에 있어서, 상기 가상 데이타를 발생하는 수단은, 상기 복수의 계조 데이타를 2진법으로 표현한 경우의 각 비트에 대해서 1과 0중 어느 하나의 개수와, 상기 가상 데이타를 2진법으로 표현한 경우의 대응하는 각 비트에 대해서 1과 0중 어느 하나의 개수와의 합이 짝수가 되도록, 상기 가상 데이타를 발생하는 것을 특징으로 하는 표시 제어기.

청구항 15.

제13항 또는 제14항에 있어서, 상기 소정의 연산에 의해 얻어진 데이타는, 상기 계조 데이타 및 상기 가상 데이타를 0을 중심으로 대칭이 되는 데이타로 변환하고, 변환된 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 행렬 연산을 행하며, 행렬 연산의 결과를 양의 정수만으로 나타낸 데이타로 변환하는 것으로 얻어진 데이타인 것을 특징으로 하는 표시 제어기.

청구항 16.

제13항 또는 제14항에 있어서, 상기 소정의 연산은 상기 계조 데이타 및 상기 가상 데이타와 i행 j열(i, j는 양의 정수)의 직교 함수를 기초로 하는 행렬 연산과, 행렬 연산의 결과와 직교 함수의 행의 요소의 총합에 따른 정수를 기초로 하는 가산 연산을 포함하는 것을 특징으로 하는 표시 제어기.

청구항 17.

제13항 또는 제14항에 있어서, 주사 전극의 동시 선택 수를 LM, LM에 가상 데이타 수를 가산한 수를 L, 상기 라인 메모리에의 계조 데이타 기록 사이클 시간을 T1, 세그먼트 구동기로의 데이타 출력 사이클 시간을 T2로 하는 경우에, $T2 = m \times (LM/L) \times T1$(m은 양의 정수)인 것을 특징으로 하는 표시 제어기.

청구항 18.

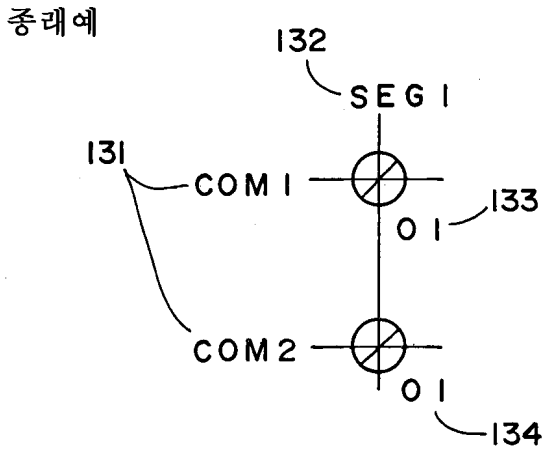
복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 액정 패널을 구동하는 액정 표시 장치로서, 주사 전극과 신호 전극을 가지고 있는 액정 패널과, 신호 전극을 구동하는 제8항, 제9항, 제10항, 및 제11항 중 어느 한 항의 세그먼트 구동기와, 주사 전극을 구동하는 공통 구동기를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

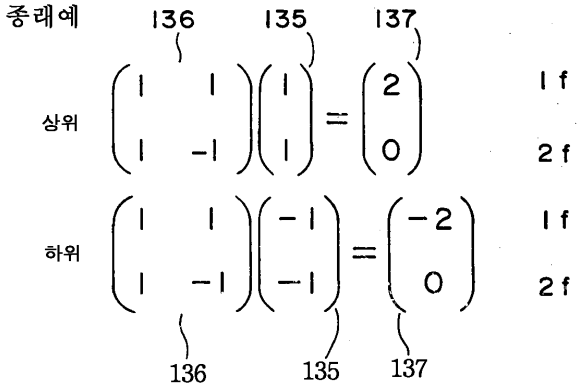
복수의 주사 전극을 동시에 선택하는 멀티라인 구동법에 의해 액정 패널을 구동하는 액정 표시 장치로서, 주사 전극과 신호 전극을 가지고 있는 액정 패널과, 펄스폭 변조에 의해 신호 전극을 구동하는 세그먼트 구동기와, 주사 전극을 구동하는 공통 구동기와, 상기 세그먼트 구동기 및 상기 공통 구동기에 신호를 공급하는 제13항 또는 제14항의 표시 제어기를 포함하는 것을 특징으로 하는 액정 표시 장치.

도면

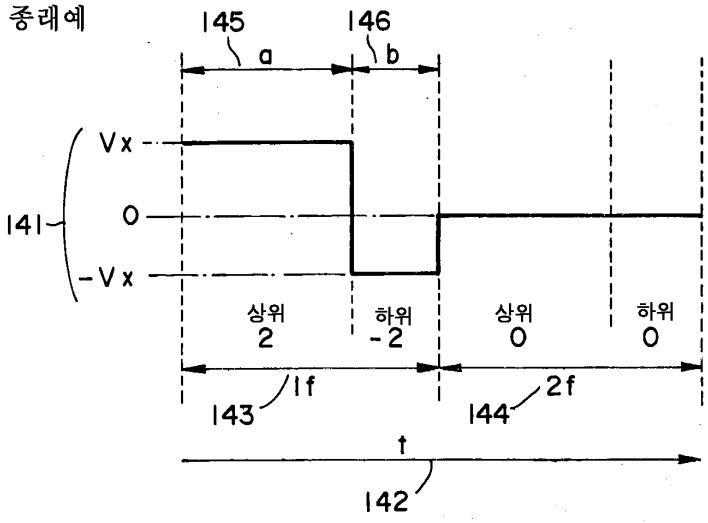
도면1a



도면1b



도면2



도면3

종래예

상위

$$\begin{pmatrix} -1 & 1 & 1 & 1 \\ 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ 1 & 1 & 1 & -1 \end{pmatrix} \begin{pmatrix} 1 \\ 1 \\ -1 \\ -1 \end{pmatrix} = \begin{pmatrix} -2 \\ 2 \\ -2 \\ 2 \end{pmatrix}$$

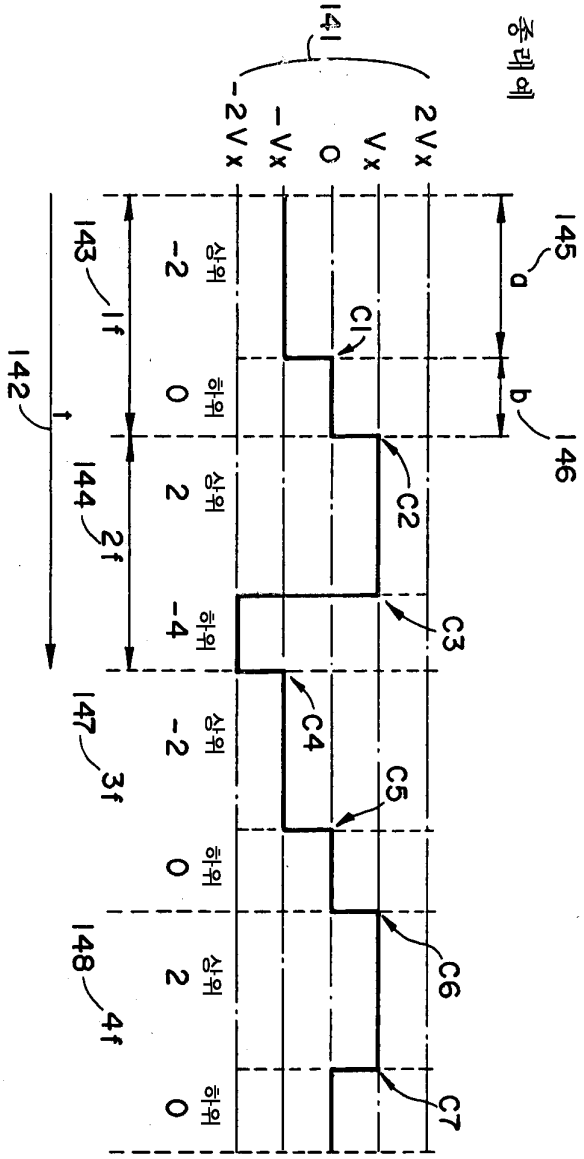
(136) (135) (137)

하위

$$\begin{pmatrix} -1 & 1 & 1 & 1 \\ 1 & 1 & -1 & 1 \\ 1 & -1 & 1 & 1 \\ 1 & 1 & 1 & -1 \end{pmatrix} \begin{pmatrix} -1 \\ -1 \\ 1 \\ -1 \end{pmatrix} = \begin{pmatrix} 0 \\ -4 \\ 0 \\ 0 \end{pmatrix}$$

(136) (135) (137)

도면4



도면5

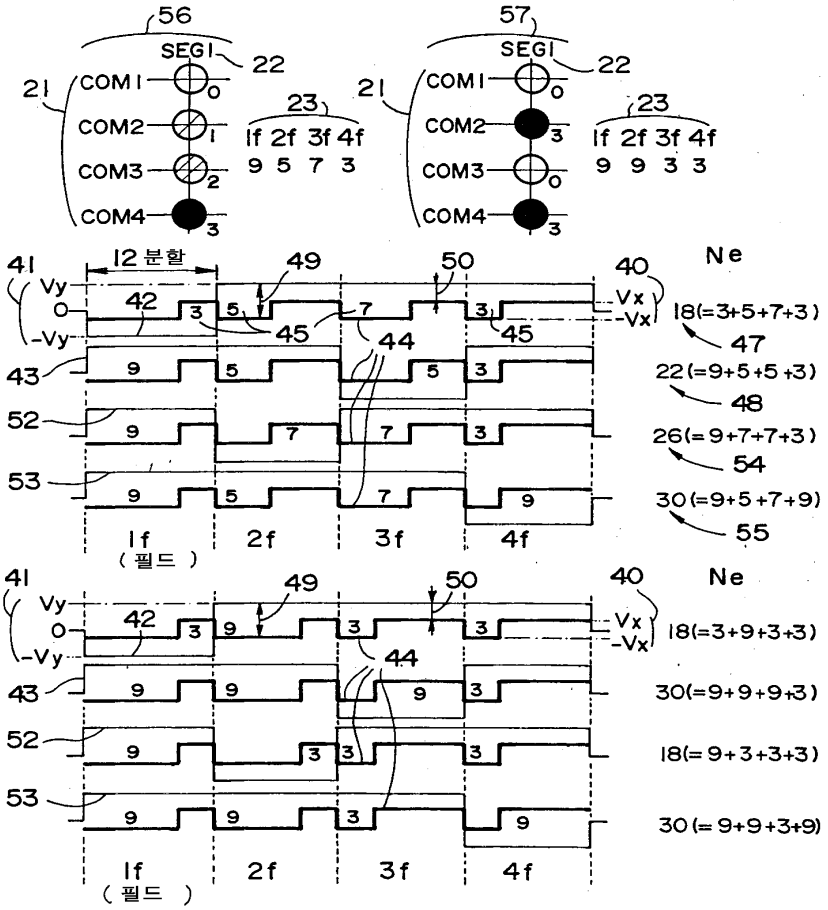
비교예

$$\frac{\sum_{i=1}^{L}\left\{L \times Di-(N-1) \times L/2\right\} \times Fi}{L} + \frac{L \times (N-1) \times L/2}{L}$$

제1항 제2항

도면6

비교예



도면7

$$191 \quad \sqrt{\frac{(a+1)^2+n-1}{(a-1)^2+n-1}}$$

(통상 멀티플렉스 구동)

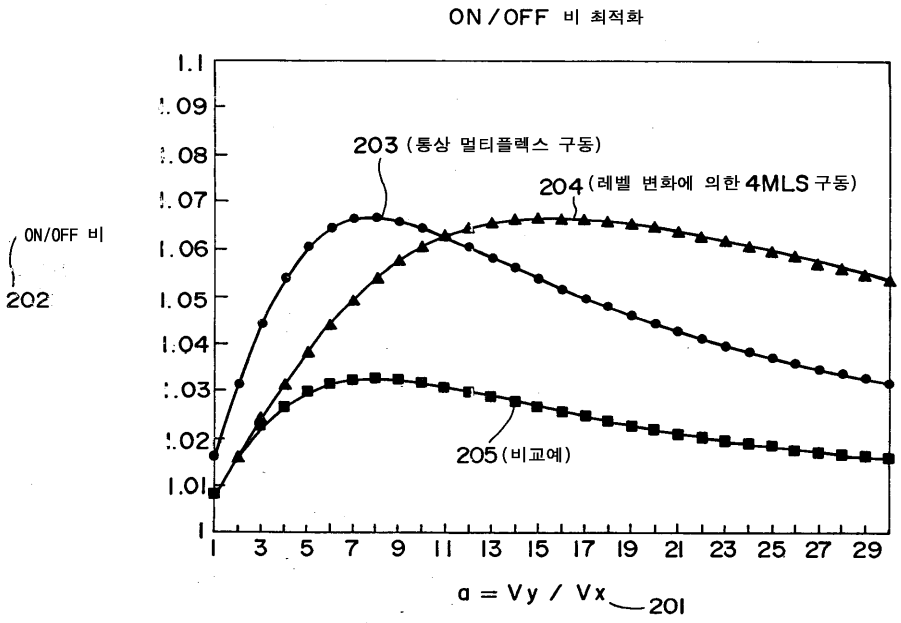
$$192 \quad \sqrt{\frac{3(a+1)^2+(a-1)^2+(n-4)}{(a+1)^2+3(a-1)^2+(n-4)}}$$

(레벨 변화에 의한 4MLS 구동)

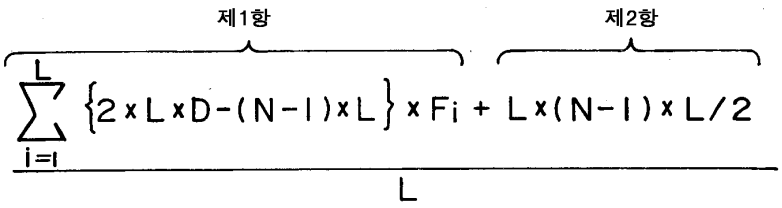
$$193 \quad \sqrt{\frac{2.5(a+1)^2+1.5(a-1)^2+(n-4)}{1.5(a+1)^2+2.5(a-1)^2+(n-4)}}$$

(비교예)

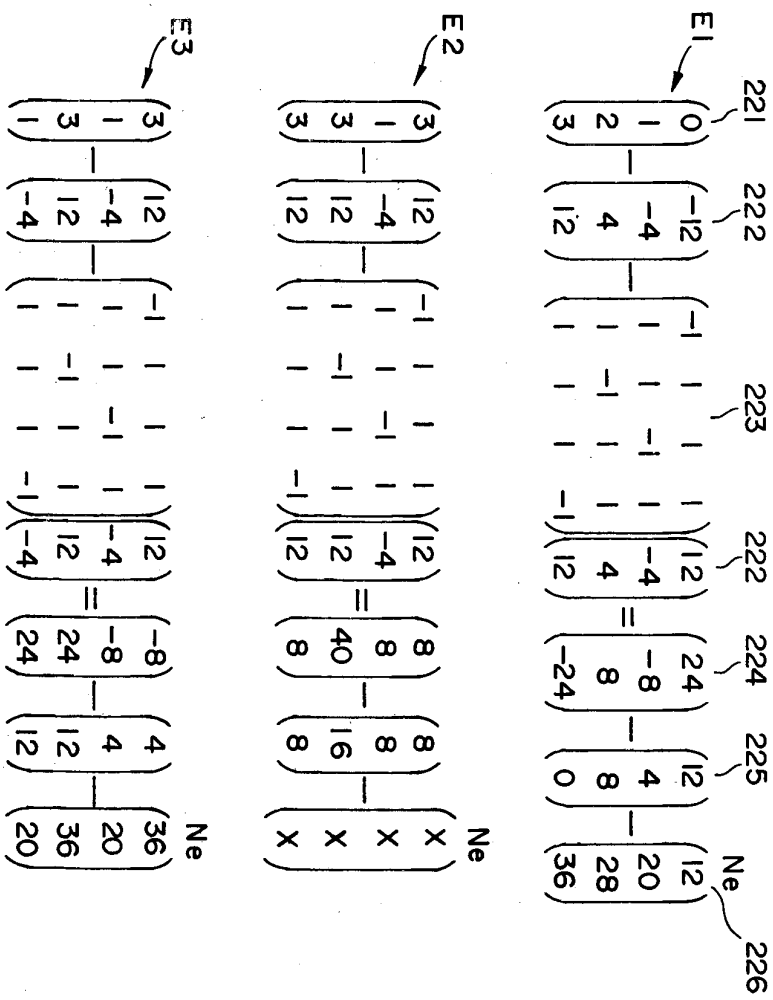
도면8


ON / OFF 비 최적화
ON/OFF 비
202
1.1
1.09
1.08
1.07
1.06
1.05
1.04
1.03
1.02
1.01
1
203 (통상 멀티플렉스 구동)
204 (레벨 변화에 의한 4MLS 구동)
205 (비교예)
1 3 5 7 9 11 13 15 17 19 21 23 25 27 29
α = Vy / Vx
201

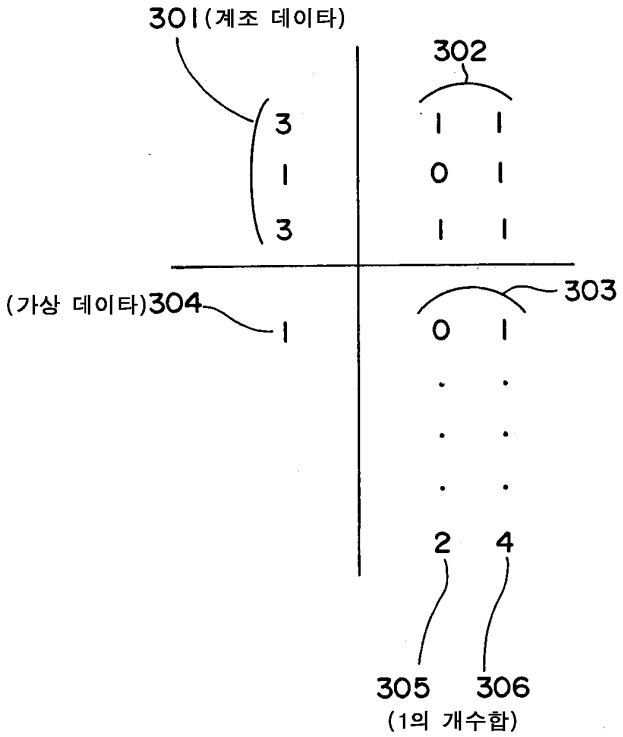
도면9


제1항
제2항
$\frac{\sum_{i=1}^{L}\{2\times L\times D-(N-1)\times L\}\times F_i + L\times(N-1)\times L/2}{L}$

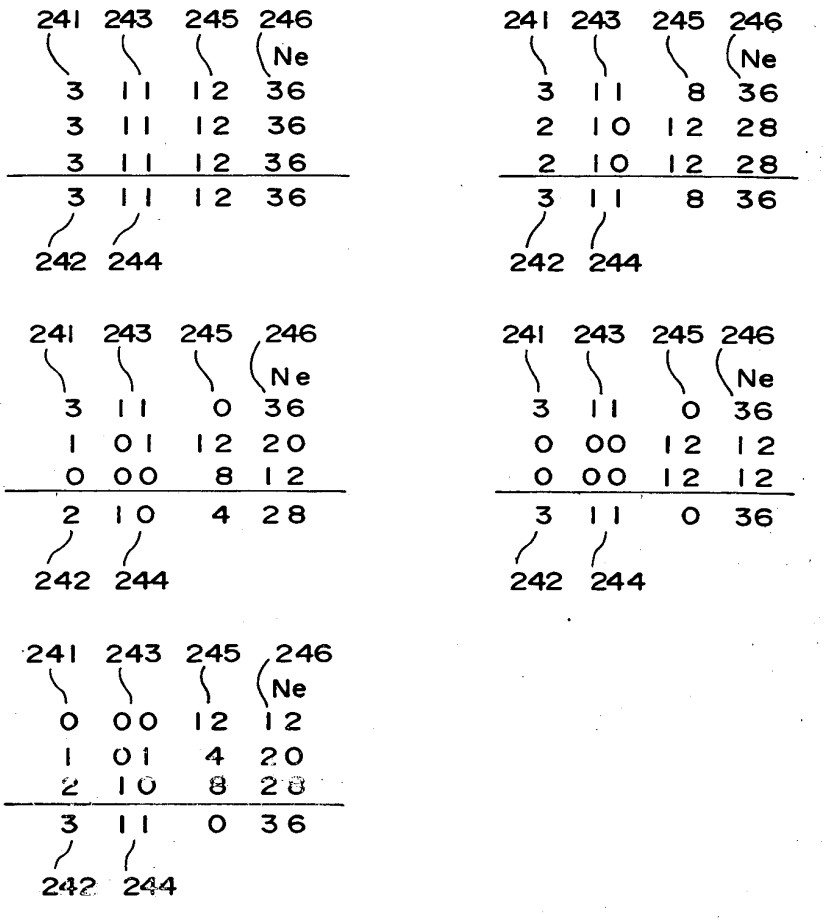
도면10



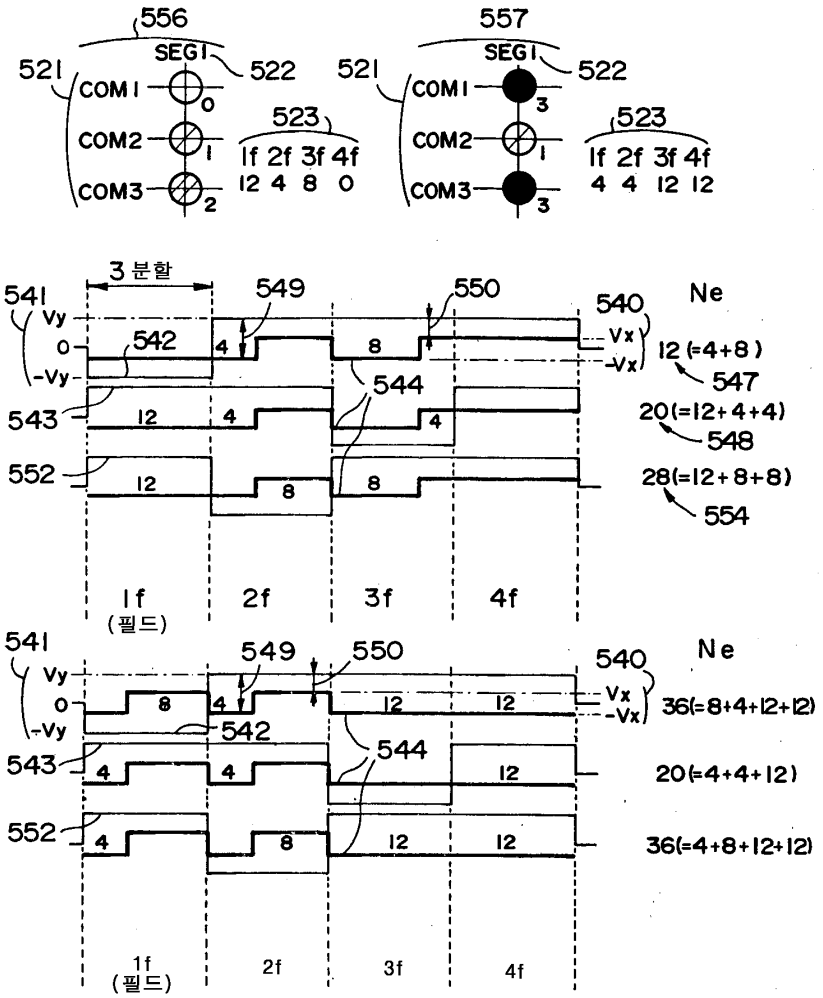
도면11


301(계조 데이타)
302
3
1
3
1 1
0 1
1 1
(가상 데이타)304
1
303
0 1
2 4
305 306
(1의 개수합)

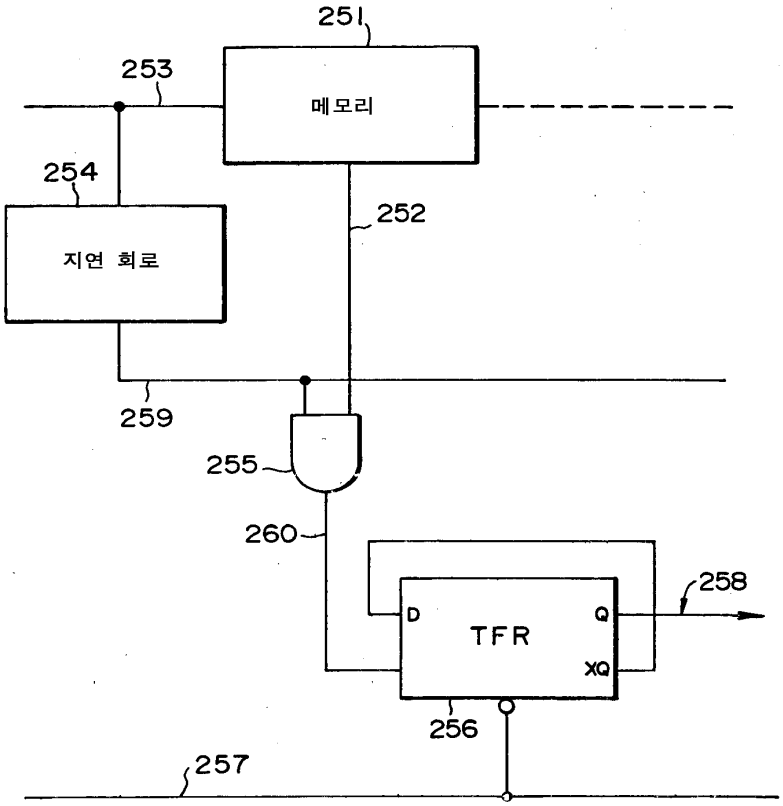
도면12


241 243 245 246
Ne
3 11 12 36
3 11 12 36
3 11 12 36
3 11 12 36
242 244
241 243 245 246
Ne
3 11 8 36
2 10 12 28
2 10 12 28
3 11 8 36
242 244
241 243 245 246
Ne
3 11 0 36
1 01 12 20
0 00 8 12
2 10 4 28
242 244
241 243 245 246
Ne
3 11 0 36
0 00 12 12
0 00 12 12
3 11 0 36
242 244
241 243 245 246
Ne
0 00 12 12
1 01 4 20
2 10 8 28
3 11 0 36
242 244

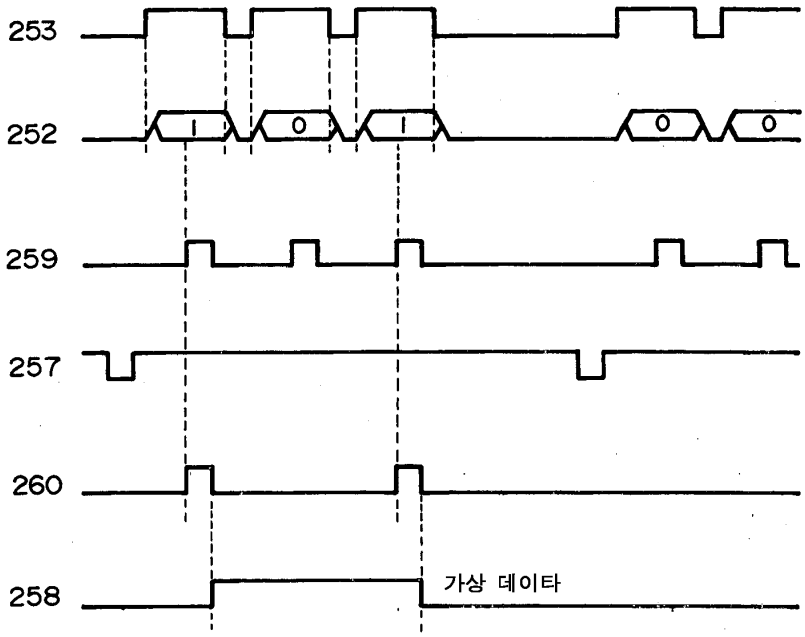
도면13


556
SEG1
521
522
COM1
0
COM2
1
COM3
2
523
1f 2f 3f 4f
12 4 8 0
557
SEG1
521
522
COM1
3
COM2
1
COM3
3
523
1f 2f 3f 4f
4 4 12 12
3분할
541
Vy
0
-Vy
542
549
550
540
Vx
-Vx
Ne
12 (=4+8)
547
543
544
20(=12+4+4)
548
552
28(=12+8+8)
554
1f
(필드)
2f
3f
4f
541
549
550
540
Ne
36(=8+4+12+12)
542
544
543
20(=4+4+12)
552
36(=4+8+12+12)
1f
(필드)
2f
3f
4f

도면14


251
253
메모리
254
252
지연 회로
259
255
260
258
D
Q
TFR
XQ
256
257

도면15


253
252
1
0
1
0
0
259
257
260
258
가상 데이타

도면16

$$\frac{\sum_{i=1}^{L}\{2\times L\times Di-(N-1)\times L\}\times Fi+L\times(N-1)\times\frac{L}{2}}{L}$$

$$=\frac{\sum_{i=1}^{L}\{2\times Di-(N-1)\}\times Fi+(N-1)\times\frac{L}{2}}{1}$$

L=4 N=64 를 대입

$$=2(D1\times F1+D2\times F2+D3\times F3+D4\times F4)-63(F1+F2+F3+F4)+126$$

D4=K4

F1+F2+F3+F4=2 일때

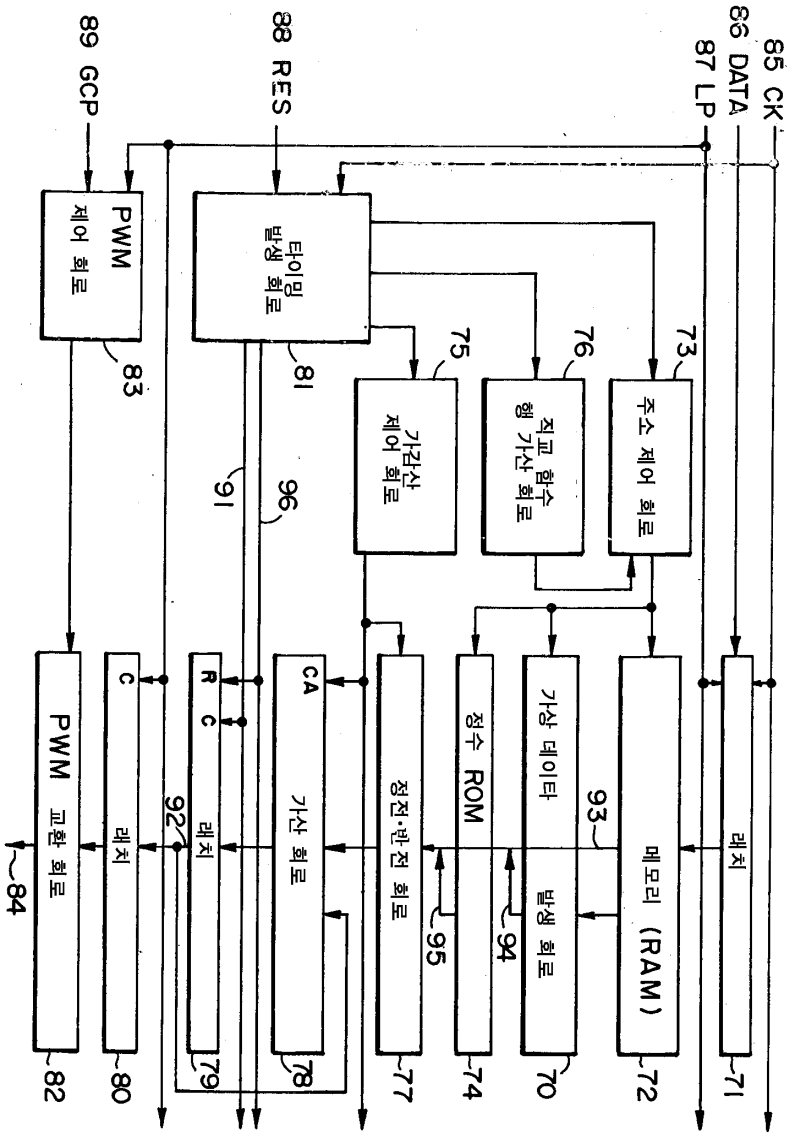
$$2(D1\times F1+D2\times F2+D3\times F3+K4\times F4)$$

F1+F2+F3+F4=-2 일때

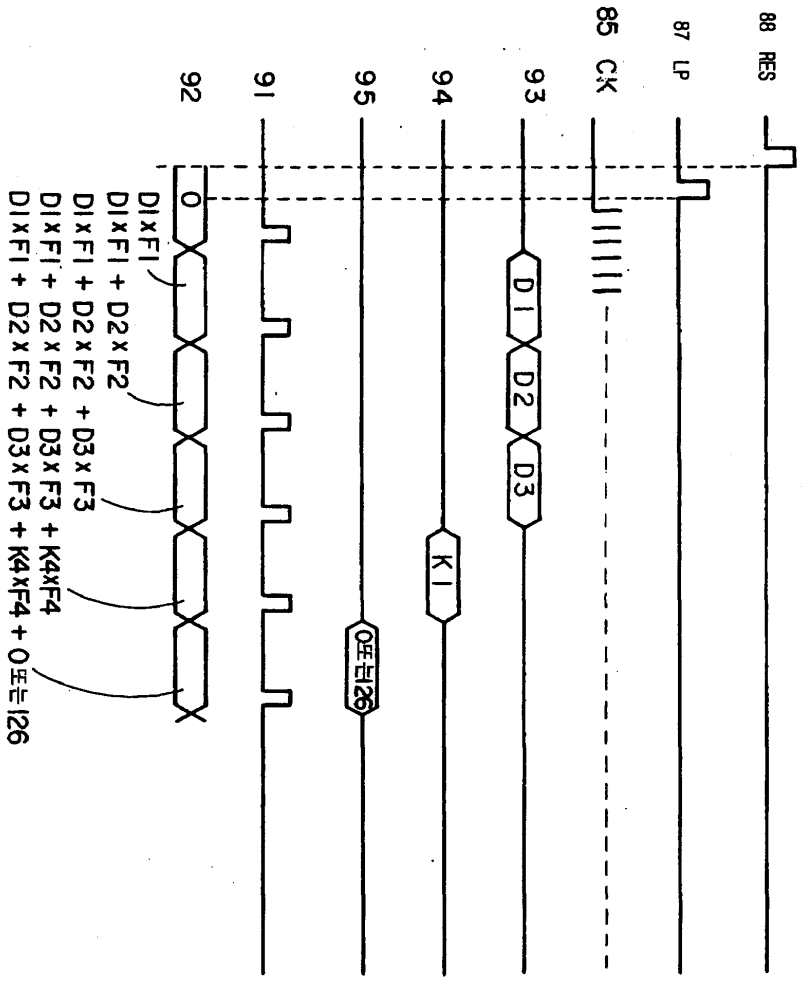
$$2(D1\times F1+D2\times F2+D3\times F3+K4\times F4)+252$$

$$=2\{(D1\times F1+D2\times F2+D3\times F3+K4\times F4)+126\}$$

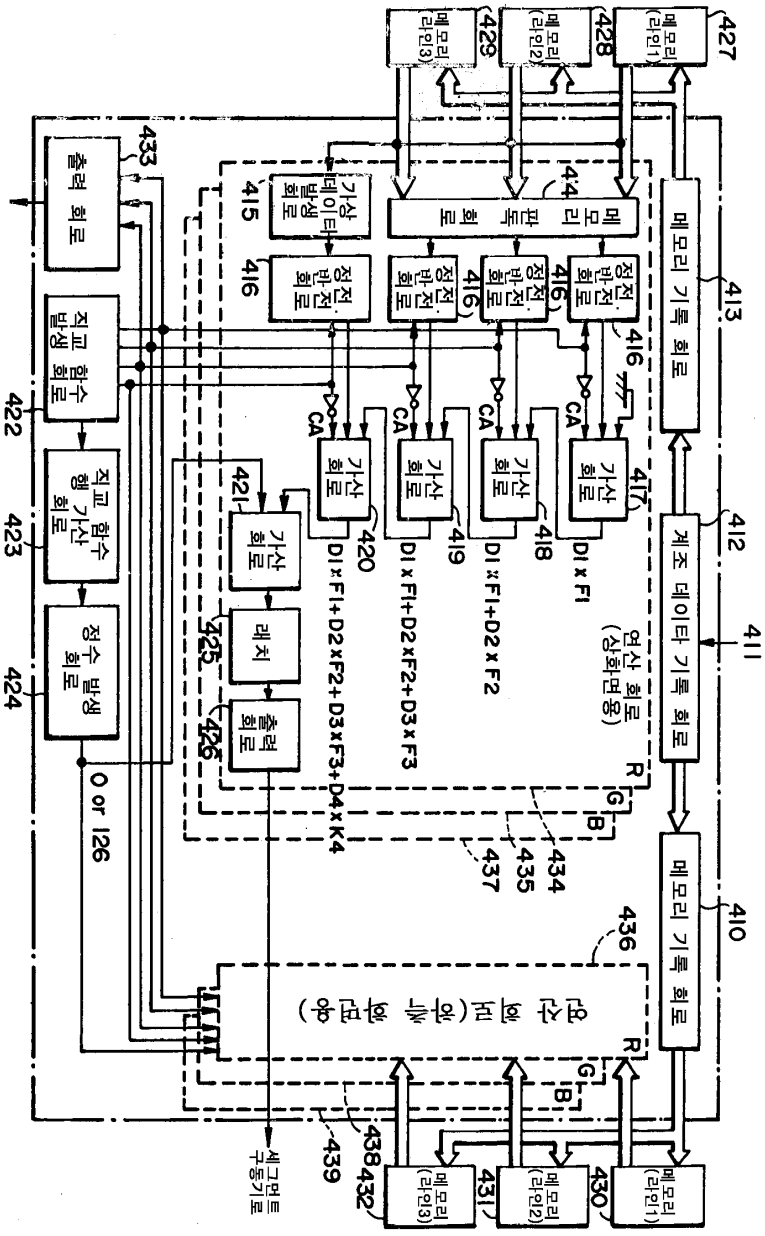
도면17


85 CK
86 DATA
87 LP
88 RES
89 GCP
PWM 제어 회로
83
타이밍 발생 회로
81
75
가감산 제어 회로
76
직교 함수 행 가산 회로
73
주소 제어 회로
91
96
PWM 교환 회로
84
C 레치
92
R C 레치
CA 가산 회로
정전·반전 회로
95
정수 ROM
94
가상 데이타 발생 회로
93
메모리 (RAM)
레치
82
80
79
78
77
74
70
72
71

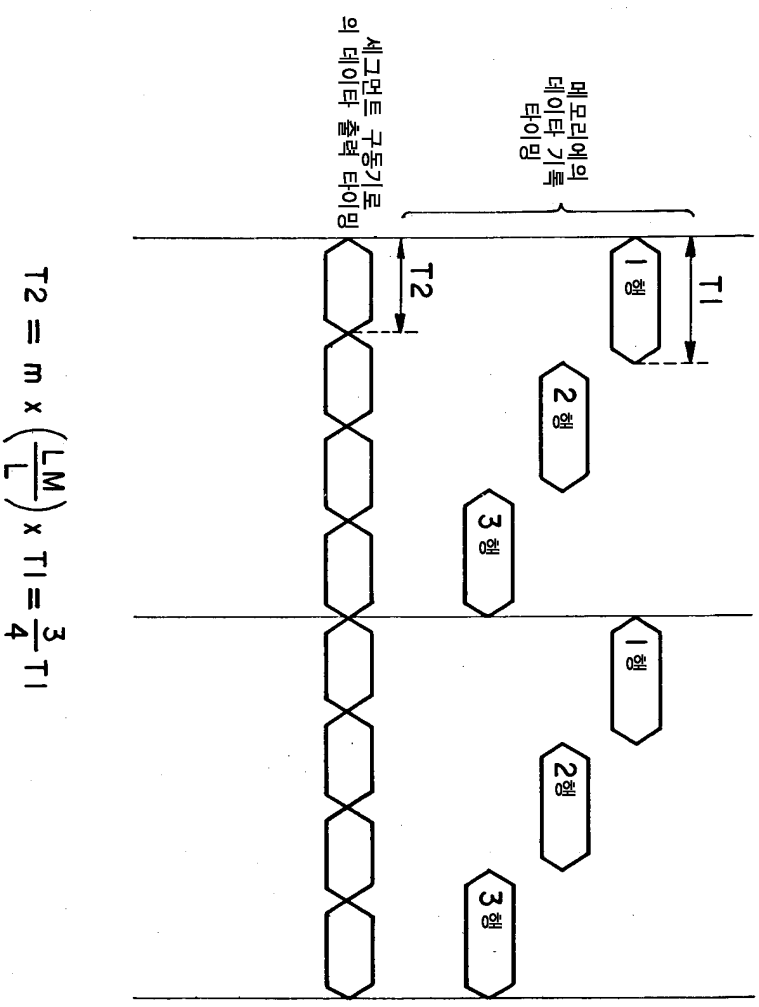
도면18


88 RES
87 LP
85 CK
93
94
95
91
92
D1
D2
D3
K1
0또는126
0
D1xF1
D1xF1 + D2xF2
D1xF1 + D2xF2 + D3xF3
D1xF1 + D2xF2 + D3xF3 + K4xF4
D1xF1 + D2xF2 + D3xF3 + K4xF4 + 0또는126

도면19

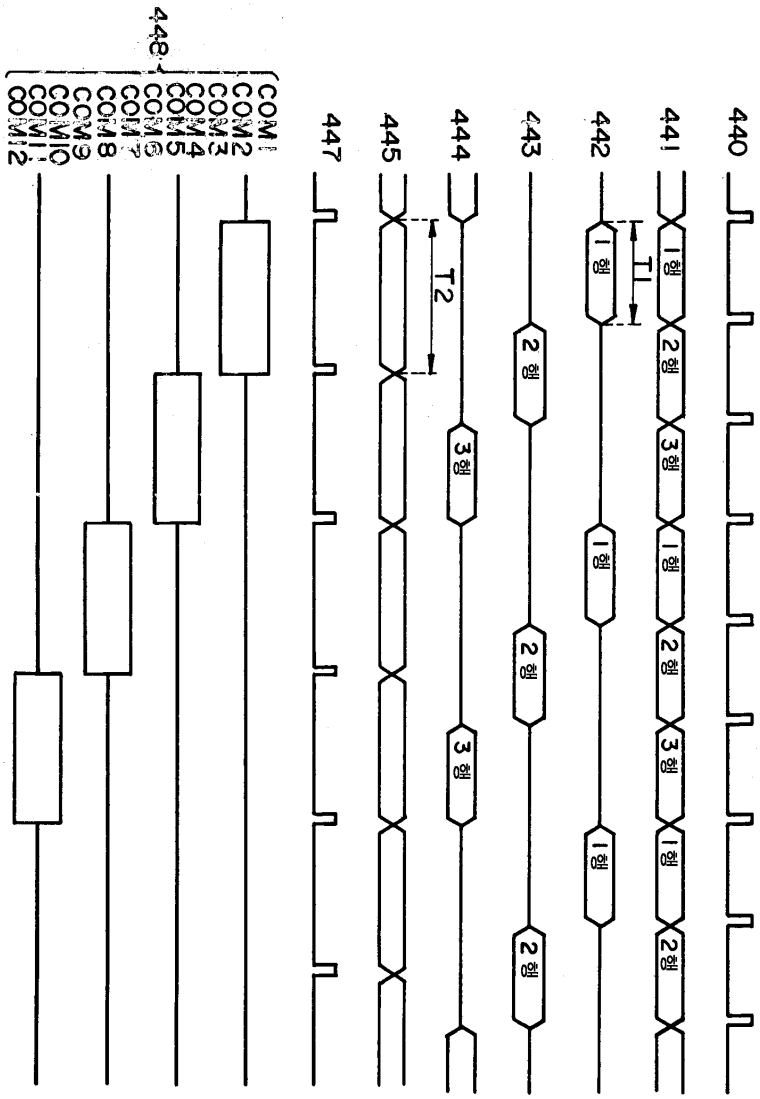

메모리 기록 회로
계조 데이타 기록 회로
메모리 기록 회로
메모리 판독 회로
가산 데이타 발생 회로
전전 반전 회로
가산 회로
D1×F1
D1×F1+D2×F2
D1×F1+D2×F2+D3×F3
D1×F1+D2×F2+D3×F3+D4×K4
연산 회로 (상화면용)
출력 회로
직교 함수 발생 회로
직교 함수 행 가산 회로
정수 발생 회로
0 or 126
CA
R
G
B
세그먼트 구동기로
메모리 (라인1)
메모리 (라인2)
메모리 (라인3)
410
411
412
413
415
416
417
418
419
420
421
422
423
424
425
426
427
428
429
430
431
432
433
434
435
436
437
438
439

도면20

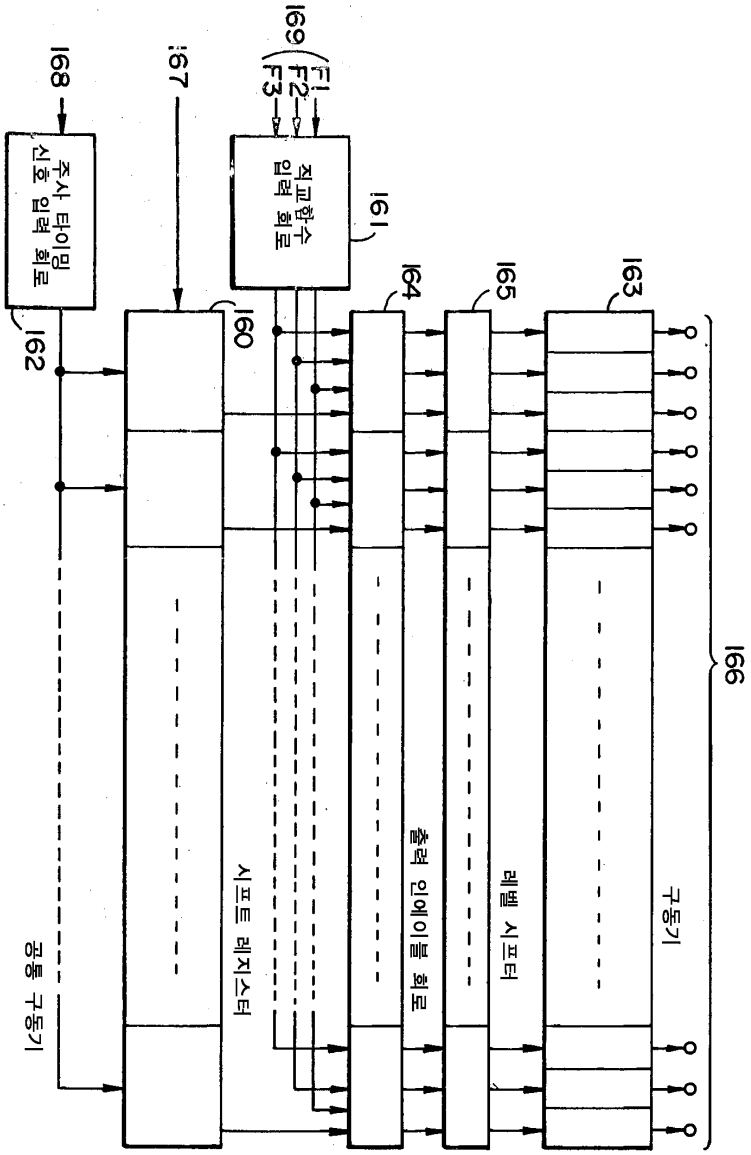


$$T2 = m \times \left(\frac{LM}{L}\right) \times T1 = \frac{3}{4} T1$$

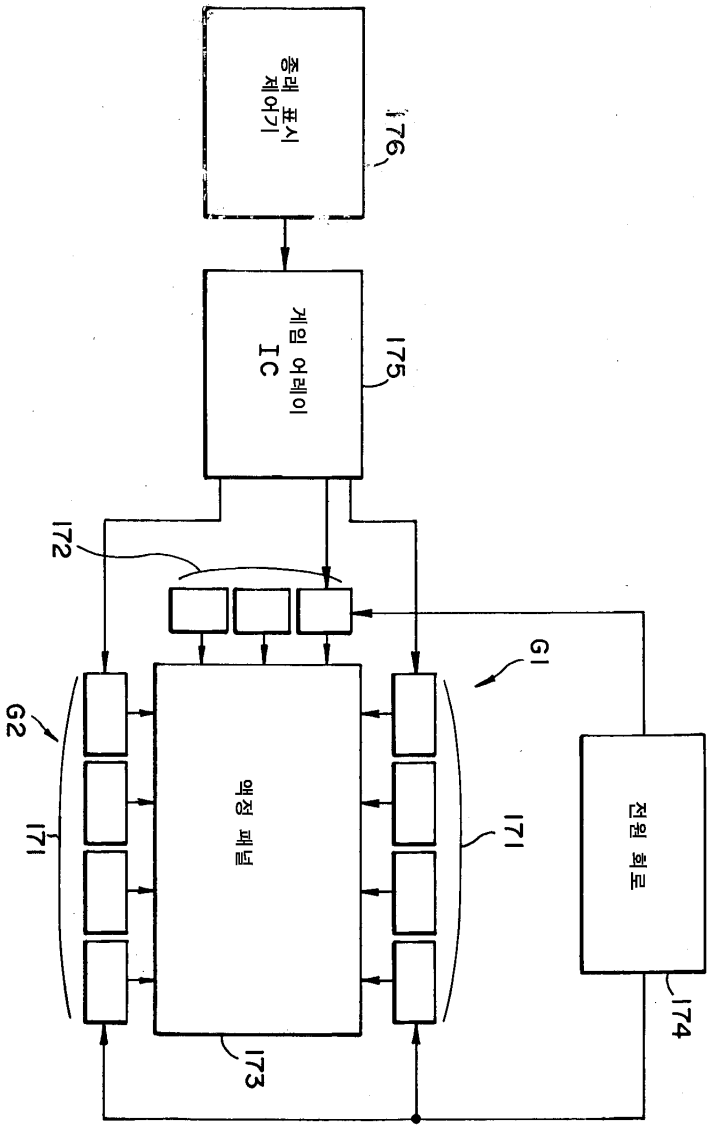
도면21


440
441
442
443
444
445
447
448
COM1
COM2
COM3
COM4
COM5
COM6
COM7
COM8
COM9
COM10
COM11
COM12
1행
2행
3행
T1
T2

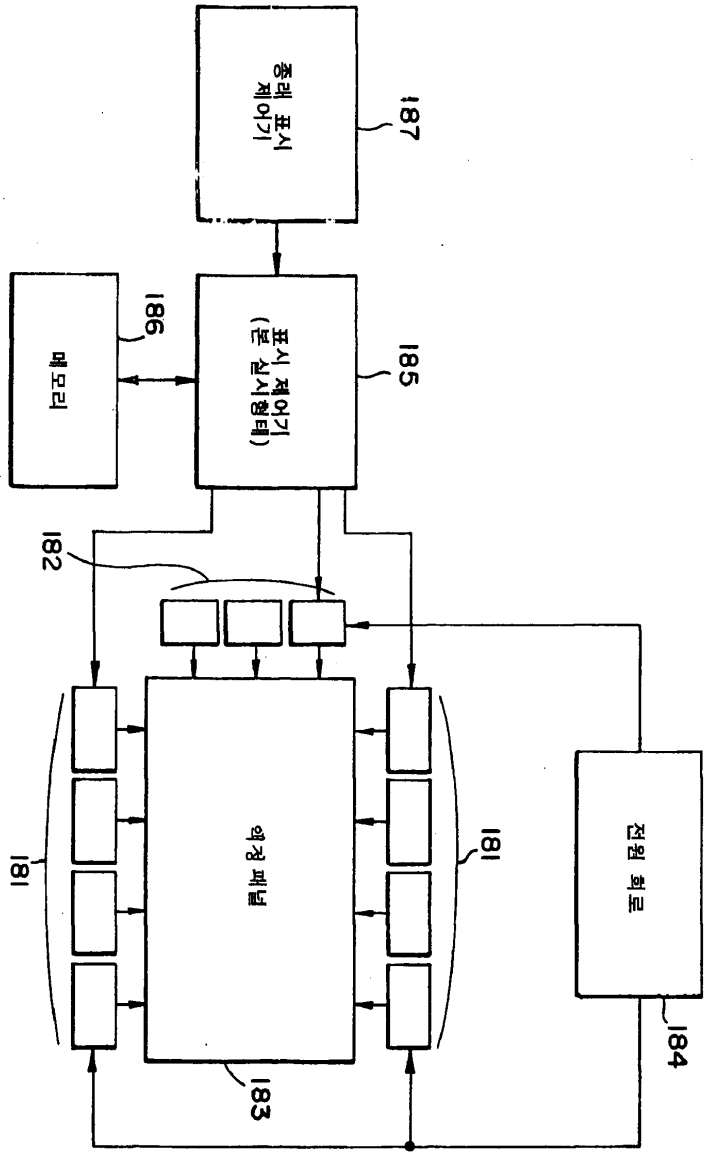
도면22


169
F1
F2
F3
168
167
주사 타이밍 신호 입력 회로
직교함수 입력 회로
161
162
160
164
165
163
166
시프트 레지스터
출력 인에이블 회로
레벨 시프터
구동기
공통 구동기

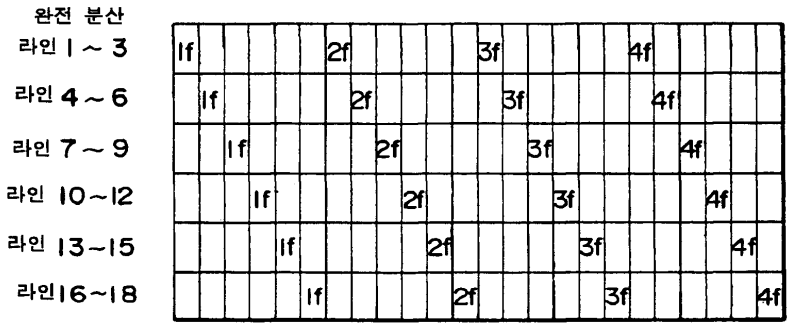
도면23



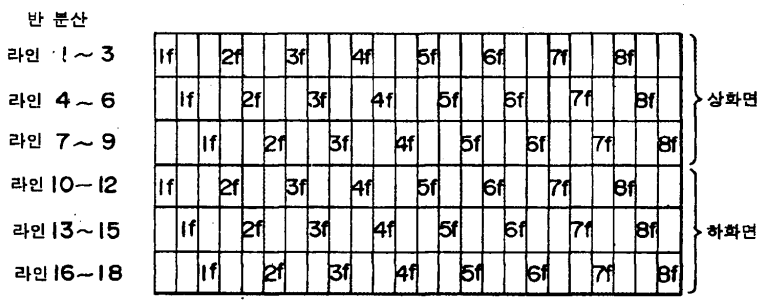
도면24


중계 표시 제어기
187
메모리
186
표시 제어기 (본 실시형태)
185
182
181
181
183
전원 회로
184

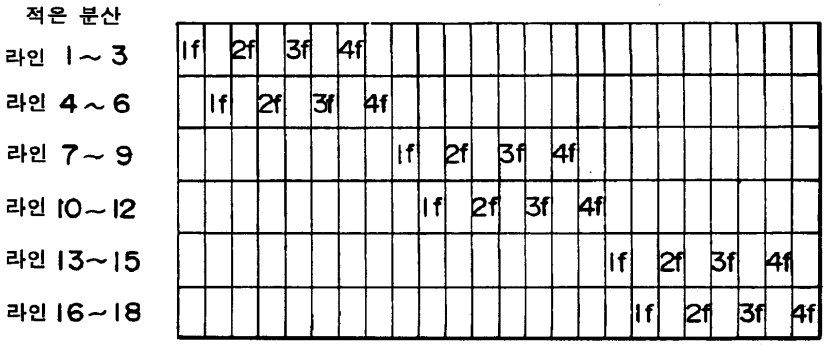
도면25a


완전 분산
라인 1 ~ 3
라인 4 ~ 6
라인 7 ~ 9
라인 10~12
라인 13~15
라인16~18
1f
2f
3f
4f

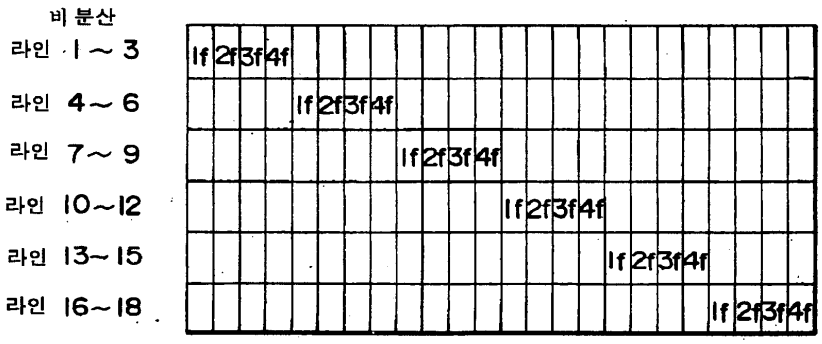
도면25b



도면26a



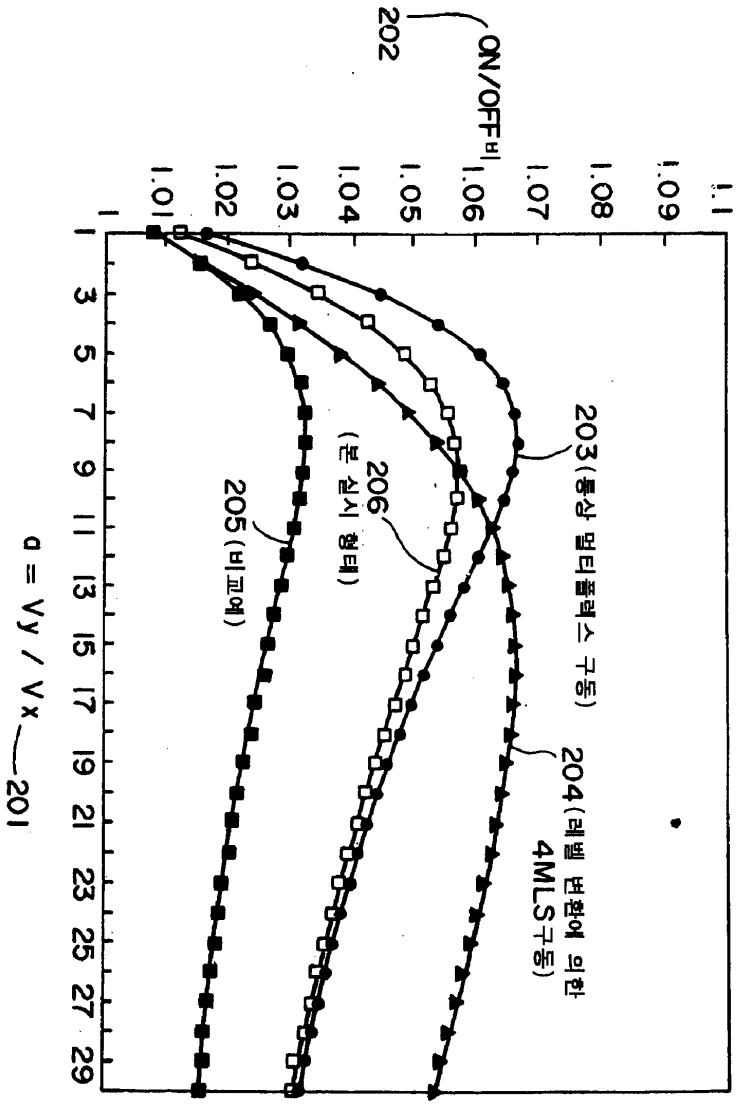
도면26b



도면27

$$\sqrt{\frac{3(a+1)^2+(a-1)^2+(n\times\frac{4}{3}-1)}{(a+1)^2+3(a-1)^2+(n\times\frac{4}{3}-1)}}$$ (본 실시 형태)

도면28


ON/OFF비
202
1.1
1.09
1.08
1.07
1.06
1.05
1.04
1.03
1.02
1.01
1
1 3 5 7 9 11 13 15 17 19 21 23 25 27 29
a = Vy / Vx
201
203 (통상 멀티플렉스 구동)
204 (레벨 변환에 의한 4MLS구동)
206 (본 실시 형태)
205 (비교예)
ON / OFF 비 최적화