(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월04일
(11) 등록번호 10-2551087
(24) 등록일자 2023년06월29일

(51) 국제특허분류(Int. Cl.)
H01J 37/04 (2006.01) *H01J 37/147* (2006.01)
H01J 37/317 (2006.01)
(52) CPC특허분류
H01J 37/045 (2013.01)
H01J 37/147 (2020.05)
(21) 출원번호 10-2021-0028139
(22) 출원일자 2021년03월03일
심사청구일자 2021년03월03일
(65) 공개번호 10-2021-0117159
(43) 공개일자 2021년09월28일
(30) 우선권주장
JP-P-2020-047967 2020년03월18일 일본(JP)
(56) 선행기술조사문헌
JP2015023286 A*
US20100288938 A1*
US20110266418 A1*
US20160099129 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 뉴플레어 테크놀로지
일본국 카나가와켄 요코하마시 이소고쿠 신스기타쵸 8-1
(72) 발명자
야마시타 히로시
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타쵸 8-1, 가부시키가이샤 뉴플레어 테크놀로지 내
고시마, 요시쿠니
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타쵸 8-1, 가부시키가이샤 뉴플레어 테크놀로지 내
(뒷면에 계속)
(74) 대리인
김진환, 박지하, 김민철

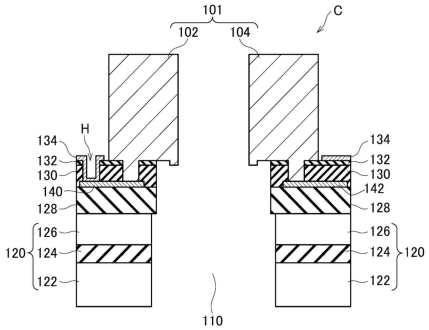
전체 청구항 수 : 총 11 항 심사관 : 이민형

(54) 발명의 명칭 **멀티 빔용의 블랭킹 장치 및 멀티 하전 입자 빔 묘화 장치**

(57) 요 약

본 발명은, 대전 방지막에 국소적인 대전 및 전위 구배가 생기는 것을 방지하여, 묘화 정밀도를 향상시킬 수 있는 멀티 빔용의 블랭킹 장치, 및 이러한 블랭킹 장치를 구비한 멀티 하전 입자 빔 묘화 장치를 제공한다. 본 발명의 일 태양에 의한 멀티 빔용의 블랭킹 장치는, 반도체 기판과, 상기 반도체 기판 상에 설치된 절연막과, 상기 절연막 상에 설치된 대전 방지막과, 각각 상기 반도체 기판 및 상기 절연막에 형성된 관통 홀에 대응하여 해당 절연막 상에 설치된 블랭킹 전극 및 그라운드 전극을 가지는 복수의 셀과, 상기 절연막 중에 설치된 그라운드 배선을 구비하고, 상기 대전 방지막과 상기 그라운드 배선이 상기 그라운드 배선 상의 상기 절연막을 관통하여 형성된 접속부에서 접속되어 있다.

대 표 도



(52) CPC특허분류
H01J 37/3177 (2013.01)
H01J 2237/0437 (2013.01)
(72) 발명자
모리타 히로후미
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타 쵸 8-1, 가부시키가이샤 뉴플레어 테크놀로지 내
마츠모토 히로시
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타 쵸 8-1, 가부시키가이샤 뉴플레어 테크놀로지 내

명 세 서

청구범위

청구항 1

멀티 빔용의 블랭킹 장치로서,

반도체 기판과,

상기 반도체 기판 상에 설치된 절연막과,

상기 절연막 상에 설치된 대전 방지막과,

각각, 상기 반도체 기판 및 상기 절연막에 형성된 관통 홀에 대응하여 해당 절연막 상에 설치된 블랭킹 전극 및 그라운드 전극을 가지는 복수의 셀과,

상기 절연막 중에 설치된 그라운드 배선

을 구비하고,

상기 대전 방지막과 상기 그라운드 배선이 상기 그라운드 배선 상의 상기 절연막을 관통하여 형성된 접속부에서 접속되어 있고,

상기 접속부는 상기 그라운드 전극과 상이한 위치에 제공되는 것을 특징으로 하는 블랭킹 장치.

청구항 2

제1항에 있어서,

상기 접속부는, 상기 셀마다 설치되는 것을 특징으로 하는 블랭킹 장치.

청구항 3

제2항에 있어서,

상기 접속부는, 상기 셀마다 복수 설치되는 것을 특징으로 하는 블랭킹 장치.

청구항 4

제1항에 있어서,

상기 접속부는, 상기 절연막에 설치된 개구부에 형성된 상기 대전 방지막을 가지는 것을 특징으로 하는 블랭킹 장치.

청구항 5

제4항에 있어서,

상기 접속부는, 상기 개구부의 측벽 및 상기 그라운드 배선의 표면에 설치된 상기 대전 방지막을 가지는 것을 특징으로 하는 블랭킹 장치.

청구항 6

제1항에 있어서,

상기 접속부에서는, 상기 절연막에 삽입된 도체를 통하여, 상기 대전 방지막과 상기 그라운드 배선이 접속되어 있는 것을 특징으로 하는 블랭킹 장치.

청구항 7

제1항에 있어서,

인접하는 셀의 상기 그라운드 전극이 연결되고, 라인 형상의 그라운드 전극으로 되어있는 것을 특징으로 하는

블랭킹 장치.

청구항 8

제1항에 있어서,

상기 그라운드 전극은, 평면시 형상이 L 자 형상인 것을 특징으로 하는 블랭킹 장치.

청구항 9

제1항에 있어서,

인접하는 복수의 셀의 상기 그라운드 전극이 연결되고, 격자 형상의 그라운드 전극으로 되어 있고, 해당 그라운드 전극에 둘러싸인 영역 내에, 한 셀의 상기 블랭킹 전극, 상기 관통 홀 및 상기 접속부가 설치되어 있는 것을 특징으로 하는 블랭킹 장치.

청구항 10

멀티 빔용의 블랭킹 장치로서,

반도체 기판과,

상기 반도체 기판 상에 설치된 절연막과,

상기 절연막 상에 설치된 대전 방지막과,

각각, 상기 반도체 기판 및 상기 절연막에 형성된 관통 홀에 대응하여 해당 절연막 상에 설치된 블랭킹 전극 및 그라운드 전극을 가지는 복수의 셀과,

상기 절연막 중에 설치된 그라운드 배선

을 구비하고,

상기 대전 방지막과 상기 그라운드 배선이 상기 그라운드 배선 상의 상기 절연막을 관통하여 형성된 접속부에서 접속되어 있고,

상기 대전 방지막은, 상기 블랭킹 전극 및 상기 그라운드 전극보다 고저항이며, 상기 절연막보다 저저항인 것을 특징으로 하는 블랭킹 장치.

청구항 11

대상물을 재치하는, 이동 가능한 스테이지와,

생성된 하전 입자의 멀티 빔에 대하여 각각 개별적으로 빔의 ON/OFF 제어를 행하는 제1항에 기재된 블랭킹 장치와,

상기 블랭킹 장치를 통과한 각 빔이 상기 대상물 상의 각각의 조사 위치에 조사되도록, 각 빔을 한꺼번에 편향하는 편향기

를 구비하는 멀티 하전 입자 빔 묘화 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 멀티 빔용의 블랭킹 장치 및 멀티 하전 입자 빔 묘화 장치에 관한 것이다.

배 경 기 술

[0002] LSI의 고집적화에 수반하여, 반도체 디바이스의 회로의 배선 폭과 배선 피치는 해마다 미세화되고 있다. 이러한 반도체 디바이스의 회로 패턴을 형성하기 위해서는, 축소 투영형 노광 장치를 이용하여, 석영 상에 형성된 고정밀도의 원화 패턴을 ArF 등의 레이저를 이용하여 웨이퍼 상에 축소 전사하는 수법(광 리소그래피)이 채용되어 있다. 근래에는 더 미세한 패턴을 형성하기 위해, 극단 자외선을 이용한 EUV 리소그래피가 채용되기 시작하고 있다. EUV 리소그래피에서는 복수의 재료로 이루어지는 다층 구조를 가지는 마스크가 이용된다. 어느 마스크에

있어서도,6

[0003] 전자 빔 묘화 장치로서, 예를 들면, 멀티 빔을 이용하여 한 번에 많은 빔을 조사하고, 스루풋을 향상시킨 멀티 빔 묘화 장치가 알려져 있다. 이 멀티 빔 묘화 장치에서는, 예를 들면, 전자 총으로부터 방출된 전자 빔이, 복수의 개구를 가지는 성형 애퍼처 어레이 기판을 통과함으로써 멀티 빔(복수의 전자 빔)이 형성된다. 멀티 빔은, 블랭킹 플레이트(블랭킹 애퍼처 어레이 기판)의 각각 대응하는 블랭커 내를 통과한다. 블랭킹 플레이트는, 빔을 개별적으로 편향하기 위한 전극 쌍(블랭커)을 가지고, 전극 쌍의 사이에 빔 통과용의 개구가 형성되어 있다. 블랭커의 일방의 전극(그라운드 전극)을 그라운드 전위에 고정하고, 타방의 전극(블랭킹 전극)을 그라운드 전위와 그 이외의 전위로 전환함으로써, 통과하는 전자 빔의 블랭킹 편향을 행한다. 블랭커에 의하여 편향된 전자 빔은 차폐되어 시료 상에서 오프가 되고, 편향되지 않은 전자 빔은 온 빔으로서 시료 상에 조사된다.

[0004] 블랭킹 플레이트는, 복수의 개구가 형성된 기판과, 각 개구의 주위에 형성된 블랭커와, 블랭커로의 전압의 인가를 행하는 제어 회로부를 구비하고 있다. 통상, 제어 회로부를 구성하는 MOS 트랜지스터의 형성 후에는, 통상의 반도체 디바이스와 마찬가지로 기판 표면에 실리콘 질화막 등의 절연막으로 이루어진 패시베이션막(보호막)이 형성된다. 블랭킹 플레이트의 표면에 절연막이 노출되어 있으면, 전자 빔이 조사된 경우에, 이 절연막이 대전하고, MOS 트랜지스터의 게이트 절연막 등이 정전 파괴되어 블랭킹 제어를 할 수 없게 되거나, 대전에 의한 전계에서 개구를 통과하는 빔의 궤도가 변화하고, 조사 위치의 이탈 또는 디포커스를 발생시켜, 묘화 정밀도가 저하되거나 하는 문제가 있었다.

[0005] 그 때문에, 보호막 상에 대전 방지막을 설치하여, 보호막의 대전을 방지하고 있었다. 이 대전 방지막은, 그라운드 전극 또는 블랭킹 플레이트 단부에서 그라운드 배선에 접속되어 있었다. 그러나, 어떠한 원인으로 대전 방지막에 그라운드 접속 불량이 생기면, 산란 전자 등에 의하여 대전 방지막이 국소적으로 대전하여 전위 구배가 생기고, 또한, 블랭킹 전극과의 단락(短絡)이 생기면, 블랭킹 전극에 전압이 인가되었을 때에, 대전 방지막에 국소적인 전위 구배가 생긴다. 이러한 현상에 의하여 전자 빔이 의도하지 않은 방향으로 편향됨으로써 묘화 정밀도가 저하되는 등의 영향을 주는 경우가 있었다.

발명의 내용

[0006] 본 발명은, 대전 방지막에 국소적인 대전 및 전위 구배가 생기는 것을 방지하여, 묘화 정밀도를 향상시킬 수 있는 멀티 빔용의 블랭킹 장치, 및 이러한 블랭킹 장치를 구비한 멀티 하전 입자 빔 묘화 장치를 제공한다.

[0007] 본 발명의 일 태양에 의한 멀티 빔용의 블랭킹 장치는, 반도체 기판과, 상기 반도체 기판 상에 설치된 절연막과, 상기 절연막 상에 설치된 대전 방지막과, 각각 상기 반도체 기판 및 상기 절연막에 형성된 관통 홀에 대응하여 해당 절연막 상에 설치된 블랭킹 전극 및 그라운드 전극을 가지는 복수의 셀과, 상기 절연막 중에 설치된 그라운드 배선을 구비하고, 상기 대전 방지막과 상기 그라운드 배선이 상기 그라운드 배선 상의 상기 절연막을 관통하여 형성된 접속부에서 접속되어 있다.

도면의 간단한 설명

[0008] 도 1은, 본 발명의 실시 형태에 따른 하전 입자 빔 묘화 장치의 개략도이다.

도 2는, 성형 애퍼처 어레이 기판의 개략도이다.

도 3은, 블랭킹 장치의 구성을 도시하는 개념도이다.

도 4는, 셀의 모식도이다.

도 5는, 셀의 단면도이다.

도 6은, 셀 어레이의 개략 구성도이다.

도 7(a)는, 비교예에 의한 셀 어레이의 등가 회로도이며, 도 7(b)는, 실시 형태에 의한 셀 어레이의 등가 회로도이다.

도 8은, 셀의 모식도이다.

도 9는, 셀 어레이의 개략 구성도이다.

도 10(a)는, 비교예에 의한 대전 방지막의 등가 회로도이며, 도 10(b)는, 실시 형태에 의한 대전 방지막의 등가 회로도이다.

도 11은, 셀의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 출원은, 일본 특허 출원 제2020-047967호(출원일 : 2020년 3월 18일)를 기초 출원으로 하는 우선권을 향수한다. 본 출원은 이 기초 출원을 참조함으로써 기초 출원의 모든 내용을 포함한다.

[0010] 이하, 본 발명의 실시 형태를 도면에 기초하여 설명한다.

[0011] 도 1은, 본 실시 형태에 의한 블랭킹 장치가 장착되는 멀티 하전 입자 빔 묘화 장치의 개략도이다. 본 실시 형태에서는, 하전 입자 빔의 일예로서, 전자 빔을 이용한 구성에 대하여 설명한다. 단, 하전 입자 빔은, 전자 빔에 한정되는 것은 아니며, 이온 빔 등의 다른 하전 입자 빔이여도 된다.

[0012] 도 1에 도시하는 멀티 전자 빔 묘화 장치는, 전자 경통(2) 및 묘화실(20)을 가지고 있다. 전자 경통(2) 내에는, 전자 총(4), 조명 렌즈(6), 성형 애퍼처 어레이 기판(8), 블랭킹 장치(10), 축소 렌즈(12), 제한 애퍼처 부재(14), 대물 렌즈(16), 및 편향기(18)가 배치되어 있다. 묘화실(20) 내에는, XY 스테이지(22)가 배치된다. XY 스테이지(22) 상에는, 묘화 대상 기판이 되는 마스크 블랭크(24)가 재치되어 있다. 대상물로서, 예를 들면, 웨이퍼, 또는 웨이퍼에 엑시머 레이저를 광원으로 한 스테퍼 또는 스캐너 등의 축소 투영형 노광 장치, 또는 극단 자외선 노광 장치(EUV)를 이용하여 패턴을 전사하는 노광용의 마스크가 포함된다. 또한, 묘화 대상 기판에는, 예를 들면, 이미 패턴이 형성되어 있는 마스크도 포함된다. 예를 들면, 레벤슨형 마스크는 2 회의 묘화를 필요로 하므로, 한 번 묘화되어 마스크에 가공된 것에 두 번째의 패턴을 묘화하는 경우도 있다. XY 스테이지(22) 상에는, 추가로 XY 스테이지(22)의 위치 측정용의 미러(26)가 배치된다.

[0013] 전자 총(4)으로부터 방출된 전자 빔(30)은, 조명 렌즈(6)에 의하여 거의 수직으로 성형 애퍼처 어레이 기판(8)을 조명한다. 도 2는, 성형 애퍼처 어레이 기판(8)의 구성을 도시하는 개념도이다. 성형 애퍼처 어레이 기판(8)에는, 세로(y 방향) m 열×가로(x 방향) n 열(m, n≥2)의 개구(80)가 소정의 배열 피치로 매트릭스 형상으로 형성되어 있다. 각 개구(80)는, 모두 같은 치수 형상의 직사각형 형상으로 형성된다. 각 개구(80)는 같은 외경의 원형이여도 상관없다.

[0014] 전자 빔(30)은, 성형 애퍼처 어레이 기판(8)의 모든 개구(80)가 포함되는 영역을 조명한다. 이들 복수의 개구(80)를 전자 빔(30)의 일부가 각각 통과함으로써, 도 1에 도시하는 바와 같은 멀티 빔(30a~30e)이 형성되게 된다.

[0015] 후술하는 바와 같이, 블랭킹 장치(10)에는, 성형 애퍼처 어레이 기판(8)의 각 개구(80)의 배치 위치에 맞추어 관통 홀(도 4 및 도 5에 있어서의 관통 홀(110))이 형성되고, 각 관통 홀에는, 쌍이 되는 2 개의 전극으로 이루어진 블랭커(도 5에 있어서의 그라운드 전극(102) 및 블랭킹 전극(104)으로 이루어진 블랭커(101))가 각각 배치된다. 각 관통 홀을 통과하는 멀티 빔(30a~30e)은, 각각 독립적으로, 블랭커가 인가하는 전압에 의하여 편향된다. 이 빔 편향에 의하여 블랭킹 제어가 행해진다. 블랭킹 장치(10)에 의하여, 성형 애퍼처 어레이 기판(8)의 복수의 개구(80)를 통과한 멀티 빔의 각각에 대하여 블랭킹 편향이 행해진다.

[0016] 블랭킹 장치(10)를 통과한 멀티 빔(30a~30e)은, 축소 렌즈(12)에 의하여, 각각의 빔 사이즈 및 배열 피치가 축소되고, 크로스오버로 설치된 제한 애퍼처 부재(14)에 형성된 중심의 개구를 향하여 나아간다. 여기서, 블랭킹 장치(10)의 블랭커에 의하여 편향된 빔은, 그 궤도가 변위하고, 제한 애퍼처 부재(14)의 중심의 개구로부터 위치가 이탈되어, 제한 애퍼처 부재(14)에 의하여 차폐된다. 한편, 블랭킹 장치(10)의 전극에 의하여 편향되지 않은 빔은, 제한 애퍼처 부재(14)의 중심의 개구를 통과한다.

[0017] 제한 애퍼처 부재(14)는, 블랭킹 장치(10)의 블랭커에 의하여 빔 OFF의 상태가 되도록 편향된 각 빔을 차폐한다. 빔 ON이 되고 나서 빔 OFF가 될 때까지 제한 애퍼처 부재(14)를 통과한 빔이, 1 회분의 샷의 빔이 된다. 제한 애퍼처 부재(14)를 통과한 멀티 빔(30a~30e)은, 대물 렌즈(16)에 의하여 초점이 맞추어져, 원하는 축소율의 패턴상이 된다. 제한 애퍼처 부재(14)를 통과한 각 빔(멀티 빔 전체)은, 편향기(18)에 의하여 동일 방향으로 한꺼번에 편향되어, 각 빔의 마스크 블랭크(24) 상의 각각의 조사 위치에 조사된다.

[0018] 한 번에 조사되는 멀티 빔은, 이상적으로는 성형 애퍼처 어레이 기판(8)의 복수의 개구(80)의 배열 피치에, 상술한 원하는 축소율을 곱한 피치로 배열되게 된다. 이 묘화 장치는, 샷 빔을 연속하여 순서대로 조사해가는 래스터 스캔 방식으로 묘화 동작을 행하고, 원하는 패턴을 묘화할 때, 패턴에 따라 필요한 빔이 블랭킹 제어에 의하여 빔 ON으로 제어된다. XY 스테이지(22)가 연속 이동하고 있을 때, 빔의 조사 위치가 XY 스테이지(22)의 이

동에 추종하도록 편향기(18)에 의하여 제어된다.

[0019] 멀티 전자 빔 묘화 장치의 각 부는, 도시하지 않은 제어 장치에 의하여 제어된다. 제어 장치는, 묘화 데이터에 대하여 복수 단의 데이터 변환 처리를 행하여, 장치 고유의 샷 데이터를 생성한다. 샷 데이터에는, 각 샷의 조사량 및 조사 위치 좌표 등이 정의된다. 제어 장치는, 각 샷의 조사량을 전류 밀도로 나누어 조사 시간(t)을 구하고, 대응하는 샷이 행해질 때, 조사 시간(t)만큼 빔 ON하도록, 블랭킹 장치(10)의 대응하는 블랭커에 편향 전압을 인가한다.

[0020] 또한, 제어 장치는, 샷 데이터가 도시하는 위치(좌표)에 각 빔이 편향되도록 편향량을 연산하고, 편향기(18)에 편향 전압을 인가한다. 이에 의하여, 그 회에 샷되는 멀티 빔이 한꺼번에 편향된다.

[0021] 이어서, 도 3 내지 도 5를 이용하여, 블랭킹 장치(10)의 구성에 대하여 설명한다. 도 3에 도시하는 바와 같이, 블랭킹 장치(10)는, 셀 어레이 영역(100)과, 셀 어레이 영역(100)의 주위에 설치된 제어 회로(150)와, 주연부에 설치된 패드부(160)를 구비한다. 또한, 제어 회로(150)는 셀 어레이 영역(100)의 주연부에 놓인다고 한정한 것이 아니며, 블랭킹 장치(10) 제작 상, 지장이 없는 범위에 배치해도 된다.

[0022] 제어 회로(150)는, 배선(152), 패드부(160), 및 도시하지 않은 외부 배선을 통하여 외부 제어 장치로부터 블랭킹 제어 신호를 수신한다. 배선(152)은 MOS 트랜지스터의 형성 시에 형성되므로, 패시베이션막의 아래에 배치되어 있다. 제어 회로(150)는, 블랭킹 제어 신호를 수신하면, 블랭킹 제어 신호용 배선(142)을 통하여 블랭킹 전극(104)(도 5 참조)에 전압을 인가하고, 블랭킹 편향을 행한다. 제어 회로(150)는, MOS 등으로 회로가 구성되고, 최종 단에는 드라이버로서 CMOS 인버터가 설치된다.

[0023] 패드부(160)는, 그라운드 전극 패드를 포함한다. 그라운드 전극(102)은, 그라운드 배선(140)(도 5 참조) 또는 배선(152)을 통하여, 그라운드 전극 패드에 접속되어 있다.

[0024] 셀 어레이 영역(100)에는, 도 4에 도시하는 바와 같은, 관통 홀(110)과, 관통 홀(110)을 사이에 두고 대향하는 한 쌍의 그라운드 전극(102) 및 블랭킹 전극(104)을 가지는 한 조의 셀(C)이 복수 조 형성되어 있다. 복수 조의 셀(C)은, 관통 홀(110)이, 성형 애퍼처 어레이 기판(8)의 각 개구(80)의 배치 위치에 대응하도록, 매트릭스 형상으로 배열되어 있다.

[0025] 도 5는, 블랭킹 장치(10)의 셀 어레이 영역(100)의 단면도이다. 도 5에 도시하는 바와 같이, 블랭킹 장치(10)는, 기판(120), 기판(120) 상에 설치된 절연막(128), 절연막(128) 상에 설치된 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142), 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142) 상에 설치된 절연막(130), 절연막(130) 상에 설치된 보호막(패시베이션막)(132), 보호막(132) 상에 설치된 대전 방지막(134), 그라운드 전극(102) 및 블랭킹 전극(104)을 가진다.

[0026] 기판(120)은, 예를 들면, 실리콘층(122)과, 실리콘층(126)의 사이에 실리콘 산화막(124)을 삽입한 SOI(Silicon On Insulator) 기판을 이용해도 된다.

[0027] 절연막(128, 130)은, 예를 들면, 실리콘 산화막이다. 보호막(132)은, 예를 들면, 실리콘 질화막이다. 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142)은, 예를 들면, 알루미늄 또는 구리, 또는 코발트이다. 대전 방지막(134)은, 예를 들면, 금속 박막 또는 도전성 폴리머를 포함하는 것 등, 공지의 재료를 사용할 수 있다.

[0028] 셀 어레이 영역(100)에서는, 보호막(132), 절연막(130), 절연막(128) 및 기판(120)을 관통한 관통 홀(110)에 인접하고, 보호막(132) 상에 그라운드 전극(102) 및 블랭킹 전극(104)이 대향하여 배치된다.

[0029] 그라운드 전극(102)은, 보호막(132) 및 절연막(130)을 관통하여, 하층의 그라운드 배선(140)에 접속된다. 블랭킹 전극(104)은, 보호막(132) 및 절연막(130)을 관통하여, 하층의 블랭킹 제어 신호용 배선(142)에 접속된다.

[0030] 또한, 셀 어레이 영역(100)의 외측에서는, 실리콘층(126)에 제어 회로(150)를 구성하는 CMOS 트랜지스터 등이 형성된다.

[0031] 셀(C)에는, 보호막(132) 및 절연막(130)을 관통하여 하층의 그라운드 배선(140)을 노출하는 개구(H)(홀)가 설치되어 있다. 대전 방지막(134)은, 개구(H)의 측면(측벽) 및 그라운드 배선(140)의 표면에도 설치되어 있고, 개구(H)를 통하여 그라운드 배선(140)에 접속하고 있다. 즉, 개구(H)의 측면에 설치된 대전 방지막(134)이, 보호막(132) 및 그라운드 배선(140) 상의 절연막(130)을 관통하여 형성된, 보호막(132) 상의 대전 방지막(134)과, 하층의 그라운드 배선(140)을 접속하는 접속부가 된다.

[0032] 개구(H)는, 각 셀(C)에, 하나 또는 복수 설치되어 있다. 즉, 대전 방지막(134)과 그라운드 배선(140)과의 접속

부가, 셀(C)마다 설치되어 있다. 이에 의하여, 대전 방지막(134)의 그라운드 접속 불량이 발생되는 것을 방지할 수 있으므로, 대전 방지막(134)에 국소적인 전위 구배가 발생되는 것을 방지하여, 묘화 정밀도를 향상시킬 수 있다.

[0033] 블랭킹 장치(10)의 제작에 있어서는, 우선, 공지의 CMOS 프로세스에 의하여 기판(120)에 제어 회로(150)를 구성하는 트랜지스터 등을 형성하고, 기판(120) 상에 절연막(128)을 형성한다. 절연막(128)은, 소위, 층간 절연막이며, 복수 층 형성되어 있어도 된다. 이어서, 절연막(128) 상에 배선층을 형성하고, 패턴 가공하여, 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142)을 형성한다. 그라운드 배선(140)의 표면에 베리어 메탈을 형성해도 된다.

[0034] 이어서, 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142)을 덮도록 절연막(130)을 형성한다. 이어서, 절연막(130) 상에 보호막(132)을 형성한다. 이어서, 기판(120)을 에칭하여 복수의 관통 홀(110)을 형성한다.

[0035] 이어서, 보호막(132) 및 절연막(130)을 관통하고, 그라운드 배선(140)의 표면을 노출하는 개구(H)를 형성한다. 예를 들면, 개구(H)는, 각 관통 홀(110)의 근방에 1 개 또는 2 개소 정도 형성한다. 이어서, 보호막(132) 상에 대전 방지막(134)을 형성한다. 이 때, 개구(H)의 측면 및 개구(H)에 의하여 노출되어 있는 그라운드 배선(140)의 표면에도 대전 방지막(134)이 형성되게 한다. 이에 의하여, 그라운드 배선(140)과, 보호막(132) 상의 대전 방지막(134)을 접속하는 접속부가 형성된다. 이어서, 대전 방지막(134)을 패턴 가공하고, 전극 형성 영역의 대전 방지막(134)을 제거한다. 이에 의하여, 나중에 제작하는 블랭킹 전극(104)과 대전 방지막(134)이 단락되지 않도록 한다.

[0036] 이어서, 보호막(132) 및 절연막(130)을 관통하고, 그라운드 배선(140) 및 블랭킹 제어 신호용 배선(142)의 표면을 노출하는 개구를 형성한다. 이어서, Au 등의 전해 도금을 행하고, 그라운드 배선(140)에 접속하는 그라운드 전극(102), 및 블랭킹 제어 신호용 배선(142)에 접속하는 블랭킹 전극(104)을 형성한다(전해 도금에서 필요해지는 시드층은 도시하지 않음).

[0037] 이와 같이 하여, 대전 방지막(134)과 그라운드 배선(140)의 접속부가 셀마다 설치된 블랭킹 장치(10)를 제조할 수 있다.

[0038] 셀 어레이 영역(100)에 있어서 셀(C)을 어레이 형상으로 배치함에 있어서, 도 6에 도시하는 바와 같이, 인접하는 셀(C)의 그라운드 전극(102)을 연결하고, 소정 방향(도면 중, 좌우 방향)으로 연재(延在)하는 라인 형상의 그라운드 전극(102)이 되도록 해도 된다.

[0039] 대전 방지막(134)과 그라운드 배선(140)의 접속부를 셀(C)마다 설치하고 있지 않은 경우, 도 7(a)에 도시하는 바와 같이, 대전 방지막(134)을 통하여 인접하는 셀(C)의 개구부 또는 관통 홀(110)의 측벽에 전위(E)가 나타나, 전자 빔이 의도치 않은 방향으로 편향될 우려가 있다. 한편, 본 실시 형태와 같이, 대전 방지막(134)과 그라운드 배선(140)의 접속부가 셀(C)마다 설치되어 있는 경우, 도 7(b)에 도시하는 바와 같이, 인접하는 셀(C)의 전위가 변화되는 것을 방지할 수 있다.

[0040] 그라운드 전극(102)은, 한 방향으로 연재하는 것에 한정되지 않고, 제1 방향 및 제1 방향에 직교하는 제2 방향으로 연재하는 것이어도 된다. 예를 들면, 도 8에 도시하는 바와 같은 평면시(平面視) 형상이 L 자 형상의 그라운드 전극(102)이어도 된다.

[0041] 또한, 셀 어레이 영역(100)에 있어서, 셀(C)을 어레이 형상으로 배치함에 있어서, 인접하는 셀(C)의 L 자 형상의 그라운드 전극(102)을 연결하여, 도 9에 도시하는 바와 같이, 그라운드 전극(102)이 격자 형상이 되게 해도 된다. 그라운드 전극(102)에 둘러싸인 영역 내에, 블랭킹 전극(104), 관통 홀(110) 및 개구(H)가 설치되어, 한 조의 셀(C)이 된다.

[0042] 또한, 그라운드 전극(102)에 둘러싸여 있어도, 대전 방지막(134)과 그라운드 전극(102)의 접속에 불량이 생기면, 산란 전자 등에 의하여 대전 방지막(134)이 대전하여, 도 10(a)에 도시하는 바와 같이, 대전 방지막(134) 상에 전위(Vc)가 발생한다. 이 대전에서 발생한 전계에 의하여 인접하는 셀의 전자 빔이 의도치 않은 방향으로 편향될 우려가 있다. 한편, 본 실시 형태와 같이, 대전 방지막(134)과 그라운드 배선(140)의 접속부가 셀(C)마다 설치되어 있는 경우, 도 10(b)에 도시하는 바와 같이, 대전 방지막(134)은 셀마다 확실히 그라운드 전위를 얻을 수 있다.

[0043] 상기 실시 형태에서는, 대전 방지막(134)과 그라운드 배선(140)의 접속부는, 개구(H)의 측벽에도 대전 방지막(134)을 형성함으로써, 대전 방지막(134)과 하층의 그라운드 배선(140)을 직접적으로 접속하는 구성으로 하고

있었으나, 도 11에 도시하는 바와 같이, 개구(H)에 텅스텐 등의 금속 플러그(106)를 삽입하여, 보호막(132) 및 금속 플러그(106) 상에 대전 방지막(134)을 형성해도 된다. 대전 방지막(134)은, 접속부가 되는 금속 플러그(106)를 통하여 그라운드 배선(140)에 전기적으로 접속된다. 또한, 접속부는, 개구(H)에 도체가 삽입된 것이면 되며, 도체로서, 예를 들면, Cu(구리), Al(알루미늄), 폴리실리콘 등을 이용할 수 있다.

[0044] 또한, 대전 방지막(134)과 그라운드 배선(140)은 반드시 접속부에서만 접속되지 않아도 된다. 그라운드 전극(102) 또는 절연막 상에 형성된 그라운드 배선 상에 대전 방지막(134)이 설치되는 구성에서는, 대전 방지막(134)과 그라운드 배선(140)은, 그라운드 전극(102) 등을 통하여 접속부에서 접속된다.

[0045] 개구(H)에 형성되는 접속부는, 셀 내에 1 개 이상 설치하는 것이 바람직하지만, 반드시 셀 내에 1 개 이상 설치할 필요는 없으며, 묘화 정밀도에 영향을 주지 않을 정도로 국소적인 대전 및 전위 구배를 충분히 억제할 수 있다면, 접속부를 가지지 않는 셀이 있어도 된다. 또한, 셀 내에 복수의 접속부가 설치되어도 된다.

[0046] 대전 방지막(134)으로서, 그라운드 전극(102) 및 블랭킹 전극(104)보다 고저항이며, 보호막(132) 또는 절연막(130)보다 저저항인 고저항막을 이용하고, 이 고저항막을, 그라운드 전극(102) 및 블랭킹 전극(104)의 형성 후, 블랭킹 장치(10)의 전면(全面)에 형성해도 된다.

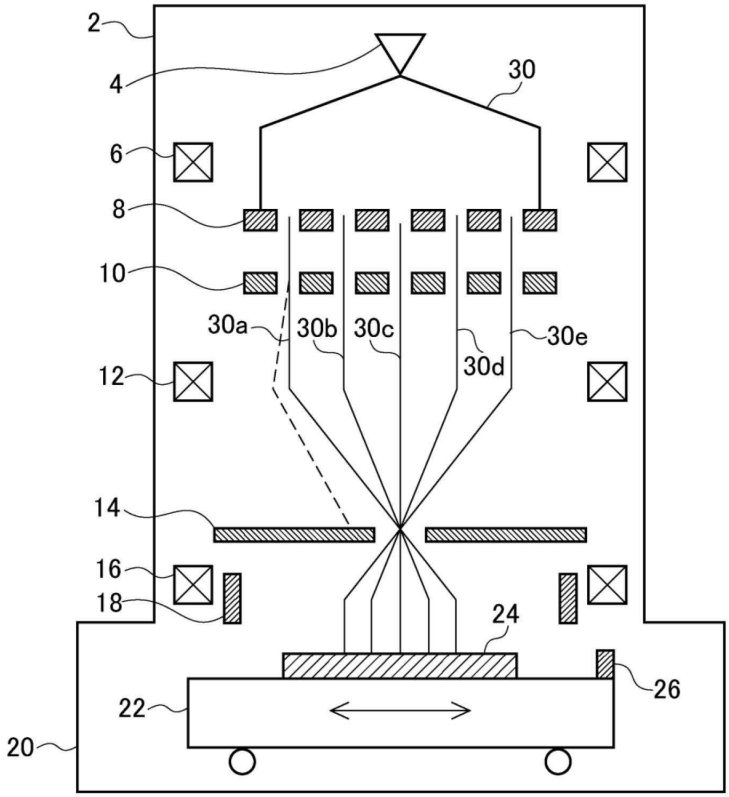
[0047] 이 고저항막은, 전극 간이 샷하지 않고, 또한 전자가 고저항막을 통하여 그라운드 배선(140)으로부터 유출되고, 음의 전하가 머물지 않을 정도의 저항값을 가진다. 고저항막은, 블랭킹 전극(104)에 접속되어 있어도 된다.

[0048] 고저항막에는, 예를 들면, Au(금), Ag(은), Cu(구리), Fe(철), Cr(크롬), CrN(질화 크롬), Ti(티탄), TiN(질화 티탄), TaN(질화 탄탈), TiC(탄화 티탄), Pt(백금) 등의 금속 박막을 이용할 수 있다. 금속 박막은, 그 막 두께가 수 십 nm 정도가 되면, 막 두께의 감소에 수반하여, 전기 저항값이 급격히 높아진다. 고저항막에는, 막 두께가 수 십 nm, 바람직하게는 수 nm의 금속 박막을 이용한다.

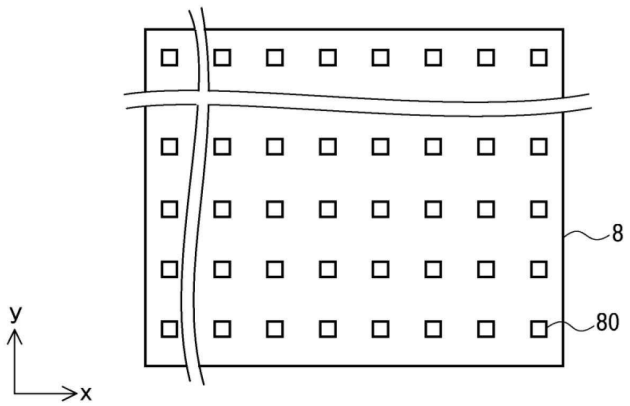
[0049] 또한, 본 발명은, 상기 실시 형태 그대로 한정되는 것은 아니며, 실시 단계에서는 그 요지를 일탈하지 않는 범위에서 구성 요소를 변형하여 구체화할 수 있다. 또한, 상기 실시 형태에 개시되어 있는 복수의 구성 요소의 적절한 조합에 의하여, 다양한 발명을 형성할 수 있다. 예를 들면, 실시 형태에 나타내어지는 전체 구성 요소로부터 몇 개의 구성 요소를 삭제해도 된다. 또한, 상이한 실시 형태에 걸친 구성 요소를 적절히 조합해도 된다.

도면

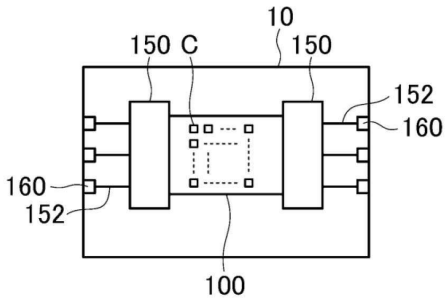
도면1



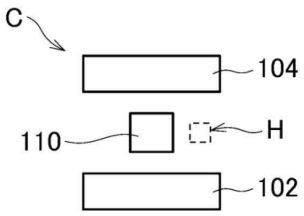
도면2



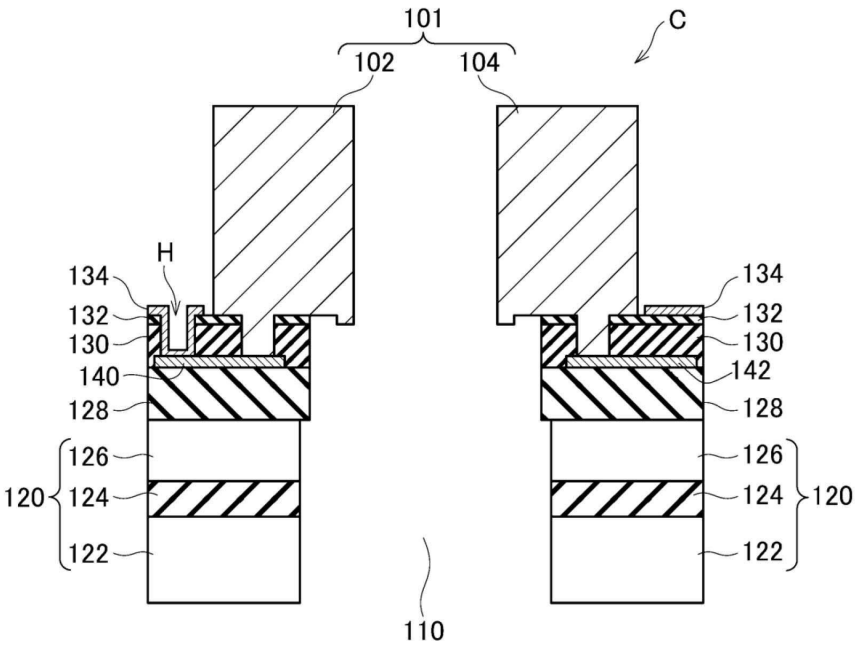
도면3


10
150
C
150
152
160
160
152
100

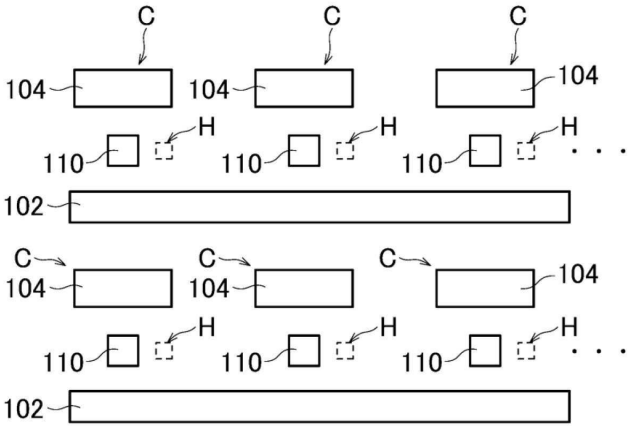
도면4


C
104
110
H
102

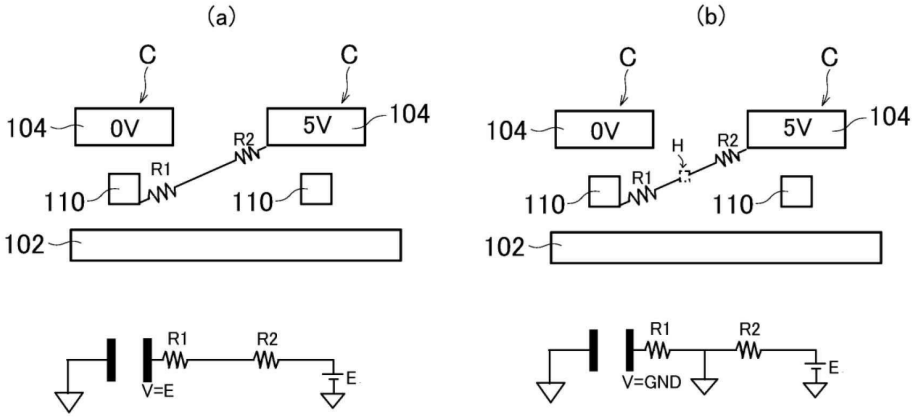
도면5


101
C
102
104
H
134
132
130
140
128
126
120
124
122
134
132
130
142
128
126
124
120
122
110

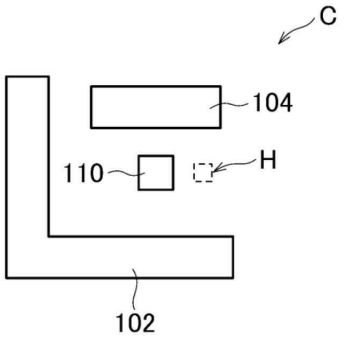
도면6


C
104
H
110
102

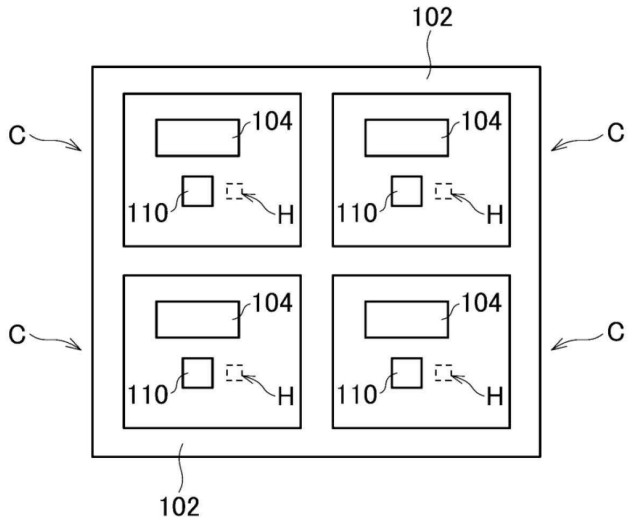
도면7


(a)
(b)
C
104
0V
5V
R1
R2
H
110
102
V=E
V=GND
E

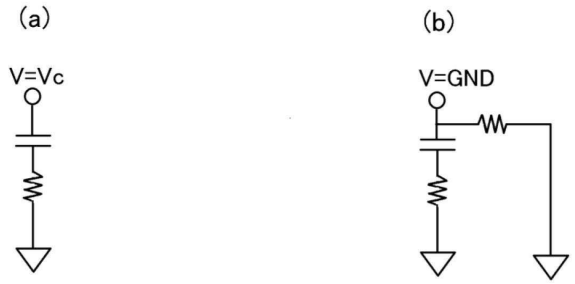
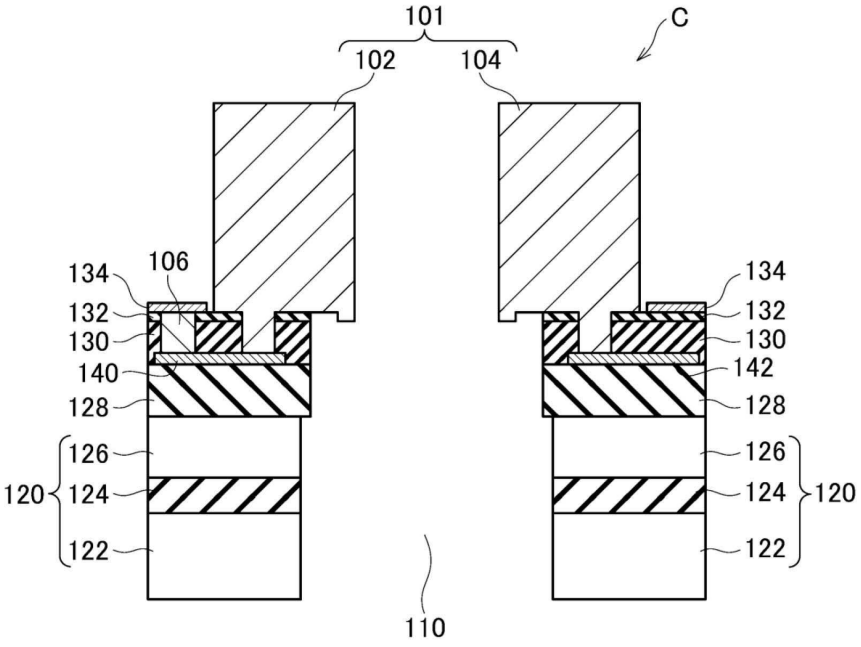
도면8


C
104
H
110
102

도면9



도면10



도면11