



[12] 发明专利申请公开说明书

[21] 申请号 95197685.0

[43]公开日 1998年3月4日

[11] 公开号 CN 1175327A

[22]申请日 95.12.28

[30]优先权

[32]94.12.30[33]US[31]08 / 367,103

[86]国际申请 PCT / US95 / 16878 95.12.28

[87]国际公布 WO96 / 21272 英 96.7.11

[85]进入国家阶段日期 97.8.20

[71]申请人 英特尔公司

地址 美国加利福尼亚州圣克拉拉

[72]发明人 M·S·丹汉姆 K·L·王

J·E·史密斯 R·J·费南多

[74]专利代理机构 中国专利代理(香港)有限公司

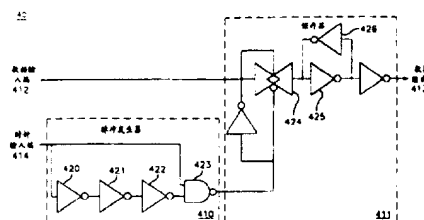
代理人 马铁良 傅康

权利要求书 3 页 说明书 13 页 附图页数 7 页

[54]发明名称 脉冲触发器电路

[57]摘要

描述了触发器电路。触发器电路(40)从数据输入端(412)接收数据信号,从触发输入端(414)接收触发信号,响应该触发信号的边沿产生脉冲信号,以及响应该脉冲信号存储该数据信号。或者,触发器电路(70)通过数据输入端(712)接收数据信号,通过触发输入端(714)接收触发信号,把该数据信号存储在锁存器(711)内,以及在存储在该锁存器内的数据信号与通过数据输入端(712)接收的数据信号一致时抑制输入给锁存器(711)的触发信号。



权 利 要 求 书

1. 一触发器电路, 包括:
 - 一接收触发信号的触发信号输入端;
 - 一接收数据信号的数据信号输入端;
 - 5 一与所述触发信号输入端连接的脉冲发生器, 响应所述触发信号的边沿产生脉冲信号; 以及
 - 一与所述脉冲发生器连接的第一锁存器, 响应所述脉冲信号接收所述数据信号和存储所述数据信号。
2. 如权利要求 1 的触发器电路, 其中所述触发信号是时钟信号。
- 10 3. 如权利要求 1 的触发器电路, 其中所述触发信号的所述边沿是上升沿。
4. 如权利要求 1 的触发器电路, 其中所述触发信号的所述边沿是下降沿。
- 15 5. 如权利要求 1 的触发器电路, 其中所述脉冲发生器包括第二锁存器。
6. 如权利要求 5 的触发器电路, 其中所述脉冲发生器还包括从所述脉冲发生器的输出端至所述第二锁存器的反馈导线。
7. 如权利要求 5 的触发器电路, 其中所述锁存器是复位-置位锁存器。
- 20 8. 如权利要求 5 的触发器电路, 所述触发器电路还包括从所述第一锁存器至所述脉冲发生器的反馈导线。
9. 在触发器电路中接收和存储数据信号的方法, 包括:
 - 从数据输入端接收所述数据信号;
 - 从触发输入端接收触发信号;
 - 25 响应所述触发信号的边沿产生脉冲信号; 以及
 - 响应所述脉冲信号存储所述数据信号。
10. 如权利要求 9 的方法, 其中所述边沿是上升沿。
11. 权利要求 9 的方法, 其中所述边沿是下降沿。
12. 如权利要求 9 的方法, 其中所述触发信号是时钟信号。
- 30 13. 如权利要求 9 的方法, 其中响应所述脉冲信号存储所述数据信号包括响应所述脉冲信号锁存所述数据信号。

14.如权利要求 9 的方法,其中响应所述脉冲信号存储所述数据信号包括:

响应所述脉冲信号打开通过门; 以及
把所述数据信号传送给存储电路。

5 15.如权利要求 9 的方法,其中响应所述触发信号的边沿产生一脉冲信号包括:

产生一延迟触发信号;

将所述延迟触发信号与所述触发信号作比较来产生所述脉冲信号的上升沿; 以及

10 将所述延迟触发信号与所述触发信号作比较来产生所述脉冲信号的下降沿。

16.如权利要求 15 的方法,其中产生一延迟触发信号包括锁存所述触发信号。

17.如权利要求 16 的方法,其中产生延迟触发信号还包括把所述脉冲信号反馈给在产生所述脉冲信号的脉冲发生器内的锁存器。

18.如权利要求 15 的方法,其中将所述延迟触发信号与所述触发信号作比较来产生所述脉冲信号的上升沿包括把所述延迟触发信号和所述触发信号提供给开门逻辑。

19.如权利要求 15 的方法,其中将所述延迟触发信号与所述触发信号作比较来产生所述脉冲信号的下降沿包括把所述延迟触发信号和所述触发信号提供给开门逻辑。

20.如权利要求 9 的方法,其中响应所述触发信号的边沿产生脉冲信号包括:

把所述触发信号提供给锁存器的置位输入端; 以及

25 将所述锁存器的输出与所述触发信号作比较。

21.如权利要求 20 的方法,其中响应所述触发信号的边沿产生脉冲信号还包括反相所述触发信号。

22.如权利要求 20 的方法,其中响应所述触发信号的边沿产生脉冲信号还包括把所述脉冲信号反馈给所述锁存器的复位输入端。

30 23.一触发器电路,包括:

一接收触发信号的触发信号输入端;

一接收数据信号的数据信号输入端;

一与所述数据信号输入端连接的锁存器，接收所述数据信号和存储所述数据信号；以及

一与所述触发信号输入端连接的触发抑制器，在所述数据信号输入端接收的所述数据信号与所述锁存器存储的所述数据信号一致时抑制所述触发信号。

24.如权利要求 23 的触发器电路，其中所述触发抑制器包括与所述数据输入端和所述锁存器连接的比较器，将所述数据信号输入端接收的所述数据信号与所述锁存器存储的所述数据信号作比较。

25.如权利要求 23 的触发器电路，其中所述触发抑制器包括在所述数据信号输入端接收的所述数据信号与所述锁存器存储的所述数据信号一致时抑制所述触发信号的门电路。

26.在触发器电路中接收和存储数据信号的方法，包括：

通过数据输入端接收数据信号；

通过触发输入端接收触发信号；

把所述数据信号存储在锁存器内；

将存储在所述锁存器内的所述数据信号与通过所述数据输入端接收的所述数据信号作比较；以及

在存储在所述锁存器内的所述数据信号与通过所述数据输入端接收的所述数据信号一致时抑制输入给所述锁存器的所述触发信号。

说明书

脉冲触发器电路

5 发明领域

本发明涉及电路领域。具体来说，本发明涉及触发器电路的设计。

发明背景

10 在半导体器件中用触发器电路保持二进制状态，直到被输入信号命令转换状态为止。基本触发器电路的变种—时钟触发器电路在时钟信号的作用下对输入电平作出响应。如果以这种方式使用时钟触发器电路，它就起到取样装置的作用，在时钟电路的控制下只读出其输入线的信息。在读出该信息之后，该触发器电路就存储该信息并在输出线上输出之。在所有其它时候，该电路将不对输入信号作出响应，并在输入线上的信号状态发生变化期间保持不变。

15 尽管一般的触发器都是有用的，但它们有许多不足。一种这样的触发器是主-从触发器。主-从触发器包括两个锁存器—主锁存器和从锁存器。由于这两个锁存器，主-从触发器可被设计成为沿触发装置，即正沿触发或负沿触发装置。提供给主-从触发器的数据信号经由主锁存器和经由从锁存器进行传送。主锁存器和从锁存器都与时钟信号连接。
20 主锁存器在时钟信号处于第一信号状态时存储数据信号，而从锁存器在时钟信号处于第二信号状态时存储数据信号。这样一来，主-从触发器就在正时钟沿或负时钟沿期间取样和保持数据信号。

尽管速度相当慢，但已有的主-从触发器都满足现行设计要求。主-从触发器在处理器设备中被用作寄存器。处理器内的寄存器的速度与处理器内的相关组合逻辑的速度一起确定了处理器能够运行的时钟频率，因此确定了处理器的性能。在已有的处理器中，组合逻辑占用了大部分的时钟周期。但是，利用较新的结构，在处理器内使用的组合逻辑的速度已得到了提高。于是减小了可被组合逻辑占用的时钟周期的百分比和增大了可被触发电路占用的时钟周期的百分比。这样一来，因为触发器延迟构成了时钟周期的较大百分比，所以提高触发器的速度来增强
25 30 处理器的整体性能已变得越发重要。

此外，已有的主-从触发器还消耗了相当大量的功率。在过去，

VLSI (超大规模集成) 电路 (例如微处理器) 相当简单, 仅有少量的存储元件。但是, 随着微处理器和其它 VLSI 电路复杂性的增大, 存储元件的数目成比例地增大, 因此所用触发器的数目也增大。由于触发器数目的增大, 触发器的同步所占的功耗比例也增大。于是减小在例如微处理器这样的 VLSI 电路内使用的触发器的功耗已变得越发重要。这样就能够减小 VLSI 电路的功耗。

因此, 需要利用更高的速度提高了性能的触发器电路。还需要减小了功耗的触发器电路。

发明概要

10 描述一新颖的触发器电路。该触发器电路包括接收触发信号的触发信号输入端, 接收数据信号的数据信号输入端, 与触发信号输入端连接的脉冲发生器, 响应触发信号的边沿产生脉冲信号, 以及与脉冲发生器连接的锁存器, 响应脉冲信号接收数据信号和存储该数据信号。

15 在一替代实施例中, 脉冲发生器包括一锁存器, 还包括从该脉冲发生器的输出端至该脉冲发生器的锁存器的一反馈线。

在另一替代实施例中, 触发器电路包括接以触发信号的触发信号输入端, 接收数据信号的数据信号输入端, 与数据信号输入端连接的锁存器, 用来接收数据信号和存储该数据信号, 以及与触发信号输入端连接的触发抑制器, 在数据信号输入端接收的数据信号与锁存器存储的数据信号一致时抑制触发信号。

20 在再一替代实施例中, 触发抑制器包括与数据信号输入端和锁存器连接的比较器, 比较数据信号输入端接收的数据信号和锁存器存储的数据信号。

25 在还一替代实施例中, 触发抑制器包括在数据信号输入端接收的数据信号与锁存器存储的数据信号一致时抑制触发信号的门电路。

还描述了在触发器电路中接收和存储数据信号的方法。该方法包括从数据输入端接收数据信号, 从触发输入端接收触发信号, 响应触发信号的边沿产生脉冲信号, 以及响应脉冲信号存储数据信号。

30 在一替代实施例中, 响应触发信号的边沿产生脉冲信号包括产生延迟触发信号, 把延迟触发信号与触发信号作比较来产生脉冲信号的上升沿, 以及把延迟触发信号与触发信号作比较来产生脉冲信号的下降沿。

在另一替代实施例中, 产生延迟触发信号还包括把脉冲信号反馈给

在产生该脉冲的脉冲发生器内的锁存器。

在再一替代实施例中，响应触发信号的边沿产生脉冲信号还包括把该脉冲信号反馈给锁存器的复位输入端。

5 在还一替代实施例中，该方法包括通过数据输入端接收数据信号，通过触发输入端接收触发信号，把数据信号存储在锁存器内，把存储在该锁存器内的数据信号与通过数据输入端接收的数据信号作比较，以及在存储该锁存器内数据信号与通过数据输入端接收的数据信号一致时抑制该锁存器的触发信号。

附图概述

10 在附图的各图中举例而不是限制地说明本发明，附图中相同的标号指相同的元件，其中：

- 图 1 以方框图的形式表示本发明一实施例的计算机系统，
- 图 2 以方框图的形式表示本发明第二实施例的触发器电路，
- 图 3 以方框图的形式表示本发明第三实施例的触发器电路，
- 15 图 4 以逻辑图的形式表示本发明第四实施例的触发器电路，
- 图 5 以逻辑图的形式表示本发明第五实施例的触发器电路，
- 图 6 以时序图的形式表示图 5 的脉冲发生器的操作，
- 图 7 以方框图的形式表示本发明第六实施例的触发器电路，
- 图 8 以方框图的形式表示本发明第七实施例的触发器电路，
- 20 图 9 以流程图的形式表示本发明第八实施例的触发器电路的操作。

发明详述

描述一新颖的触发电路。在以下的详细描述中，为了彻底理解本发明，给出了许多具体细节。但是，本领域的普通技术人员都知道没有这些具体细节也可以实施本发明。在其它情况下，众所周知的方法、过程、25 元件和电路没有被详细描述，以便不使本发明模糊不清。

以下详细描述的一些部分以算法和关于在计算机存储器内的数据位的操作的符号表示的形式出现。这些算法描述和表示是数据处理领域的普通技术人员最有效地把他们工作的内容告诉该领域的其它普通技术人员所使用的手段。算法在此被一般地看作是导致所需结果的相一致30 的一系列步骤。这些步骤要求对物理量进行物理处理。这些量通常但不是必需具有可被存储、传送、组合、比较及其它处理的电或磁信号的形式。主要由于习惯的原因，已证明有时把这些信号称为位、值、元素、

符号、字符、项、数字等是方便的。但是，应当记住所有这些和类似的术语都将与合适的物理量相关，并只是适用于这些量的方便的标号。除非另有专门的说明，由以下讨论可见，在本发明中，应懂得使用例如“处理”或“计算”或“核算”或“确定”或“显示”这样的术语的讨论是指计算机系统或类似的电子计算设备的动作和进程，该计算机系统或类似的电子计算设备对被表示为在计算机系统的寄存器和存储器内的物理（电子）量的数据进行处理并将其变换成为被类似地表示为在计算机系统的存储器或寄存器或其它这样的信息存储、传输或显示设备内的物理量的其它数据。

10 图 1 以方框图的形式表示本发明一实施例的计算机系统。计算机系统 10 包括处理器 100、总线 101、海量存储设备 102、存储器 103、键盘控制器 104 和显示设备 105。存储器 103、键盘控制器 104 和显示设备 105 与总线 101 连接，而总线 101 再与处理器 100 连接。这样一来，存储器 103、键盘控制器 104 和显示设备 105 都与处理器 100 通信。此外，处理器 100 还与存储器 103、键盘控制器 104 和显示设备 105 通信。总线 101 可以是单总线或多总线的组合。作为一个例子，总线 101 可以包括“工业标准体系结构（ISA）”总线、“扩展工业标准体系结构（EISA）”总线、系统总线、X 总线、PS/2 总线、“外围部件互连（PCI）”总线、“个人计算机存储器卡国际联合会（PCMCIA）”总线或其它总线。总线 101 提供计算机系统 10 内的部件之间的通信链路。海量存储设备 102 可以是硬盘驱动器、软盘驱动器、CD - ROM 设备、快速存储器设备或其它存储设备。海量存储设备 102 向存储器 103 提供信息。存储器 103 可以包括动态随机存取存储器（DRAM）设备、静态随机存取存储器（SRAM）设备、高速缓冲存储器设备或其它存储器设备。存储器 103 存储来自海量存储设备和处理器 100 的信息供处理器 100 使用。键盘控制器 104 可以是专用设备，或者可以存在于另一设备，例如总线控制器或其它控制器。键盘控制器 104 允许把键盘连接至计算机系统 10，并把键盘的信号传送给计算机系统 10。显示设备 105 接收来自处理器 100 的信息并把该信息显示给计算机系统 10 的用户。

处理器 100 可以是复杂指令集计算（CISC）微处理器、精简指令

集计算 (RISC) 微处理器或其它处理器设备。在图 1 中, 处理器 100 包括用来接收和存储数据信号的触发器电路 15。该触发器电路 15 包括接收触发信号的触发信号输入端, 接收数据信号的数据信号输入端, 与触发信号输入端连接的脉冲发生器, 响应触发信号的边沿产生脉冲信号, 以及响应该脉冲信号接收数据信号和存储该数据信号的锁存器。或者, 触发器电路 15 包括接收触发信号的触发信号输入端, 接收数据信号的数据信号输入端, 与数据信号输入端连接的锁存器, 接收数据信号和存储该数据信号, 以及与触发信号输入端连接的触发抑制器, 在数据信号输入端接收的数据信号与锁存器存储的数据信号一致时抑制触发信号。触发信号可以是时钟信号, 触发信号的边沿可以是上升沿或者可以是下降沿。

图 2 以方框图的形式表示本发明第二实施例的触发器电路。触发器电路 20 包括脉冲发生器 210、锁存器 211、数据输入端 212、数据输出端 213 以及时钟输入端 214。脉冲发生器 210 与时钟输入端 214 连接, 还与锁存器 211 连接。脉冲发生器 210 利用时钟输入端 214 接收时钟信号。一旦上升沿在时钟信号中出现, 脉冲发生器 210 就响应时钟信号的上升沿产生输入给锁存器 211 的脉冲信号。一旦下降沿在时钟信号中出现, 脉冲发生器就不产生输入给锁存器 211 的脉冲信号。锁存器 211 与数据输入端 212 和数据输出端 213 连接。锁存器 211 通常不响应在数据输入端 212 出现的数据信号。但是, 一旦锁存器 211 接收到来自脉冲发生器 210 的脉冲信号, 锁存器 211 就在该脉冲信号的持续时间内传送在数据输入端 212 出现的数据信号。锁存器 211 在下降沿维持该数据信号。锁存器 211 还把该数据信号传送给数据输入出端 213, 继续传送该数据信号直到接收到来自脉冲发生器 210 的下一个脉冲信号为止。一旦锁存器由于时钟信号上升沿的结果接收到来自脉冲发生器 210 的下一个脉冲信号, 锁存器 211 就在该新的脉冲信号的持续时间内传送在数据输入端 212 出现的新的数据信号, 把该新的数据信号传送给数据输出端 213。

因为脉冲发生器 210 仅在上升沿在时钟信号中出现时才产生输入给锁存器 211 的脉冲信号, 所以锁存器 211 仅在上升沿在时钟信号中出现时才维持和传送在数据输入端 212 出现的数据信号。因此触发器电路 20 是边沿触发装置。此外, 与已有主-从触发器电路相比, 触发器电路 20

还更快。在获取更快的性能方面，可用的一种方式是减小触发器在接收一新的数据信号之后输出该新的数据信号所需的时间。所需的时间又可通过减少门电路的数量和缩短数据信号从触发器电路的输入端传送到输出端遇到的相关门电路延迟来得到减小。

5 在触发器电路 20 中，只有一个锁存器、即锁存器 211 位于数据输入端 212 和数据输出端 213 之间。当上升沿在时钟信号中出现时，在数据输入端 212 的数据信号只需要通过一个锁存器、即锁存器 211 到达数据输出端 213。与已有主-从触发器电路相比，因为在已有主-从触发器电路中，数据信号必需通过两个锁存器、即主锁存器和从锁存器，所以触发器电路 20 要快得多。已有主-从触发器中的数据信号于是遇到
10 触发器电路 20 所没有遇到的额外门电路和与额外锁存器相关的门电路延迟。

在一替代实施例中，脉冲发生器 210 响应时钟信号的下降沿而不是时钟信号的上升沿产生输入给锁存器 211 的脉冲信号。响应该脉冲信号，锁存器 211 在该脉冲信号的持续时间内存储在数据输入端 212 出现的数据信号。锁存器 211 还把存储的数据信号传送给数据输出端，继续
15 传送该存储的数据信号直到接收到来自脉冲发生器 210 的下一个脉冲信号为止。

图 3 以方框图的形式表示本发明第三实施例的触发器电路。触发器
20 电路 30 包括脉冲发生器 310、锁存器 311、数据输入端 312、数据输出端 313、时钟输入端 314 以及反馈 315。脉冲发生器 310 与时钟输入端 314、反馈 315 和锁存器 311 连接。脉冲发生器 310、锁存器 311、数据输入端 312、数据输出端 313 以及时钟输入端 314 的运行类似于图 2 的脉冲发生器 210、锁存器 211、数据输入端 212、数据输出端 213
25 以及时钟输入端 214。反馈 315 的一端与脉冲发生器 310 的输出端连接，另一端与脉冲发生器 310 的第一输入端连接。反馈 315 把在脉冲发生器 310 的输出端出现的脉冲信号回传至该脉冲发生器 310 的第一输入端。一旦脉冲发生器 310 通过第二输入端接收时钟信号的上升沿，该脉冲发生器 310 就输出一上升沿。因为脉冲信号的上升沿在脉冲发生器 310 的
30 输出端出现，所以该脉冲信号的上升沿经反馈 315 被回传至脉冲发生器 310 的第一输入端。一旦脉冲发生器 310 通过第一输入端接收到脉冲信号的上升沿，脉冲发生器 310 就产生脉冲信号的下降沿。这样一来，脉

冲发生器 310 就产生了上升沿和下降沿，因此形成了一脉冲信号。

图 4 以逻辑图的形式表示本发明第四实施例的触发器电路。触发器电路 40 包括脉冲发生器 410、锁存器 411、数据输入端 412、数据输出端 413 以及时钟输入端 414。脉冲发生器 410 与时钟输入端 414 和锁存器 411 连接。锁存器 411 与数据输入端 412 和数据输出端 413 连接。脉冲发生器 410 包括反相器 420。反相器 421、反相器 422 以及与非门 423。反相器 420 与时钟输入端 414 和反相器 421 连接。反相器 421 与反相器 422 连接，反相器 422 同与非门 423 连接。脉冲发生器 410 通过时钟输入端 414 接收时钟信号。该时钟信号作为与非门 423 的输入来提供。与非门 423 起开门逻辑的作用。还可以使用其它适合的电路。此外，时钟信号通过反相器 420、反相器 421 和反相器 422 进行传送。反相器 420 和反相器 421 起延迟时钟信号的作用。反相器 422 反相和延迟时钟信号。被延迟和反相的时钟信号还作为与非门 423 的输入来提供。一旦脉冲发生器 410 接收到时钟信号的上升沿，该上升沿就直接传送给与非门 423 的一个输入端。与非门 423 的另一输入端接收被延迟和反相的上升沿，因此与非门 423 输出一下降沿。一旦与非门 423 接收到被延迟和反相的上升时钟沿，与非门 423 就输出一上升沿。这样一来，后面跟有上升沿的下降沿形成了传送给锁存器 411 的脉冲信号。

锁存器 411 包括通过门 424、反相器 425 以及反相器 426。通过门 424 与脉冲发生器 410 的与非门 423 连接，还与反相器 425 和反相器 426 连接。反相器 425 与反相器 426 和数据输出端 413 连接。反相器 426 还与数据输出端 413 连接。反相器 425 和反相器 426 背对背地排列，执行锁存器 411 的存储功能。一旦通过门 424 从脉冲发生器 410 接收到脉冲信号的上升沿，通过门 424 就打开，允许在数据输入端 412 出现的数据信号通过而到达反相器 425。反相器 425 和反相器 426 存储通过通过门 424 的数据信号，并将该数据信号传送给数据输出端 413。一旦通过门 424 接收到脉冲信号的下降沿，通过门 424 就关闭，在数据输入端 412 出现的数据信号不再传送至反相器 425。反相器 425 和反相器 426 继续存储通过通过门 424 的最后数据信号，并继续把该最后数据信号传送给数据输出端 413。当通过门 424 响应脉冲信号后续的上升沿再次打开时，反相器 425 和反相器 426 就存储在数据输入端 412 出现的新的数据信号。这样一来，脉冲发生器 410 产生的脉冲信号就使锁存器 411 存储

了 在数据输入端 412 出现的数据信号。可用脉冲发生器 410 来代替图 2 中的脉冲发生器 210。

5 锁存器 411 可以包括其它合适的电路。例如，通过门和反相器可用 D 触发器或其它合适的锁存或取样-保持存储电路来代替。此外，逻辑门可以包括双极门、CML/ECL 门、CMOS 门或其它合适的逻辑电路技术。锁存器 411 可以是通过门锁存器、多路复用器锁存器、与非-与非锁存器、或非-或非锁存器、三态锁存器或其它合适的锁存器。

10 触发器电路 40 易受与制造晶体管的过程有关的工艺变化的影响。工艺变化表现在一些晶体管的跨导较小而另一些晶体管的跨导较大。当构成反相器 420、反相器 421 和反相器 422 的晶体管的跨导较大时，这些反相器就转换得较快并较早地把延迟时钟信号输出给与非门 423。延迟时钟信号的较早输出还导致延迟上升沿较早地到达与非门 423。由于时钟信号的上升沿没有较早地到达与非门 423，所以延迟时钟信号的较早到达使与非门 423 产生了脉冲宽度较小的脉冲信号。在工艺变化的极端情况下，脉冲宽度会不够大，不足以使锁存器 411 有足够的时间存储数据输入端 412 的数据信号。在工艺变化的更加极端的情况下，脉冲高度会不够高，不足以打开通过门 424。

20 图 5 以逻辑图的形式表示本发明第五实施例的触发器电路。触发器电路 50 包括脉冲发生器 510、锁存器 511、数据输入端 512、数据输出端 513 以及时钟输入端 514。脉冲发生器 510 响应通过时钟输入端 514 接收的时钟信号的上升沿产生脉冲信号。该脉冲信号被传送给锁存器 511。脉冲发生器 510 包括反馈 515、反相器 520、与非门 523、反相器 527 以及锁存器 528。锁存器 528 还包括或非门 521 和或非门 522。这一实施例的锁存器 528 是复位-置位锁存器。一旦脉冲发生器 510 通过时钟输入端 514 接收到时钟信号的上升沿，该上升沿就被传送给反相器 520 和与非门 523。因为传送给反相器 520 的上升沿必需通过或非门 521，所以传送给反相器 520 的该上升沿不改变或非门 522 的输出，与非门 523 只在一个输入端接收一上升沿。因此，与非门 523 一开始响应时钟输入端 514 的时钟信号的上升沿传送一下降沿。该下降沿通过反相器 527，变成脉冲发生器 510 的上升沿输出。该上升沿利用反馈 515 回传至锁存器 528 的 R 输入端。响应 R 输入端处的上升沿，锁存器 528 把一下降沿输出给与非门 523。与非门 523 把一上升沿输出给反相器

527, 该上升沿在发生器 510 的输出端处变成一下降沿。后面跟有脉冲发生器 510 的输出端处的下降沿的脉冲发生器 510 的输出端处的上升沿形成了由脉冲发生器 510 产生的脉冲信号。脉冲发生器 510 产生的该脉冲信号被传送给锁存器 511。这样一来, 与非门 523 起开门逻辑的作用。还可以用其它合适的电路来代替与非门 423。

在这一实施例中, 反馈 515 与脉冲发生器 510 的输出端和脉冲发生器 510 的复位输入端连接。应当懂得反馈 515 可以不与脉冲发生器 510 的输出端而与锁存器 511 连接。例如, 如果合适的话, 反馈 515 可以与一反相器一道与通过门 524 或三态缓冲器 526 连接。

10 锁存器 511 包括通过门 524、反相器 525 以及三态缓冲器 526。除三态缓冲器 526 减少与背对背反相器有关的争用外, 锁存器 511 的操作与图中的锁存器 411 的操作相同。在锁存器 511 从脉冲发生器 510 接收脉冲信号时, 三态缓冲器 526 起开路电路的作用。这样一来, 三态缓冲器 526 不“竞争”通过通过门 524 的新的数据信号。

15 锁存器 528 可以包括其它合适的电路。例如, 复位-置位锁存器可用 D 触发器或其它合适的锁存或取样-保持存储电路来代替。此外, 逻辑门可以包括双极门、CML/ECL 门、CMOS 门、或其它合适的逻辑电路技术。锁存器 528 可以是通过门锁存器、多路复用器锁存器、与非-与非锁存器、三态锁存器或其它合适的锁存器。

20 在一替代实施例中, 脉冲发生器 510 响应时钟信号的下降沿而不是时钟信号的上升沿产生输入给锁存器 511 的脉冲信号。响应该脉冲信号, 锁存器 511 在该脉冲信号的持续时间内存储在数据输入端 512 出现的数据信号。锁存器 512 还把存储的数据信号传送给数据输出端, 继续传送该存储的数据信号直到接收到来自脉冲发生器 510 的下一个脉冲信号为止。

25 与图 4 的触发器电路 40 不同, 触发器电路 50 不易受沟道长度变化的影响。在触发器电路 50 中, 脉冲信号的上升沿在时钟信号的上升沿通过与非门 523 和反相器 527 时被产生。脉冲信号的下降沿在脉冲信号的上升沿通过或非门 522、与非门 523 和反相器 527 时被产生。因此, 30 因为脉冲信号的上升沿和脉冲信号的下降沿都依赖于通过与非门 523 和反相器 527 的信号传送, 所以构成与非门 523 和反相器 527 的晶体管的沟道长度变化不影响脉冲信号的脉冲宽度。因与非门 523 或反相器 527

的沟道长度变化造成的脉冲信号的下降沿的任何提前都被该脉冲信号的上升沿的提前进行了补偿。因此，在触发器电路 50 中，只有一个即或非门 522 元件的沟道长度变化影响脉冲信号的脉冲宽度。作为比较，如上所述，触发器 40 中的三个元件即反相器 420、反相器 421 和反相器 422 任一个的沟道长度变化都会影响脉冲信号的脉冲宽度。所以触发器 50 不那么易受沟道长度变化的影响。

此外，触发器 50 还因为脉冲发生器 510 在通过反馈 515 接收一上升沿之后传送一下降沿而不那么易受沟道长度变化的影响。在图 4 的与上升沿无关地产生下降沿的触发器 40 中，沟道长度变化造成的“滞后”或“缓慢上升”的上升沿会使脉冲信号的脉冲宽度或脉冲高度变小，如果再伴随沟道长度变化造成的“提前”或“快速上升”的延迟上升沿就更是如此。在沟道长度变化的极端情况下，脉冲宽度会不够大，不足以使锁存器 411 有足够的时间存储数据输入端 412 的数据信号。在沟道长度变化的更加极端的情况下，脉冲高度会不够高，不足以打开通过门 424。相反地，触发器 50 在产生下降沿之前“等待”将通过反馈 515 传送的上升沿。因此，“滞后”或“缓慢上升”的上升沿将被“滞后”的下降沿所伴随。这样一来，就保持了合适的脉冲宽度和脉冲高度，消除了沟道长度变化的影响。

图 6 以时序图的形式表示图 5 的脉冲发生器的操作。波形 CLK 表示在时钟输入端 514 出现的时钟信号。波形 CLK 还表示反相器 520 的输入信号和与非门 523 的输入信号之一。波形 R 表示在锁存器 528 的 R 输入端和反相器 527 的输出端出现的输入信号。波形 R 还表示反馈信号。波形 S 表示在锁存器 528 的 S 输入端出现的输入信号和反相器 520 的输出信号。波形 Q 表示在锁存器 528 的 Q 输出端出现的输出信号，还表示与非门 523 的输入信号之一。波形 Q 表示或非门 521 的输出信号和或非门 522 的输入信号之一。波形 NAND 表示与非门 523 的输出信号，还表示反相器 527 的输入信号。

当时钟信号处于第一信号状态例如逻辑零时，反相器 527 把第一信号状态输出给锁存器 528 的 R 输入端（波形 R）。反相器 520 把第二信号状态例如“1”输出给锁存器 528 的 S 输入端（波形 S）。锁存器 528 也输出第二信号状态给与非门 523 的输入端之一（波形 Q）。或非门 521 输出第一信号状态给或非门 522 的输入端之一（波形 Q）。与非门

523 输出第二信号状态给反相器 527 (波形 NAND)。一旦时钟信号转换为第二信号状态,就在可归因于门延迟的一短的时间间隔之后,反相器 520 输出第一信号状态 (波形 S),与非门 523 也输出第一信号状态 (波形 NAND)。响应与非门 523 的输出,反相器 527 输出第二信号状态 (波形 R)。反相器 527 的该信号状态传送给锁存器 511,还通过反馈 515 回传给锁存器 528 的 R 输入端。响应反相器 527 的输出,或非门 522 输出也是锁存器 528 的输出的第一信号状态 (波形 Q)。或非门 522 的输出传送给与非门 523 和或非门 521。响应或非门 522 的输出,或非门 521 输出第二信号状态 (波形 Q),与非门 523 也输出第二信号状态 (波形 NAND)。如上所述,与非门 523 的输出传送给反相器 527。响应与非门 523 的输出,反相器 527 输出第一信号状态 (波形 R)。如波形 R 所示,反相器 527 响应时钟信号从第一信号状态至第二信号状态的转换,从第一信号状态转换至第二信号状态和从第二信号状态回复至第一信号状态。这样一来,反相器 527、从而脉冲发生器 510 就产生了传送给锁存器 511 的脉冲信号。

在脉冲发生器 510 产生的脉冲信号之后,波形 R、S、Q、Q 和 NAND 保持它们各自已有的信号状态直到时钟信号从第二信号状态回复至第一信号状态为止。一旦时钟信号从第二信号状态转换为第一信号状态,反相器 520 就响应时钟输入端 514 的第一信号状态输出第二信号状态。或非门 521 响应反相器 520 的输出输出第一信号状态。或非门 522 响应或非门 521 的输出输出第二信号状态。与非门 523 不受时钟信号从第二信号状态至第一信号状态的转换的影响,继续输出第二信号状态。因此,反相器 527 也不受时钟信号从第二信号状态至第一信号状态的转换的影响,继续输出第一信号状态。因为反相器 527 不受时钟信号从第二信号状态至第一信号状态的转换的影响,所以不产生脉冲信号。于是脉冲发生器 510 在时钟信号从第二信号状态转换为第一信号状态时 (在时钟信号的下降沿期间) 不产生脉冲信号。

当各个元件按照上述方式操作,反相器 527 输出与非门 523 的脉冲信号的延迟及反相形式 (波形 R)。反相器 520 输出时钟信号的延迟及反相形式 (波形 S)。或非门 522 也输出时钟信号的延迟及反相形式。但是,或非门 522 的信号的延迟大于反相器 520 的信号 (波形 Q)。或非门 521 输出在反相器 520 和或非门 522 输出逻辑零的信号时为逻辑

“1”的信号。与非门 523 响应时钟信号的上升沿输出负脉冲信号（后面跟有上升沿的下降沿）。该负脉冲信号的下降沿由时钟信号的上升沿产生。该负脉冲信号的上升沿在或非门 522 输出时钟信号的延迟及反相形式时由或非门 522 产生的下降沿产生。

5 图 7 以方框图的形式表示本发明第六实施例的触发器电路。触发器电路 70 包括脉冲发生器 710、锁存器 711、数据输入端 712、数据输入端 713、时钟输入端 714、“同”门 716 以及或非门 717。“同”门 716 的第一输入端与锁存器 711 连接，“同”门 716 的第二输入端与数据输入端 712 连接。“同”门 716 起比较器的作用，将存储在锁存器 711 的信号状态与在数据输入端 712 出现的信号状态作比较。当存储在锁存器 711 的信号状态与在数据输入端 712 出现的信号状态不一致时，“同”门 716 就输出第一信号状态，例如逻辑零。相反地，当存储在锁存器 711 的信号状态与在数据输入端 712 出现的信号状态一致时，“同”门 716 就输出第二信号状态，例如逻辑“1”。“同”门 716 的输出作为或非门 717 的第一输入来提供。或非门 717 通过第二输入端与时钟输入端 714 连接。或非门 717 起时钟抑制器的作用，在从“同”门 716 接收到第二信号状态时抑制时钟输入端 714 的时钟信号。当或非门 717 从“同”门 10 接收到第一信号状态时，就输出所接收时钟信号的反相信号。该反相时钟信号由或非门 717 传送给脉冲发生器 710。这样一来，“同”门 716 就比较了存储在锁存器 711 的信号状态和在数据输入端 712 出现的信号状态，并在存储在锁存器 711 的信号状态与在数据输入端 712 出现的信号状态一致时与或非门 717 一道抑制了时钟输入端 714 的时钟信号。

25 图 8 以方框图的形式表示本发明第七实施例的触发器电路。触发器电路 80 包括主锁存器 810、从锁存器 811、数据输入端 812、数据输出端 813、时钟输入端 814、“同”门 816 以及或非门 817。在触发器电路 80 中，主锁存器 810 和从锁存器 811 都与时钟输入端 814 连接，接收时钟信号。“同”门 816 和或非门 817 的操作与图 7 的“同”门 716 和或非门 717 的操作相同。当存储在从锁存器 811 的信号状态与在数据输入端 812 出现的信号状态一致时，“同”门 816 与或非门 817 一道对 30 时钟信号进行抑制。

图 9 以流程图的形式表示本发明第八实施例的触发器电路的操作。该触发器电路如方框 950 所示地从数据输入端接收数据信号。该触发器

5 电路还如方框 951 所示地从触发输入端接收触发信号。该触发器电路如方框 952 所示地响应触发信号的边沿产生脉冲信号。脉冲信号的产生可以这样实现：产生延迟触发信号，将该延迟触发信号与触发信号作比较来产生该脉冲信号的上升沿，以及将该延迟触发信号与触发信号作比较来产生该脉冲信号的下降沿。另一方面，还可以这样产生脉冲信号：向锁存器的置位输入端提供触发信号和把锁存器的输出与该触发信号作比较。该触发器电路如方框 953 所示地响应该脉冲信号存储数据信号。数据信号的存储可以这样实现：响应该脉冲信号锁存数据信号，或者响应该脉冲信号打开通过门，把数据信号传送给存储电路。

10 在以上的描述中，参照本发明的具体示范性实施例描述了本发明。但是，显而易见的是：不超出在所附权利要求书中确定的本发明的更宽广的精神和范围可以对本发明进行各种改进和变动。因此说明书及附图应被看作是说明性的而不是限制性的。

15 鉴于本领域的普通技术人员在阅读了以上描述之后将充分理解本发明的许多变动和改进，所以应当认识到举例描述以及图示出的具体实施例决不应被看作是对发明的限制。因此，对具体实施例细节的引用不是打算限制权利要求书的范围，这些引用本身只是列举被认为是本发明的精髓的那些特点而已。

如此就描述了接收和存储数据信号的方法和装置。

20

说明书附图

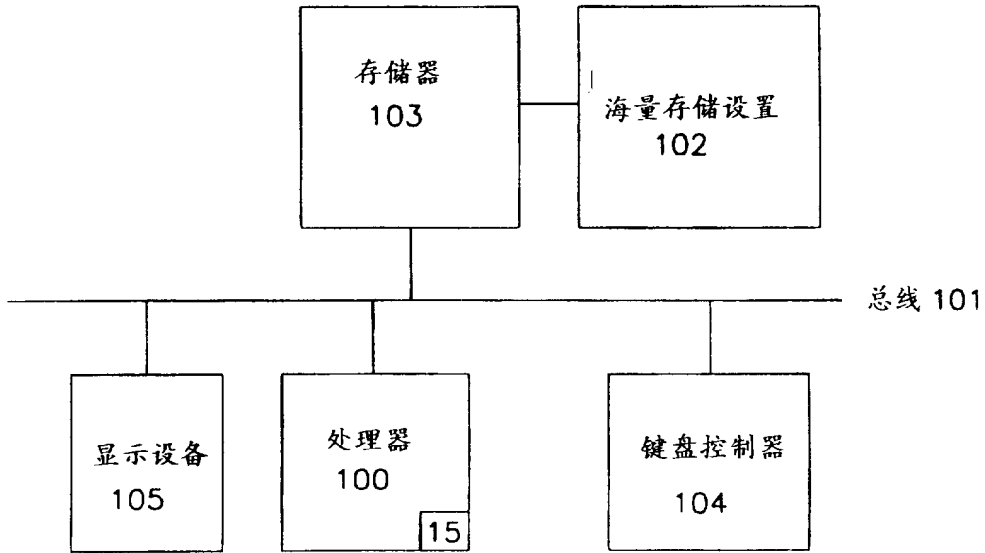


图 1

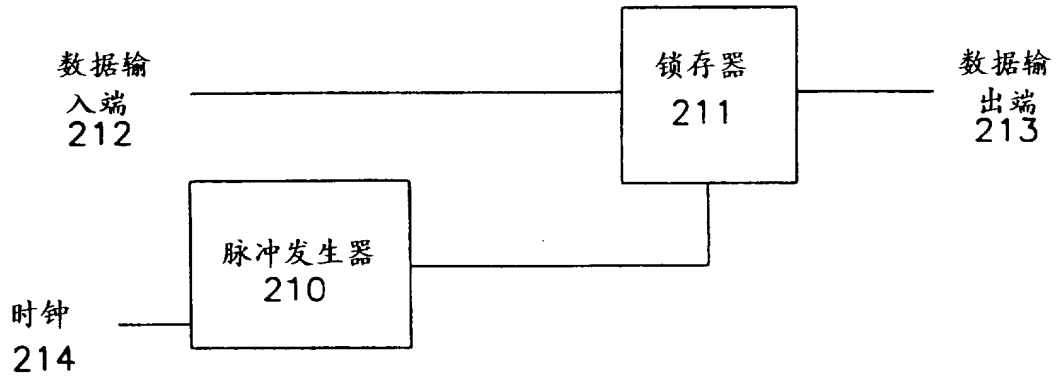


图 2

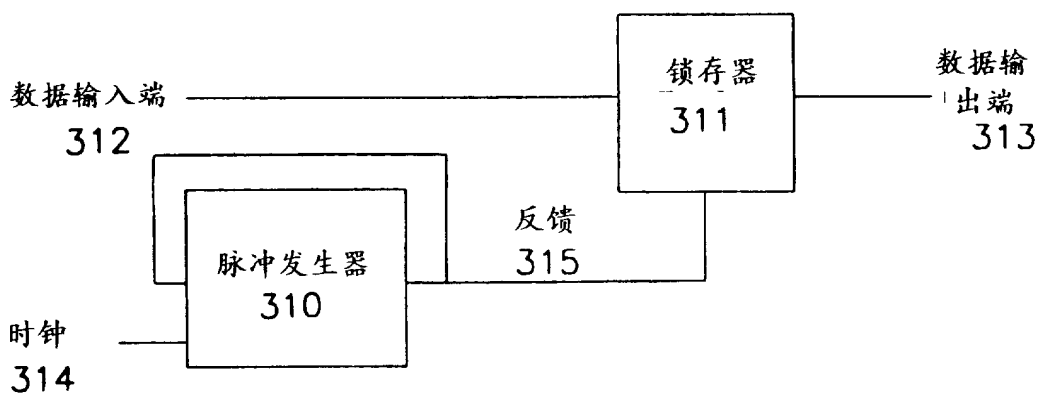


图 3

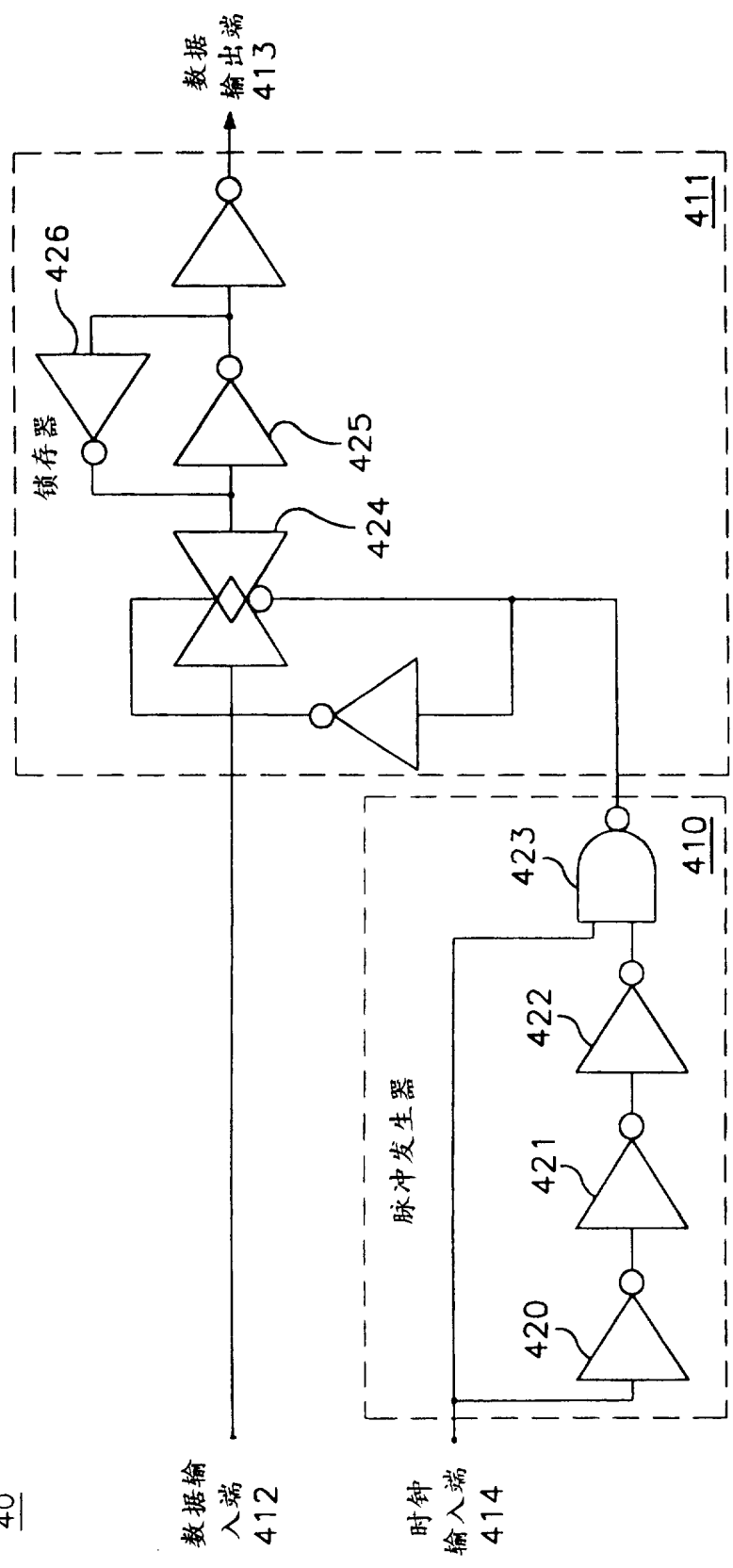


图 4

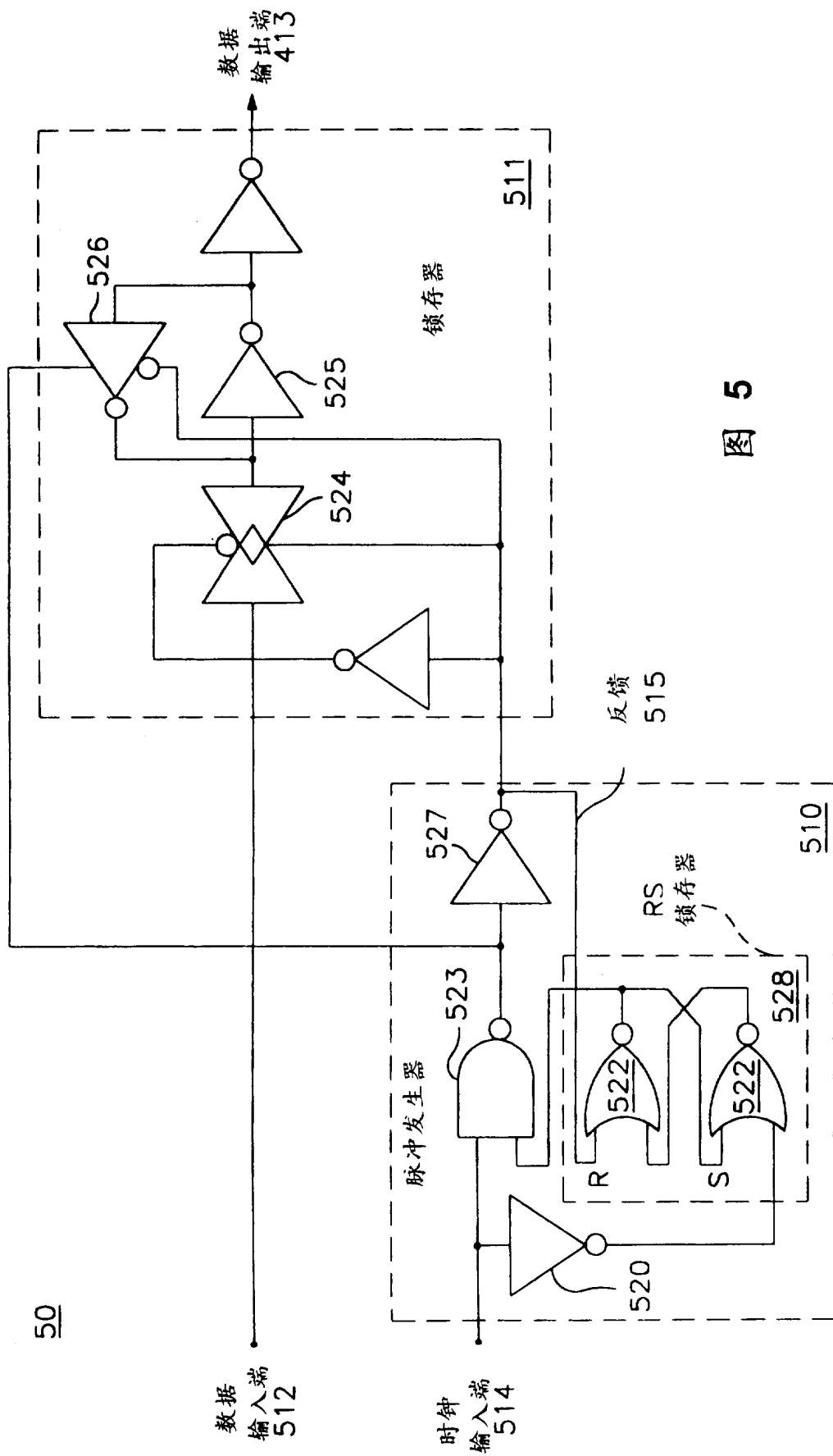


图 5

50

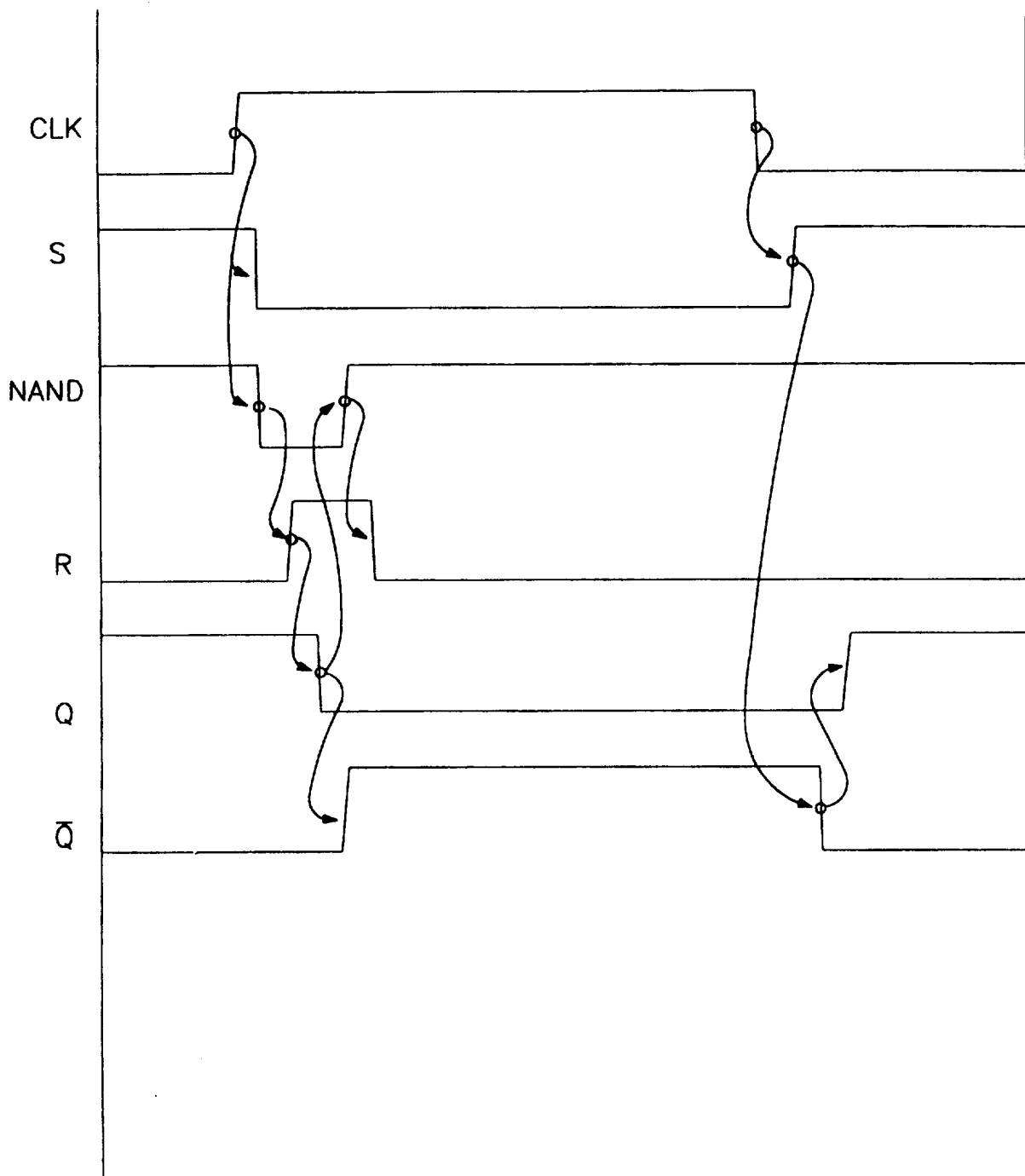


图 6

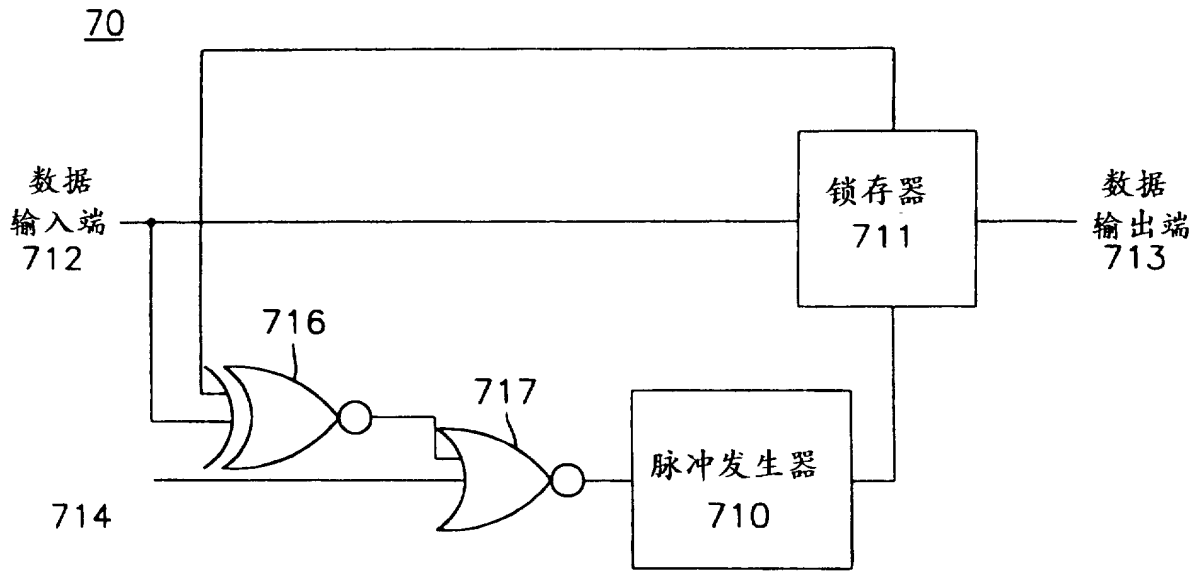


图 7

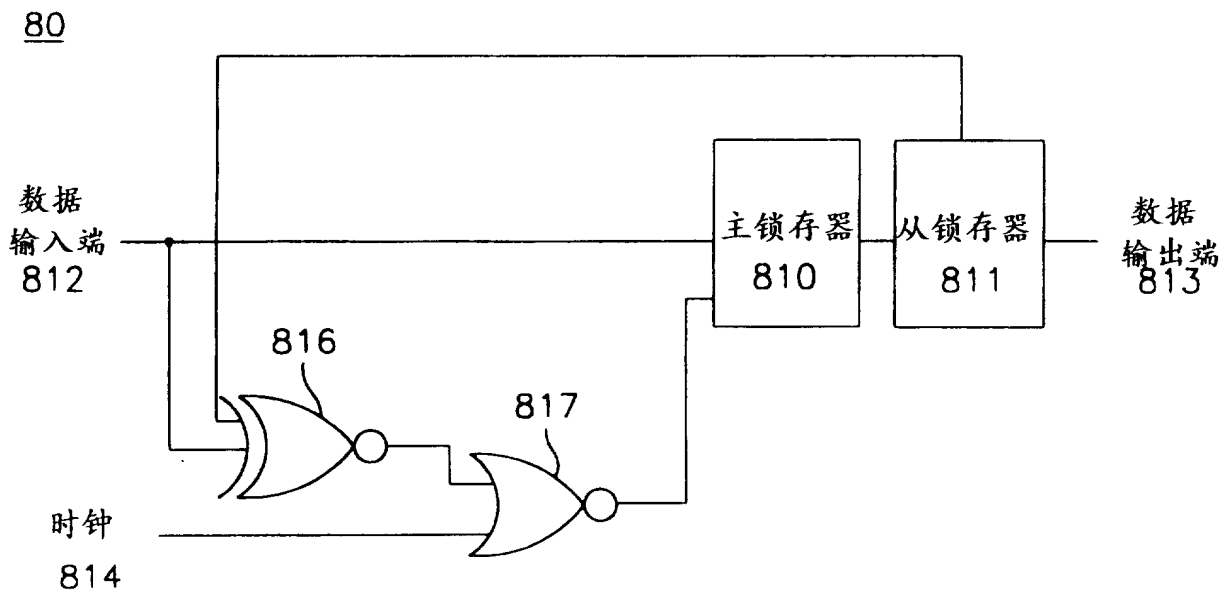


图 8

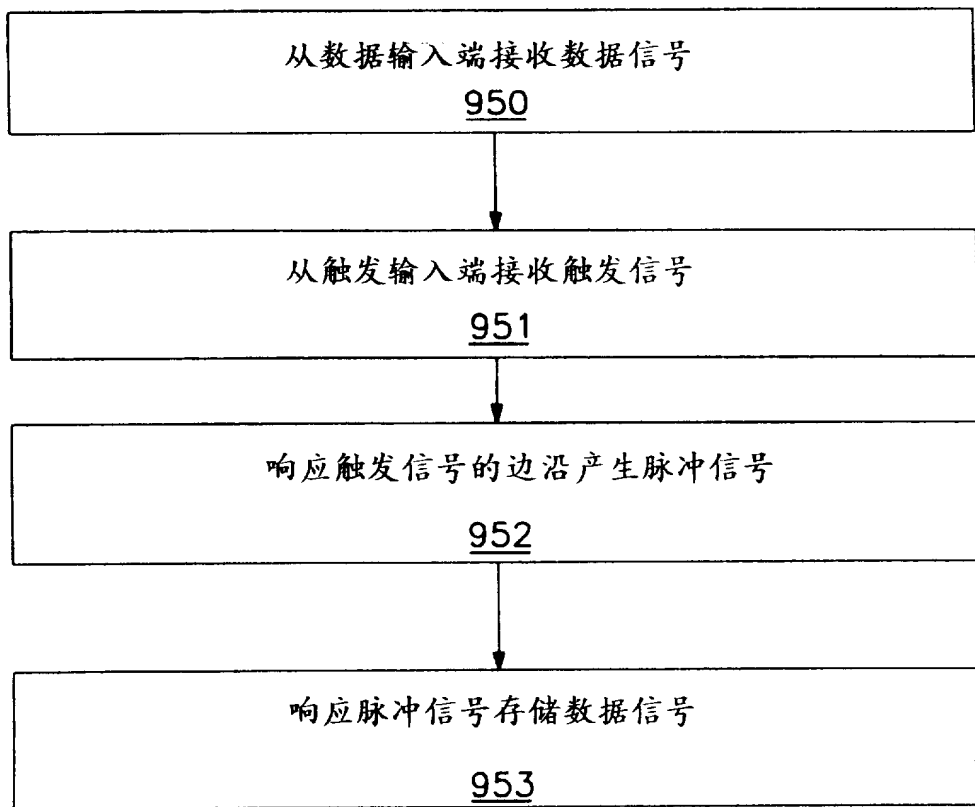


图 9