



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년12월16일

(11) 등록번호 10-1341574

(24) 등록일자 2013년12월09일

(51) 국제특허분류(Int. Cl.)

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2011-0115591

(22) 출원일자 2011년11월08일

심사청구일자 2011년11월08일

(65) 공개번호 10-2012-0050382

(43) 공개일자 2012년05월18일

(30) 우선권주장

JP-P-2010-251725 2010년11월10일 일본(JP)

(56) 선행기술조사문헌

JP4049095 B2\*

JP2003124463 A\*

US20030057478 A1

US20040119076 A1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

미쓰비시덴키 가부시키가이샤

일본국 도쿄도 지요다구 마루노우치 2쵸메 7반 3  
고

(72) 발명자

타루이 요이치로

일본국 도쿄도 지요다구 마루노우치 2쵸메 7반 3  
고 미쓰비시덴키 가부시키가이샤 나이

(74) 대리인

이화의, 김홍두

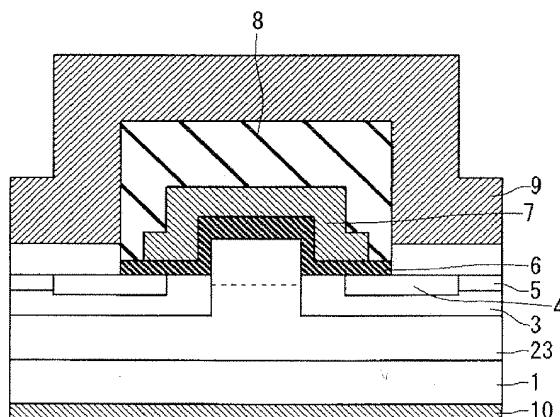
전체 청구항 수 : 총 8 항

심사관 : 최정민

(54) 발명의 명칭 반도체장치 및 그 제조방법

**(57) 요약**

본 발명은, 전계를 완화하여, 게이트 용량을 작게 억제하는 것이 가능한 반도체장치 및 그 제조방법의 제공을 목적으로 한다. 본 발명에 관한 반도체장치는, 제1도전형의 반도체 기판(1)과, 반도체 기판(1) 위에 형성되고, 표면에 볼록부를 갖는 제1도전형의 에피택셜층(23)과, 볼록부를 사이에 끼워, 에피택셜층(23) 표면에 형성된 제2도전형의 웨л 영역(3)과, 웨л 영역(3) 표면에 있어서 선택적으로 형성된, 제1도전형의 소스 영역(4)과, 적어도 볼록부 및 웨л 영역(3) 표면을 덮어 형성된 게이트 절연막(6)과, 볼록부에 대응하는 게이트 절연막(6) 위에 형성된, 게이트 전극(7)을 구비하고, 게이트 절연막(6)은, 볼록부 윗면에 대응하는 영역의 두께가, 다른 영역의 두께보다도 두껍다.

**대 표 도** - 도2

## 특허청구의 범위

### 청구항 1

종형의 트랜지스터인 반도체장치에 있어서,  
제1도전형의 반도체 기판과,  
상기 반도체 기판 위에 형성되고, 표면에 볼록부를 갖는 제1도전형의 에피택셜층과,  
상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 형성된 제2도전형의 웰 영역과,  
상기 웰 영역 표면에 있어서 선택적으로 형성된, 제1도전형의 소스 영역과,  
적어도 상기 볼록부 및 상기 웰 영역 표면을 덮어 형성된 게이트 절연막과,  
상기 볼록부에 대응하는 상기 게이트 절연막 위에 형성된, 게이트 전극을 구비하고,  
상기 게이트 절연막은, 상기 볼록부 윗면에 대응하는 영역의 두께가, 다른 영역의 두께보다도 두꺼운, 반도체장치.

### 청구항 2

제 1항에 있어서,  
상기 에피택셜층은, 상기 볼록부에 있어서의 윗쪽의 영역이, 그것의 아래쪽의 영역보다도 저농도인, 반도체장치.

### 청구항 3

제 2항에 있어서,  
상기 볼록부에 있어서 상기 윗쪽의 영역과 상기 아래쪽의 영역의 경계는, 상기 웰 영역 표면보다 아래쪽, 또한, 상기 소스 영역 저면보다 위쪽으로 규정되는, 반도체장치.

### 청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,  
상기 게이트 절연막은, 상기 볼록부 측면에 대응하는 영역의 두께가, 상기 웰 영역 표면을 덮는 영역의 두께보다도 두꺼운, 반도체장치.

### 청구항 5

제 1항 내지 제 3항 중 어느 한 항에 있어서,  
상기 볼록부 윗면과 상기 게이트 절연막사이에, 제2도전형 영역을 더 구비한, 반도체장치.

### 청구항 6

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 볼록부 윗면과 상기 게이트 절연막 사이에, 반절연성 영역을 더 구비한, 반도체장치.

### 청구항 7

제 1항 내지 제 3항 중 어느 한 항에 있어서,  
상기 반도체 기판은, 와이드 밴드갭 반도체로 이루어진, 반도체장치.

### 청구항 8

종형의 트랜지스터인 반도체장치의 제조방법에 있어서,

- (a) 제1도전형의 반도체 기판 위에, 표면에 볼록부를 갖는 제1도전형의 에피택셜층을 형성하는 공정과,
- (b) 상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 제2도전형의 웨爾 영역을 형성하는 공정과,
- (c) 상기 웨爾 영역 표면에 있어서, 제1도전형의 소스 영역을 선택적으로 형성하는 공정과,
- (d) 적어도 상기 볼록부 및 상기 웨爾 영역 표면을 덮어, 게이트 절연막을 형성하는 공정과,
- (e) 상기 볼록부에 대응하는 상기 게이트 절연막 위에, 게이트 전극을 형성하는 공정을 구비하고,

상기 공정 (d)는, 상기 게이트 절연막을, 상기 볼록부 윗면에 대응하는 영역의 두께가 다른 영역의 두께보다도 두꺼워지도록 형성하는 공정인, 반도체장치의 제조방법.

## 명세서

### 기술분야

[0001]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로서, 특히, MOSFET에 있어서 JFET 영역의 게이트 절연막에 걸리는 전계 완화 및 게이트 용량 저감에 관한 것이다.

### 배경기술

[0002]

반도체장치를 개시하는 특허문헌 1에서는, 드리프트 영역의 표면에 홈(볼록부)을 형성하고, 홈의 저부에 p형 웨爾 영역을 형성한 것이 개시되어 있다. 또한, 홈의 측면의 게이트 절연막을 다른 부분보다 두껍게 하고 있다.

[0003]

이와 같이 구성함으로써, JFET 영역의 게이트 절연막이 홈의 볼록부의 상측에 배치되어, MOSFET의 오프시, 드레인측에 고전압이 인가되었을 때에 JFET 영역의 게이트 절연막에 걸리는 전계를 억제하고 있다.

[0004]

또한 특허문헌 2에서는, 평면형 MOSFET에 있어서, JFET 영역의 게이트 절연막(산화막)을 다른 영역보다 두껍게 하여, JFET 산화막에 걸리는 전계를 억제하고 있다.

### 선행기술문헌

#### 특허문헌

[0005]

(특허문헌 0001) 특허 4049095호 공보

(특허문헌 0002) 일본국 특개 2009-32919호 공보

### 발명의 내용

## 해결하려는 과제

[0006]

특허문헌 1 및 2에 개시된 반도체 장치에서는, JFET 영역의 게이트 절연막에 걸리는 전계강도의 억제가 아직 충분하지 않다고 하는 문제가 있었다. 또한, 게이트 용량이 커져, 고속동작이 어렵다고 하는 문제가 있었다.

[0007]

본 발명은, 이와 같은 문제점을 해결하기 위해 이루어진 것으로, 전계의 힘을 완화하고, 게이트 용량을 작게 억제하는 것이 가능한 반도체장치의 제공을 목적으로 한다.

## 과제의 해결 수단

[0008]

본 발명에 관한 반도체장치는, 제1도전형의 반도체 기판과, 상기 반도체 기판 위에 형성되고, 표면에 볼록부를 갖는 제1도전형의 에피택셜층과, 상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 형성된 제2도전형의 웨爾 영역과, 상기 웨爾 영역 표면에 있어서 선택적으로 형성된, 제1도전형의 소스 영역과, 적어도 상기 볼록부 및 상기 웨爾 영역 표면을 덮어 형성된 게이트 절연막과, 상기 볼록부에 대응하는 상기 게이트 절연막 위에 형성된, 게이트 전극을 구비하고, 상기 게이트 절연막은, 상기 볼록부 윗면에 대응하는 영역의 두께가, 다른 영역의 두께보다도 두껍다.

[0009]

또한, 본 발명에 관한 반도체장치의 제조방법은, (a) 제1도전형의 반도체 기판 위에, 표면에 볼록부를 갖는 제1도전형의 에피택셜층을 형성하는 공정과, (b) 상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 제2도전형의 웨爾 영역을 형성하는 공정과, (c) 상기 웨爾 영역 표면에 있어서, 제1도전형의 소스 영역을 선택적으로 형성하는 공정과, (d) 적어도 상기 볼록부 및 상기 웨爾 영역 표면을 덮어, 게이트 절연막을 형성하는 공정과, (e) 상기 볼록부에 대응하는 상기 게이트 절연막 위에, 게이트 전극을 형성하는 공정을 구비하고, 상기 공정(d)은, 상기 게이트 절연막을, 상기 볼록부 윗면에 대응하는 영역의 두께가 다른 영역의 두께보다도 두꺼워지도록 형성하는 공정이다.

## 발명의 효과

[0010]

본 발명에 관한 반도체장치에 따르면, 제1도전형의 반도체 기판과, 상기 반도체 기판 위에 형성되고, 표면에 볼록부를 갖는 제1도전형의 에피택셜층과, 상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 형성된 제2도전형의 웨爾 영역과, 상기 웨爾 영역 표면에 있어서 선택적으로 형성된, 제1도전형의 소스 영역과, 적어도 상기 볼록부 및 상기 웨爾 영역 표면을 덮어 형성된 게이트 절연막과, 상기 볼록부에 대응하는 상기 게이트 절연막 위에 형성된, 게이트 전극을 구비하고, 상기 게이트 절연막은, 상기 볼록부 윗면에 대응하는 영역의 두께가, 다른 영역의 두께보다도 두꺼운 것에 의해, JFET 영역의 게이트 절연막에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0011]

또한, 본 발명에 관한 반도체장치의 제조방법에 따르면, (a) 제1도전형의 반도체 기판 위에, 표면에 볼록부를 갖는 제1도전형의 에피택셜층을 형성하는 공정과, (b) 상기 볼록부를 사이에 끼워, 상기 에피택셜층 표면에 제2도전형의 웨爾 영역을 형성하는 공정과, (c) 상기 웨爾 영역 표면에 있어서, 제1도전형의 소스 영역을 선택적으로 형성하는 공정과, (d) 적어도 상기 볼록부 및 상기 웨爾 영역 표면을 덮어, 게이트 절연막을 형성하는 공정과, (e) 상기 볼록부에 대응하는 상기 게이트 절연막 위에, 게이트 전극을 형성하는 공정을 구비하고, 상기 공정(d)은, 상기 게이트 절연막을, 상기 볼록부 윗면에 대응하는 영역의 두께가 다른 영역의 두께보다도 두꺼워지도록 형성하는 공정인 것에 의해, JFET 영역의 게이트 절연막에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

## 도면의 간단한 설명

[0012]

도 1은 실시형태 1에 관한 반도체장치의 구조 단면도다.

도 2는 실시형태 1에 관한 반도체장치의 구조 단면도다.

도 3은 실시형태 1에 관한 반도체장치의 구조 단면도다.

도 4는 실시형태 1에 관한 반도체장치의 구조 단면도다.

도 5는 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 6은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 7은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 8은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 9는 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 10은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 11은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 12는 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 13은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 14는 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 15는 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 16은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 17은 실시형태 1에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 18은 실시형태 2에 관한 반도체장치의 구조 단면도다.

도 19는 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 20은 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 21은 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 22는 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 23은 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 24는 실시형태 2에 관한 반도체장치의 제조공정을 도시한 도면이다.

도 25는 전제기술에 관한 반도체장치의 구조 단면도다.

도 26은 전제기술에 관한 반도체장치의 구조 단면도다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

<A. 실시형태 1>

우선, 본 발명에 관한 반도체장치의 전제가 되는 기술에 대해 설명한다.

[0015]

도 25에 나타낸 것과 같이, 본 발명의 전제가 되는 반도체장치는, 제1도전형(예를 들면 N형)의 반도체 기판(1) 위에 드리프트층인 제1도전형의 에피택셜층(2)이 형성되고, 이 에피택셜층(2)은, 홈과 홈으로 끼워진 볼록부를 갖고 있다.

[0016]

에피택셜층(2)의 볼록부를 사이에 끼워, 에피택셜층(2)의 홈의 표면에 제2도전형의 웨이 영역(3)이 형성되고, 웨이 영역(3)의 표면에는, 제1도전형의 소스 영역(4)이 선택적으로 더 형성되어 있다. 그리고, 소스 영역(4)에 인접하여, 콘택 영역(5)이, 에피택셜층(2) 표면에 형성되어 있다.

[0017]

도면에 나타낸 것과 같이, 볼록부를 포함하는 에피택셜층(2)의 표면을 덮어, 게이트 절연막(22)이 형성되고, 에피택셜층(2)의 볼록부를 중심으로 한 영역에 대응하여, 게이트 절연막(22) 위에 게이트 전극(7)이 배치된다.

[0018]

게이트 전극(7) 위에, 층간 절연막(8)을 개재하여 소스 전극(9)이 형성된다. 반도체 기판(1)의 에피택셜층(2)이 형성된 측과는 반대측의 면에는, 드레인 전극(10)이 형성된다.

[0019]

이와 같은 구조로 함으로써, JFET 영역의 게이트 절연막(22)은, 볼록부의 윗면을 덮어 배치되므로,

MOSFET의 오프시에 드레인측에 고전압이 인가된 경우, JFET 영역의 게이트 절연막(22)에 걸리는 전계를 억제할 수 있다. 그러나 도 25의 영역 X에서는, 전계의 억제가 충분하지 않다.

[0020] 도 26에 나타낸 반도체장치는, 도 25에 나타낸 반도체장치와 구조는 거의 동일하지만, 도 25에 나타낸 경우와 달리, 에피택셜층(20)은 볼록부를 갖지 않고 있다. 즉, 에피택셜층(20)의 표면과, 웨爾 영역(3), 소스 영역(4)을 형성한 표면의 높이가 동일하다. 또한, 도 25에 나타낸 경우와 달리, 게이트 절연막(21)은, 웨爾 영역(3), 소스 영역(4)이 형성되지 않는 영역, 즉 게이트 전극(7)의 바로 아래에 대응하는 영역에 있어서, 다른 영역보다도 두껍게 형성된다.

[0021] 이와 같은 구조로 함으로써, JFET 영역의 게이트 절연막(21)은 다른 영역보다도 두꺼워지므로, JFET 영역의 게이트 절연막(21)에 걸리는 전계를 억제할 수 있다. 그러나 도 26의 영역 Y에서는, 계의 억제가 충분하지 않다.

[0022] 이하에 나타낸 실시예에서는, 상기와 같은 문제를 해결하여, 전계의 세기를 완화하고, 게이트 용량을 작게 억제한 반도체장치에 대해 상세하게 서술한다.

#### [0023] <A-1. 구성>

[0024] 도 1에 도시된 것은, 실시형태 1에 관한 반도체장치의 구조 단면도다. 게이트 절연막(6)은, 에피택셜층(2)의 볼록부의 윗면에 대응하는 영역이, 다른 영역보다 두껍게 형성되어 있는 것이 바람직하다.

[0025] 도시하는 것과 같이, 에피택셜층(2)은 볼록부를 갖고 있으므로, 볼록부를 사이에 끼워 형성되는 웨爾 영역(3)의 단부와, 강한 전계가 생기는 볼록부 윗면의 단부의 거리가 커져, 전계를 완화하는 효과가 있다. 또한, JFET 영역의 에피택셜층(2)이 볼록부로 되어 있는 것으로 위쪽으로 돌출하여, 결과적으로 게이트 용량이 보다 저감되어, 고속동작이 가능해진다.

[0026] 더구나, 볼록부의 측면의 게이트 절연막(6)의 두께도, 웨爾 영역(3) 표면을 덮는 영역의 두께보다도 두껍게 하는 것이 가능하다. 이 경우에는, 볼록부 윗면의 단부에서의 전계를 보다 저감할 수 있고, 게이트 용량도 작게 할 수 있다.

[0027] 여기에서, 볼록부의 깊이는  $0.1\sim0.5\mu\text{m}$  정도가 바람직하고, 볼록부의 폭(JFET 영역의 폭)은  $1\sim5\mu\text{m}$  정도가 바람직하다. 따라서 그 경우에는, 볼록부의 측면보다 볼록부의 윗면 쪽이 면적이 커진다. 이 때문에, 측면의 게이트 절연막(6)을 두껍게 하는 것보다, 윗면의 게이트 절연막(6)을 두껍게 하는 쪽이 게이트 용량 저감의 효과가 크다.

[0028] 도 2 및 도 3은, 도 1에 나타낸 것과 같은 본 실시형태 1에 관한 반도체장치에 있어서, 2단계의 불순물 농도를 갖는 에피택셜층(23)을 채용한 경우의 구조 단면도다. 그 밖의 구조에 대해서는, 도 1에 나타낸 경우와 같으므로, 상세한 설명은 생략한다. 이때, 도 2의 게이트 절연막(6)은, 도 1의 게이트 절연막(6)과 마찬가지로 볼록부 윗면이 다른 영역보다도 두껍게 형성되어 있지만, 도 25의 게이트 절연막(22)과 같이, 볼록부 윗면의 두께가, 다른 영역과 같은 정도이어도 된다.

[0029] 도 2 및 도 3에 나타낸 반도체장치에 있어서, 제1도전형의 에피택셜층(23)의 불순물 농도는, 볼록부 윗쪽의 영역이, 그것의 아래쪽의 영역에 있어서의 불순물 농도보다도 낮아져 있다. 저농도 영역으로 되는 경계는, 도 2에 점선으로 나타낸 위치이며, 도 3에 상세를 나타낸 것과 같이, 웨爾 영역(3) 표면(윗쪽의 일점쇄선)보다도 아래쪽, 또한, 소스 영역(4) 저면(아래쪽의 일점쇄선)보다 윗쪽으로 규정되는 것이 바람직하다.

[0030] 이와 같이, 경계보다 윗쪽에서 에피택셜층(23)의 불순물 농도를 낮게 함으로써, 볼록부 윗면측에 있어서 공핍층이 퍼지기 쉬워, JFET 영역의 게이트 절연막(6)에 걸리는 전계가 억제된다.

[0031] 또한, 경계가 웨爾 영역(3) 표면보다 아래쪽으로 됨으로써, 도 3에 나타낸 영역 Z에 걸리는 전계를 억제할 수 있다. 더구나, 소스 영역(4) 저면보다 윗쪽으로 함으로써, JFET 저항의 증대를 억제할 수 있다.

[0032] 도 4는, 본 실시형태 1에 관한 반도체장치의 구조에 대해서, 부분적으로 나타낸 것이다.

[0033] 예를 들면 반도체 기판으로서 SiC 기판을 채용하고, 육방정의 SiC을 사용하는 경우, 기판의 면 방위를 도 4에 나타낸 것과 같이, 볼록부가 형성되지 않는 영역의 에피택셜층(2) 표면이 (0001) Si면이 되도록 한다. 이와 같이 형성함으로써, 게이트 절연막(6)을 열산화로 형성했을 때, 열산화 속도의 이방성으로부터, 볼록부의

측면 쪽이 볼록부가 형성되지 않는 영역보다 산화막이 커진다.

[0034] 이때, 기판의 면 방위는 (0001) Si면으로부터 몇도 기울여도 된다. 시판되고 있는 기판은 통상, 4도 내지 8도의 오프각이 있지만, 이 정도의 기울기이면, 볼록부가 형성되지 않는 영역과 볼록부의 측면의 열산화 속도의 이방성을 충분히 확보할 수 있기 때문에, 실현가능하다.

[0035] 열산화 속도의 이방성에 의해 볼록부의 측면의 열산화막이 볼록부가 형성되지 않는 영역의 열산화막보다 두꺼워져, JFET 영역의 게이트 산화막에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0036] 이때, 도 4에 있어서는 에피택셜층 2를 사용한 구조를 나타내고 있지만, 에피택셜층 23을 사용하는 것도 가능하다.

#### [0037] <A-2. 제조방법>

[0038] 도 5~도 12에 본 실시형태 1에 관한 반도체장치의 제조방법을 나타낸다. 이때, 이하에서는, 반도체 기판의 일례로서 와이드 밴드갭 반도체로서 SiC 기판을 사용한다.

[0039] 제1도전형의 반도체 기판(1), 예를 들면 n+형 SiC 기판 위에, 에피택셜층(23), 예를 들면 n-형 SiC을 에피택셜 성장한 층을 형성한다(도 5 참조). 이때, 소정의 두께까지 에피택셜성장시키면, 불순물 농도를 변경하여, 도면의 점선보다 윗쪽의 영역에 대해서는, 아래쪽의 영역보다도 불순물 농도가 낮아지도록 생성한다.

[0040] 더구나 에피택셜층(23)의 윗면에, 고농도 이온 주입층(24)을 형성한다(도 6 참조). 여기에서 고농도 이온 주입층(24)이란, 주입된 이온의 체적밀도가  $1 \times 10^{20} \text{ cm}^{-3}$  이상으로 되는 것이며, 이온이 주입된 예를 들면 SiC은, 아모퍼스화하고 있는 것이 특징이다. 또한, 고농도 이온 주입층(24)의 두께는, 후술하는 게이트 절연막(6)의 두께보다도 두껍게 할 필요가 있다. 이에 따라, 후술하는 증속 산화(accelerated oxidation)으로 형성되는 절연막 두께를, 그 이외의 영역의 게이트 절연막(6)보다 두껍게 할 수 있다.

[0041] 다음에 마스크(25)를 사용해서 에칭을 행하여, 에피택셜층(23) 표면에 볼록부를 형성한다. 이때 볼록부는, 그것의 높이가 고농도 이온 주입층(24)의 두께보다도 높아지도록 형성하고(도 7 참조), 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 얇은 위치까지 에칭한다.

[0042] 동일한 마스크(25)를 사용하여, 에피택셜층(23)의 볼록부가 형성되지 않는 영역에, 이온 주입에 의해 제2도전형의 웨爾 영역(3), 예를 들면 p웨爾 영역을 형성한다(도 8 참조). 이때 웨爾 영역(3)은, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다.

[0043] 마스크(29)와 이온 주입에 의해, 웨爾 영역(3) 내부에 소스 영역(4)을 형성한다(도 9 참조). 이 때 소스 영역(4)은, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다.

[0044] 더구나 마스크(30)를 사용해서 콘택 영역(5)을 형성하고(도 10 참조), 도면에는 도시하지 않은 종단부의 전계 완화 영역을 형성한 후에 활성화 어닐처리를 행하여, 웨爾 영역(3), 소스 영역(4) 및 콘택 영역(5)의 각 이온 주입 영역의 활성화를 행한다. 이때, 고농도 이온 주입층(24)은, 결정 결함이 완전하게는 회복하지 않도록 한다.

[0045] 에피택셜층(23), 웨爾 영역(3), 소스 영역(4) 및 콘택 영역(5)을 덮어 게이트 절연막(6)을 열산화로 형성하면, 볼록부 윗면에 있는 고농도 이온 주입층(24)에 결정 결함이 남아 있기 때문에, 결정 결함이 없는 영역보다도 산화 속도가 빨라진다(증속 산화). 이 때문에, 볼록부가 형성되지 않은 영역의 게이트 절연막(6)보다도, 볼록부 윗면의 게이트 절연막(6)을 두껍게 형성할 수 있다(도 11 참조).

[0046] 게이트 절연막(6) 형성후에는, 일반적인 MOSFET 제조방법과 마찬가지로 poly-Si 등의 게이트 전극(7), 충간 절연막(8), Ni나 Al 등의 소스 전극(9) 및 Ni 등의 드레인 전극(10)을 형성함으로써 원하는 반도체장치를 제조할 수 있다(도 12 참조).

[0047] 이때, 도 12까지의 제조방법에 있어서는, 에피택셜층 23을 사용한 경우를 나타내고 있지만, 에피택셜층 2를 사용하는 것도 가능하다.

[0048] 볼록부 윗면에 대응하는 게이트 절연막(6)을 두껍게 함으로써, 볼록부 윗면의 모서리에서 전계가 강해지는 것을 억제할 수 있다. 또한 게이트 절연막(6)의 두께가 두꺼워짐으로써, 게이트 용량을 저감할 수 있어,

고속동작을 행하는 것이 가능해진다.

[0049] 더구나 볼록부의 측면의 게이트 절연막(6) 두께도, 볼록부가 형성되지 않는 영역보다 두껍게 함으로써, 볼록부 윗면의 모서리의 전계를 보다 저감할 수 있고, 게이트 용량도 보다 작게 할 수 있다. 이때, 도 5~도 12에 있어서, 고농도 이온 주입층(24)을 산소 이온으로 형성하면 된다. 이 경우에는, SiC 중에 산소가 들어감으로써 증속 산화에 의해 형성되는 절연막(열산화막)의 품질이 향상되어, 절연파괴 내량이 커진다. 또한, 고농도 이온 주입층(24)을 질소 이온으로 형성해도 된다. SiC 중에 질소가 들어가면, 열산화시에 계면에 질소가 받아들여지기 때문에 계면 준위를 저감할 수 있다. 이 때문에, MOSFET의 채널 이동도가 향상되어, 온 저항을 저감할 수 있다.

[0050] 또한, 도 13~도 17에 본 실시형태 1에 관한 반도체장치의 제조방법의 변형예를 나타낸다. 기본 플로우는 도 5~도 12에 나타낸 제조방법과 같으므로, 다른 공정을 상세하게 설명한다.

[0051] 제1도전형의 반도체 기판(1), 예를 들면 n+형 SiC 기판 위에, 에피택셜층(34), 예를 들면 n-형 SiC을 에피택셜 성장한 층을 형성한다(도 13 참조). 이때, 소정의 두께까지 에피택셜 성장시키면, 불순물 농도를 변경하여, 도면의 접선보다 윗쪽의 영역에 대해서는, 아래쪽의 영역보다도 불순물 농도가 낮아지도록 생성한다. 더구나 그것의 윗면에, 고농도 이온 주입층(24)을 형성한다.

[0052] 다음에 마스크(31)를 사용해서 에칭을 행하여, 에피택셜층(34) 표면에 볼록부를 형성한다(도 14 참조). 이때 볼록부는, 그것의 높이가 고농도 이온 주입층(24)의 두께보다도 높아지도록 형성하고(도 14 참조), 에피택셜층(34)의 불순물 농도가 변경되는 경계보다도 얇은 위치까지 에칭한다. 이때, 얼라인먼트 마크(26)도 동시에 형성한다.

[0053] 동일한 마스크(31)를 사용하여, 에피택셜층(34)의 볼록부가 형성되지 않는 영역(홈의 영역)에, 이온 주입에 의해 제2도전형의 웨爾 영역(3), 예를 들면 p웨爾 영역을 형성한다(도 15 참조). 이때 웨爾 영역(3)은, 에피택셜층(34)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다. 또한, 얼라인먼트 마크(26)에도 이온을 주입한다.

[0054] 마스크(32)와 이온 주입에 의해, 웨爾 영역(3) 내부에 소스 영역(4)을 형성한다(도 16 참조). 이때 소스 영역(4)은, 에피택셜층(34)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다.

[0055] 더구나 마스크(33)를 사용해서 콘택 영역(5)을 형성한다 (도 17 참조). 도면에는 도시하지 않은 종단부의 전계 완화 영역을 형성한 후에 활성화 어닐 처리를 행하여, 웨爾 영역(3), 소스 영역(4) 및 콘택 영역(5)의 각 이온 주입 영역의 활성화를 행한다.

[0056] 이와 같이 하여 반도체장치를 형성함으로써, 얼라인먼트 마크(26)를 형성하는 공정을 삽입할 수 있을 뿐 아니라, 웨爾 영역(3)과 소스 영역(4)의 얼라인먼트 정밀도를 향상할 수 있다.

[0057] 이때, 도 17까지의 제조방법에 있어서는, 에피택셜층(34)을 사용한 경우를 나타내고 있지만, 에피택셜층 내에 농도 차이를 설치하지 않는 경우이어도 된다.

#### [0058] <A-3. 효과>

[0059] 본 발명에 관한 실시형태 1에 따르면, 반도체장치에 있어서, 제1도전형의 반도체 기판(1)과, 반도체 기판(1) 위에 형성되고, 표면에 볼록부를 갖는 제1도전형의 에피택셜층(23)과, 볼록부를 사이에 끼워, 에피택셜층(23) 표면에 형성된 제2도전형의 웨爾 영역(3)과, 웨爾 영역(3) 표면에 있어서 선택적으로 형성된, 제1도전형의 소스 영역(4)과, 적어도 볼록부 및 웨爾 영역(3) 표면을 덮어 형성된 게이트 절연막(6)과, 볼록부에 대응하는 게이트 절연막(6) 위에 형성된, 게이트 전극(7)을 구비하고, 게이트 절연막(6)은, 볼록부 윗면에 대응하는 영역의 두께가, 다른 영역의 두께보다도 두꺼움으로써, JFET 영역의 게이트 절연막(6)이 두꺼워져, MOSFET의 오프시에 게이트 절연막(6)에 걸리는 전계를 억제하고, 또한, 게이트 용량을 저감할 수 있다.

[0060] 또한, 본 발명에 관한 실시형태 1에 따르면, 반도체장치에 있어서, 에피택셜층(23)은, 볼록부에 있어서의 윗쪽의 영역이, 그것의 아래쪽의 영역보다도 저농도임으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막(6)에 걸리는 전계를 더욱 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0061] 또한, 본 발명에 관한 실시형태 1에 따르면, 반도체장치에 있어서, 볼록부에 있어서의 윗쪽의 영역과 아래쪽의 영역의 경계는, 웨爾 영역(3) 표면보다 아래쪽, 또한, 소스 영역(4) 저면보다 윗쪽으로 규정됨으로써, 영역 Z에 걸리는 전계를 억제할 수 있고, 윗쪽의 저농도의 영역이 깊게 형성되지 않기 때문에, JFET 저항의 증

가가 적다.

[0062] 또한, 본 발명에 관한 실시형태 1에 따르면, 반도체장치에 있어서, 게이트 절연막(6)은, 불록부 측면에 대응하는 영역의 두께가, 웰 영역(3) 표면을 덮는 영역의 두께보다도 두꺼움으로써, MOSFET의 오프시에 게이트 절연막(6)에 걸리는 전계를 한층 더 억제하고, 또한, 게이트 용량을 저감할 수 있다.

[0063] 또한, 본 발명에 관한 실시형태 1에 따르면, 반도체장치의 제조방법에 있어서, (a) 제1도전형의 반도체 기판(1) 위에, 표면에 불록부를 갖는 제1도전형의 에피택셜층(23)을 형성하는 공정과, (b) 불록부를 사이에 끼워, 에피택셜층(23) 표면에 제2도전형의 웰 영역(3)을 형성하는 공정과, (c) 웰 영역(3) 표면에 있어서, 제1도전형의 소스 영역(4)을 선택적으로 형성하는 공정과, (d) 적어도 불록부 및 웰 영역(3) 표면을 덮어, 게이트 절연막(6)을 형성하는 공정과, (e) 불록부에 대응하는 게이트 절연막(6) 위에, 게이트 전극(7)을 형성하는 공정을 구비하고, 공정 (d)은, 게이트 절연막(6)을, 불록부 윗면에 대응하는 영역의 두께가 다른 영역의 두께보다도 두꺼워지도록 형성하는 공정인 것에 의해, JFET 영역의 게이트 절연막(6)이 두꺼워져, MOSFET의 오프시에 게이트 절연막(6)에 걸리는 전계를 억제하고, 또한, 게이트 용량을 저감할 수 있다.

[0064] <B. 실시형태 2>

[0065] <B-1. 구성>

[0066] 도 18에 도시하는 것은, 실시형태 2에 관한 반도체장치의 구조 단면도다. 도 1에 나타낸 구조 이외에, 불록부 윗면과 게이트 절연막(6) 사이에, 제2도전형 영역(27) 혹은 반절연성 영역(28)을 형성한다.

[0067] 이와 같이 형성함으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막(6)에 걸리는 전계를 더욱 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0068] 이때, 도 18에 있어서는, 에피택셜층 2를 사용한 경우를 나타내고 있지만, 에피택셜층 23을 사용하는 것도 가능하다.

[0069] <B-2. 제조방법>

[0070] 도 19~도 21에, 실시형태 2에 관한 반도체장치의 제1 제조방법을 나타낸다. 기본 플로우는, 실시형태 1의 도 5~도 12에 나타낸 제조방법과 같으므로, 다른 공정을 상세하게 설명한다.

[0071] 제1도전형의 반도체 기판(1), 예를 들면 n+형 Si C기판 위에, 에피택셜층(23), 예를 들면 n-형 SiC을 에피택셜 성장한 층을 형성한다. 이때, 소정의 두께까지 에피택셜 성장시키면, 불순물 농도를 변경하여, 도면의 점선보다 윗쪽의 영역에 대해서는, 아래쪽의 영역보다도 불순물 농도가 낮아지도록 생성한다. 더구나 그것의 윗면에, 고농도 이온 주입층(24)을 형성하지만(도 19 참조), 이 고농도 이온 주입층(24)을 형성할 때에, 고농도 이온 주입층(24) 아래에 제2도전형 영역(27)을 형성한다. 여기에서, 고농도 이온 주입층(24)에 주입하는 이온과, 제2도전형 영역(27)을 형성하는 물질이, 같은 이온이어도 된다.

[0072] 다음에 마스크를 사용해서 에칭을 행하여, 에피택셜층(23) 표면에 불록부를 형성한다. 이때 불록부는, 그것의 높이가 고농도 이온 주입층(24)과 제2도전형 영역(27)의 두께보다도 높아지도록 형성하고, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 얇은 위치까지 에칭한다.

[0073] 동일한 마스크를 사용하여, 에피택셜층(23)의 불록부가 형성되지 않는 영역에, 이온 주입에 의해 제2도전형의 웰 영역(3), 예를 들면 p웰 영역을 형성한다. 이때 웰 영역(3)은, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다.

[0074] 이온 주입을 사용하여, 웰 영역(3) 내부에 소스 영역(4)을, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성하여, 콘택 영역(5)을 더 형성한다. 도면에는 도시하지 않은 종단부의 전계 완화 영역을 형성한 후에 활성화 어닐 처리를 행하여, 웰 영역(3), 소스 영역(4) 및 콘택 영역(5)의 각 이온 주입 영역의 활성화를 행한다.

[0075] 에피택셜층(23), 웰 영역(3), 소스 영역(4), 콘택 영역(5) 및 제2도전형 영역(27)을 덮어 게이트 절연막(6)을 열산화로 형성하면, 불록부 윗면에 있는 고농도 이온 주입층(24)에 결정 결함이 남아 있기 때문에, 결정 결함이 없는 영역보다도 산화 속도가 빨라진다(증속 산화). 이 때문에, 불록부가 형성되지 않는 영역의 게이

트 절연막(6)보다도, 볼록부 윗면의 게이트 절연막(6)을 두껍게 형성할 수 있다(도 20 참조).

[0076] 더구나, 일반적인 MOSFET 제조방법과 마찬가지로 poly-Si 등의 게이트 전극(7), 층간 절연막(8), Ni이나 Al 등의 소스 전극(9), 및 Ni 등의 드레인 전극(10)을 형성함으로써 원하는 반도체장치를 제조할 수 있다(도 21 참조). 제2도전형 영역(27)에 주입하는 이온으로서는, Al 또는 B를 사용하면 된다.

[0077] 이때, 도 21에 있어서는, 에피택셜층 23을 사용한 경우를 나타내고 있지만, 에피택셜층 2를 사용하는 것도 가능하다.

[0078] 이와 같이 형성함으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막(6)에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0079] 또한, 도 22~도 24에, 실시형태 2에 관한 반도체장치의 제2 제조방법을 나타낸다. 기본 플로우는, 실시형태 1의 도 5~12에 나타낸 제조방법과 같으므로, 다른 공정을 상세하게 설명한다.

[0080] 제1도전형의 반도체 기판(1), 예를 들면 n+형 SiC 기판 위에, 에피택셜층(23), 예를 들면 n-형 SiC을 에피택셜 성장한 층을 형성한다. 이때, 소정의 두께까지 에피택셜 성장시키면, 불순물 농도를 변경하여, 도면의 점선보다 윗쪽의 영역에 대해서는, 아래의 영역보다도 불순물 농도가 낮아지도록 형성한다. 더구나 그것의 윗면에, 고농도 이온 주입층(24)을 형성하지만(도 22 참조), 이 고농도 이온 주입층(24)을 형성할 때에, 고농도 이온 주입층(24)의 아래에 절연성 영역(28)을 형성한다. 여기에서, 고농도 이온 주입층(24)에 주입하는 이온과, 반절연성 영역(28)을 형성하는 물질이, 같은 이온이어도 된다.

[0081] 다음에 마스크를 사용해서 에칭을 행하여, 에피택셜층(23) 표면에 볼록부를 형성한다. 이때 볼록부는, 그것의 높이가 고농도 이온 주입층(24)과 반절연성 영역(28)의 두께보다도 높아지도록 형성하고, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 얇은 위치까지 에칭한다.

[0082] 동일한 마스크를 사용하여, 에피택셜층(23)의 볼록부가 형성되지 않는 영역에, 이온 주입에 의해 제2도전형의 웨爾 영역(3), 예를 들면 p웨爾 영역을 형성한다. 이때 웨爾 영역(3)은, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성한다.

[0083] 이온 주입을 사용하여, 웨爾 영역(3) 내부에 소스 영역(4)을, 에피택셜층(23)의 불순물 농도가 변경되는 경계보다도 깊게 형성하고, 콘택 영역(5)을 더 형성한다. 도면에는 도시하고 있지 않은 종단부의 전계 완화 영역을 형성한 후에 활성화 어닐 처리를 행하여, 웨爾 영역(3), 소스 영역(4) 및 콘택 영역(5)의 각 이온 주입 영역의 활성화를 행한다.

[0084] 에피택셜층(23), 웨爾 영역(3), 소스 영역(4), 콘택 영역(5) 및 반절연성 영역(28)을 덮어 게이트 절연막(6)을 열산화로 형성하면, 볼록부 윗면에 있는 고농도 이온 주입층(24)에 결정 결함이 남아 있기 때문에, 결정 결함이 없는 영역보다도 산화 속도가 빨라진다(증속 산화). 이 때문에, 볼록부가 형성되지 않은 영역의 게이트 절연막(6)보다도, 볼록부 윗면의 게이트 절연막(6)을 두껍게 형성할 수 있다(도 23 참조).

[0085] 더구나, 일반적인 MOSFET 제조방법과 마찬가지로 poly-Si 등의 게이트 전극(7), 층간 절연막(8), Ni이나 Al 등의 소스 전극(9), 및 Ni 등의 드레인 전극(10)을 형성함으로써 원하는 반도체장치를 제조할 수 있다(도 24 참조). 반절연성 영역(28)에 주입하는 이온으로서는, V를 사용하면 된다.

[0086] 이와 같이 형성함으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막(6)에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0087] 이때, 도 24에 있어서는, 에피택셜층 23을 사용한 경우를 나타내고 있지만, 에피택셜층 2를 사용하는 것도 가능하다.

[0088] <B-3. 효과>

[0089] 본 발명에 관한 실시형태 2에 따르면, 반도체장치에 있어서, 볼록부 윗면과 게이트 절연막(6) 사이에, 제2도전형 영역(27)을 더 구비함으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막(6)에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

[0090] 또한, 본 발명에 관한 실시형태 2에 따르면, 반도체장치에 있어서, 볼록부 윗면과 게이트 절연막(6) 사이에, 반절연성 영역(28)을 더 구비함으로써, JFET 영역의 공핍층이 퍼지기 쉬워져, JFET 영역의 게이트 절연막

(6)에 걸리는 전계를 보다 억제할 수 있고, 게이트 용량도 저감할 수 있다.

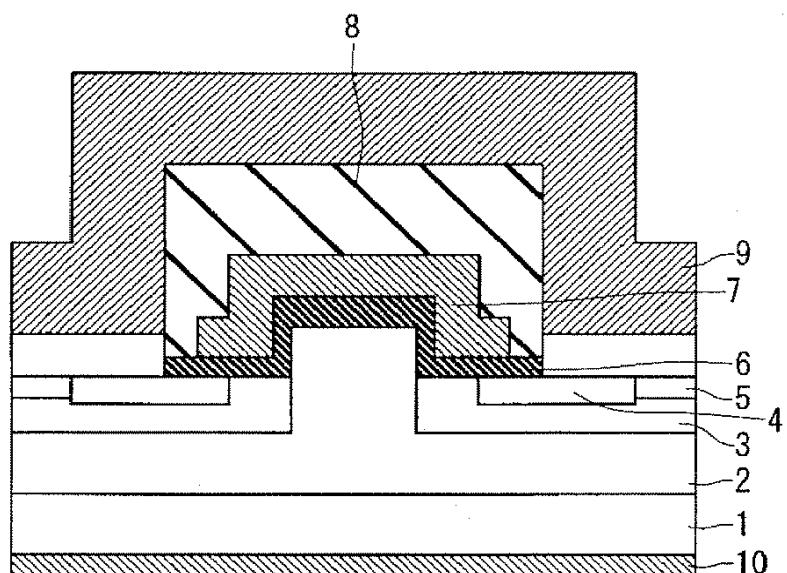
[0091] 본 발명의 실시형태에서는, 각 구성요소의 재질, 재료, 실시의 조건 등에 대해서도 기재하고 있지만, 이것들은 예시이며 기재한 것에 한정되는 것은 아니다.

### 부호의 설명

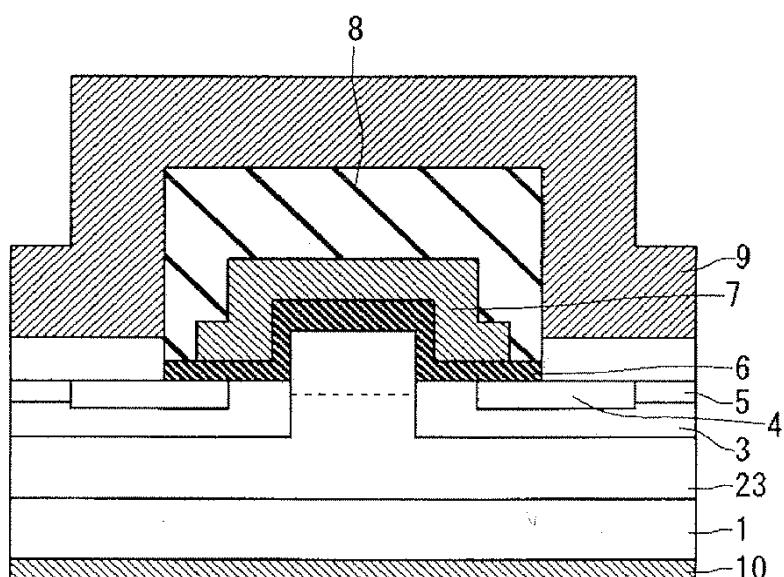
[0092] 1 반도체 기판, 2, 20, 23, 34 에피택설층, 3 웨이 영역, 4 소스 영역, 5 콘택 영역, 6, 21, 22 게이트 절연막, 7 게이트 전극, 8 충간 절연막, 9 소스 전극, 10 드레인 전극, 24 고농도 이온 주입층, 25, 29~33 마스크, 26 얼라인먼트 마크, 27 제2도전형 영역, 28 반절연성 영역.

### 도면

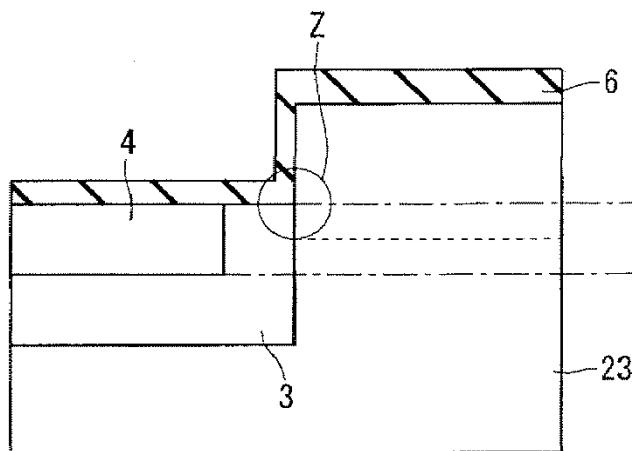
#### 도면1



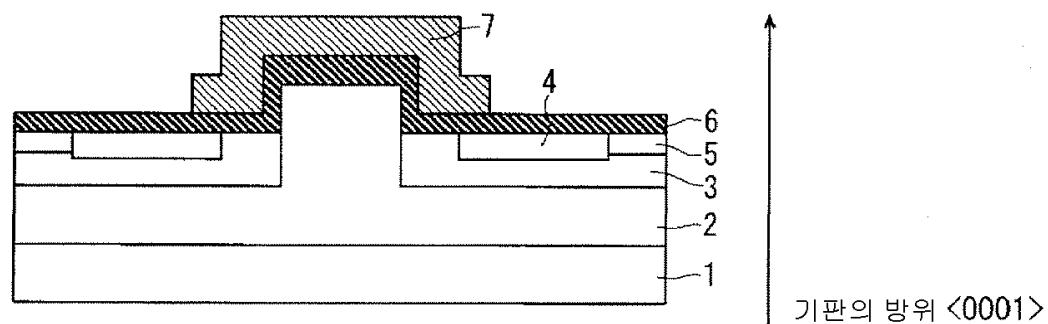
#### 도면2



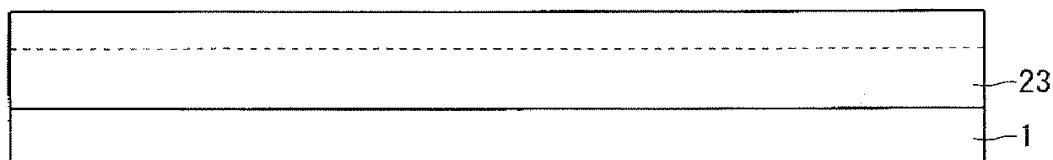
도면3



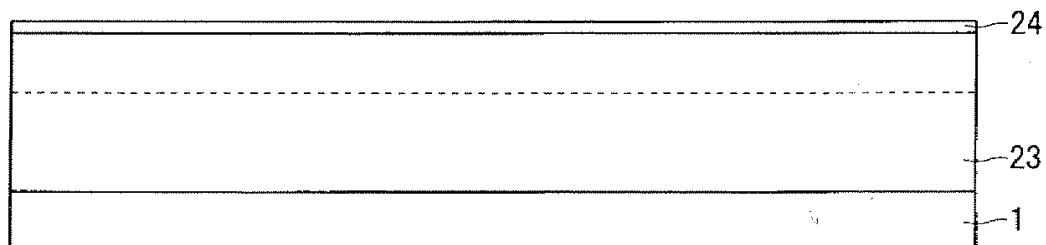
도면4



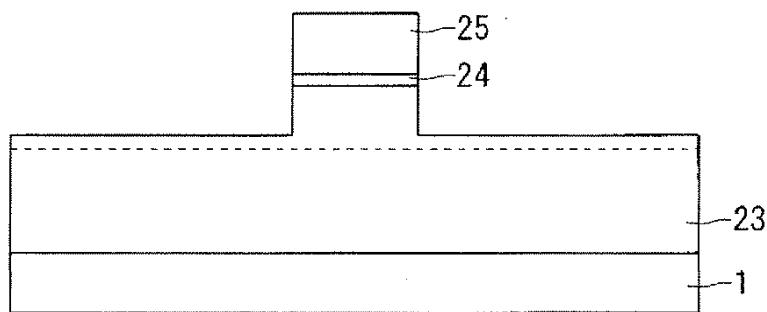
도면5



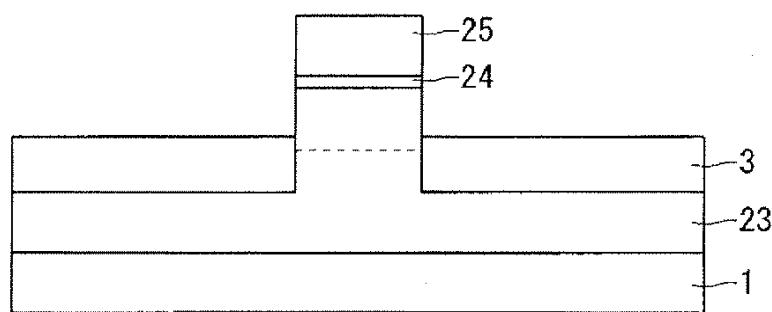
도면6



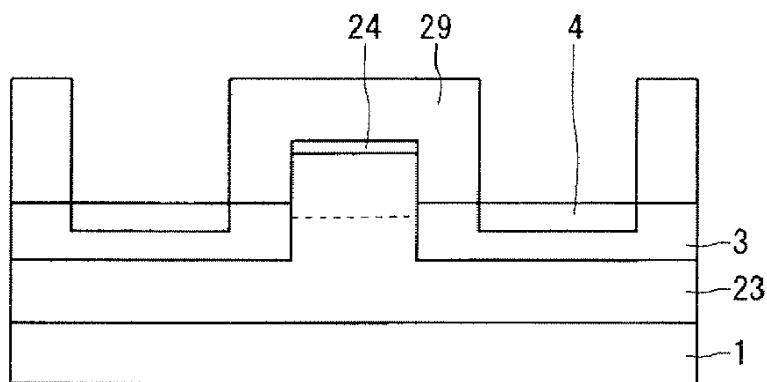
도면7



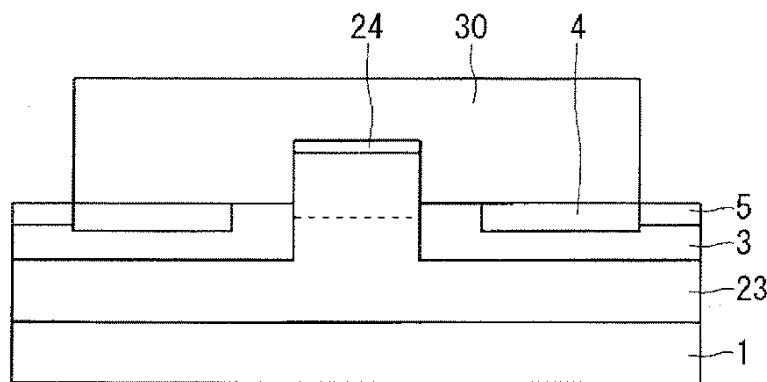
도면8



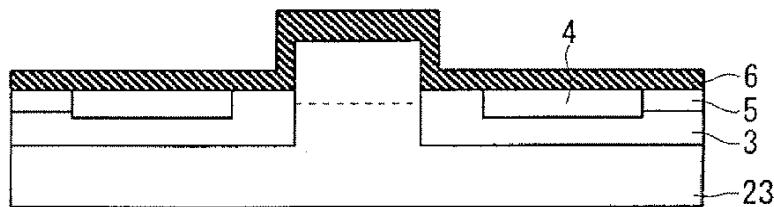
도면9



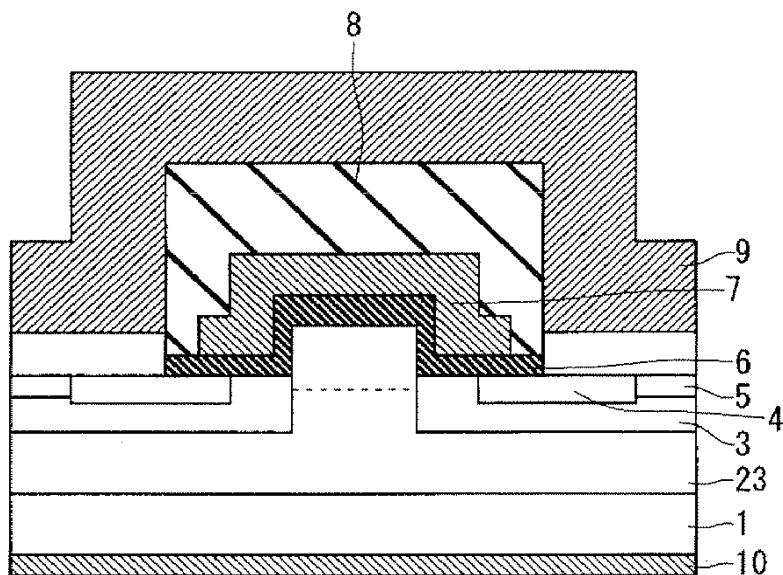
도면10



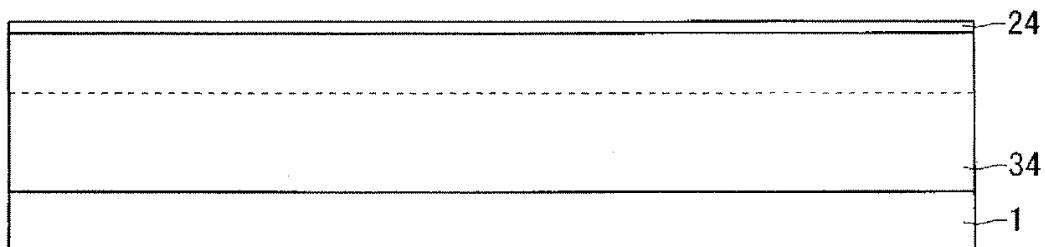
도면11



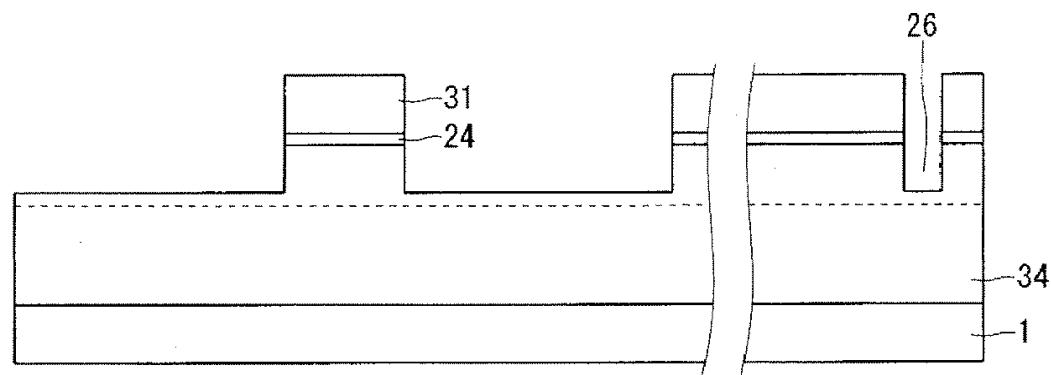
도면12



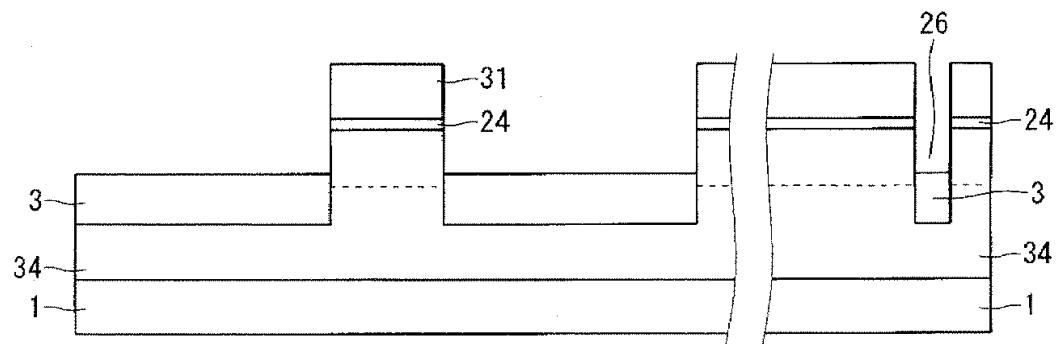
도면13



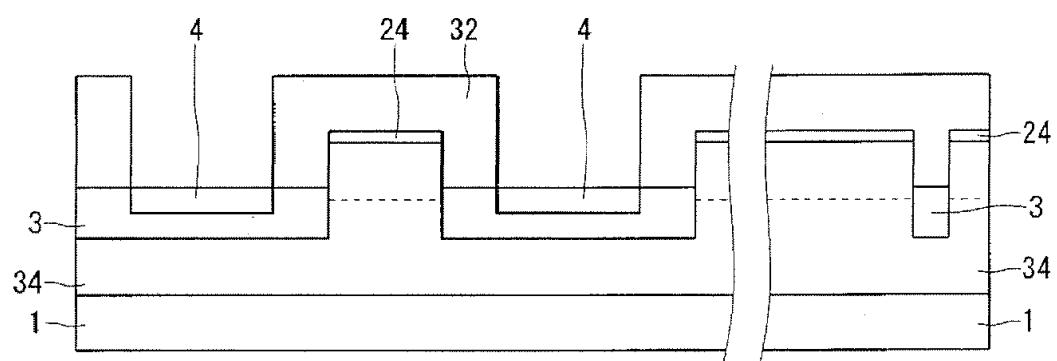
도면14



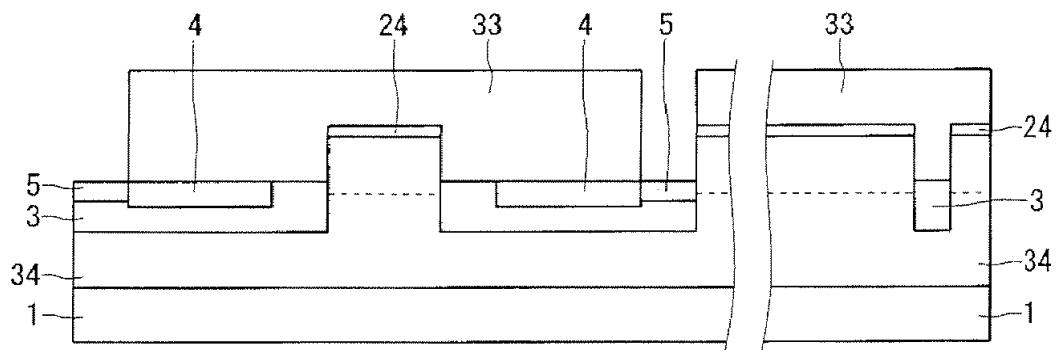
도면15



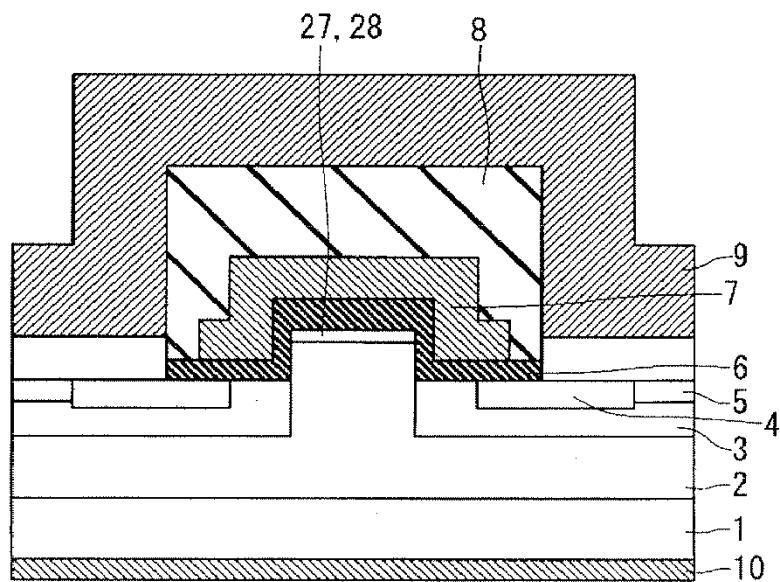
도면16



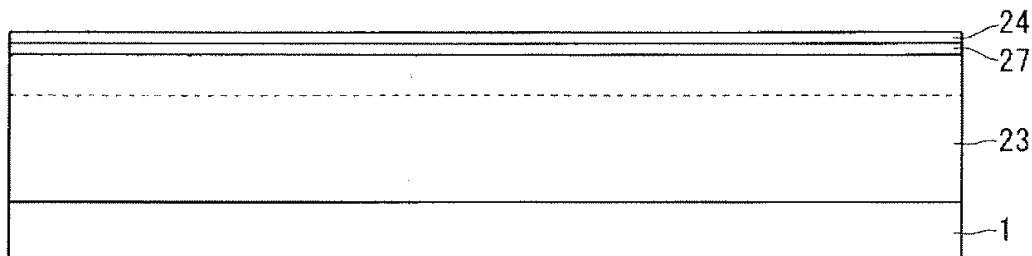
도면17



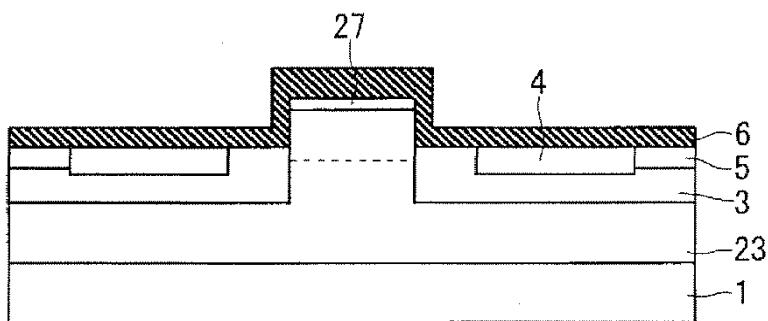
도면18



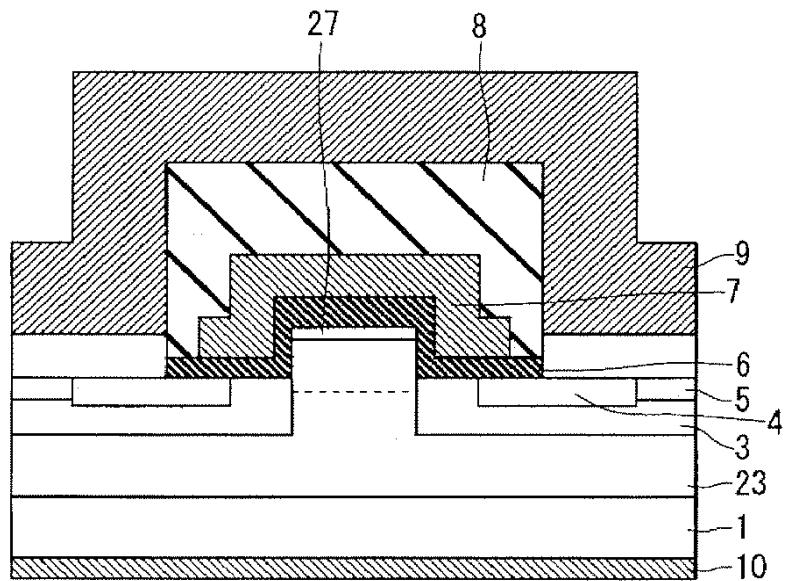
도면19



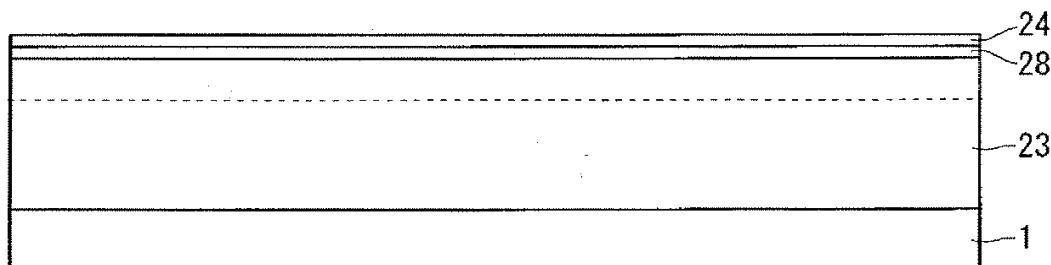
도면20



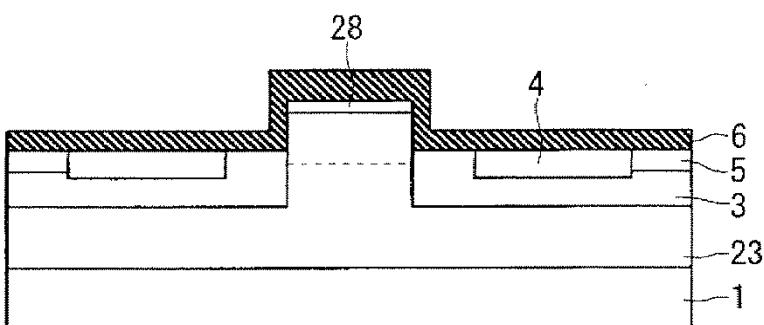
도면21



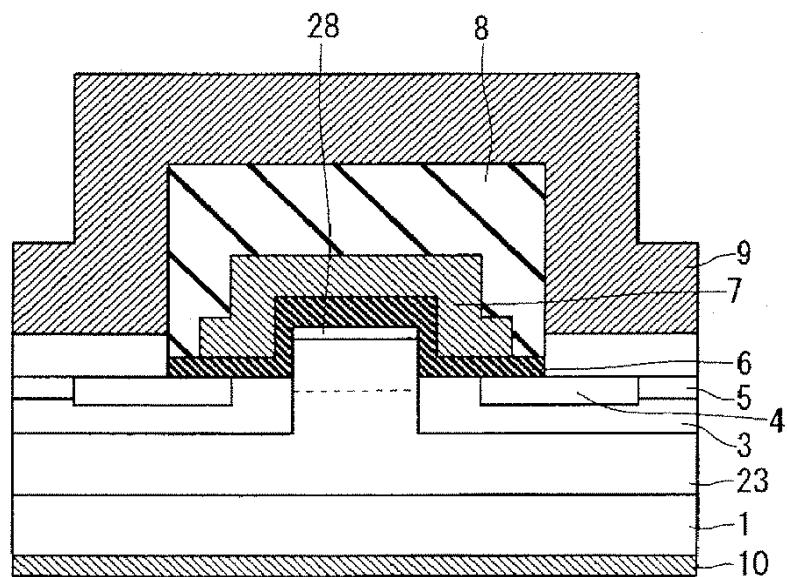
도면22



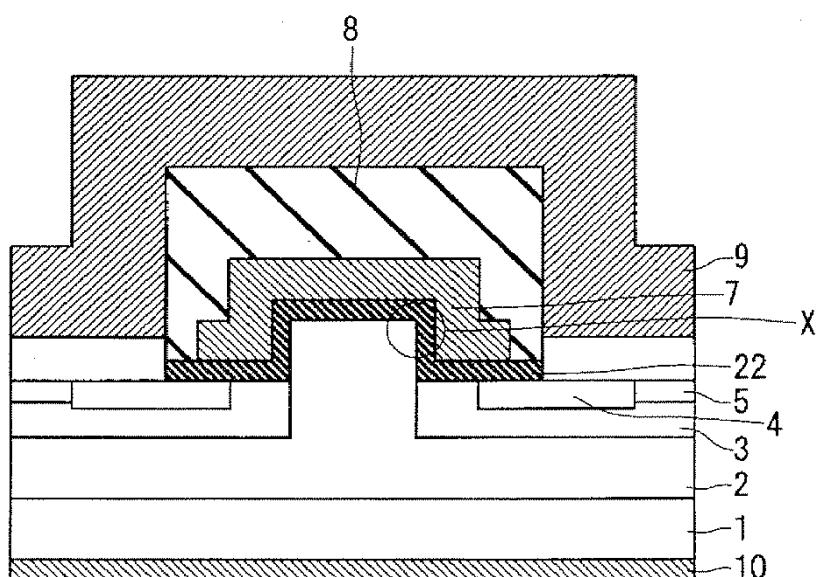
도면23



도면24



도면25



도면26

