

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成16年11月4日(2004.11.4)

【公開番号】特開2000-151369(P2000-151369A)

【公開日】平成12年5月30日(2000.5.30)

【出願番号】特願平10-318691

【国際特許分類第7版】

H 03 K 5/00

H 01 L 21/82

H 01 L 27/04

H 01 L 21/822

【F I】

H 03 K 5/00 V

H 01 L 21/82 W

H 01 L 27/04 D

【手続補正書】

【提出日】平成15年10月24日(2003.10.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の第1ラッチと、

複数の第2ラッチと、

基準クロックを受けて第1クロックを出力するクロック発生回路と、

第2クロックを出力する位相調整回路と、

上記複数の第1ラッチ、上記クロック発生回路及び上記位相調整回路に分配される上記第1クロックが同一位相となるように、上記第1クロックを上記複数の第1ラッチ、上記クロック発生回路及び上記位相調整回路に分配する第1クロック分配系と、

上記複数の第2ラッチ及び上記位相調整回路に分配される上記第2クロックが同一位相となるように、上記第2クロックを上記複数の第2ラッチ及び上記位相調整回路に分配する第2クロック分配系とを有し、

上記クロック発生回路は、上記基準クロックと上記第1クロック分配系を経由して分配された第1クロックとが同一位相となるように上記第1クロックの位相を調整し、

上記位相調整回路は、上記第1クロック分配系を経由して分配された上記第1クロックと上記第2クロック分配系を経由して分配された上記第2クロックとが同一位相となるように上記第2クロックの位相を調整する半導体集積回路装置。

【請求項2】

請求項1において、

上記第1クロック分配系により分配される上記第1クロックを増幅する複数の第1クロックバッファと、

上記第2クロック分配系により分配される上記第2クロックを増幅する複数の第2クロックバッファとを有する半導体集積回路装置。

【請求項3】

請求項1において、

同一位相である2つのクロックは上記半導体集積回路装置の動作仕様により許容されうる

誤差を有する半導体集積回路装置。

【請求項 4】

請求項 1において、

上記第1ラッチは、第1データ入力ノード、第1クロック入力ノード、第1マスター部及び第1スレーブ部とを有し、

上記第1マスター部は、上記第1クロック入力ノードに入力された上記第1クロックが第1状態のときに、上記第1データ入力ノードから入力されたデータを保持し、

上記第1スレーブ部は、上記第1クロック入力ノードに入力された上記第1クロックが第2状態のときに、上記第1マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 5】

請求項 1において、

上記第2ラッチは、第2データ入力ノード、第2クロック入力ノード、第2マスター部及び第2スレーブ部とを有し、

上記第2マスター部は、上記第2クロック入力ノードに入力された上記第2クロックが第1状態のときに、上記第2データ入力ノードから入力されたデータを保持し、

上記第2スレーブ部は、上記第2クロック入力ノードに入力された上記第2クロックが第2状態のときに、上記第2マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 6】

請求項 1において、

上記複数の第1ラッチを含む母回路と、

上記複数の第2ラッチを含むマクロを有する半導体集積回路装置。

【請求項 7】

請求項 1において、

上記第1クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 8】

請求項 1において、

上記第2クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 9】

第1クロックを増幅する複数段の第1クロックバッファを含む第1クロック分配系と、

第2クロックを増幅する複数段の第2クロックバッファを含む第2クロック分配系と、

上記第1クロック分配系の最終段の上記第1クロックバッファの一つに接続され、第1基準クロックと上記第1クロックバッファにより増幅された上記第1クロックとを受ける第1位相調整回路と、

上記第2クロック分配系の最終段の上記第2クロックバッファの一つに接続され、上記第1基準クロックと同一位相の第2基準クロックと上記第2クロックバッファにより増幅された上記第2クロックとを受ける第2位相調整回路と、

上記第1クロック分配系の最終段の上記第1クロックバッファの一つに接続され、上記第1クロックバッファにより増幅された上記第1クロックを受ける複数の第1ラッチと、

上記第2クロック分配系の最終段の上記第2クロックバッファの一つに接続され、上記第2クロックバッファにより増幅された上記第2クロックを受ける複数の第2ラッチと、

上記第1位相調整回路から上記第1クロック分配系を経由して上記第1位相調整回路に戻るクロック分配経路長は、上記第2位相調整回路から上記第2クロック分配系を経由して上記第2位相調整回路に戻るクロック分配経路長と異なっており、

上記第1位相調整回路は、上記第1基準クロックと上記第1クロックバッファにより増幅された上記第1クロックが同一位相となるように、上記第1クロックの位相を調整し、

上記第2位相調整回路は、上記第2基準クロックと上記第2クロックバッファにより増幅された上記第2クロックが同一位相となるように、上記第2クロックの位相を調整する半導体集積回路装置。

【請求項 10】

請求項 9において、

同一位相である2つのクロックは上記半導体集積回路装置の動作仕様により許容されうる誤差を有する半導体集積回路装置。

【請求項 11】

請求項 9において、

上記第2基準クロックは、上記第1クロックバッファにより増幅された上記第1クロックである半導体集積回路装置。

【請求項 12】

請求項 9において、

上記複数の第1ラッチのそれぞれが受ける上記第1クロックは、上記第1位相調整回路が受ける上記第1クロックと同一位相であり、

上記複数の第2ラッチのそれぞれが受ける上記第2クロックは、上記第2位相調整回路が受ける上記第2クロックと同一位相である半導体集積回路装置。

【請求項 13】

請求項 9において、

上記第1ラッチは、第1データ入力ノード、第1クロック入力ノード、第1マスター部及び第1スレーブ部とを有し、

上記第1マスター部は、上記第1クロック入力ノードに入力された上記第1クロックが第1状態のときに、上記第1データ入力ノードから入力されたデータを保持し、

上記第1スレーブ部は、上記第1クロック入力ノードに入力された上記第1クロックが第2状態のときに、上記第1マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 14】

請求項 9において、

上記第2ラッチは、第2データ入力ノード、第2クロック入力ノード、第2マスター部及び第2スレーブ部とを有し、

上記第2マスター部は、上記第2クロック入力ノードに入力された上記第2クロックが第1状態のときに、上記第2データ入力ノードから入力されたデータを保持し、

上記第2スレーブ部は、上記第2クロック入力ノードに入力された上記第2クロックが第2状態のときに、上記第2マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 15】

請求項 9において、

上記複数の第1ラッチを含む母回路と、

上記複数の第2ラッチを含むマクロを有する半導体集積回路装置。

【請求項 16】

請求項 9において、

上記第1クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 17】

独立に設計された半導体集積回路を組み合わせ、クロックの位相調整機構を有する半導体集積回路装置。