

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 16 年 11 月 4 日 (2004.11.4)

【公開番号】特開 2000-151369 (P2000-151369A)

【公開日】平成 12 年 5 月 30 日 (2000.5.30)

【出願番号】特願 平 10-318691

【国際特許分類第 7 版】

H 0 3 K 5/00

H 0 1 L 21/82

H 0 1 L 27/04

H 0 1 L 21/822

【F I】

H 0 3 K 5/00 V

H 0 1 L 21/82 W

H 0 1 L 27/04 D

【手続補正書】

【提出日】平成 15 年 10 月 24 日 (2003.10.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の第 1 ラッチと、

複数の第 2 ラッチと、

基準クロックを受けて第 1 クロックを出力するクロック発生回路と、

第 2 クロックを出力する位相調整回路と、

上記複数の第 1 ラッチ、上記クロック発生回路及び上記位相調整回路に分配される上記第 1 クロックが同一位相となるように、上記第 1 クロックを上記複数の第 1 ラッチ、上記クロック発生回路及び上記位相調整回路に分配する第 1 クロック分配系と、

上記複数の第 2 ラッチ及び上記位相調整回路に分配される上記第 2 クロックが同一位相となるように、上記第 2 クロックを上記複数の第 2 ラッチ及び上記位相調整回路に分配する第 2 クロック分配系とを有し、

上記クロック発生回路は、上記基準クロックと上記第 1 クロック分配系を経由して分配された第 1 クロックとが同一位相となるように上記第 1 クロックの位相を調整し、

上記位相調整回路は、上記第 1 クロック分配系を経由して分配された上記第 1 クロックと上記第 2 クロック分配系を経由して分配された上記第 2 クロックとが同一位相となるように上記第 2 クロックの位相を調整する半導体集積回路装置。

【請求項 2】

請求項 1 において、

上記第 1 クロック分配系により分配される上記第 1 クロックを増幅する複数の第 1 クロックバッファと、

上記第 2 クロック分配系により分配される上記第 2 クロックを増幅する複数の第 2 クロックバッファとを有する半導体集積回路装置。

【請求項 3】

請求項 1 において、

同一位相である 2 つのクロックは上記半導体集積回路装置の動作仕様により許容されうる

誤差を有する半導体集積回路装置。

【請求項 4】

請求項 1 において、

上記第 1 ラッチは、第 1 データ入力ノード、第 1 クロック入力ノード、第 1 マスター部及び第 1 スレーブ部とを有し、

上記第 1 マスター部は、上記第 1 クロック入力ノードに入力された上記第 1 クロックが第 1 状態のときに、上記第 1 データ入力ノードから入力されたデータを保持し、

上記第 1 スレーブ部は、上記第 1 クロック入力ノードに入力された上記第 1 クロックが第 2 状態のときに、上記第 1 マスター部に保持されたデータを保持する半導体集積回路装置

。

【請求項 5】

請求項 1 において、

上記第 2 ラッチは、第 2 データ入力ノード、第 2 クロック入力ノード、第 2 マスター部及び第 2 スレーブ部とを有し、

上記第 2 マスター部は、上記第 2 クロック入力ノードに入力された上記第 2 クロックが第 1 状態のときに、上記第 2 データ入力ノードから入力されたデータを保持し、

上記第 2 スレーブ部は、上記第 2 クロック入力ノードに入力された上記第 2 クロックが第 2 状態のときに、上記第 2 マスター部に保持されたデータを保持する半導体集積回路装置

。

【請求項 6】

請求項 1 において、

上記複数の第 1 ラッチを含む母回路と、

上記複数の第 2 ラッチを含むマクロを有する半導体集積回路装置。

【請求項 7】

請求項 1 において、

上記第 1 クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 8】

請求項 1 において、

上記第 2 クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 9】

第 1 クロックを増幅する複数段の第 1 クロックバッファを含む第 1 クロック分配系と、

第 2 クロックを増幅する複数段の第 2 クロックバッファを含む第 2 クロック分配系と、

上記第 1 クロック分配系の最終段の上記第 1 クロックバッファの一つに接続され、第 1 基準クロックと上記第 1 クロックバッファにより増幅された上記第 1 クロックとを受け取る第 1 位相調整回路と、

上記第 2 クロック分配系の最終段の上記第 2 クロックバッファの一つに接続され、上記第 1 基準クロックと同一位相の第 2 基準クロックと上記第 2 クロックバッファにより増幅された上記第 2 クロックとを受け取る第 2 位相調整回路と、

上記第 1 クロック分配系の最終段の上記第 1 クロックバッファの一つに接続され、上記第 1 クロックバッファにより増幅された上記第 1 クロックを受け取る複数の第 1 ラッチと、

上記第 2 クロック分配系の最終段の上記第 2 クロックバッファの一つに接続され、上記第 2 クロックバッファにより増幅された上記第 2 クロックを受け取る複数の第 2 ラッチと、

上記第 1 位相調整回路から上記第 1 クロック分配系を経由して上記第 1 位相調整回路に戻るクロック分配経路長は、上記第 2 位相調整回路から上記第 2 クロック分配系を経由して上記第 2 位相調整回路に戻るクロック分配経路長と異なっており、

上記第 1 位相調整回路は、上記第 1 基準クロックと上記第 1 クロックバッファにより増幅された上記第 1 クロックが同一位相となるように、上記第 1 クロックの位相を調整し、

上記第 2 位相調整回路は、上記第 2 基準クロックと上記第 2 クロックバッファにより増幅された上記第 2 クロックが同一位相となるように、上記第 2 クロックの位相を調整する半導体集積回路装置。

【請求項 10】

請求項 9 において、

同一位相である 2 つのクロックは上記半導体集積回路装置の動作仕様により許容されうる誤差を有する半導体集積回路装置。

【請求項 11】

請求項 9 において、

上記第 2 基準クロックは、上記第 1 クロックバッファにより増幅された上記第 1 クロックである半導体集積回路装置。

【請求項 12】

請求項 9 において、

上記複数の第 1 ラッチのそれぞれが受ける上記第 1 クロックは、上記第 1 位相調整回路が受ける上記第 1 クロックと同一位相であり、

上記複数の第 2 ラッチのそれぞれが受ける上記第 2 クロックは、上記第 2 位相調整回路が受ける上記第 2 クロックと同一位相である半導体集積回路装置。

【請求項 13】

請求項 9 において、

上記第 1 ラッチは、第 1 データ入力ノード、第 1 クロック入力ノード、第 1 マスター部及び第 1 スレーブ部とを有し、

上記第 1 マスター部は、上記第 1 クロック入力ノードに入力された上記第 1 クロックが第 1 状態のときに、上記第 1 データ入力ノードから入力されたデータを保持し、

上記第 1 スレーブ部は、上記第 1 クロック入力ノードに入力された上記第 1 クロックが第 2 状態のときに、上記第 1 マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 14】

請求項 9 において、

上記第 2 ラッチは、第 2 データ入力ノード、第 2 クロック入力ノード、第 2 マスター部及び第 2 スレーブ部とを有し、

上記第 2 マスター部は、上記第 2 クロック入力ノードに入力された上記第 2 クロックが第 1 状態のときに、上記第 2 データ入力ノードから入力されたデータを保持し、

上記第 2 スレーブ部は、上記第 2 クロック入力ノードに入力された上記第 2 クロックが第 2 状態のときに、上記第 2 マスター部に保持されたデータを保持する半導体集積回路装置。

【請求項 15】

請求項 9 において、

上記複数の第 1 ラッチを含む母回路と、

上記複数の第 2 ラッチを含むマクロを有する半導体集積回路装置。

【請求項 16】

請求項 9 において、

上記第 1 クロック分配系は配線長調整部分を有する半導体集積回路装置。

【請求項 17】

独立に設計された半導体集積回路を組み合わせ、クロックの位相調整機構を有する半導体集積回路装置。