

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5944387号
(P5944387)

(45) 発行日 平成28年7月5日(2016.7.5)

(24) 登録日 平成28年6月3日(2016.6.3)

(51) Int.Cl.	F 1
HO4N 5/3745 (2011.01)	HO4N 5/335 745
HO4N 5/343 (2011.01)	HO4N 5/335 430
HO4N 5/345 (2011.01)	HO4N 5/335 450
HO4N 5/376 (2011.01)	HO4N 5/335 760

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2013-521202 (P2013-521202)
(86) (22) 出願日	平成23年7月12日 (2011.7.12)
(65) 公表番号	特表2013-536625 (P2013-536625A)
(43) 公表日	平成25年9月19日 (2013.9.19)
(86) 國際出願番号	PCT/GB2011/001051
(87) 國際公開番号	W02012/013918
(87) 國際公開日	平成24年2月2日 (2012.2.2)
審査請求日	平成26年7月3日 (2014.7.3)
(31) 優先権主張番号	1012631.6
(32) 優先日	平成22年7月28日 (2010.7.28)
(33) 優先権主張国	英國 (GB)

(73) 特許権者	502144729 アイシス イノベイション リミテッド イギリス国 オックスフォード オーエッ クス2 7エスジー サマータウン イー ¹ ワート プレース イーワート ハウス
(74) 代理人	110000659 特許業務法人広江アソシエイツ特許事務所
(72) 発明者	ピッター、マーク イギリス国 ノッティングハム エヌジー 7 2アールディー、ユニバーシティー ² パーク、ユニバーシティー オブ ノッテ ィングハム、ファクリティ オブ エンジ ニアリング、デパートメント オブ エレ クトリカル アンド エレクトロニック エンジニアリング

最終頁に続く

(54) 【発明の名称】 画像センサーおよび検知方法

(57) 【特許請求の範囲】

【請求項 1】

行および列のアレイ内に配設されている複数の画素と、

前記アレイ内の個々の画素を選択するために、前記選択された画素が配置される行および列に、行選択信号および列選択信号を伝送することにより、前記行選択信号および前記列選択信号を提供する選択手段と、

シャッター信号を前記画素に伝送するためのシャッター制御手段とを具備する画像センサーであって、

前記画素のそれぞれは、フォトセンサー装置と、前記フォトセンサー装置と読み出し回路との間に接続された転送スイッチと、前記画素をトリガーする制御手段とを含み、

前記制御手段は、複数の直列接続されたスイッチ装置を含み、各スイッチ装置は少なくとも1つのシャッター信号、行選択信号および列選択信号を受信するように作動可能に接続されており、前記制御手段は、前記転送スイッチに、スイッチ動作を制御するように接続されており、

前記制御手段が実質的に同時にシャッター信号、行選択信号および列選択信号を受信した場合に限り、入射光を検知するように構成され、それにより、前記アレイ内の画素を個別にトリガーして、それぞれの時点で光線を取り込まれるようになっている、画像センサー。

【請求項 2】

前記選択手段が複数の行選択ラインと複数の列選択ラインとを含み、各行選択ラインが

特定の行内の前記すべての画素に接続されていて、各列選択ラインが特定の列内の前記すべての画素に接続されている、請求項1に記載の画像センサー。

【請求項 3】

前記選択手段がグリッド状の行選択ラインおよび列選択ラインを含む、請求項2に記載の画像センサー。

【請求項 4】

前記行選択信号および前記列選択信号のうちの少なくとも1つがシフトレジスタで生成される、請求項1から3のいずれか一項に記載の画像センサー。

【請求項 5】

前記画像センサーがCMOSAPS装置を具備する、請求項1から4のいずれかに記載の画像センサー。

10

【請求項 6】

請求項1から5のいずれか一項に記載の画像センサーと、

前記画素からのデータを格納するためのデータ記憶装置と、を具備する画像取込装置であつて、

前記画素を複数の画素サブセットに分割し、時分割された複数のローレゾ画像を取り込むように、前記画像取込装置が構成され、

前記ローレゾ画像のそれぞれが別の画素サブセットからのデータを含む、画像取込装置。

【請求項 7】

すべての前記画素からのデータを使うことによってハイレゾ画像を取り込むように前記画像取込装置が構成されている、請求項6に記載の画像取込装置。

20

【請求項 8】

前記画素の操作を制御するための制御装置を具備し、前記制御装置が事前に定義済みのランダムシーケンス、又は擬似ランダムシーケンスにて前記画素をトリガーするように構成されている、請求項6又は7に記載の画像取込装置。

【請求項 9】

請求項6から8のいずれかに記載の画像取込装置を具備するカメラ。

【請求項 10】

請求項1から5のいずれかに記載の前記画像センサーを使用して画像を取り込む方法であつて、

30

前記方法は、前記行選択信号および前記列選択信号を、前記選択された画素が配置される前記行および前記列に伝送することにより、前記アレイ内の個々の画素を選択する工程と、

シャッター信号を前記画素に伝送する工程とを含み、

それにより、前記各画素は、前記制御手段が実質的に同時にシャッター信号、行選択信号および列選択信号を受信した場合に限り、入射光が検知されるようにトリガーされる、方法。

【請求項 11】

前記アレイ内の前記画素を個別にトリガーして、それぞれの時点で光線が取り込まれるようになっている、請求項10に記載の方法。

40

【請求項 12】

前記行選択信号および前記列選択信号のうちの少なくとも1つがシフトレジスタで生成される、請求項10に記載の方法。

【請求項 13】

時分割された複数のローレゾ画像を取り込む工程を含み、ローレゾ画像のそれぞれが複数の画素サブセットのうちの別の画素からのデータを含む、請求項10から12のいずれか一項に記載の方法。

【請求項 14】

前記画素サブセットを順次露光する工程を含む、請求項13に記載の方法。

【請求項 15】

50

すべての前記画素からのデータを使うことによってハイレゾ画像を作成する工程を含む、請求項 1 3 又は 1 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は画像センサーおよび画像取込装置に関する。本発明はまた、画像をキャプチャする方法にも関する。本発明は特に、静止画および動画（ムービー）の両方をキャプチャするための装置および方法に関するが、それに限定されない。

【背景技術】

【0 0 0 2】

電子カメラは概して 2 つの広範なカテゴリ（静止カメラおよびビデオカメラ）に分類されるが、2 つのタイプのカメラの間には、ある程度のオーバーラップが存在する。例えば、一部の「ビデオ」カメラは、ムービーと静止画の両方をキャプチャ（取込み）できる。

【0 0 0 3】

他方、一部の静止カメラは「ムービー」又は「ビデオ」機能を装備しているため、そのカメラを使えば画像シーケンスをキャプチャできる。これらの画像は、後にムービーとして表示できる。本発明は、主に後者のタイプのカメラに関する（ただし、それに限定されない）。

【0 0 0 4】

電子カメラは一般に、光電感度性ディテクタ又はピクチャエレメント（画素）のアレイを有する画像取込装置又はセンサーを具備する。動画（即ち、ムービー）は、センサーで検出された画像シーケンスを記録することによってキャプチャできる。

【0 0 0 5】

画像シーケンスのキャプチャ可能速度（フレームレート）はセンサーのサイズ（即ち、アレイ内の画素数）に一部依存し、センサーからデータが読み取られる（デジタル化される）速度によって制限される。撮像センサーから情報を高速に読み取ると、ノイズ（読み出しノイズ）を生じ、画像の信号品質が低下する。したがって、センサーに多数の画素が存在する場合、フレームレートは一般にかなり低速である。画素数を低減してセンサーを小型化すればフレームレートを高速化し得るが、それに応じて画像解像度が低下する。

【0 0 0 6】

本発明者らの以前の特許出願である国際公開第 2 0 0 8 / 1 3 8 5 4 3 号パンフレットには、複数の画素を含むアクティブ領域を備えたセンサーと、個別にアクティブ化して個々の画素の露光を制御できる複数のシャッター要素を含むシャッターアレイとを具備する、画像取込装置が記載されている。画素はいくつかの画素サブセット内に配設され、これらのサブセットのそれぞれは順次露光でき、それにより、フルセット未満の画素を含むローレゾ画像のシーケンスがキャプチャされるか、又はそれでもしくは実質的にすべての画素を含むハイレゾ画像が同時にキャプチャされるようになっている。一方、シャッターアレイを別個に提供すると、装置のサイズおよび複雑度が増す。

【先行技術文献】

【特許文献】

【0 0 0 7】

【特許文献 1】国際公開第 2 0 0 8 / 1 3 8 5 4 3 号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 8】

本発明の一目的は、前述の欠点のうちの少なくともいくつかを軽減する画像センサーおよび画像キャプチャ方法を提供することにある。

【0 0 0 9】

本発明の一態様によれば、アレイ内に配置された複数の画素と、アレイ内の個々の画素を選択するための選択手段と、シャッター信号を画素に伝送するためのシャッター制御手

10

20

30

40

50

段とを具備する画像センサーが提供されている。該画素の各々は、選択されていてかつシャッター信号を受信した場合に限り、入射光を検知するように構成配置され、それにより、該アレイ内の画素を個別にトリガーして（動作させて）、それぞれの時点で光線をキャプチャできるようになっている。

【0010】

画素を個別にトリガーする（動作させる）ことによって、全画素を用いた单一のハイレゾ画像をキャプチャする（取り込む）ことも、又は全画素未満の画素を用いたローレゾ画像を1つ又はそれ以上キャプチャすることも可能になる。画素を電子的にトリガーさせる（動作させる）ことによって、個々のシャッターアレイの必要性を回避でき、結果として、装置のサイズおよび複雑度を著しく減らせる。

10

【0011】

好都合にも、画素が行および列のアレイ内に配設されていて、行選択信号および列選択信号を受信するように接続されており、それにより、その画素が位置する行および列に沿って行選択信号および列選択信号を伝送することによって個々の画素が選択できる。このアレンジによって、個々の制御ラインを必要とせずに各画素を個別に選択できる。その結果、回路の過度の複雑性が回避されている。行および列は直交していてもよいし、直交していないなくてもよい。

【0012】

好ましくは、選択手段は複数の行選択ラインおよび複数の列選択ラインを含み、各行選択ラインは特定の行内のすべての画素に接続されていて、各列選択ラインは特定の列内のすべての画素に接続されている。このようにして、制御結線を2セットだけ使用して、すべての画素を個別に選択することが可能になっている。選択手段は、好ましくはグリッド状の行選択結線および列選択結線を含む。

20

【0013】

好都合にも、行選択信号および列選択信号のうちの少なくとも1つは、シフトレジスタで生成される。好ましくは、行選択信号および列選択信号の両方が、シフトレジスタで生成される。シフトレジスタとは、一連のデジタル量を格納でき、そのシーケンスを後方および前方へシフトできる電子装置である。これにより、画素を所定の順序でトリガーできる。シフトレジスタに保持されているデジタル量をごく簡単に修正して、画素がトリガーされる順序を変更できる。これにより、任意の時点で露光される画素の数、および画素が露光される順序を調整できる。

30

【0014】

各画素は好都合にも、画素をトリガーするための制御手段を備え、この制御手段はシャッター信号、行選択信号および列選択信号を実質的に同時に受信した場合にのみ画素をトリガーするように構成配置されている。

【0015】

一実施形態においては、シャッター信号、行選択信号および列選択信号を受信するための入力を有する論理ANDゲートが、制御手段に具備されている。

【0016】

別の実施形態において、制御手段は複数の直列接続されたスイッチ装置を具備し、各スイッチ装置はシャッター信号、行選択信号および列選択信号のうちの少なくとも1つを受信するように作動可能に接続されている。このアレンジは、トランジスタを少数しか必要とせずに済み、しかもセンサー装置表面の占有面積を削減できるので、何らかの状況でANDゲートを使用する場合に好ましい。スイッチ装置は、例えば、MOSFETトランジスタなどのトランジスタパススイッチであり得る。

40

【0017】

画像センサーは好ましくはCMOS APS装置を具備し、この装置において各画素は画素に照射する光量を表す電荷を格納する装置を備える。これにより、すべての画素が露光されるまで入射光を表す電荷を各画素に格納でき、その後、すべての画素からのデータのキャプチャが可能になる。この結果、装置の作動速度が上昇する。

50

【0018】

別の態様によれば、本発明は画像取込装置を含み、この画像取込装置は、先行する発明の記述のいずれか一項に記載の画像センサーと、画素からのデータを格納するためのデータ記憶装置と、を具備する画像取込装置であって、該画素を複数の画素サブセット（複数の画素からなる部分）に分割し、時分割された複数のローレゾ画像をキャプチャするよう に該画像取込装置を構成配置し、該ローレゾ画像のそれぞれが別の画素サブセットからのデータを含む。

【0019】

好都合なことに、画像取込装置は、高解像度画像や、すべてのフレームを生成するために、前記センサー上のすべての前記画素からのデータを使用することによってハイレゾ画像をキャプチャするように構成配置されている。

10

【0020】

画像取込装置は、画素アレイの操作を制御するための制御装置を具備し得る。この制御装置は画素を事前定義済みのランダム又は擬似ランダムシーケンスでトリガーするように構成配置される。

【0021】

別の態様によれば、本発明は先行する発明の記述のいずれか一項に記載の画像取込装置を具備するカメラを含む。カメラは好ましくは、光線の焦点をセンサーのアクティブ領域に合わせるためのレンズを具備する。カメラはまた、キャプチャされた画像を表示するための表示装置を具備し、単一のハイレゾ画像、又はローレゾ画像のシーケンスのいずれかを表示するように構成配置できる。好都合にも、カメラは画素サブセットの露光を制御するための制御装置を具備する。

20

【0022】

本発明の別態様によれば、複数の画素がアレイ内に配設されている画像センサーを使用して画像をキャプチャする方法が提供されている。本方法はアレイ内の個々の画素を選択する工程と、シャッター信号を画素に伝送する工程とを含み、それにより、該画素は、選択されていてかつシャッター信号を受信した場合に限り、入射光が検知されるようにトリガーされるようになっている。

【0023】

好都合にも、アレイ内の画素を個別にトリガーすることによって、それぞれの時点で光線がキャプチャされるようになっている。

30

【0024】

好ましくは、画素が行および列のアレイ内に配設されていて、その画素が位置する行および列に沿って行選択信号および列選択信号を伝送することによって個々の画素が選択されるようになっている。

【0025】

好ましくは、行選択信号および列選択信号のうちの少なくとも1つがシフトレジスタで生成される。

【0026】

好ましくは、シャッター信号、行選択信号および列選択信号を実質的に同時に受信した場合にのみ入射光が検知されるように、各画素がトリガーされる。

40

【0027】

好都合にも、本方法は、時分割された複数のローレゾ画像をキャプチャする工程を含み、ローレゾ画像のそれぞれは、複数の画素サブセットのうちの別の画素からのデータを含む。

【0028】

画素サブセットは好ましくは、順次露光される。

【0029】

好都合にも、複数のローレゾ画像からのデータを結合することによって、ハイレゾ画像が生成される。

50

【0030】

本発明は、時分割された一連の低解像度（「ローレゾ」）画像を各高解像度（「ハイレゾ」）画像内に埋め込むことを可能にしている。その後、埋め込みローレゾ画像をムービーとしてシーケンスで表示することも、すべての前記画素からのデータを利用して、単一のハイレゾ画像を形成し得る。このようにして、ムービーおよび静止画を同時にキャプチャできる。本発明では、既存のセンサー装置で現在達成できるフレームレートよりもはるかに高いフレームレートでムービーをキャプチャできる。ローレゾ画像の空間解像度は、ハイレゾ画像の空間解像度に比べて低いが、それでも多くの用途には十分である。解像度対フレームレートのバランスは、簡単に調整できる。更に、静止画は、空間解像度の損失も装置のデータ記憶要件の顕著な増大も伴わずにキャプチャできる。

10

【0031】

ここで、添付図面を参照して、例を挙げながら本発明の特定の実施形態について説明する。

【図面の簡単な説明】

【0032】

【図1】本発明の第1の実施形態に従う画像センサーの小部分を概略的に示す、正面概略図である。

【図2】図1の画像取込装置における各シャッター要素のシャッター露光時間を例示したチャートである。

20

【図3】画像センサーで画像シーケンスのキャプチャを可能にする仕組みを示した図である。

【図4】グローバルシャッター制御を備える従来の先行技術の画素の回路図である。

【図5】個々の画素レベルでのシャッター制御を備えた、本発明の第1の実施形態に従う画素の回路図である。

【図6】本発明の実施形態に従う画素の制御回路を示した図である。

【図7】制御回路の動作を概略的に示した図である。

【図8】個々の画素レベルでのシャッター制御を備えた、本発明の第2の実施形態に従う画素の回路図である。

【図9】個々の画素レベルでのシャッター制御を備えた、本発明の第3の実施形態に従う画素の回路図である。

30

【図10】本発明に係る画像センサーを具備したカメラの主要コンポーネントを示す概略図である。

【発明を実施するための形態】

【0033】

本発明の第1の実施形態に従う画像取込装置の一部は、図1～3に示すとおりである。画像取込装置2は、光電感度性ピクチャエレメント（画素）6の矩形アレイを含むアクティブ領域を有するセンサー4を備える。センサー4は、例えば、CMOS APS装置（相補金属酸化物半導体、アクティブな画素センサー装置）、又は等価物であり得る。

【0034】

40

簡潔にするために、図1に示すセンサー4はきわめて小型で、 6×6 画素の正方形アレイ内に36画素のみが配設してある。ほとんどのリアルセンサーにおいて画素アレイは、このセンサー4に比べてはるかに大型で、数百万画素で構成できる。画素アレイはまた別のアスペクト比を有することが可能であり、画素をそれぞれ異なるパターンで配置できる。

【0035】

より一般的には、センサー4は、サブセットS₁、サブセットS₂…サブセットS_Nと呼ばれるN個の画素サブセットに分割されるA画素を含む。それぞれのサブセットはA/N画素を含む。図1に示す単純な例では、センサーは36個の画素（A）および4つの画素サブセット（N）を含み、各サブセットは9つの画素を含んでいる。

50

【0036】

それぞれのサブセット $S_1 \sim S_N$ の画素 6 はいくつかの画素グループ 8 にグループ化され、画素グループ 8 はそれぞれ各サブセットからの画素を 1 つ含んでいる。図 1 に示す例では、画素グループ 8 はそれぞれ 4 つの画素 6 を含み、左上隅にサブセット S_1 からの画素、右上隅にサブセット S_2 からの画素、左下隅にサブセット S_3 からの画素、および右下隅にサブセット S_4 からの画素を含んだ正方形に配設されている。したがって、この例でセンサー 4 は、4 つの画素サブセット $S_1 \sim S_4$ および 9 つの画素グループ 8 を含む。画素グループ 8 は実質的にセンサー 4 のアクティブな表面全体をカバーし、結果的に各画素サブセット $S_1 \sim S_N$ は実質的にセンサー 4 のアクティブ領域全体からの画素を含む。

【0037】

各サブセット $S_1 \sim S_N$ 内の画素 6 は電子的に連結されていて、それにより、いずれか 1 つのサブセット内のすべての画素をトリガー（動作させて）して、実質的に同時に入射光をキャプチャできるようになっている。以下に詳述するように、画素の露光は制御電子装置で制御される。この例では、4 つの画素サブセット $S_1 \sim S_4$ は、図 2 に示すように光線が順次キャプチャされるように配設されている。このようにして、画素サブセット S_1 内の画素が第 1 の期間 0.25 秒、続いてサブセット S_2 内の画素が次の期間 0.25 秒、その後にサブセット S_3 の画素があと 0.25 秒、そして最後にサブセット S_4 の画素が第 4 の期間 0.25 秒、光線をキャプチャする。したがって、4 つのすべての画素サブセット $S_1 \sim S_4$ の合計積分時間 T_i は 1.0 秒、各画素の個々の露光時間は T_i / N （この例では 0.25 秒）になる。

【0038】

露光中に、各画素は光量子がその表面に衝突したときに生成された電荷を積分する。設定された積分時間 T_i の後、すべての画素上の電荷がデジタル化され、結果として生成されたデジタル画像データがセンサー 4 からメモリー装置に転送される。

【0039】

格納された画像データは、連続した画像シーケンスを含む動画（ムービー）として、又は単一静止画として表示できる。画像データをムービーとして表示するには、各画素サブセットでキャプチャされた画像データから別個の画像を作成する。このようにして、図 3 に示すように、第 1 の画像 I_1 は画素サブセット S_1 内のすべての画素でキャプチャされた画像データから作成され、第 1 期の 0.25 秒の間のセンサー上の光入射を表す。画像 I_2 は画素サブセット S_2 内のすべての画素でキャプチャされた画像データから作成され、第 2 期の 0.25 秒の間のセンサー上の光入射を表す。画像 I_3 および I_4 についても同様のことが当てはまる。4 つの画像 $I_1 \sim I_4$ は、4 つのフレームビデオシーケンスとして順次表示される。

【0040】

ムービー生成時には、様々な画素サブセットの画素が若干異なる既知の場所からデータを収集するという事実を考慮して、表示された低解像度画像における各画素の見かけの位置が若干シフトされる可能性がある。この例では、ムービーの各フレームはセンサー全体の解像度の 1/4 に相当する 9 画素の画像サイズを有する。本明細書中では、フルセット未満の画素を使用して生成される画像を、実質的にフルセットの画素を使用して生成される高解像度（「ハイレゾ」）画像と区別するために、低解像度（「ローレゾ」）画像と呼ぶ。より詳細には、ローレゾ画像は通常、フルセットの画素のフラクション 1/N を使用して生成される。ここで、N は画素サブセットの数を表す整数である。

【0041】

拡張ビデオシーケンスが必要な場合、この画像キャプチャプロセスを 1 回以上繰り返して複数のデータセットを毎 T_i 秒 1 データセットの速度でキャプチャし、キャプチャされたローレゾ画像を引き続き順次表示できる。

【0042】

静止画を表示するには、センサー上のすべての画素からのデータを使用して、フルフレームの高解像度画像を作成する。この例では、この画像は 36 画素になる。

10

20

30

40

50

【0043】

従来の先行技術の画素12の回路図は、図4に示すとおりである。カメラ用の典型的なCMOS APS画像センサーは一般に、そのような画素のアレイを含む。画素12はフォトセンサー装置14と、トランジスタ転送スイッチ18と、読み出し回路22と、トランジスタリセットスイッチ24と、を含む。

【0044】

フォトセンサー装置14は、光電検出器（例えば、フォトダイオード又はフォトトランジスタ）を具備する。フォトセンサー装置14は、フォトセンサー結線16にて電圧 V_p で表される出力信号を供給する。この出力信号はトランジスタ転送スイッチ18の第1の端子に接続する。転送スイッチ18の第2の端子は、読み出し電圧 V_s 用の読み出し結線20を提供し、読み出し回路22に接続している。転送スイッチ18のゲート端子は、シャッターノード28からのシャッター信号を受信するように接続されている。この例で、転送スイッチ18はnチャネルMOSFET（金属酸化膜半導体電界効果トランジスタ）であり、シャッターノード28からのオン信号を受信したときにのみ導電する。

10

【0045】

リセットスイッチ24は別のMOSFETトランジスタを具備する。この例で、リセットスイッチ24のソース端子は固定電源電圧 V_{dd} に接続されている。リセットスイッチ24のゲート端子は、リセットノード30からのリセット信号を受信するように接続されている。ドレイン端子はフォトセンサー結線16を介してフォトセンサー装置14に接続されている。

20

【0046】

読み出し回路22は、ソースフォロアートランジスタ32を備える従来の選択可能ソースフォロア読み出し回路と、行選択信号36を受信するように接続されている選択トランジスタ34と、選択トランジスタ34のソース結線に接続されている出力信号 V_{out} の出力ノード38とを具備する。読み出し回路22は、転送スイッチ18の読み出し結線20における電圧を検知するように設計されている。選択トランジスタ34のゲートは、列の画素内のどの画素を出力ノード38に接続するかを選択する行選択ノード36から、選択信号を受信するように接続されている。

【0047】

使用時には、リセットノード30を介してトランジスタリセットスイッチ24のゲートにリセット信号を適用し、このようにして、リセットスイッチ24を導電する。リセットスイッチ24は、回路コンポーネント固有の静電容量による電荷を格納する、フォトセンサー14に高電圧 V_{dd} を印加する。画素がリセットされた後は、リセット信号がオフになる。

30

【0048】

画素上に照射される光の強度を検知するために、シャッターノード28経由で、オン信号が転送スイッチ18のゲートに適用される。これにより、格納された電荷が光電検出器14を介して放電される。電荷の放電速度は光電検出器14を通る光電流 I_p に依存し、この光電流 I_p は光電検出器上の入射光の強度に依存する。このようにして、フォトセンサー結線16における電圧 V_p が、フォトセンサー14上に照射する光の強度に依存する速度で降下する。

40

【0049】

結果として、フォトセンサー14はフォトセンサー結線16にて、検出された光の時間積分に比例する出力信号 V_p を供給する。この出力信号 V_p は、転送スイッチ18および読み出し結線20経由で読み出し回路22の入力に適用される。

【0050】

所定の露光時間の終わりにシャッター信号がオフになり、その結果、読み出し回路22からフォトセンサー14が切断される。切断の時点で、読み出し回路によって出力信号 V_p が格納される。このようにして、キャプチャ時点で、オフシャッター信号の時間調整によって判別された読み出し回路22が、フォトセンサーから絶縁される。読み出し回路2

50

2は、キャプチャ時点でフォトセンサー信号 V_p をサンプリングし、出力ノード38に読み出し信号を供給する。よって、露光時間はオンシャッター信号の持続時間を基準に算定される。

【0051】

従来、オンシャッター信号はアレイ内のすべての画素に同時に配信される。したがって、すべての画素が同時に入射光を検知するように作動する。その後、画素からの出力信号が電子プロセッサーに供給され(図示せず)、電子プロセッサーで信号がデジタル化、結合されてハイレゾ画像ファイルが形成される。

【0052】

本発明の第1の実施形態に従って修正された画素回路は、図5に示すとおりである。この画素回路12はほとんどの点で図4に示す従来の画素と類似しており、フォトセンサー装置14と、MOSFETトランジスタ転送スイッチ18と、読み出し回路22と、トランジスタリセットスイッチ24とを具備する。光電検出器14(例えば、フォトダイオード又はフォトトランジスタであり得る)は、フォトセンサー結線16にて出力信号を提供し得る。この出力信号は、トランジスタ転送スイッチ18の第1の端子に接続する。転送スイッチ18の第2の端子は、読み出し電圧 V_s 用の読み出し結線20を供給し、読み出し回路22に接続する。

10

【0053】

リセットスイッチ24は別のMOSFETトランジスタを具備する。リセットスイッチ24のソース端子は固定電源電圧 V_{dd} に接続されていて、リセットスイッチ24のゲート端子はリセット信号を受信するようにリセットノード30を介して接続されている。ドレイン端子はフォトセンサー結線16を介してフォトセンサー装置14に接続している。

20

【0054】

読み出し回路22は、ソースフォロアートランジスタ32を備える従来の選択可能ソースフォロアーリセット回路と、行選択ノード36を介して行選択信号を受信するように接続されている選択トランジスタ34と、選択トランジスタ34のソース結線に接続されている出力信号 V_{out} の出力ノード38とを具備する。読み出し回路22は、出力からいつさい電流を引き込まずに転送スイッチ18の読み出し結線20における電圧 V_s を検知するように設計されている。選択トランジスタ34のゲートは、列の画素内のどの画素を出力ノード38に接続するかを選択する行選択ノード36を介して、選択信号を受信するように接続されている。

30

【0055】

転送スイッチ18のゲート端子は、論理ANDゲート42の出力結線40からの制御信号を受信するように接続されている。ANDゲート42は、シャッターノード44、列選択ノード46および行選択ノード48に接続されている3つの入力を有し、それらのノードを介してそれぞれシャッター信号、列選択信号および行選択信号を受信する。ANDゲート42は、3つの入力信号がすべてオンの場合に限り、出力結線40にオン制御信号を供給する。1つ又はそれ以上の入力信号がオフの場合、ANDゲート42の出力結線40に提供された制御信号がオフになる。

40

【0056】

前述のように、転送スイッチ18はスイッチのゲート端子にてオン信号を受信したときにのみ導電する。したがって、ANDゲート42の操作により、ANDゲート42の3つの入力がすべてオンの場合に限り導電する。即ち、シャッター信号、列選択信号および行選択信号がすべてオンの場合に限り、転送スイッチ18が導電する。したがって、列選択ノード46、行選択ノード48およびシャッターノード44にオン/オフ信号を適用することによって画素の操作を制御できる。これにより、画素アレイ内の各画素が個別にアクティビ化され、上に記載したように、時間依存のローレゾ画像ファイルシーケンスのキャプチャが可能になる。

【0057】

その後、これらのローレゾ画像をムービーとして別個シーケンスで表示できる。又は、

50

これらのローレゾ画像を結合して单一のハイレゾ静止画を形成することもできる。

【0058】

画素アレイ内の個々の画素の操作を制御するための制御回路の例は、図6に概略的に図示される。この例では、行選択信号および列選択信号は、グリッド状の制御結線ライン54に接続している列選択シフトレジスタ50および行選択シフトレジスタ52で生成される。各行結線ライン56は單一行の画素内のすべての画素の行選択ノード48に接続されていて、各列結線ライン58は單一列の画素内のすべての画素の列選択ノードに接続されている。したがって、画素アレイ内のすべての画素は、單一行の結線ライン56および單一列の結線ライン58経由で、シフトレジスタ50、52に接続されている。

【0059】

それぞれのシフトレジスタ50、52によって一連のオン／オフ信号が格納される。これらのオン／オフ信号は、結線ラインのグリッド54経由で、画素アレイ内の画素に適用される。シャッターノード44はいずれも、同時にシャッター信号を受信するように共通のシャッター結線（図示せず）に接続されている。

【0060】

使用時に、画素はシャッターノード44、列選択ノード46および行選択ノード48で受信された信号によって制御される。論理ANDゲート42の操作により、3つの信号がすべてオンの場合に限り、各画素が光を検知する。したがって、列選択および行選択ノード46、48に配信された列選択および行選択信号を制御することによって、個々の画素の操作を制御できる。

10

【0061】

単純な 2×2 の4つの画素サブグループに関する典型的な制御シーケンスの例は、図7に図示したとおりである。この例では、列選択シフトレジスタ50および行選択シフトレジスタ52はそれぞれ、一連の交流制御信号を $1, 0, 1, 0, 1, 0, \dots$ の形式で格納する。ここで、「1」はオン、「0」はオフである。第1のステップでは、行1および列1信号がオンになり、行2および列2信号がオフになる。したがって、サブセット S_1 内の画素はオンになり、サブセット S_2 、 S_3 および S_4 内の画素はオフになる。第2のステップでは、列選択シフトレジスタ50が1ステップだけ前進し、それにより、この時点で交流制御信号のシーケンスが $0, 1, 0, 1, 0, 1, \dots$ になる。一方、行選択シフトレジスタ52は前進しない。結果として、この時点でサブセット S_2 内の画素がオンになり、サブセット S_1 、 S_3 および S_4 内の画素がオフになる。

20

【0062】

第3のステップでは、列選択シフトレジスタ50および行選択シフトレジスタ52の両方が1ステップだけ前進し、それにより、この時点でサブセット S_3 内の画素がオンになり、第4のステップにおいては列選択シフトレジスタ50のみが1ステップだけ前進し、それにより、この時点でサブセット S_4 内の画素がオンになる。次のステップにおいては、列選択シフトレジスタ50および行選択シフトレジスタ52の両方が1ステップだけ前進し、センサーがステップ1として例示された状況に戻る。

30

【0063】

別の例では、 4×4 の16画素サブグループの制御シーケンスにおいて、各シフトレジスタは制御シーケンスを $1, 0, 0, 0, 1, 0, 0, 0, \dots$ 等の形式で格納することができる。この制御シーケンスがアレイ内の画素に適用されると、各グループ内の1画素のみがアクティブ化される。行選択制御レジスタが3回前進すると、同じ列内の他の3つの画素が順にアクティブ化される。その後、行選択レジスタおよび列選択レジスタの両方が1ステップだけ前進して、次の列内の第1の画素がアクティブ化され、以後も同様に画素サブグループ内の他の画素がそれぞれアクティブ化できるというようになっている。

40

【0064】

もちろん、それ以外にも多くの制御シーケンスが可能である。上に記載したように、画素を規則的なパターンでアクティブ（動作）することは必須ではない。事実上、状況によつては、画素を擬似ランダムシーケンスでアクティブ化（動作している状態に）するのが

50

有利であり得る。このアクティブ化は、シフトレジスタに格納されている制御シーケンスを変化させることによって、又は異なるパターンで（例えば、單一又は複数のステップで前方又は後方のいずれか一方に）レジスタを前進させることによって遂行できる。

【 0 0 6 5 】

本発明の第2の実施形態に従って修正された画素回路の一部は、図8に示すとおりである。この画素回路は、図5に示す画素回路とほぼ同じであるが、ANDゲート42が制御回路60で置換されている（詳細は後述）。この画素回路が、図5に示す従来の回路に比べて優れている点の1つは、トランジスタの所要数が少なくて済み、しかも小型化されていることである（ANDゲートはコンポーネントが比較的大きい）。このため、より多くの画素をセンサー／ユニット領域上に供給できる。

10

【 0 0 6 6 】

図8に示す修正された画素回路は、フォトセンサー装置と、MOSFETトランジスタ転送スイッチ18と、読み出し回路と、トランジスタリセットスイッチとを具備する。ただし、明確にするため、図8には転送スイッチ18のみが示してある。他の回路コンポーネントは正確には図5に示すとおりである。

【 0 0 6 7 】

転送スイッチ18のゲート端子40は、制御回路60から制御信号を受信するように接続されている。制御回路60は直列接続された2つのMOSFET制御トランジスタ62、64を具備する。これらのトランジスタのゲート端末はそれぞれ列選択ノード46および行選択ノード48に接続されていて、使用時に列選択信号および行選択信号を受信できるようになっている。シャッターノード44は、2つの制御トランジスタ62、64経由で、転送スイッチ18のゲート端子40に接続されている。したがって、列選択信号および行選択信号の両方がオンの場合に限り、シャッターオン信号を転送トランジスタ18のゲートに配信できる。転送スイッチ18のゲート端子40がレジスタ68経由でアース接続66に結合されているため、制御回路60からオン信号がまったく受信されないときは、確実に転送スイッチ18がオフのままになる。

20

【 0 0 6 8 】

作動時に、制御回路60は3つの入力信号がすべてオンの場合に限り、出力結線40にオン制御信号を供給する。したがって、シャッター信号、列選択信号および行選択信号がすべてオンの場合に限り、転送スイッチ18が導電する。オン／オフ信号を列選択ノード46および行選択ノード48に適用し、シャッター信号をシャッターノード44に適用することによって、画素の操作を制御できる。この結果、画素アレイ内の各画素を個別にアクティブ化でき、上に記載したように、時間依存のローレゾ画像ファイルのシーケンスをキャプチャすることが可能になる。その後、これらのローレゾ画像を別個にシーケンスで表示できる。又は、すべての前記画素からのデータを利用して、單一のハイレゾ画像を形成できる。

30

【 0 0 6 9 】

本発明の第3の実施形態に従って修正された別の画素回路の一部は、図9に示すとおりである。この画素回路は、図8に示す画素回路とほぼ同じであるが、制御回路60はレジスタ68の代わりに、転送トランジスタ18のゲート端子40とアース接続66との間に並列に接続されている2つの付加的なMOSFETトランジスタ70、72を具備する。これらの付加的なトランジスタのゲート端子はそれぞれ、使用時に反転した列選択および行選択信号を受信するノード74、76に接続されている。これらの付加的なトランジスタ70、72の目的は、列選択および行選択信号の一方又は両方がオフの場合に、転送トランジスタ18をオフ状態に保持することにある。

40

【 0 0 7 0 】

各サブセット内の画素の位置は、図1に示す規則的なパターンに従う必要はない。画素グループ内の見かけ上ランダムな位置は、数値スキームを実装することによって選択でき

50

る。この数値スキームは、乱数発生器およびユーザ指定のシード値を使用して、画素グループ内の各画素の位置をシャッフルする。ランダム化されたスキームには2つの利点がある。第1に、画素間の平均距離は同じ場合でも、低解像度画像内の各画素の位置がランダムに割り当てられていることである。ランダムに分散された画素と画像再構成用にアンダーサンプリングされた規則的なアレイの利点については、米国特許第4574311号「Random Array Sensing Devices, Resnikoff, Poggio, and Sims」に比較対照して詳しく説明されている。第2に、正確な時間調整をもたらす整数のシャッフルシーケンスが公知である場合にのみ、低解像度画像シーケンスを回復できることである。キー指定の乱数生成アルゴリズムを組み込むアルゴリズムによってシャッフルシーケンスが生成される場合、画像シーケンスを表示する人がキーを指定した場合に限り、画像シーケンスを回復できる。このため、画像シーケンスの暗号化によって、無断で表示されることのないように保護できる。10

【0071】

図1に示す矩形ジオメトリの代替として、画素グループは不規則な多角形形状を有してもよい。したがって、画素グループは不必要的画素を除外しながら関心領域を厳密に網羅できる。ユーザが顕微鏡的視野で少数のセルのアクティビティをモニターすることを望み得るライフサイエンスにおいて、使用例が考えられる。ユーザは関心があるセルの周囲に多角形形状を描画でき、これらの形状内の画素は、アルゴリズムを介して異なる時点で露光されるグループに分割できる。

【0072】

センサーで撮像された主体が露光時間中に動いた場合、画像が何らかの「モーションブラー」を含み得る。そのモーションブラー量は一般に、すべての画素が同時に露光される従来の静止カメラセンサーを使用した場合のモーションブラー量を超える。その理由は、合計積分時間が個々の画素の露光時間を超えるためであるが、主体に動きがほとんど又はまったくない場合、画像品質は従来のセンサーと実質的に同等である。20

【0073】

別の態様として、様々な画像キャプチャモード（例えば、上に記載したように画素要素が順次作動する「ムービー／静止画」モード、又はすべての画素要素が同時に作動する「静止画専用」モード）を選択し得る。ムービー／静止画モードでは、キャプチャされたローレゾ画像をムービーとして順次表示できる。又はキャプチャされたローレゾ画像同士をまとめてハイレゾ静止画として表示することもできる（その際、一部のモーションブラーを用いることも可能）。静止画専用モードにおいてモーションブラーは、従来のセンサーによるモーションブラーと同等であるが、一連の時分割ローレゾ画像がキャプチャされないため、画像をムービーとして順次表示できない場合がある。30

【0074】

別の態様として、設定された数の画素数を使用してブレーフリーのハイレゾ画像を得る一方、前述したように残りの画素数を使用して一連のローレゾ画像を得ることもできる。ユーザは所望のピクチャ品質を保証できるように、ハイレゾの低ブラー画像の画素数を選択できる。例えば、50%の画素を充当して、このサブグループの画素がアレイ全体にわたって分散された高解像度のブレーフリー画像を作成できる。これらの画素は同時に、ユーザ設定のブレーフリー画像に最適な露光時間と同等な短時間だけ露光される。残りの画素は、従来通りN-1グループに分割され、順次露光されてムービーシーケンスを生成する。高解像度グループ内の画素の分散は、規則的（例えば、1つおきの画素）であり得るか、又は画素はランダムに分散もしくは擬似ランダムに分散することもできる（結果として、画素の定義済みのサブ領域全体の平均密度は一定であるが、その領域内の個々の画素は既知のランダムな分布を使用して選択される）。高解像度画像内で欠落している画素は、利用可能な多様な信号処理技術のいずれかを使用して補正できる。ランダムに分散した画素と画像再構成用にアンダーサンプリングされた規則的なアレイの利点は、米国特許第4574311号明細書「Random Array Sensing Devices, Resnikoff, Poggio, and Sims」に比較対照して詳しく記載さ4050

れている。

【0075】

ここで、8.2メガ画素（寸法 2340×3500 画素）センサーを具備するデジタルSLRカメラにおいて本発明が実装されている実際的な例を記載する。これと同等の従来型カメラが現在出回っており、フルフレーム画像を5フレーム/秒の速度でキャプチャできる。本発明がこのカメラに実装された場合、例えば、各フルフレーム画像内の10個の0.82メガ画素ローレゾ画像をキャプチャできる。これらのローレゾ画像は、ムービーモードで速度50フレーム/秒、フレームサイズ 738×1108 画素にて順次表示できる。別の態様として、前記画素のフルセットからのデータを用いて、高解像度8.2メガ画素静止画を作成できる。

10

【0076】

各フルフレーム画像内に低解像度画像を更に多く埋め込むことによってフレームレートを更に向かうことは、もちろん明らかである。別の態様として、低フレームレートが適当な場合、解像度が更に高いムービーをキャプチャできる。

【0077】

上記のプロセスにおいて埋め込みローレゾ画像の作成に使用される連続露光間隔は、個々の露光持続時間に等しい。したがって、直前の露光が終わると次の露光が開始し、合計積分時間 T_i は Nt に等しい。ここで、Nは画素サブセットの数であり、tは個々の画素の露光時間である。別の態様として、露光時間間隔および露光時間はオーバーラップ又は離間するように調整できる。これにより、ユーザはモーションブラー又は微光条件を補正することができる。例えば、図2に示すように露光時間0.25秒を使用する代わりに、露光時間を0.15秒に減らすことができる。個々の画素サブセットの露光時間調整は、画素サブセット1の場合は0~0.15秒、画素サブセット2の場合は0.25~0.4秒、画素サブセット3の場合は0.5~0.65秒、画素サブセット4の場合は0.75~0.9秒になり得る。合計積分時間は Nt 未満になる。

20

【0078】

別の例として、露光時間を0.4秒に増分することもできる。その場合、個々の露光時間調整は、画素サブセット1の場合は0~0.4秒、画素サブセット2の場合は0.25~0.65秒、画素サブセット3の場合は0.5~0.9秒、画素サブセット4の場合は0.75~1.15秒になる。この場合、画素サブセット露光がオーバーラップする（1は2とオーバーラップし、2は3とオーバーラップし、3は4とオーバーラップし、4は1とオーバーラップする）。したがって、露光間隔は、主体が変化又は移動する速度に応じて最適化できる。

30

【0079】

本発明の応用例として、多種様々なものが考えられる。それらのいくつかについて、以下に説明する。

【0080】

消費者向けカメラ

本発明は、静止画のキャプチャを主な用途とするカメラ内に実装でき、それにより、ムービーを比較的高い解像度およびフレームレートでキャプチャすることを可能にする。例えば、上述したように、8.2メガ画素の画像シーケンスを5フレーム/秒の速度で撮影できるカメラは、0.8メガ画素の画像のムービーシーケンスを50フレーム/秒のフレーム速度で供給できる。

40

【0081】

消費者にとっての利点はオリジナルの高解像度写真が保存され、データ記憶要件（メモリー内の画像サイズ）が従来のデジタルカメラと変わりがないことである。応用例としては、ビデオ捕捉およびセキュリティカメラ操作を挙げることができ、シーンの詳細にも対応する高解像度画像、および低解像度画像シーケンスの同時キャプチャが可能になっている。

【0082】

50

カメラの基本要素は、図10に概略的に示すとおりである。このカメラ80は、画像をCMOSセンサー84にフォーカスするレンズ82を具備する。センサー84を形成する個々の画素を入射光に露光する工程は、センサーからのデータの読み出しも行う中央プロセッサユニット(CPU)88によって制御される。このデータは、メモリー装置90(例えば、フラッシュメモリーカード)に格納される。カメラは、シャッターリリース92と、CPU88に連結されている制御スイッチ94とを具備し、例えば、カメラの操作モードの設定に使用できる。操作モードは、例えば、カメラが各ハイレゾフレーム内の一連の時分割ローレゾ画像(ムービー又は高解像度静止画として表示可能)をキャプチャする「ムービー/静止画」モードを含むか、又はすべての画素を同時に露光することによってモーションブラーが最小限に抑えられた静止画が形成される「静止画専用」モードを含み得る。カメラはまた、他の従来技術(例えば、ビューファインダ、設定のチェック又はキャプチャされた画像の表示を行うディスプレイユニット、レンズ82の絞り、焦点距離およびピント合わせを制御するレンズコントロール、フラッシュユニット、データ出力ポートなど)も具備し得る。

【0083】

セキュリティ/マシンビジョン

変化しつつある3Dシーンのモニターに使用されるカメラは、モニター用途およびロボット工学/マシンビジョンに一般的に用いられているが、いくつかの課題を解決しなければならない。1つの問題は、物体がカメラを基準とした相対位置に移動した場合、センサー全体にわたる画像の動きの大きさは、カメラから物体の距離に反比例することである。この結果、カメラに近い物体に対してモーションブラーが顕著になり、必要な詳細が覆い隠される。例えば、街路上又は建物のロビー内の歩行者グループを監視した場合、カメラに近接した歩行者の顔の画像にブラーが生じる。画像全体に対するシャッター時間を減らした場合、遠隔の物体から収集される光の総量は比較的少量であるため、カメラから遠く離れた物体の画像品質が劣化する可能性がある。

【0084】

本発明は、1つのフレーム内の画素グループの数(更には、一時的解像度、空間解像度、および合計露光時間)を変化させ、シーン内のいくつかの物体の撮像を最適化することによって、この問題に対処できる。好都合にも、物体はカメラに近接するほど、比例的にサイズが増大し、空間解像度要件が軽減されるため、時間分解能の増加が可能になる。画素グループのサイズは、シーンの演繹的知識を使用して選択できる(例えば、交通流の方向に面した高架カメラによって高速道路上での走行を監視されている車両は、画像の上部に向かって比例的に縮小するため、画素グループサイズのグラデーションを使用して自動車あたりの平均画素数を維持できる。別の態様として、画素グループのサイズは、アルゴリズム的方法(例えば、Berthold and Shunck, "Determining Optical Flow", Technical Report, MIT, 1980に記載されているように、静止画内のモーションブラーから光学フローを得ることによって)、又は距離測定機器(例えば、レーザー測距器、又はそれに類するもの)を使用して動的に選択できる。

【0085】

加えて、特定の関心領域は、大多数の画像に用いられる画素グループのパターンに依存せずに、種々の解像度で撮像できる。例えば、トラフィックをモニターしているカメラは、適切に選択された画素矩形の露光時間を制御して車両のライセンスプレートの高空間解像度画像を得る一方、低空間解像度で車両の動きをモニターすることもできる。

【0086】

カメラを使用して(十分大きい画素グループを使用して)車両モーションを低空間解像度で絶えずモニターすることによって、そのようなシステム内にレーダー装置を使用せずに、車両速度およびライセンスプレートの検出を行うことができる。コンピュータアルゴリズムは、車両速度を計算し、必要に応じて高空間解像度で画素グループを動的に画像(シーン全体又はライセンスプレートのみのいずれか一方)に変更する。

10

20

30

40

50

【図 1】

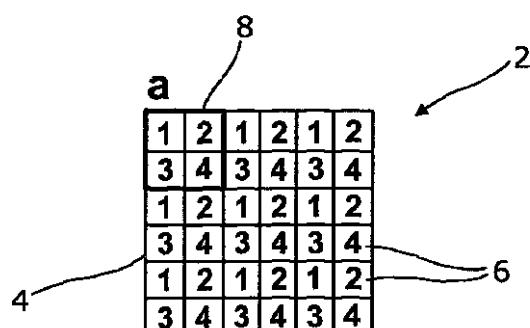


Fig. 1

【図 2】

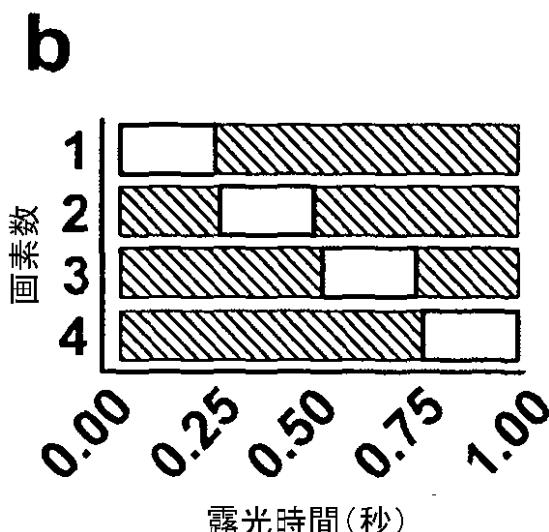


Fig. 2

【図 3】

C	1 1 1	2 2 2
	1 1 1	2 2 2
	1 1 1	2 2 2
	0 - 0.25 s	0.25 - 0.5 s
3 3 3	4 4 4	
3 3 3	4 4 4	
3 3 3	4 4 4	
0.5 - 0.75 s	0.75 - 1 s	

Fig. 3

【図 4】

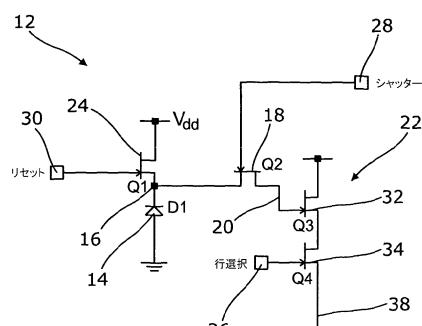


Fig. 4 (従来技術)

【図 5】

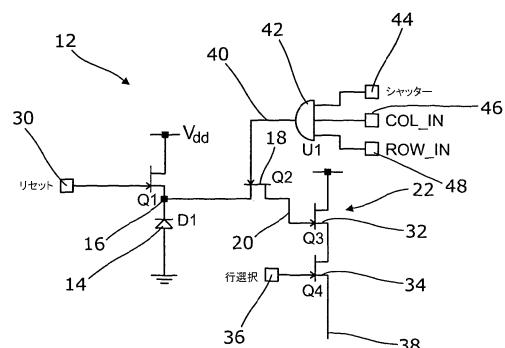
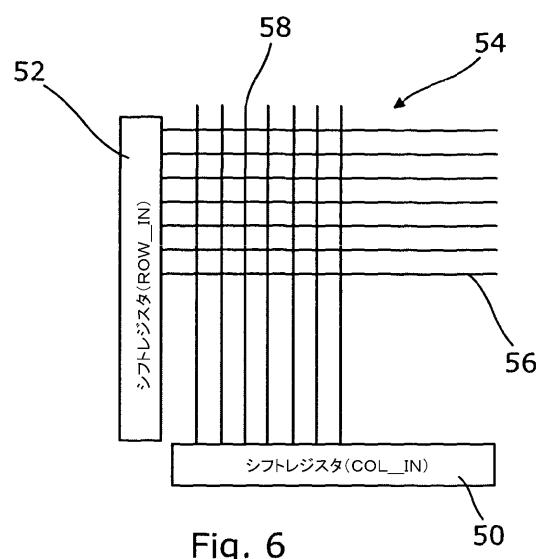


Fig. 5

【図6】



【図7】

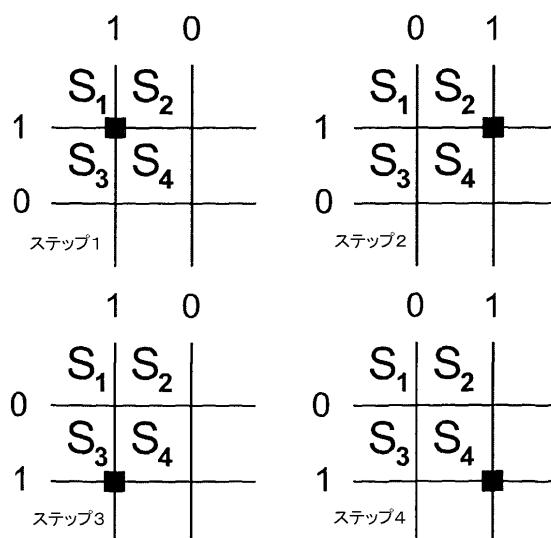
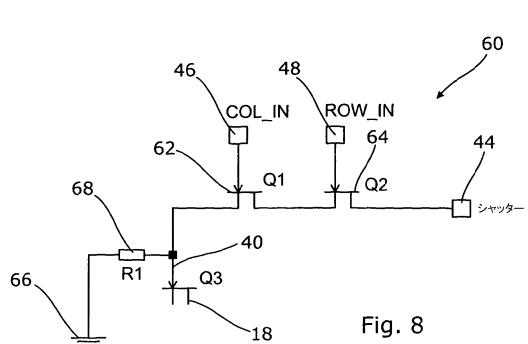
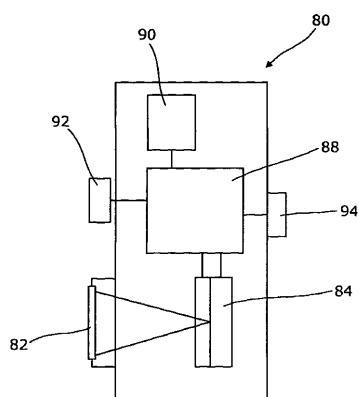


Fig. 7

【図8】



【図10】



【図9】

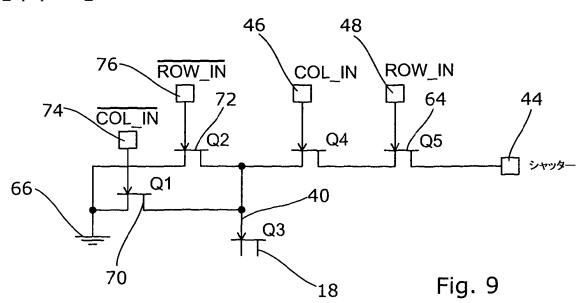


Fig. 10

フロントページの続き

(72)発明者 ソメック ,マイク

イギリス国 ノッティングハム エヌジー7 2アールディー ,ユニバーシティー パーク ,ユニバーシティー オブ ノッティングハム ,ファクリティ オブ エンジニアリング ,デパートメント オブ エレクトリカル アンド エレクトロニック エンジニアリング

(72)発明者 ライト ,ロジャー

イギリス国 ノッティングハム エヌジー7 2アールディー ,ユニバーシティー パーク ,ユニバーシティー オブ ノッティングハム ,ファクリティ オブ エンジニアリング ,デパートメント オブ エレクトリカル アンド エレクトロニック エンジニアリング

(72)発明者 ジョンソン ,ニコラス

イギリス国 ノッティングハム エヌジー7 2アールディー ,ユニバーシティー パーク ,ユニバーシティー オブ ノッティングハム ,ファクリティ オブ エンジニアリング ,デパートメント オブ エレクトリカル アンド エレクトロニック エンジニアリング

(72)発明者 バブ ,ギル

イギリス国 オックスフォード オーエックス1 3ピーティー ,ルーム C - 24 ,シェリントン ビルディング ,デパートメント オブ フィジオロジー アナトミー アンド ジェネティックス

審査官 鈴木 明

(56)参考文献 特開2006-121151(JP,A)

特開2007-166238(JP,A)

米国特許出願公開第2010/0134662(US,A1)

特表2010-527189(JP,A)

国際公開第2008/138543(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378