

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月26日(26.05.2016)



(10) 国際公開番号

WO 2016/079918 A1

- (51) 国際特許分類:
H01L 21/82 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/092 (2006.01)
H01L 21/8238 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2015/005012
- (22) 国際出願日: 2015年10月1日(01.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-234589 2014年11月19日(19.11.2014) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 新保 宏幸(SHIMBO, Hiroyuki).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

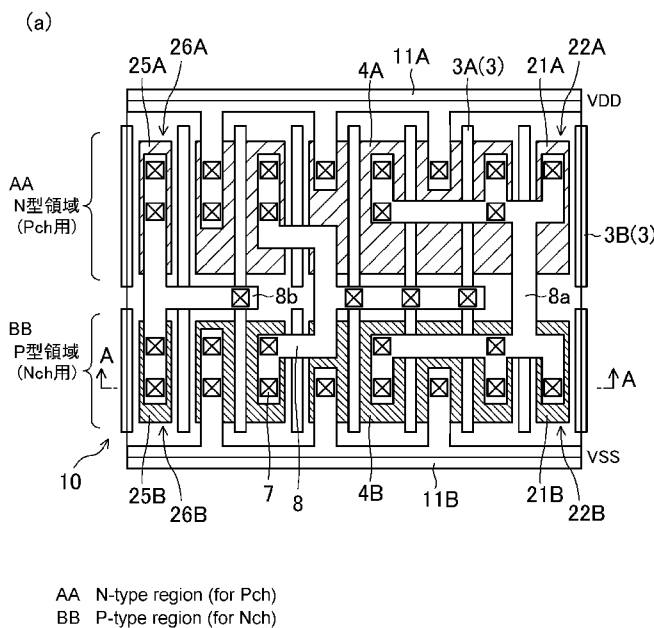
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: LAYOUT STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路のレイアウト構造



(57) Abstract: Provided is a layout structure made in consideration of antenna error in an insulating film implanted beneath a source or drain, for a semiconductor integrated circuit having an SOI-structure transistor. At least one standard cell (10) among a plurality of standard cells constituting a semiconductor integrated circuit is provided with a signal wire (8a) that forms an output node for outputting signals to the outside, and an antenna diode (22B) formed between the signal wire (8a) and a substrate or a well.

(57) 要約: SOI構造のトランジスタを有する半導体集積回路について、ソースまたはドレイン下の埋め込み絶縁膜に対するアンテナエラーを考慮したレイアウト構造を提供する。半導体集積回路を構成する複数の標準セルの少なくとも1つである標準セル(10)は、外部に信号を出力する出力ノードとなる信号配線(8a)と、信号配線(8a)と基板またはウェルとの間に形成されたアンテナダイオード(22B)とを備えている。

明 細 書

発明の名称：半導体集積回路のレイアウト構造

技術分野

[0001] 本開示は、SOI (Silicon On Insulator) 構造のトランジスタを有する半導体集積回路のレイアウト構造に関する。

背景技術

[0002] 図7はSOI (Silicon On Insulator) 構造のトランジスタの構成を示す断面図である。図7に示すように、SOI 構造では、基板またはウェル内に埋め込み絶縁膜（酸化膜）41を形成し、埋め込み絶縁膜41上のシリコン薄膜42にデバイス（ゲートG、ソースS、ドレインD）を構成する。ソース／ドレイン間の電界が集中しやすくなるため、特性に優れたトランジスタを形成することができる。なお、シリコン薄膜42が薄く、チャネル領域が全て空乏化している構造を完全空乏型SOI (FD-SOI: Fully Depleted Silicon On Insulator) と呼ぶ。

[0003] また、半導体製造プロセスでは、いわゆるアンテナエラーが生じる場合がある。アンテナエラーとは、メタル配線が製造中のプラズマ等により帯電し、帯電した電荷がこのメタル配線に電氣的に接続されたゲート電極に流れ込み、ゲート電極の下に形成されたゲート絶縁膜が破壊されたり損傷を受けたりする現象である。そして、SOI 構造のトランジスタでは、ゲート絶縁膜だけでなく、ソースまたはドレイン下の埋め込み絶縁膜についても、このアンテナエラーを考慮する必要がある。これは、製造中にメタル配線に帯電した電荷が、メタル配線に電氣的に接続されたソースまたはドレインに流れ込み、ソースまたはドレインを形成する拡散層の下に形成された埋め込み絶縁膜を破壊または損傷させるためである。

[0004] 特許文献1では、SOI 構造のトランジスタについて、アンテナエラーを未然に回避するために、帯電した電荷を基板へ逃がすためのアンテナダイオードを挿入する技術が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2003-133559号公報

発明の概要

発明が解決しようとする課題

[0006] ところが、特許文献1では、SOI構造のトランジスタを有する半導体集積回路において、アンテナダイオードの挿入を実際にどのように行うか、その具体的な手法については開示されていない。

[0007] 本開示は、SOI構造のトランジスタを有する半導体集積回路について、ソースまたはドレイン下の埋め込み絶縁膜に対するアンテナエラーを考慮したレイアウト構造を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一態様では、SOI (Silicon On Insulator) 構造のトランジスタを有する半導体集積回路のレイアウト構造は、それぞれが前記SOI構造のトランジスタによって回路が形成された、複数の標準セルを備え、前記複数の標準セルの少なくとも1つである第1標準セルは、当該第1標準セルの外部に信号を出力する出力ノードとなる第1信号配線と、前記第1信号配線と、基板またはウェルとの間に形成された第1アンテナダイオードとを備えている。

[0009] この態様によると、半導体集積回路を構成する複数の標準セルの少なくとも1つである第1標準セルでは、外部に信号出力する出力ノードとなる第1信号配線に、当該第1信号配線と基板またはウェルとの間に形成された第1アンテナダイオードが設けられている。この第1標準セルを用いると、出力ノードに接続されたSOI構造のトランジスタにおける拡散層下の埋め込み絶縁膜に関して、アンテナエラーを回避することができる。これにより、半導体集積回路のレイアウト設計において、アンテナダイオードを別途挿入する必要が格段に小さくなり、アンテナダイオードの挿入に伴う設計工数を大

幅に削減することができる。

発明の効果

[0010] 本開示によると、SOI構造のトランジスタを有する半導体集積回路について、設計TAT (Turn Around Time) の悪化を招くことなく、アンテナエラーを未然に回避することができる。

図面の簡単な説明

[0011] [図1] (a) は実施形態に係る標準セルのレイアウト構造の例を示す平面図、(b) はその標準セルの回路図

[図2] 図1 (a) のレイアウト構造の断面図

[図3] (a) は実施形態に係る標準セルのレイアウト構造の他の例を示す平面図、(b) はその標準セルの回路図

[図4] 実施形態に係る標準セルのレイアウト構造の他の例を示す平面図

[図5] 標準セル間の信号配線の配線例

[図6] 図5において起こりうるアンテナエラーを示す図であり、(a) は入力側標準セルにおけるゲート酸化膜に起こるアンテナエラー、(b) は出力側標準セルにおける埋め込み絶縁膜に起こるアンテナエラー

[図7] SOI構造のトランジスタを示す断面図

発明を実施するための形態

[0012] 以下、実施の形態について、図面を参照して説明する。

[0013] 図1 (a) は実施の形態に係る標準セルのレイアウト構造の例を示す平面図、図1 (b) は図1 (a) の標準セルの回路図である。また、図2は図1 (a) の線A-A' における断面図である。図1 (a) の第1標準セルとしての標準セル10では、図1 (b) に示すように、2個のインバータを直列に接続した回路が形成されている。標準セル10に含まれるトランジスタは、上述のSOI構造を有している。標準セル10では、出力ノードにアンテナダイオード22A、22Bが接続されており、入力ノードにアンテナダイオード26A、26Bが接続されている。標準セル10を含む複数の標準セルを配置することによって、半導体集積回路における回路ブロックを構成す

ることができる。

[0014] 図1(a)において、電源電位VDDを供給する電源配線11Aと、接地電位VSSを供給する電源配線11Bとの間に、P型トランジスタが形成されるN型領域と、N型トランジスタが形成されるP型領域とが形成されている。標準セル10は、図面縦方向において、N型領域とP型領域とに分かれている。ここでは、P型領域となるP型基板の上に、N型領域となるN型ウェルが形成されているものとする。

[0015] N型領域にはトランジスタを構成するP型拡散層4Aが配置されており、P型領域にはトランジスタを構成するN型拡散層4Bが配置されている。3はゲートであり、例えばポリシリコンで形成されている。ゲート3は、トランジスタを形成するゲート3A、または、トランジスタを形成しないダミーゲート3Bを含む。拡散層4A、4Bおよびゲート3の上層に、メタルからなる信号配線8が配置されている。信号配線8は、コンタクト7を介して拡散層4A、4Bやゲート3と電氣的に接続されている。

[0016] 図2に示すように、P型領域では、P型基板1内に埋め込み絶縁膜の一例としての埋め込み酸化膜12が形成されており、埋め込み酸化膜12の上にN型拡散層4Bが形成されている。またN型領域では、断面は図示していないが、N型ウェル内に埋め込み酸化膜が形成されており、この埋め込み酸化膜の上にP型拡散層4Aが形成されている。トランジスタのゲート3Aの下にゲート絶縁膜の一例としてのゲート酸化膜5が形成されており、その下にチャネル領域6が形成されている。拡散層4A、4Bの一部は、コンタクト7を介して信号配線8に接続されている。9はSTI(Shallow Trench Isolation)である。

[0017] 標準セル10内の信号配線8は、標準セル10の外部に信号を出力する出力ノードとなる第1信号配線としての信号配線8aと、標準セル10の外部から信号が入力される入力ノードとなる第2信号配線としての信号配線8bとを含む。そして標準セル10では、トランジスタを構成する拡散層4A、4Bとは別個に、P型拡散層21A、25Aと、N型拡散層21B、25B

とが配置されている。P型拡散層21A、25Aは、埋め込み酸化膜を介さず、直接N型ウェル上に設けられている。N型拡散層21B、25Bは、埋め込み酸化膜12を介さず、直接P型基板1上に設けられている。信号配線8aは、P型拡散層21AおよびN型拡散層21Bと電氣的に接続されている。これにより、信号配線8aと基板またはウェルとの間に、アンテナダイオード（第1アンテナダイオード）22A、22Bが形成されている。信号配線8bは、P型拡散層25AおよびN型拡散層25Bと電氣的に接続されている。これにより、信号配線8bと基板またはウェルとの間に、アンテナダイオード（第2アンテナダイオード）26A、26Bが形成されている。

[0018] ここで、本開示において、図1および図2に示すような標準セル10を用いる意義について説明する。

[0019] 図5は標準セル同士の間の信号配線の配線例である。図5において、出力側の標準セル51から入力側の標準セル52、53に信号が出力される。標準セル51の出力信号は、標準セル51の出力ノードとなるM1配線51aから、M2配線61、M3配線62、M4配線63、M3配線64、M2配線65、66を介して、標準セル52、53の入力ノードとなるM1配線52a、53aに送られる。なお、M1～M4はメタル配線層を意味し、数字が大きいほど上層にある。そして、SOI構造のトランジスタを用いる場合は、標準セル51における、M1配線51aに電氣的に接続された拡散層51b、51cの下に、埋め込み絶縁膜が形成されている。

[0020] 図6は図5の信号配線において起こりうるアンテナエラーを示す図であり、（a）は入力側標準セルにおけるゲート酸化膜に起こるアンテナエラー、（b）は出力側標準セルにおける埋め込み絶縁膜に起こるアンテナエラーを示す。従来からのいわゆるバルク構造のトランジスタによる半導体集積回路では、アンテナエラーに関しては、ゲート絶縁膜について考慮するだけでよかった。すなわち、図5の信号配線では、図6（a）に示すような、標準セル52、53内のゲート配線52b、53bの下に形成されたゲート絶縁膜について起こりうるアンテナエラーについて、アンテナ検証を行えばよい。と

ころが、SOI構造のトランジスタを用いる場合には、図6（b）に示すように、標準セル51の拡散層51b、51cの下にある埋め込み絶縁膜についてもアンテナエラーが起こる可能性があるため、この埋め込み絶縁膜についてもアンテナ検証を行う必要がある。したがって、挿入するアンテナダイオードの個数が、バルク構造のトランジスタを用いる場合に比べて格段に増えることになる。この結果、アンテナダイオードの挿入に伴って、配置配線のやり直しや、タイミングの悪化、回路面積の増大が生じ、これにより半導体集積回路の設計TATが大幅に増加してしまうおそれがある。

[0021] これに対して、図1に示す標準セル10では、出力ノードとなる信号配線8aにアンテナダイオード22A、22Bが設けられている。半導体集積回路のレイアウト設計において、標準セル10のような標準セルを用いることによって、標準セルの出力ノードとなる信号配線にアンテナダイオードが自動的に設けられる。これにより、図6（b）のようなアンテナエラーを回避することができるので、アンテナダイオードを別途挿入する必要が格段に小さくなる。したがって、アンテナダイオードの挿入に伴う配線負荷容量の変化や、それに伴う伝搬遅延の変化およびタイミング悪化を抑制することができる。また、アンテナセルの追加挿入に伴う既存セルの移動処理や、この移動処理に伴うタイミング悪化も抑制することができる。したがって、半導体集積回路の設計TATを大幅に改善することができる。

[0022] また、図1に示す標準セル10では、入力ノードとなる信号配線8bにアンテナダイオード26A、26Bが設けられている。半導体集積回路のレイアウト設計において、標準セル10のような標準セルを用いることによって、標準セルの入力ノードとなる信号配線にアンテナダイオードが自動的に設けられる。これにより、図6（a）のようなアンテナエラーを回避することができるので、アンテナダイオードを別途挿入する必要が格段に小さくなる。

[0023] なお、図1の構成において、入力ノード用アンテナダイオード26A、26Bは本開示において必須でなく、省いてもかまわない。また、図1（a）

の構成では、N型領域とP型領域の両方に、出力ノード用アンテナダイオード22A、22Bを配置しているが、いずれか一方にのみ配置してもかまわない。

[0024] (他の構成例1)

図3(a)は実施の形態に係る標準セルのレイアウト構造の他の例を示す平面図、図3(b)は図3(a)の標準セルの回路図である。図3において、図1と共通の構成要素には図1と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。図3(a)の第1標準セルとしての標準セル10Aでは、図3(b)に示すように、2個のインバータを直列に接続した回路が形成されている。標準セル10Aに含まれるトランジスタは、上述のSOI構造を有している。標準セル10Aでは、出力ノードにアンテナダイオード24が接続されており、入力ノードにアンテナダイオード26A、26Bが接続されている。標準セル10Aを含む複数の標準セルを配置することによって、半導体集積回路における回路ブロックを構成することができる。

[0025] 図3(a)において、電源電位VDDを供給する電源配線11Aと、接地電位VSSを供給する電源配線11Bとの間に、P型トランジスタが形成されるN型領域と、N型トランジスタが形成されるP型領域とが形成されている。標準セル10Aは、図面縦方向において、N型領域とP型領域とに分かれている。ここでは、P型領域となるP型基板の上に、N型領域となるN型ウェルが形成されているものとする。

[0026] N型領域にはトランジスタを構成するP型拡散層4Aが配置されており、P型領域にはトランジスタを構成するN型拡散層4Bが配置されている。拡散層4A、4Bおよびゲート3の上層に、メタルからなる信号配線8が配置されている。信号配線8は、コンタクト7を介して拡散層4A、4Bやゲート3と電氣的に接続されている。さらに、信号配線8の上層に、標準セル10Aの外部に信号を出力する出力ノードとなる第1信号配線としての信号配線18が配置されている。信号配線18はヴィア17を介して信号配線8と

接続されている。

[0027] そして標準セル10Aでは、トランジスタを構成する拡散層4A, 4Bとは別個に、P型拡散層25Aと、N型拡散層23, 25Bとが配置されている。P型拡散層25Aは、埋め込み絶縁膜を介さず、直接N型ウェル上に設けられている。N型拡散層23, 25Bは、埋め込み絶縁膜を介さず、直接P型基板上に設けられている。信号配線18は、N型拡散層23と電氣的に接続されている。これにより、信号配線18と基板またはウェルとの間に、アンテナダイオード（第1アンテナダイオード）24が形成されている。信号配線8bは、P型拡散層25AおよびN型拡散層25Bと電氣的に接続されている。これにより、信号配線8bと基板またはウェルとの間に、アンテナダイオード（第2アンテナダイオード）26A, 26Bが形成されている。

[0028] 図3(a)の標準セル10Aでは、出力ノードとなる信号配線18には、P型領域に配置されたアンテナダイオード24が接続されている。ただし、N型領域における、図面縦方向（第1方向に相当）においてアンテナダイオード24と対向する位置には、アンテナダイオードは形成されておらず、トランジスタを形成する拡散領域4Aが配置されている。論理機能に関連するトランジスタのゲート本数がP型とN型とで異なる標準セルでは、P型領域またはN型領域に空き領域が生じる場合がある。この空き領域にアンテナダイオードを配置することによって、図3(a)のようなレイアウトが得られる。これにより、出力ノード用アンテナダイオードを備えた標準セルの面積をより小さくすることができる。

[0029] なお、図3(a)の構成において、入力ノード用アンテナダイオード26A, 26Bは本開示において必須でなく、省いてもかまわない。また、図3(a)の構成例とは逆に、出力ノード用アンテナダイオードがN型領域に配置されており、P型領域における、出力ノード用アンテナダイオードと対向する位置に、トランジスタを形成する拡散領域が配置されている構成としてもよい。

[0030] (他の構成例 2)

図 4 は実施の形態に係る標準セルのレイアウト構造の他の例を示す平面図である。図 4 において、図 3 と共通の構成要素には図 3 と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0031] 図 4 において、電源電位 VDD を供給する電源配線 11A と、接地電位 VSS を供給する電源配線 11B との間に、P 型トランジスタが形成される N 型領域と、N 型トランジスタが形成される P 型領域とが形成されている。図 4 の第 1 標準セルとしての標準セル 10B は、図面縦方向において、N 型領域と P 型領域とに分かれている。ここでは、P 型領域となる P 型基板の上に、N 型領域となる N 型ウェルが形成されているものとする。そして標準セル 10B では、P 型領域にアンテナダイオード 32, 36 が形成されており、N 型領域に容量素子 33, 37 が形成されている。

[0032] すなわち、P 型領域に N 型拡散層 31, 35 が形成されている。N 型拡散層 31 は出力ノードとなる信号配線 18 と電氣的に接続されている。これにより、信号配線 18 と基板またはウェルとの間にアンテナダイオード（第 1 アンテナダイオード）32 が形成されている。また、N 型拡散層 35 は入力ノードとなる信号配線 8b と電氣的に接続されている。これにより、信号配線 8b と基板またはウェルとの間にアンテナダイオード 36（第 2 アンテナダイオード）が形成されている。また、N 型領域に P 型拡散層 33a, 37a が形成されている。P 型拡散層 33a, 37a の上に幅広のゲート配線 33b, 37b が配置されている。P 型拡散層 33a, 37a は電源配線 11A に接続され、ゲート配線 33b, 37b は電源配線 11B に接続されている。これにより、電源電位 VDD を供給する電源配線 11A と接地電位 VSS を供給する電源配線 11B との間に、容量素子 33, 37 が形成されている。

[0033] 図 4 の標準セル 10B では、P 型領域にアンテナダイオード 32, 36 が形成されている。そして、N 型領域における、図面縦方向（第 1 方向に相当）においてアンテナダイオード 32, 36 と対向する位置に、容量素子 33

， 37 が配置されている。このような構成により、出力ノード用アンテナダイオードと容量素子とを備えた標準セルの面積をより小さくすることができる。

[0034] なお、図4の構成において、入力ノード用アンテナダイオード36は本開示において必須でなく、省いてもかまわない。また、図4の構成例とは逆に、出力ノード用アンテナダイオードがN型領域に配置されており、P型領域における、出力ノード用アンテナダイオードと対向する位置に、容量素子が配置されている構成としてもよい。

[0035] また、上述したような出力ノード用アンテナダイオードを設けた標準セルは、半導体集積回路において、例えば、クロック信号を伝送する回路を構成するものとして用いればよい。あるいは、回路ブロック同士の間で信号を伝送する回路を構成するものとして用いればよい。

[0036] クロック信号を伝送する回路は、回路を構成するバッファ間の配線長が長くなることが多い。配線長が長いと、アンテナエラーが発生しやすい。そこで、クロック信号を伝送する回路のバッファ等に、本開示で例示したような出力ノード用アンテナダイオードを設けた標準セルを用いることによって、アンテナエラーを未然に抑えることができる。同様に、回路ブロック同士の間で信号を伝送する回路についても、配線長が長くなることが多い。このため、本開示で例示したような出力ノード用アンテナダイオードを設けた標準セルを用いることによって、アンテナエラーを未然に抑えることができる。

産業上の利用可能性

[0037] 本開示では、SOI構造のトランジスタを有する半導体集積回路について、設計TATの悪化を招くことなく、アンテナエラーを未然に回避できるので、例えば、大規模LSIの歩留まりを改善するのに有効である。

符号の説明

[0038] 10, 10A, 10B 標準セル（第1標準セル）

4A 拡散領域

8a 信号配線（第1信号配線）

8 b 信号配線 (第 2 信号配線)

1 8 信号配線 (第 1 信号配線)

2 2 A, 2 2 B アンテナダイオード (第 1 アンテナダイオード)

2 4 アンテナダイオード (第 1 アンテナダイオード)

2 6 A, 2 6 B アンテナダイオード (第 2 アンテナダイオード)

3 2 アンテナダイオード (第 1 アンテナダイオード)

3 5 アンテナダイオード (第 2 アンテナダイオード)

3 3, 3 7 容量素子

請求の範囲

- [請求項1] SOI (Silicon On Insulator)構造のトランジスタを有する半導体集積回路のレイアウト構造であって、
- それぞれが前記SOI構造のトランジスタによって回路が形成された、複数の標準セルを備え、
- 前記複数の標準セルの少なくとも1つである第1標準セルは、
- 当該第1標準セルの外部に信号を出力する出力ノードとなる第1信号配線と、
- 前記第1信号配線と基板またはウェルとの間に形成された第1アンテナダイオードとを備えている
- ことを特徴とする半導体集積回路のレイアウト構造。
- [請求項2] 請求項1記載の半導体集積回路のレイアウト構造において、
- 前記第1標準セルは、
- 当該第1標準セルの外部から信号が入力される入力ノードとなる第2信号配線と、
- 前記第2信号配線と基板またはウェルとの間に形成された第2アンテナダイオードとを備えている
- ことを特徴とする半導体集積回路のレイアウト構造。
- [請求項3] 請求項1または2記載の半導体集積回路のレイアウト構造において、
- 、
- 前記第1標準セルは、第1方向において、N型領域とP型領域とに分かれており、
- 前記第1標準セルにおいて、前記第1アンテナダイオードは、N型領域およびP型領域のうちいずれか一方に配置されており、かつ、N型領域およびP型領域のうちの他方における、前記第1方向において前記第1アンテナダイオードと対向する位置に、トランジスタを形成する拡散領域が配置されている
- ことを特徴とする半導体集積回路のレイアウト構造。

[請求項4] 請求項 1 または 2 記載の半導体集積回路のレイアウト構造において、

前記第 1 標準セルは、第 1 方向において、N 型領域と P 型領域とに分かれており、

前記第 1 標準セルにおいて、前記第 1 アンテナダイオードは、N 型領域および P 型領域のうちいずれか一方に配置されており、かつ、N 型領域および P 型領域のうちの他方における、前記第 1 方向において前記第 1 アンテナダイオードと対向する位置に、電源電位を供給する電源配線と接地電位を供給する電源配線との間に形成された容量素子が配置されている

ことを特徴とする半導体集積回路のレイアウト構造。

[請求項5] 請求項 1 ～ 4 のうちいずれか 1 項記載の半導体集積回路のレイアウト構造において、

前記第 1 標準セルは、クロック信号を伝送する回路を構成するものである

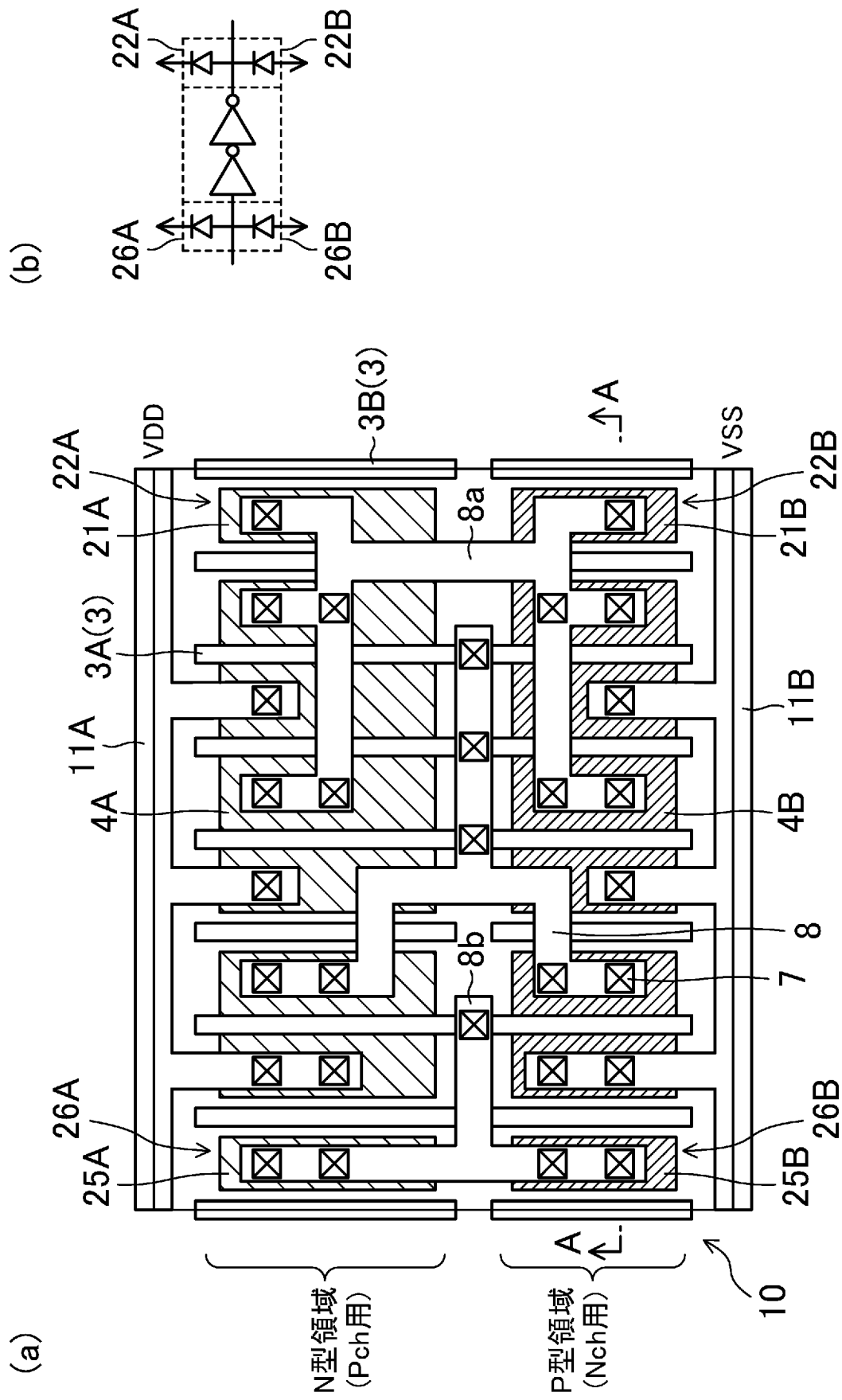
ことを特徴とする半導体集積回路のレイアウト構造。

[請求項6] 請求項 1 ～ 4 のうちいずれか 1 項記載の半導体集積回路のレイアウト構造において、

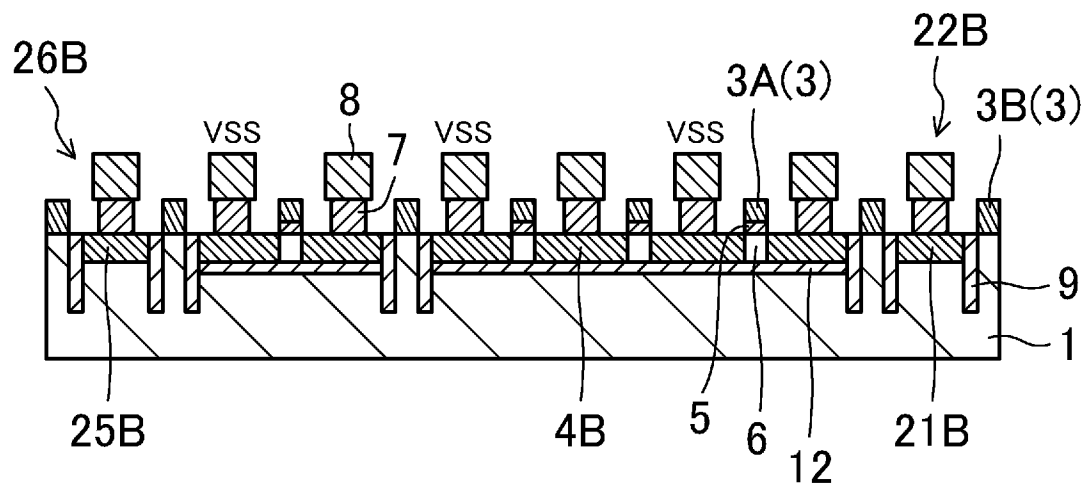
前記第 1 標準セルは、回路ブロック同士の間で信号を伝送する回路を構成するものである

ことを特徴とする半導体集積回路のレイアウト構造。

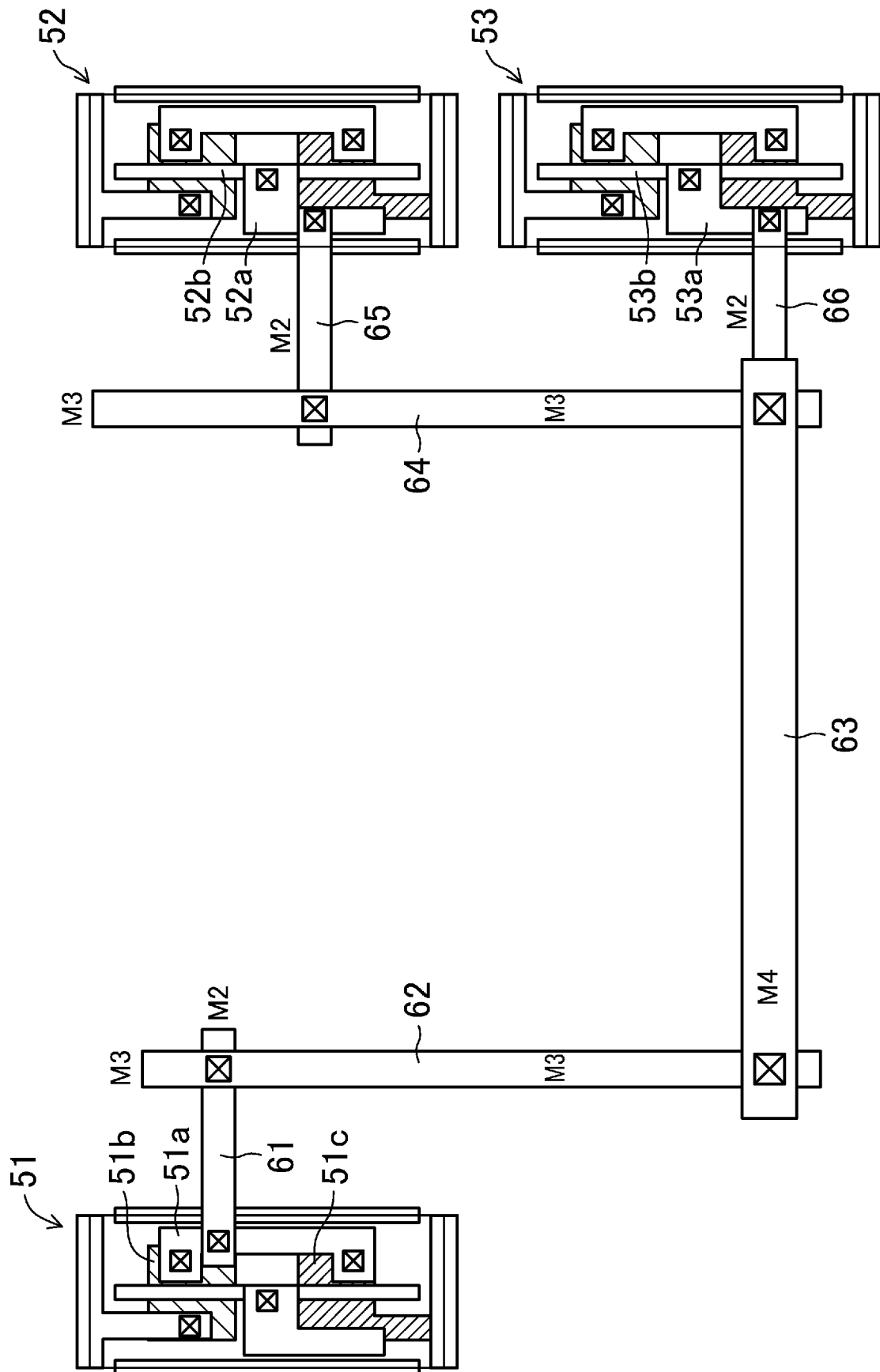
[図1]



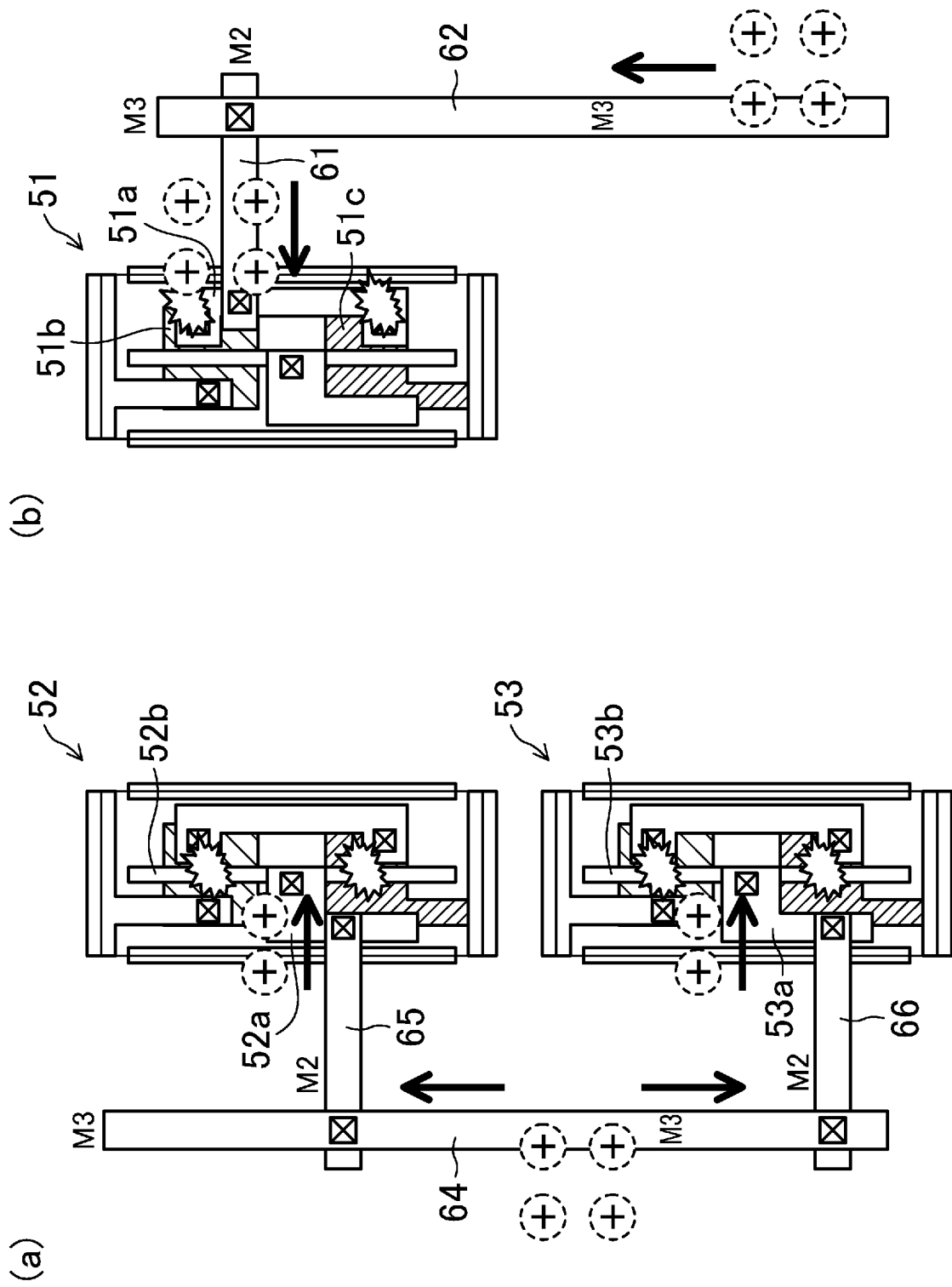
[図2]



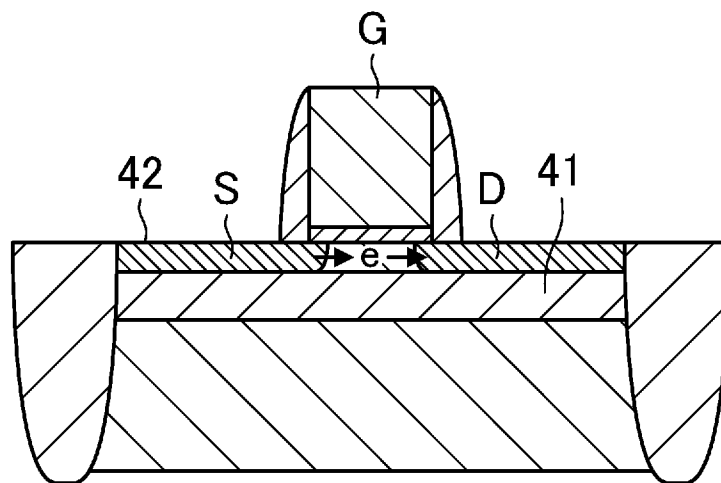
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/005012

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8238(2006.01)i,
H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-83934 A (Ricoh Co., Ltd.), 22 March 2002 (22.03.2002), (Family: none)	1-6
A	JP 2003-133559 A (Kawasaki Microelectronics, Inc.), 09 May 2003 (09.05.2003), & US 2003/0080385 A1	1-6
A	JP 2007-317814 A (Matsushita Electric Industrial Co., Ltd.), 06 December 2007 (06.12.2007), (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 December 2015 (14.12.15)

Date of mailing of the international search report
22 December 2015 (22.12.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/005012

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-297836 A (Matsushita Electric Industrial Co., Ltd.), 29 October 1999 (29.10.1999), & US 2002/0083404 A1 & TW 452981 B & CN 1231513 A	1-6
A	WO 2013/132841 A1 (Panasonic Corp.), 12 September 2013 (12.09.2013), & US 2014/0299920 A1	1-6
A	US 2014/0173544 A1 (STMICROELECTRONICS SA), 19 June 2014 (19.06.2014), & FR 2999746 A	1-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8238(2006.01)i, H01L27/04(2006.01)i,
H01L27/092(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/82, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-83934 A（株式会社リコー）2002.03.22,（ファミリーなし）	1-6
A	JP 2003-133559 A（川崎マイクロエレクトロニクス株式会社） 2003.05.09, & US 2003/0080385 A1	1-6
A	JP 2007-317814 A（松下電器産業株式会社）2007.12.06,（ファミリーなし）	1-6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 2 . 2 0 1 5

国際調査報告の発送日

2 2 . 1 2 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-297836 A (松下電器産業株式会社) 1999. 10. 29, & US 2002/0083404 A1 & TW 452981 B & CN 1231513 A	1-6
A	WO 2013/132841 A1 (パナソニック株式会社) 2013. 09. 12, & US 2014/0299920 A1	1-6
A	US 2014/0173544 A1 (STMICROELECTRONICS SA) 2014. 06. 19, & FR 2999746 A	1-6