

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 14 octobre 1983.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 16 du 19 avril 1985.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : THOMSON-CSF, société anonyme. —
FR.

⑦2 Inventeur(s) : Raymond Henry, Michel Heitzmann et
Jean-Victor Bouvet.

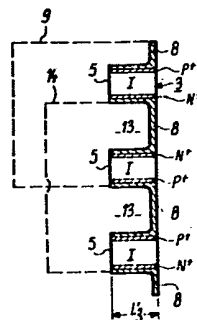
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : P. Guilguet.

⑤4 Limiteur de puissance élevée à diodes PIN pour ondes millimétriques et procédé de réalisation des diodes.

⑤7 L'invention concerne un limiteur de puissance élevée à
diodes PIN au silicium pour ondes millimétriques constitué par
un guide d'ondes associé à un substrat de silicium 3 dans
lequel est réalisée une matrice de diodes PIN 5. Les diodes
PIN sont formées dans toute l'épaisseur L_3 du substrat de
silicium.

Application aux limiteurs fonctionnant à 94 GHz.



1

LIMITEUR DE PUISSANCE ELEVEE A DIODES PIN POUR ONDES
MILLIMETRIQUES ET PROCEDE DE REALISATION DES DIODES

La présente invention concerne un limiteur de puissance hyperfréquence élevée réalisé à partir de plusieurs diodes PIN au silicium montées dans un guide d'ondes et fonctionnant pour des ondes millimétriques, ainsi qu'un procédé de réalisation de ces diodes.

On rappellera que le but d'un tel dispositif est de transmettre avec une perte minimale de puissance certains signaux hyperfréquence et d'en isoler certains autres.

Les figures 1 et 2 représentent respectivement une vue en perspective et une vue en coupe selon la ligne II-II d'une structure connue d'un limiteur de puissance élevée à diodes PIN au silicium pour des ondes millimétriques, tel que décrit dans l'article publié dans "Microwave Journal", mars 1983, pages 65 à 70, intitulé : "Millimeter wave high power solid state limiter". Ce limiteur 1 est constitué par un guide d'ondes 2 rectangulaire métallique, d'axe longitudinal Δ , de dimensions permettant la propagation d'ondes millimétriques, et dans lequel est monté transversalement à l'axe Δ un substrat de silicium 3 se présentant sous forme d'une plaquette ou lame parallélépipédique de section droite rectangulaire de mêmes dimensions que celles de la section droite du guide, soit par exemple $L_1 = 2,54$ mm et $L_2 = 1,27$ mm.

Pour pouvoir supporter une forte puissance hyperfréquence, plusieurs diodes PIN en silicium 5 de mêmes dimensions, par exemple au nombre de quatre, sont réalisées dans la surface du substrat 3 selon une configuration série-parallèle, et sont disposées face à l'entrée de la puissance incidente P_e pour assurer la limitation de celle-ci. Le substrat de silicium 3 présente une dimension L_3 selon l'axe longitudinal Δ du guide de l'ordre de 100 microns et obstrue une section transversale du guide 2.

Sur la figure 2, la réalisation des diodes PIN 5 dans la surface du substrat de silicium 3 d'épaisseur L_3 de l'ordre de 100 microns,

est effectuée tout d'abord par une attaque de ce dernier de façon à former des sillons de profondeur de l'ordre de 20 microns, délimitant les zones de silicium intrinsèque I des diodes tout en laissant subsister une épaisse zone 7 de silicium en parallèle sur les zones I des diodes, donc de l'ordre de 80 microns. L'attaque du substrat est suivie de diffusions classiques alternées de type P^+ et de type N^+ effectuées au niveau des sillons, formant ainsi les zones P^+ et N^+ des différentes diodes ainsi réalisées. Puis, les sillons sont recouverts de métallisations 8 constituant des contacts sur les zones alternées P^+ et N^+ des diodes 5, et deux bus métalliques réunissent respectivement les métallisations anodes et cathodes des diodes ; seul le bus collectant les métallisations anodes est nécessaire dans l'exemple choisi représenté sur la figure 2 et est repéré par les pointillés 9 sur cette figure. Les diodes PIN 5 sont polarisées par application d'une tension extérieure $\pm V$ (figure 1) entre les deux bus métalliques.

Toutefois, un limiteur de puissance élevée pour ondes millimétriques selon cet art antérieur présente des inconvénients. En effet, la présence de la zone de silicium en parallèle sur les zones I des diodes réalisées dans le substrat de silicium crée une traînée des porteurs injectés dans les zones I des diodes, ce qui augmente notablement le temps de commutation des ondes millimétriques se propageant dans le guide d'ondes ; par conséquent, ces diodes PIN de commutation ne peuvent être qualifiées de diodes rapides. De plus, cette zone de silicium située en dehors des diodes PIN proprement dites introduit des pertes d'insertion supplémentaires à bas niveau et à polarisation nulle.

La présente invention a pour but de remédier à ces inconvénients en proposant un limiteur de puissance hyperfréquence élevée pour ondes millimétriques, qui comporte des diodes PIN au silicium assurant une commutation rapide, et présente d'excellentes performances globales au point de vue pertes d'insertion et isolation.

A cet effet, l'invention a pour objet un limiteur de puissance élevée comportant un guide d'ondes rectangulaire d'axe longitudinal,

de dimensions permettant la propagation d'ondes millimétriques, et un substrat de silicium de forme parallélépipédique de section droite rectangulaire sensiblement de même dimensions que celles de la section droite du guide, monté dans le guide transversalement à l'axe longitudinal de celui-ci, et dans la surface duquel est réalisée
5 une configuration série-parallèle de diodes PIN au silicium de mêmes dimensions, les diodes étant disposées face à l'entrée de la puissance dans le guide, caractérisé en ce que la dimension du substrat de silicium selon l'axe longitudinal du guide d'ondes est
10 égale à celle de la zone I de silicium de chacune des diodes PIN selon ce même axe.

On comprend qu'ainsi le fait de donner au substrat une dimension selon l'axe longitudinal du guide égale à celle des zones I des diodes, donc d'éliminer la zone de silicium située en dehors des diodes PIN proprement dites selon l'art antérieur, permet de localiser strictement dans les zones I des diodes l'injection des porteurs ;
15 par conséquent, les diodes PIN de commutation sont des diodes rapides qui contribuent à améliorer les pertes d'insertion et l'isolation du limiteur.

L'invention vise également un procédé conçu spécialement pour la réalisation de ces diodes PIN au silicium pour le limiteur selon l'invention.
20

D'autres caractéristiques et avantages de l'invention apparaîtront mieux dans la description détaillée qui suit, illustrée par les figures suivantes qui, outre les figures 1 et 2 de l'art antérieur déjà
25 décrites, représentent :

- la figure 3, une vue en coupe longitudinale du substrat de silicium dans lequel sont réalisées les diodes PIN du limiteur selon l'invention ;
- 30 - la figure 4, une vue en coupe transversale selon la ligne IV-IV de la figure 3 ; et
- les figures 5 à 11, des vues en coupe illustrant les différentes étapes du procédé de réalisation des diodes PIN du limiteur selon l'invention.

Sur ces différentes figures, les mêmes références se rapportent aux mêmes éléments et reprennent celles déjà utilisées pour les mêmes éléments des figures 1 et 2 décrites précédemment.

5 Sur les figures 3 et 4, on a représenté en 3 le substrat de silicium de forme parallélépipédique de section droite rectangulaire destiné à être monté transversalement à l'axe longitudinal du guide d'ondes 2 du limiteur de puissance 1 tel que décrit sur la figure 1, et fonctionnant en ondes millimétriques, par exemple à 94 GHz, et à puissance incidente élevée, par exemple égale à 1 kW.

10 Dans la surface du substrat 3 est réalisée une matrice de diodes PIN identiques en silicium 5 selon une configuration série-parallèle définie par exemple par trois diodes en série dans chacune des quatre colonnes en parallèle, soit au total douze diodes. Chacune des diodes PIN au silicium 5 est constituée par une zone ou région de
15 silicium intrinsèque I disposée entre deux zones ou régions dopées respectivement P^+ et N^+ , et la zone I de chaque diode 5 est formée à même le substrat de silicium 3.

Comme il apparaît sur la figure 4, le substrat 3 présente une dimension L'_3 selon l'axe longitudinal du guide d'ondes 2 de la figure
20 1, égale à celle de la zone I de chacune des diodes 5, soit par exemple 25 microns. Ceci a pour avantage de localiser l'injection des porteurs dans une bande de silicium strictement définie par les zones I des diodes, ce qui améliore notablement le temps de commutation car les porteurs n'ont désormais plus la possibilité
25 d'avoir de traînée dans une zone de silicium en parallèle sur les zones I des diodes PIN.

A titre illustratif, la couche I de chaque diode 5 est de faible épaisseur, de l'ordre de 5 à 20 microns, et les couches P^+ et N^+ de chaque diode sont très minces, de l'ordre de 2 microns chacune.

30 Sur la figure 3 qui représente une vue de face coupée du substrat de silicium 3, ce dernier se compose, selon sa section droite rectangulaire, de plusieurs barreaux identiques de silicium 11, au nombre de trois dans l'exemple choisi de la configuration série-parallèle des diodes PIN, disposés parallèlement à la longueur de la

section droite du substrat et sur toute la hauteur de cette section droite.

Chaque barreau de silicium 11 s'étend longitudinalement sur toute la face avant du substrat, c'est-à-dire celle destinée à recevoir la puissance d'entrée du limiteur, et comporte deux bords longitudinaux opposés 11a et 11b présentant l'un par rapport à l'autre une forme de créneaux identiques opposés à flancs respectifs légèrement inclinés, réalisant ainsi des parties de silicium alternativement rétrécies et élargies. Les parties rétrécies de chaque barreau 11, au nombre de quatre dans l'exemple choisi de la configuration série-parallèle des diodes PIN, constituent les zones I des diodes 5, tandis que les parties élargies de chaque barreau, repérées en 12, assurent une réduction de la capacité parasite.

Sur la hauteur du substrat 3, les barreaux de silicium 11 sont délimités ou séparés les uns des autres par des sillons 13 épousant chacun longitudinalement la forme en créneaux des barreaux et présentant donc chacun en coupe sur la figure 4 une forme de U dont les flancs ou parois opposées parallèles délimitent les diodes 5 et dont le fond se situe au niveau de la face arrière du substrat 3. Chaque sillon 13 présente, sur la figure 4, une profondeur égale à la dimension L'_3 de chaque diode PIN 5.

Les zones P^+ et N^+ des diodes 5 sont disposées longitudinalement et en alternance chacune uniquement sur les deux parois opposées d'un même sillon 13, c'est-à-dire en fait sur les deux bords opposés d'un même barreau de silicium 11 constituant ainsi les diverses diodes PIN au silicium 5.

Les sillons 13 sont de plus recouverts respectivement de couches métalliques 8 constituées chacune par exemple d'un ensemble de sous-couches de titane, platine et or, formant ainsi des métallisations des zones alternées P^+ et N^+ des diodes 5. De plus, les métallisations anodes et cathodes 8 des diodes PIN 5 sont toutes reliées respectivement à deux connexions communes ou bus métalliques, par exemple en or, repérées en 9 et 14 par les pointillés sur les figures 3 et 4.

Le substrat de silicium 3 décrit ci-dessus, et dans la surface duquel est réalisée la matrice de diodes PIN 5, est monté dans le guide d'ondes 2 de la figure 1 de façon à obstruer une section transversale de celui-ci, l'ensemble guide d'ondes 2-diodes PIN 5 formées dans le substrat, constituant le limiteur de puissance réperé 5 en 1 sur la figure 1 et dont le fonctionnement est le suivant.

Lorsque les diodes PIN sont bloquées, le guide d'une part peut être considéré comme rempli d'un matériau diélectrique de constante diélectrique ϵ élevée et d'autre part a des dimensions 10 telles que la propagation d'une onde millimétrique est possible. Dans ce cas, la puissance incidente est transmise avec un minimum de perte par le limiteur.

Par contre, lorsque les diodes PIN conduisent, elles sont équivalentes à un court-circuit et une grande partie de la puissance 15 incidente est réfléchiée par le limiteur, isolant ainsi sa sortie de son entrée.

On va maintenant décrire en référence aux figures 5 à 11, un procédé de réalisation ou fabrication des diodes PIN au silicium selon une configuration série-parallèle formée dans le substrat de 20 silicium 3 tel que représenté sur les figures 3 et 4.

Selon un mode de réalisation préféré, ce procédé est mis en oeuvre à partir d'un substrat de silicium pur 3 se présentant sous forme d'une rondelle d'épaisseur d'environ 100 microns, possédant une haute résistivité, de l'ordre de $4000 \Omega \cdot \text{cm}$, et ayant un diamètre 25 tel qu'il soit possible d'élaborer un nombre donné de diodes PIN qui donneront, après découpes selon des matrices déterminées, des substrats élémentaires du type représenté sur les figures 3 et 4.

La première étape du procédé de réalisation des diodes PIN, représentée sur la figure 5, consiste à déposer une couche d'arrêt 17, 30 d'épaisseur d'environ 1 micron, sur le substrat de silicium 3. Cette couche d'arrêt peut être réalisée par exemple en oxyde de silicium SiO_2 obtenu par oxydation thermique du substrat de silicium. Puis, dans un réacteur classique, une couche de silicium polycristallin 18 est déposée sur la couche d'arrêt 17 sur une épaisseur de l'ordre de

100 microns.

Cette couche épaisse 18 va servir de support mécanique pour pouvoir réaliser la seconde étape du procédé qui consiste, comme représenté sur la figure 6, à amincir le substrat de silicium 3 à une
5 épaisseur donnée L'_3 d'environ 25 microns par un procédé connu, mécano-chimique par exemple. Une couche 19, d'environ 1 micron d'épaisseur, par exemple en oxyde de silicium SiO_2 est ensuite déposée sur le substrat de silicium 3 considérablement aminci.

On notera que l'avantage de la couche d'arrêt 17 déposée entre
10 le substrat 3 et la couche épaisse en silicium polycristallin 18 réside dans le fait qu'une attaque chimique réalisée ultérieurement sur la face arrière, c'est-à-dire une attaque de la couche 18 en direction du substrat 3, s'arrêtera sur la couche 17.

Les deux étapes suivantes, représentées sur les figures 7 et 8,
15 consistent en des diffusions classiques alternées de silicium dopé de type P^+ et de type N^+ en utilisant une technique de masquages successifs de façon à réaliser les diodes PIN au silicium proprement dites.

A cet effet, sur la figure 7, le substrat de silicium aminci est
20 tout d'abord attaqué, par exemple par photogravure, jusqu'à la couche d'arrêt 17 de façon à former des sillons 13 délimitant des barreaux identiques de silicium 11. Les parois latérales de chaque sillon 13 présentent, dans un plan perpendiculaire au plan de coupe de la figure 7, et l'une par rapport à l'autre, une forme de créneaux
25 identiques opposés tels que représentés sur la figure 3. Chaque barreau 11 présente donc, toujours dans un plan perpendiculaire au plan de coupe de la figure 7, des parties alternativement rétrécies et élargies telles que représentées sur la figure 3, les parties rétrécies de chaque barreau constituant les zones I, d'épaisseur de
30 l'ordre de 5 à 20 microns, des futures diodes.

On procède ensuite à une oxydation de tous les sillons 13 ainsi formés, puis on désoxyde un sillon sur deux et, sur la figure 7, on effectue une diffusion de silicium dopé de type P^+ sur les parois des sillons désoxydés, formant ainsi les zones P^+ , d'épaisseur de l'ordre

de 2 microns, des futures diodes PIN.

Puis, on désoxyde les sillons restants, c'est-à-dire les sillons non désoxydés lors de la diffusion de type P^+ , et, sur la figure 8, on effectue une diffusion de silicium dopé de type N^+ sur les parois des sillons restants une fois désoxydés, formant ainsi les zones N^+ , d'épaisseur de l'ordre de 2 microns, des diodes PIN.

L'étape suivante, représentée sur la figure 9, consiste à métalliser tous les sillons 13 uniquement au niveau des parois et du fond de chacun d'eux, soit par photogravure soit par une technique de lift-off, après désoxydation des zones diffusées P^+ et N^+ . Cette métallisation consiste à déposer d'abord sur chaque zone P^+ et N^+ une couche 23 de platine et de former du siliciure de platine par traitement thermique destiné à constituer un contact ohmique. Cette métallisation est ensuite complétée par des dépôts successifs sur tout le profil de chaque sillon de titane (par exemple 500 Å), de platine (par exemple 1000 Å) et d'or (par exemple 5000 Å). On a représenté par chaque couche 8 sur la figure 9 l'ensemble des dépôts titane-platine-or.

On notera que la structure ainsi obtenue peut être renforcée mécaniquement par une croissance électrolytique d'or de chaque couche de métallisation 8.

L'étape suivante, représentée sur la figure 10, consiste à éliminer la couche de silicium polycristallin 18 par exemple par une attaque chimique jusqu'à la couche d'arrêt 17.

On procède ensuite à la séparation des différentes matrices de diodes PIN 5 par des découpes carrées ou rectangulaires réalisées de façon classique au niveau des métallisations 8, comme représenté par les traits mixtes AA sur la figure 10. Ces découpes sont facilitées en réalisant des sillons beaucoup plus larges au niveau de la séparation proprement dite.

La figure 11 représente le substrat élémentaire 3 tel que représenté sur la figure 4 pour le limiteur de puissance selon l'invention, après une découpe rectangulaire de la matrice de diodes PIN 5 selon la configuration série-parallèle définie dans l'exemple

choisi par trois diodes en série dans chacune des quatre colonnes en parallèle. Sur la figure 11, l'épaisseur L'_3 du substrat de silicium 3 correspond donc à la dimension de celui-ci selon l'axe longitudinal du guide d'ondes, une fois le substrat monté transversalement dans le

5 guide.

Bien entendu, l'invention n'est nullement limitée au mode de réalisation décrit et représenté et comprend tous les équivalents techniques des moyens décrits ainsi que leurs combinaisons si celles-ci sont effectuées suivant l'esprit de l'invention et mises en oeuvre

10 dans le cadre des revendications qui suivent.

REVENDICATIONS

1. Limiteur de puissance élevée comportant un guide d'ondes
(2) rectangulaire d'axe longitudinal (Δ), de dimensions permettant la
propagation d'ondes millimétriques, et un substrat de silicium (3) de
forme parallélépipédique de section droite rectangulaire sensi-
5 blement de mêmes dimensions que celles de la section droite du
guide, monté dans le guide transversalement à l'axe longitudinal de
celui-ci, et dans la surface duquel est réalisée une configuration
série-parallèle de diodes PIN au silicium (5) de mêmes dimensions,
les diodes étant disposées face à l'entrée de la puissance dans le
10 guide, caractérisé en ce que la dimension (L'_3) du substrat de
silicium (3) selon l'axe longitudinal (Δ) du guide d'ondes est égale à
celle de la zone I de silicium de chacune des diodes PIN (5) selon ce
même axe (Δ).

2. Limiteur selon la revendication 1, caractérisé en ce que la
15 dimension (L'_3) de la zone I de silicium de chacune des diodes PIN
selon l'axe longitudinal (Δ) du guide d'ondes est de l'ordre de
25 microns.

3. Limiteur selon l'une des revendications 1 ou 2, caractérisé
en ce que le substrat de silicium (3) se compose, selon sa section
20 droite, de plusieurs barreaux (11) de silicium identiques parallèles
ayant chacun la même longueur que celle de la section droite du
substrat, et ayant chacun deux bords longitudinaux opposés (11a,
11b) présentant l'un par rapport à l'autre une forme de créneaux
identiques opposés, formant ainsi des parties de silicium alterna-
25 tivement rétrécies et élargies, les parties rétrécies des barreaux
constituant les zones I des diodes PIN (5), et en ce que les barreaux
de silicium sont séparés les uns des autres sur la hauteur de la
section droite du substrat par des sillons (13) longitudinaux épousant
la forme des barreaux et ayant chacun une dimension selon l'axe
30 longitudinal (Δ) du guide égale à celle de la zone I de chaque diode

PIN (5) selon ce même axe.

4. Limiteur selon la revendication 3, caractérisé en ce que les zones P^+ et N^+ des diodes PIN (5) sont disposées en alternance chacune sur les deux parois opposées d'un même sillon (13) séparant
5 deux barreaux de silicium, les zones P^+ et N^+ ayant chacune une dimension selon l'axe longitudinal (Δ) du guide égale à celle de la zone I de chacune des diodes PIN (5) selon ce même axe.

5. Limiteur selon la revendication 4, caractérisé en ce que les sillons (13) sont recouverts respectivement de couches métalliques
10 (8), constituant ainsi des contacts sur les zones alternées P^+ et N^+ des diodes PIN, en ce que les couches métalliques des zones P^+ sont toutes reliées à une première connexion commune métallique (9), et en ce que les couches métalliques des zones N^+ sont toutes reliées à une seconde connexion commune métallique (14).

15 6. Procédé de réalisation de diodes PIN au silicium selon une configuration série-parallèle, caractérisé en ce qu'il comporte, à partir d'un substrat de silicium (3), les étapes suivantes :

a) un dépôt d'une couche épaisse de silicium polycristallin (18) sur l'une des deux faces opposées parallèles du substrat, formant
20 ainsi un support pour le substrat ;

b) un amincissement du substrat (3) à une épaisseur donnée (L'_3) ;

c) une attaque du substrat de silicium (3) sur toute son épaisseur de façon à former des sillons (13) délimitant ainsi des
25 barreaux (11) longitudinaux identiques de silicium, chaque sillon (13) ayant deux parois opposées présentant longitudinalement l'une par rapport à l'autre une forme de créneaux identiques opposés, de sorte que chaque barreau (11) présente longitudinalement des parties alternativement rétrécies et élargies, les parties rétrécies des
30 barreaux constituant les zones I des diodes ;

d) une première diffusion de silicium dopé de type P^+ réalisée

un sillon sur deux et sur chacune des deux parois opposées d'un même sillon, formant ainsi les zones P^+ des diodes ;

5 e) une seconde diffusion de silicium dopé de type N^+ réalisée pour chaque sillon restant une fois l'étape précédente effectuée et sur chacune des deux parois opposées d'un même sillon restant, formant ainsi les zones N^+ des diodes ;

f) un recouvrement métallique de tous les sillons (13) de la structure complexe obtenue à l'étape précédente ;

10 g) un retrait de la couche de silicium polycristallin formant support (18) ; et

h) une découpe d'un ensemble donné de plusieurs barreaux de silicium (11) effectuée au niveau des recouvrements métalliques délimitant cet ensemble de barreaux, permettant ainsi d'obtenir une matrice de diodes PIN (5) de configuration série-parallèle.

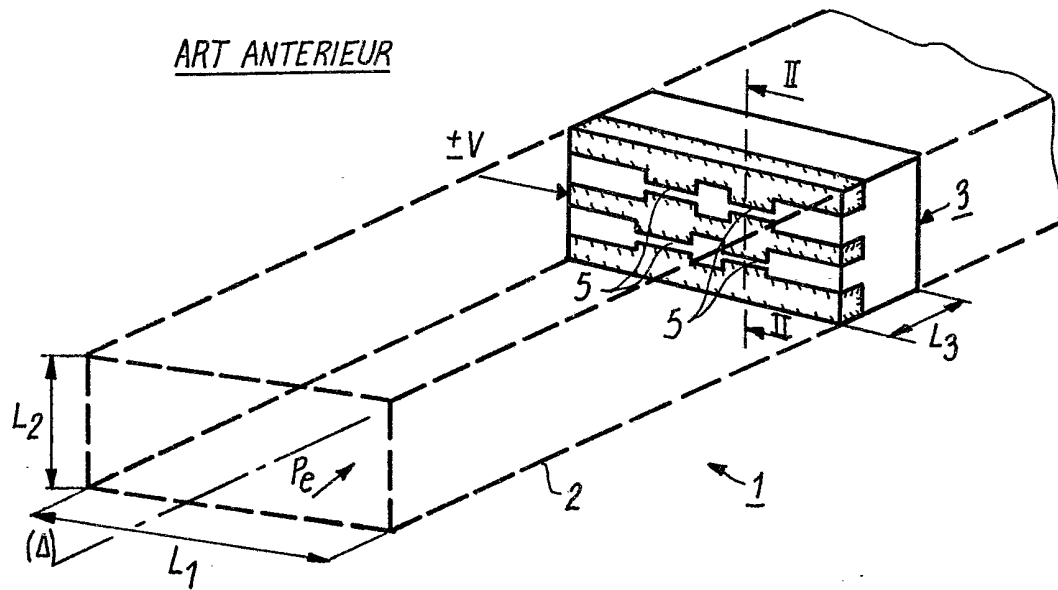
15 7. Procédé selon la revendication 6, caractérisé en ce qu'il comporte un dépôt d'une couche d'arrêt (17) réalisé par oxydation thermique du substrat de silicium, et sur laquelle est ensuite déposée la couche de silicium polycristallin formant support (18).

20 8. Procédé selon l'une des revendications 6 ou 7, caractérisé en ce que la découpe de l'ensemble des barreaux de silicium (11) est effectuée sous une forme rectangulaire.

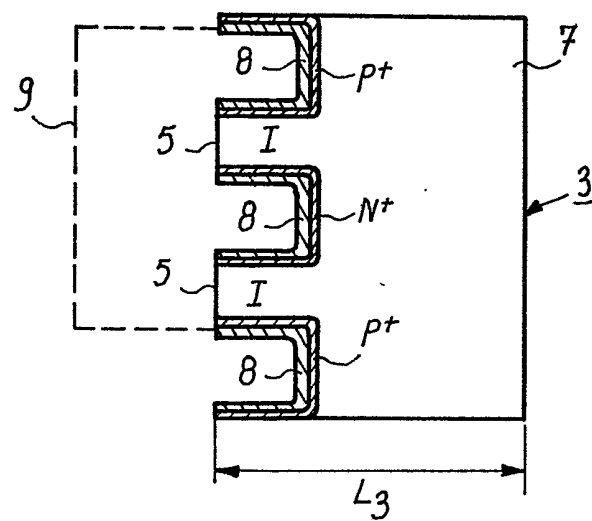
9. Procédé selon l'une des revendications 6 à 8, caractérisé en ce que l'amincissement du substrat de silicium (3) est à une épaisseur d'environ 25 microns.

1/4

FIG_1

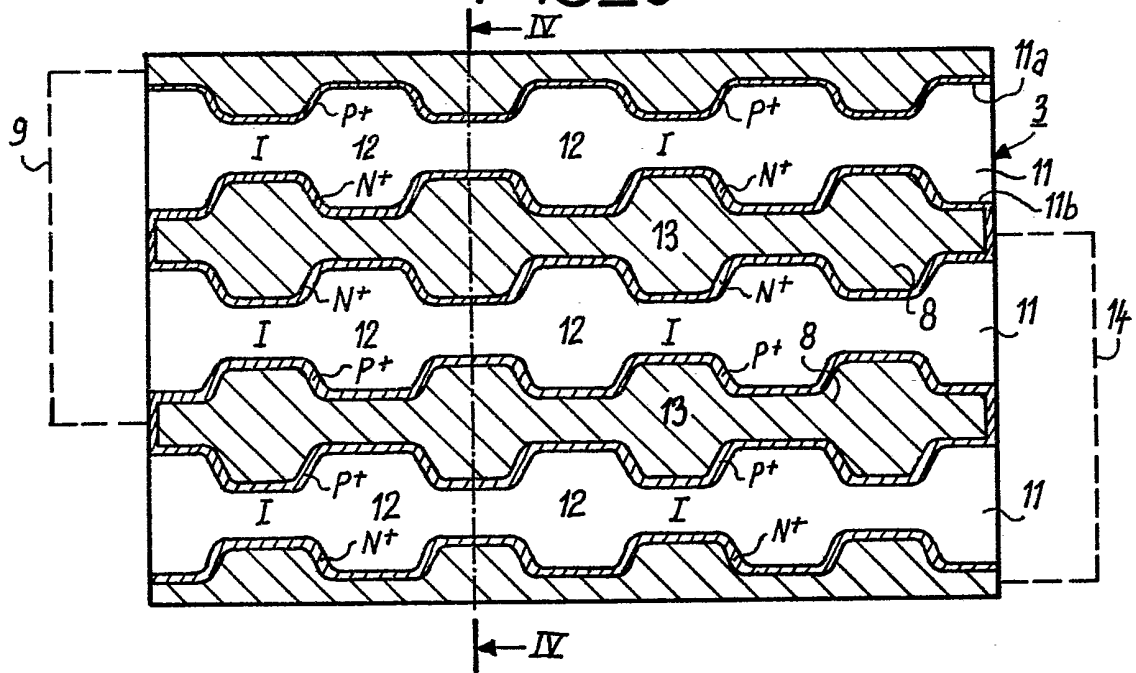


FIG_2

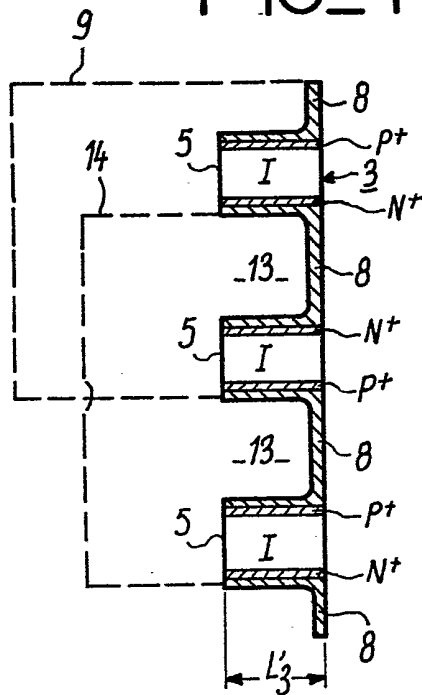
ART ANTERIEUR

2/4

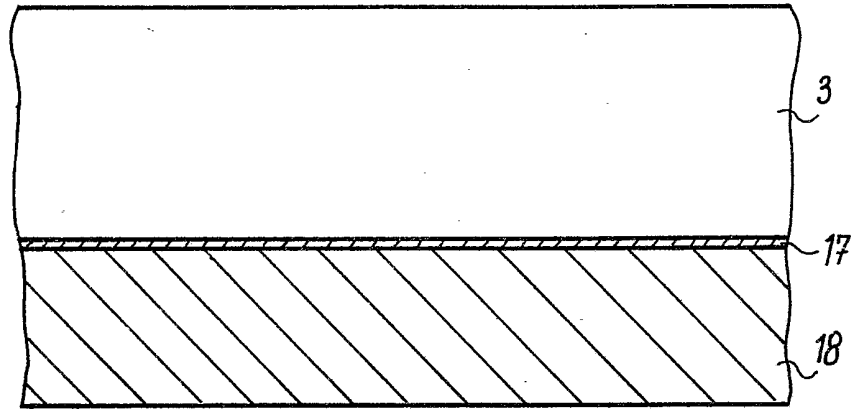
FIG_3



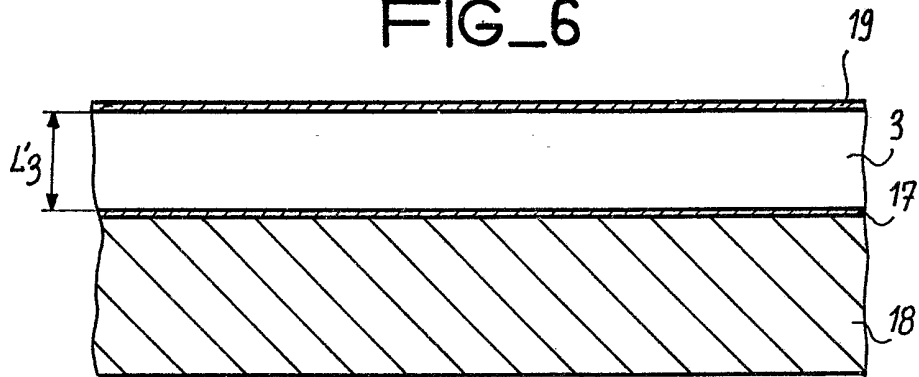
FIG_4



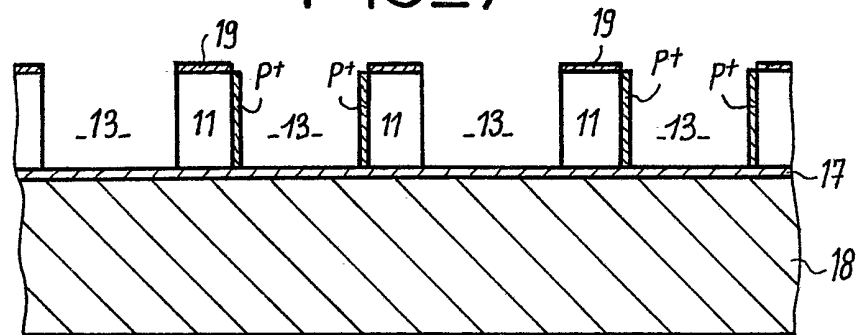
3/4
FIG_5



FIG_6

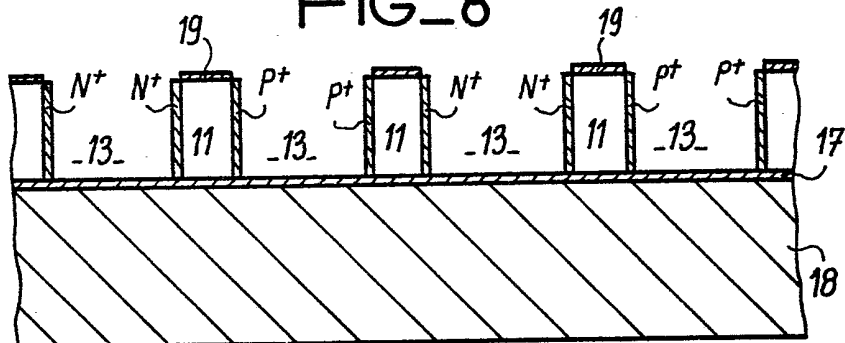


FIG_7

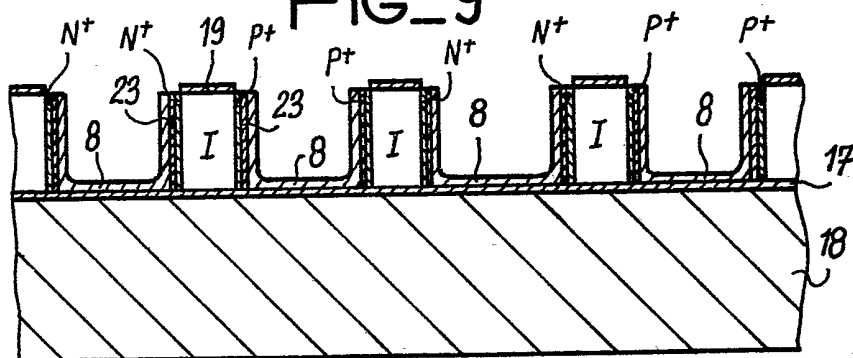


4/4

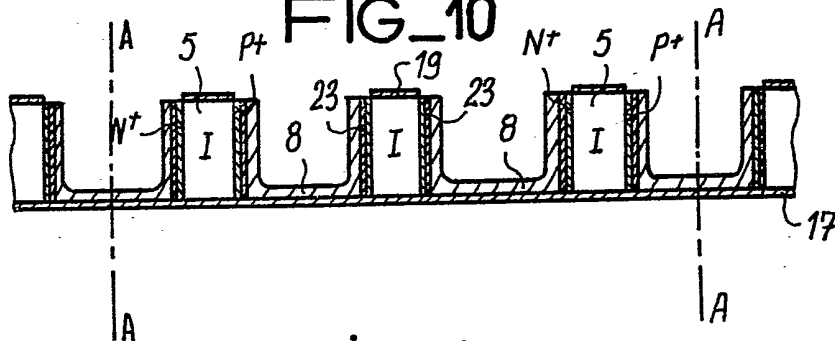
FIG_8



FIG_9



FIG_10



FIG_11

