



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0049402  
(43) 공개일자 2007년05월11일

(21) 출원번호 10-2005-0106527  
(22) 출원일자 2005년11월08일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 박경민  
경기 성남시 분당구 정자동 한솔마을주공6단지아파트 607-1004

(74) 대리인 남승희

전체 청구항 수 : 총 18 항

(54) 액정 표시 장치, 박막 트랜지스터 기관 및 그 제조 방법

(57) 요약

본 발명은 액정 표시 장치, 박막 트랜지스터 기관 및 그 제조 방법에 관한 것으로, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 게이트 전극과 연결되는 게이트 라인과, 상기 소스 전극과 연결되며 상기 게이트 라인과 교차하는 소스 라인과, 상기 게이트 전극과 동일 면상에 형성되어 상기 드레인 전극과 연결되는 화소 전극을 포함하는 박막 트랜지스터 기관 및 이를 포함하는 액정 표시 장치 및 이의 제조 방법을 제공한다. 이와 같이 본 발명은 게이트 전극과 화소 전극을 단일 마스크를 사용하여 동일 면상에 제작함으로써 제조 공정을 단순화 하고, 원가를 절감시킬 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

화소 전극용 도전성막 및 게이트용 도전성막을 포함하는 게이트 전극과, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 게이트 전극과 연결되는 게이트 라인;

상기 소스 전극과 연결되며 상기 게이트 라인과 교차하는 소스 라인;

상기 게이트 전극과 동일 면상에 형성되어 상기 드레인 전극과 연결되는 화소 전극을 포함하는 박막 트랜지스터 기관.

## 청구항 2.

청구항 1에 있어서,

상기 소스 라인과 동일 면상에 형성되어 소스 라인 연장 방향과 동일한 방향으로 연장된 유지 전극 배선을 포함하는 박막 트랜지스터 기관.

## 청구항 3.

청구항 1에 있어서,

상기 박막 트랜지스터, 상기 게이트 라인, 상기 소스 라인 및 상기 화소 전극을 덮는 보호막을 포함하는 박막 트랜지스터 기관.

## 청구항 4.

청구항 1에 있어서,

상기 박막 트랜지스터는,

기관 상에 형성된 상기 게이트 전극과, 상기 게이트 전극 상부의 적어도 일부에 순차적으로 형성된 게이트 절연막 및 활성층과, 상기 활성층 상에 형성된 중간 절연막과, 상기 중간 절연막의 일부를 관통하여 상기 활성층과 접촉된 상기 소스 전극 및 상기 드레인 전극을 포함하는 박막 트랜지스터 기관.

## 청구항 5.

청구항 1에 있어서,

상기 박막 트랜지스터는,

기관 상에 형성된 상기 게이트 전극과, 상기 게이트 전극 상부의 적어도 일부에 순차적으로 형성된 게이트 절연막 및 활성층과, 상기 활성층 상에 형성된 상기 소스 전극 및 상기 드레인 전극을 포함하는 박막 트랜지스터 기관.

## 청구항 6.

청구항 1에 있어서,

상기 게이트 전극과 상기 화소 전극은 단일 마스크를 이용하여 패터닝된 박막 트랜지스터 기관.

## 청구항 7.

화소 전극용 도전성막 및 게이트용 도전성막을 포함하는 게이트 전극과, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 게이트 전극과 연결되는 게이트 라인과, 상기 소스 전극과 연결되며 상기 게이트 라인과 교차하는 소스 라인과, 상기 게이트 전극과 동일 면상에 형성되어 상기 드레인 전극과 연결되는 화소 전극을 포함하는 하부기관;

상기 하부 기관과 마주하며 상기 화소 전극과 대향하는 공통 전극을 포함하는 상부 기관; 및

상기 하부 기관과 상부 기관 사이에 형성된 액정층을 포함하는 액정 표시 장치.

#### 청구항 8.

청구항 6에 있어서,

상기 게이트 전극과 상기 화소 전극은 단일 마스크를 이용하여 패터닝된 액정 표시 장치.

#### 청구항 9.

기관 상에 게이트 전극 및 이와 접속된 게이트 라인을 형성하고, 화소 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막 및 활성층을 형성하는 단계;

상기 활성층 상에 소스 전극 및 이와 접속된 소스 라인을 형성하고, 상기 화소 전극과 접속된 드레인 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 10.

청구항 9에 있어서, 상기 기관 상에 상기 게이트 전극 및 이와 접속된 상기 게이트 라인을 형성하고, 상기 화소 전극을 형성하는 단계는,

상기 기관 상에 제 1 도전성막과 제 2 도전성막을 형성하는 단계;

상기 제 2 도전성막 상에 상기 게이트 전극 및 상기 게이트 라인 영역과 상기 화소 전극 영역을 차폐하는 감광막 마스크 패턴을 형성하는 단계;

상기 감광막 마스크 패턴에 의해 노출된 상기 제 1 및 제 2 도전성막을 제거하는 단계;

상기 화소 전극 영역 상부의 감광막 마스크 패턴을 제거하는 단계;

상기 화소 전극 영역의 제 2 도전성막을 제거하는 단계를 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 11.

청구항 10에 있어서,

상기 제 1 도전성막은 인듐 주석 산화물 또는 인듐 아연 산화물을 포함하는 투명 도전막을 사용하고, 상기 제 2 도전성막은 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 액정 표시 장치의 제조 방법.

#### 청구항 12.

청구항 10에 있어서,

상기 감광막 마스크 패턴은 상기 제 2 도전성막 상에 감광막을 도포한 다음, 회절 노광 마스크 또는 반투과부를 갖는 반투과 마스크를 이용한 포토 리소그래피 공정을 실시하여 형성하고, 상기 화소 전극 영역 상부의 감광막 마스크 패턴의 높이를 상기 게이트 전극 및 게이트 라인 영역 상부의 감광막 마스크 패턴의 높이를 보다 낮게 형성하는 액정 표시 장치의 제조 방법.

### 청구항 13.

청구항 10에 있어서, 상기 화소 전극 영역 상부의 감광막 마스크 패턴을 제거하는 단계는,

에칭 공정을 통해 상기 회소 전극 영역 상부의 감광막 마스크 패턴을 제거하고, 상기 게이트 전극 및 게이트 라인 영역 상부의 감광막 마스크 패턴의 높이를 낮추는 액정 표시 장치의 제조 방법.

### 청구항 14.

청구항 9에 있어서, 상기 게이트 전극 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계는,

상기 게이트 전극 및 상기 화소 전극이 형성된 상기 기판상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계;

감광막 마스크 패턴을 이용하여 상기 게이트 전극 영역을 제외한 영역의 상기 게이트 절연막 및 활성층을 제거하는 단계를 포함하는 액정 표시 장치의 제조 방법.

### 청구항 15.

청구항 9에 있어서, 상기 게이트 전극 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계는,

상기 게이트 전극 및 상기 화소 전극이 형성된 상기 기판 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계;

제 1 감광막 마스크 패턴을 이용하여 상기 게이트 전극 상부 영역을 제외한 영역의 상기 활성층을 제거하는 단계;

제 2 감광막 마스크 패턴을 이용하여 상기 화소 전극 상부의 상기 게이트 절연막을 제거하는 단계를 포함하는 액정 표시 장치의 제조 방법.

### 청구항 16.

청구항 9에 있어서, 상기 활성층 상에 상기 소스 전극 및 이와 접속된 상기 소스 라인을 형성하고, 상기 화소 전극과 접속된 상기 드레인 전극을 형성하는 단계는,

상기 활성층이 형성된 상기 기판 상에 제 3 도전성막을 형성하는 단계;

감광막 마스크 패턴을 이용한 식각공정을 통해 상기 제 3 도전성막을 식각하여 상기 소스 전극, 상기 소스 라인 및 상기 드레인 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

### 청구항 17.

청구항 16에 있어서,

상기 제 3 도전성막 하부에 오믹 접촉층을 형성하는 액정 표시 장치의 제조 방법.

## 청구항 18.

청구항 9에 있어서, 상기 활성층 상에 상기 소스 전극 및 이와 접속된 상기 소스 라인을 형성하고, 상기 화소 전극과 접속된 상기 드레인 전극을 형성하는 단계는,

상기 활성층이 형성된 상기 기판 상에 층간 절연막을 형성하는 단계;

제 1 감광막 마스크 패턴을 이용한 식각공정을 실시하여 상기 화소 전극 상부의 상기 층간 절연막을 제거하고, 상기 활성층의 소스 영역 및 드레인 영역을 각기 노출하는 소스 콘택홀 및 드레인 콘택홀을 형성하는 단계;

상기 소스 콘택홀 및 상기 드레인 콘택홀이 매립되도록 상기 층간 절연막 상에 제 3 도전성막을 형성하는 단계;

제 2 감광막 마스크 패턴을 이용한 식각공정을 통해 상기 제 3 도전성막을 식각하여 상기 소스 전극, 상기 소스 라인 및 상기 드레인 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 게이트 패턴과, 화소전극 패턴을 동시에 형성하여 소자 제조공정을 단순화 할 수 있는 액정 표시 장치, 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

일반적으로, 액정 표시 장치(Liquid Crystal Display; LCD)는 화소 전극, 스토리지 커패시터 및 각 화소를 스위칭하는 박막 트랜지스터(TFT: Thin Film Transistor) 등이 형성된 박막 트랜지스터 기판과, 공통 전극 등이 형성된 공통 전극 기판 및 두 기판 사이에 밀봉된 액정으로 구성된다. 여기서, 액정 표시 장치는 두 개의 기판 사이에 전압을 인가하여 액정을 구동시키고 광의 투과율을 제어함으로써 화상을 디스플레이 한다.

도 1은 종래의 액정 표시 장치의 일 화소의 등가 회로도이다.

도 1을 참조하면, 게이트 라인(Gate Line; G/L)과 소스 라인(Data Line; D/L)에 각기 게이트 신호와 데이터 신호를 인가한다. 따라서, 게이트 신호에 의해 박막 트랜지스터(T1)가 턴온되면 데이터 신호가 화소 전극(P1)에 인가되어 화소 영역내의 액정 배열에 변화를 주어 목표로 하는 화상을 표시하게 된다. 그리고 일반적으로 액정 표시 장치는 프레임 별로 신호가 인가되기 때문에 일 신호가 들어온 후 다음번 신호가 들어오기 전까지 화소 전극(P1)에 전압이 인가되지 않는 시간이 존재하게 되고, 이 시간동안 화소 전극(P1)의 전압이 변화되어 액정 배열이 흐트러지는 문제가 발생한다. 따라서, 이러한 문제를 해결하기 위해 화소 영역내에 스토리지 커패시터(SC1)를 형성하였다. 스토리지 커패시터(SC1)는 신호가 인가되지 않는 시간동안 화소 전극(P1)의 전압을 일정하게 유지하는 역할을 한다.

도 2는 종래의 액정 표시 장치의 평면도이고, 도 3은 도 2의 A-A선상의 단면도이다.

도 2 및 도 3을 참조하면, 종래의 액정 표시 장치는 박막 트랜지스터(30), 게이트 라인(10), 소스 라인(20), 스토리지 커패시터용 유지 전극 배선(50) 및 화소 전극(40)이 형성된 박막 트랜지스터 기판(1)과, 블랙 매트릭스(60), 칼라 필터(70), 오버코트막(75) 및 공통 전극(80)이 형성된 공통 전극 기판(2)을 포함한다. 박막 트랜지스터 기판(1)과 공통 전극 기판(2)상에는 각기 배향막(90, 91)이 형성되고, 그 사이에 액정층이 형성된다.

상기에서 화소 전극(40)은 박막 트랜지스터(30) 형성 후, 이를 보호하기 위해 형성된 보호막(23) 상에 형성된다.

상술한 화소 전극(40)을 포함하는 박막 트랜지스터 기판(1)의 제조 방법을 간략히 설명하면, 기판(3)에 제 1 도전성막을 형성하고, 이를 패터닝하여 게이트 전극(11), 게이트 라인(10) 및 유지 전극 배선(50)을 형성한다. 전체 구조상에 게이트 절연막(12), 활성층(13) 및 제 2 도전성막을 형성하고, 이를 패터닝 하여 소스 및 드레인 전극(21, 22)과 소스 라인(20)을 형성한다. 전체 구조상에 보호막(23)을 형성하고, 그 상부에 드레인 전극(22)과 그 일부가 접속된 화소 전극(40)을 형성한다.

상술한 바와 같은 종래의 박막 트랜지스터 기판(1)의 경우 다수의 마스크 패터닝 공정을 실시하여 박막 트랜지스터 기판 상에 박막 트랜지스터(30)와 화소 전극(40)을 제작하고 있다. 즉, 마스크를 이용한 패터닝 공정을 통해 게이트 전극(11)을 형성하고, 이후 이를 포함하는 박막 트랜지스터(30)를 형성한 다음 그 상부에 별도의 마스크를 이용한 패터닝 공정을 실시하여 화소 전극(40)을 형성하였다.

이와 같이 게이트 전극과 화소 전극을 각기 분리하여 패터닝 함으로 인해 제조 공정이 복잡하고, 원가 절감에 한계가 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 게이트 전극과 화소 전극을 동시에 패터닝 하여 제조 공정을 단순화 하고, 원가를 절감시킬 수 있는 액정 표시 장치, 박막 트랜지스터 기판 및 그 제조 방법을 제공함을 그 목적으로 한다.

### 발명의 구성

본 발명에 따른 화소 전극용 도전성막 및 게이트용 도전성막을 포함하는 게이트 전극과, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 게이트 전극과 연결되는 게이트 라인과, 상기 소스 전극과 연결되며 상기 게이트 라인과 교차하는 소스 라인과, 상기 게이트 전극과 동일 면상에 형성되어 상기 드레인 전극과 연결되는 화소 전극을 포함하는 박막 트랜지스터 기판을 제공한다.

여기서, 상기 소스 라인과 동일 면상에 형성되어 소스 라인 연장 방향과 동일한 방향으로 연장된 유지 전극 배선을 포함하는 것이 바람직하다.

이때, 상기 박막 트랜지스터, 상기 게이트 라인, 상기 소스 라인 및 상기 화소 전극을 덮는 보호막을 포함하는 것이 바람직하다.

상기에서 박막 트랜지스터는, 기판 상에 형성된 상기 게이트 전극과, 상기 게이트 전극 상부의 적어도 일부에 순차적으로 형성된 게이트 절연막 및 활성층과, 상기 활성층 상에 형성된 층간 절연막과, 상기 층간 절연막의 일부를 관통하여 상기 활성층과 접속된 상기 소스 전극 및 상기 드레인 전극을 포함하는 것이 효과적이다. 그리고, 상기 박막 트랜지스터는 기판 상에 형성된 상기 게이트 전극과, 상기 게이트 전극 상부의 적어도 일부에 순차적으로 형성된 게이트 절연막 및 활성층과, 상기 활성층 상에 형성된 상기 소스 전극 및 상기 드레인 전극을 포함할 수도 있다.

상술한 상기 게이트 전극과 상기 화소 전극은 단일 마스크를 이용하여 패터닝 되는 것이 바람직하다.

또한, 본 발명에 따른 화소 전극용 도전성막 및 게이트용 도전성막을 포함하는 게이트 전극과, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 게이트 전극과 연결되는 게이트 라인과, 상기 소스 전극과 연결되며 상기 게이트 라인과 교차하는 소스 라인과, 상기 게이트 전극과 동일 면상에 형성되어 상기 드레인 전극과 연결되는 화소 전극을 포함하는 하부 기판과, 상기 하부 기판과 마주하며 상기 화소 전극과 대향하는 공통 전극을 포함하는 상부 기판 및 상기 하부 기판과 상부 기판 사이에 형성된 액정층을 포함하는 액정 표시 장치를 제공한다.

여기서, 상기 게이트 전극과 상기 화소 전극은 단일 마스크를 이용하여 패터닝되는 것이 바람직하다.

또한, 본 발명에 따른 기판 상에 게이트 전극 및 이와 접속된 게이트 라인을 형성하고, 화소 전극을 형성하는 단계와, 상기 게이트 전극 상에 게이트 절연막 및 활성층을 형성하는 단계와, 상기 활성층 상에 소스 전극 및 이와 접속된 소스 라인을 형성하고, 상기 화소 전극과 접속된 드레인 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법을 제공한다.

상기의 기관 상에 상기 게이트 전극 및 이와 접촉된 상기 게이트 라인을 형성하고, 상기 화소 전극을 형성하는 단계는, 상기 기관 상에 제 1 도전성막과 제 2 도전성막을 형성하는 단계와, 상기 제 2 도전성막 상에 상기 게이트 전극 및 상기 게이트 라인 영역과 상기 화소 전극 영역을 차폐하는 감광막 마스크 패턴을 형성하는 단계와, 상기 감광막 마스크 패턴에 의해 노출된 상기 제 1 및 제 2 도전성막을 제거하는 단계와, 상기 화소 전극 영역 상부의 감광막 마스크 패턴을 제거하는 단계와, 상기 화소 전극 영역의 제 2 도전성막을 제거하는 단계를 포함하는 것이 바람직하다.

여기서, 상기 제 1 도전성막은 인듐 주석 산화물 또는 인듐 아연 산화물을 포함하는 투명 도전막을 사용하고, 상기 제 2 도전성막은 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 것이 효과적이다.

상술한, 감광막 마스크 패턴은 상기 제 2 도전성막 상에 감광막을 도포한 다음, 회절 노광 마스크 또는 반투과부를 갖는 반투과 마스크를 이용한 포토 리소그래피 공정을 실시하여 형성하고, 상기 화소 전극 영역 상부의 감광막 마스크 패턴의 높이를 상기 게이트 전극 및 게이트 라인 영역 상부의 감광막 마스크 패턴의 높이를 보다 낮게 형성하는 것이 바람직하다.

그리고, 상기 화소 전극 영역 상부의 감광막 마스크 패턴을 제거하는 단계는, 에칭 공정을 통해 상기 화소 전극 영역 상부의 감광막 마스크 패턴을 제거하고, 상기 게이트 전극 및 게이트 라인 영역 상부의 감광막 마스크 패턴의 높이를 낮추는 것이 바람직하다.

또한, 상기 게이트 전극 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계는 상기 게이트 전극 및 상기 화소 전극이 형성된 상기 기관상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계와, 감광막 마스크 패턴을 이용하여 상기 게이트 전극 영역을 제외한 영역의 상기 게이트 절연막 및 활성층을 제거하는 단계를 포함하는 것이 바람직하다.

물론, 상기 게이트 전극 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계는, 상기 게이트 전극 및 상기 화소 전극이 형성된 상기 기관 상에 상기 게이트 절연막 및 상기 활성층을 형성하는 단계와, 제 1 감광막 마스크 패턴을 이용하여 상기 게이트 전극 상부 영역을 제외한 영역의 상기 활성층을 제거하는 단계와, 제 2 감광막 마스크 패턴을 이용하여 상기 화소 전극 상부의 상기 게이트 절연막을 제거하는 단계를 포함할 수도 있다.

상기 활성층 상에 상기 소스 전극 및 이와 접촉된 상기 소스 라인을 형성하고, 상기 화소 전극과 접촉된 상기 드레인 전극을 형성하는 단계는, 상기 활성층이 형성된 상기 기관 상에 제 3 도전성막을 형성하는 단계와, 감광막 마스크 패턴을 이용한 식각공정을 통해 상기 제 3 도전성막을 식각하여 상기 소스 전극, 상기 소스 라인 및 상기 드레인 전극을 형성하는 단계를 포함하는 것이 바람직하다.

상기 제 3 도전성막 하부에 오믹 접촉층을 형성하는 것이 효과적이다.

그리고, 상기 활성층 상에 상기 소스 전극 및 이와 접촉된 상기 소스 라인을 형성하고, 상기 화소 전극과 접촉된 상기 드레인 전극을 형성하는 단계는, 상기 활성층이 형성된 상기 기관 상에 층간 절연막을 형성하는 단계와, 제 1 감광막 마스크 패턴을 이용한 식각공정을 실시하여 상기 화소 전극 상부의 상기 층간 절연막을 제거하고, 상기 활성층의 소스 영역 및 드레인 영역을 각기 노출하는 소스 콘택홀 및 드레인 콘택홀을 형성하는 단계와, 상기 소스 콘택홀 및 상기 드레인 콘택홀이 패립되도록 상기 층간 절연막 상에 제 3 도전성막을 형성하는 단계와, 제 2 감광막 마스크 패턴을 이용한 식각공정을 통해 상기 제 3 도전성막을 식각하여 상기 소스 전극, 상기 소스 라인 및 상기 드레인 전극을 형성하는 단계를 포함할 수도 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.

#### <제 1 실시예>

도 4는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 평면도이고, 도 5는 도 4의 액정 표시 장치를 B-B 선에 대해 자른 단면도이다.

도 4 및 도 5를 참조하면, 본 실시예에 따른 액정 표시 장치는 하부 기판인 박막 트랜지스터 기판(1000)과, 이와 대향하여 배치되는 상부 기판인 공통 전극 기판(2000)과, 이들 두 기판 사이에 형성되며 두 기판에 대해서 원하는 방향으로 배향되는 액정층(도시되지 않음)으로 이루어진다. 상하부 기판들의 표면은 액정의 배향을 위해 배향막(310, 320)을 설치하여 액정층의 액정 분자를 배향시킨다. 이때 액정층의 액정 분자의 배향은 각 기판에 대하여 수직이 되도록 하는 수직 배향 모드인 것이 바람직하나, 수직 배향이 아닐 수도 있다.

박막 트랜지스터 기판(1000)은 투광성 절연 기판(100) 위에 게이트 신호를 전달하며 제 1 방향으로 연장되고 제 2 방향으로 소정 간격을 갖도록 배열된 복수의 게이트 라인(110)과, 게이트 라인(110)에 교차하여 형성된 복수의 소스 라인(120)과, 게이트 라인(110)과 소스 라인(120)에 의해 정의된 화소 영역에 형성된 화소 전극(140)과, 상기 소스 라인(120)과 동일한 방향으로 연장된 유지 전극 선을 포함하고, 상기 화소 전극(140)의 끝단과 적어도 일부가 중첩된 유지 전극 배선(150)과, 게이트 라인(110)과 소스 라인(120)의 교차점에 매트릭스 형태로 형성된 복수의 박막 트랜지스터(130)를 포함한다.

여기서, 인접하는 2개의 게이트 라인(110) 및 소스 라인(120)에 의해 둘러싸여 형성된 화소 영역은 레이아웃 상에서 직사각형 형상을 갖는 것이 바람직하다. 또한, 박막 트랜지스터(130)는 게이트 전극(111), 소스 전극(121) 및 드레인 전극(122)을 포함하며, 게이트 전극(111)은 게이트 절연막(112)을 통하여 소스 전극(121) 및 드레인 전극(122)과 절연 상태를 유지한다.

게이트 전극(111)과 화소 전극(140)은 단일 마스크를 이용하여 형성되고, 게이트 전극(111)은 화소 전극용 도전성막(140a)과 게이트용 도전성막(110a)을 포함하는 적어도 2층의 도전성막을 포함한다. 즉, 게이트 전극(111)은 도면에서와 같이 화소 전극용 도전성막(140a) 상에 게이트 전극용 도전성막(110a)이 형성된 형태로 제작된다. 화소 전극(140)은 투광성 절연기판(100) 상에 형성된다.

상술한 박막 트랜지스터(130)는 게이트 라인(110)에 공급되는 신호에 응답하여 소스 라인(120)에 공급되는 화소 신호가 화소 전극(140)에 충전되도록 한다. 따라서, 박막 트랜지스터(130)는 게이트 라인(110)에 접속된 게이트 전극(111)과, 소스 라인(120)에 접속된 소스 전극(121)과, 화소 전극(140)에 접속된 드레인 전극(122)과, 게이트 전극(111)과 소스 전극(121) 및 드레인 전극(122) 사이에 순차적으로 형성된 게이트 절연막(112) 및 활성층(113)을 포함한다. 상기 활성층(113) 상부에는 층간 절연막(160)이 형성되고, 상기 층간 절연막(160)의 일부를 관통하여 소스 전극(121) 및 드레인 전극(122)이 활성층(113)에 접속된다. 상기 소스 라인과 접속되는 소스 전극과, 화소 전극과 접속되는 드레인 전극상에 이를 보호하는 절연성 보호막(170)이 형성되어 있다. 층간 절연막(160) 및 보호막(170)은 질화 실리콘 또는 산화 실리콘 등의 무기 물질로 형성될 수도 있고, 저유전율 유기막으로 형성될 수도 있다. 물론 무기 절연막과 유기막의 이중층으로 형성될 수도 있다.

게이트 라인(110)은 주로 가로 방향으로 뻗어 있고, 게이트 라인(110)의 일부가 상부 및/또는 하부로 돌출하여 상술한 박막 트랜지스터(130)의 게이트 전극(112)을 이룬다. 게이트 라인(110)의 끝단에는 외부 회로와의 연결을 위한 게이트 패드(GP)가 형성되어 있다.

소스 라인(120)은 주로 세로 방향으로 뻗어 있고, 그 일부가 돌출하여 상술한 박막 트랜지스터(130)의 소스 전극(121)을 이룬다. 소스 라인(120)의 끝단에는 소스 패드(SP)가 형성되어 있다. 여기서는 직선형의 소스 라인(120)을 예시하였으나, 소스 라인(120)은 소정의 굽은 영역을 가질 수도 있다.

화소 전극(140)은 상기 소스 라인(120)과 게이트 라인(110)을 통해 마련된 영역 내에 사각형 형상으로 마련된다. 물론 상기 소스 라인(120) 및 게이트 라인(110)의 형태에 따라 상기 영역의 형상은 다양하게 변화될 수 있고, 이에 따라 화소 전극(140)의 형상 또한 다양하게 형성될 수 있다. 또한 본 실시예에서는 게이트 전극(111) 및 게이트 라인(110) 패터닝과 동시에 화소 전극(140)도 함께 패터닝 된다. 화소 전극(140) 패터닝 후, 이와 연결된 드레인 전극(122)과, 소스 라인(120) 및 소스 전극(121)이 패터닝 된다.

또한 소스 라인(121)과 별도의 스토리지 커패시터(storage capacitor)용 유지 전극 배선(150)이 형성되어 있다. 본 실시예에서는 도 4에 도시된 바와 같이 유지 전극 배선(150)은 소스 라인(120)과 평행한 직선 형상으로 형성하는 것이 바람직하다. 물론 이에 한정되지 않고, 화소 영역내에 형성될 수 있다. 바람직하게는 유지 전극 배선(150)은 화소 전극(140), 소



스 라인(120), 소스 전극(121) 및 드레인 전극(122)과 절연되고, 화소 전극(140)의 가장자리 영역의 적어도 일부와 중첩되도록 형성되는 것이 효과적이다. 유지 전극 배선(150)은 소스 라인(120)과 동일한 층에 동일한 방향으로 연장되며 그 끝단의 일부는 공통 전압(Vcom)과 연결되어 있는 것이 효과적이다.

상술한 설명에서, 화소 전극(140)은 일반적으로 투명한 전도성 재료의 인듐 틴 옥사이드(indium tin oxide: ITO) 또는 인듐 징크 옥사이드(indium zinc oxide: IZO)를 사용한다. 또한, 소스 라인(120)과 유지 전극 배선(150)은 Al, Nd, Ag, Cr, Ti, Ta 및 Mo 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성되는 것이 바람직하다. 또한, 소스 라인(120) 및 유지 전극 배선(150)은 단일층 뿐 아니라 복수 금속층의 다중층으로 형성될 수 있다. 즉, 물리 화학적 특성이 우수한 Cr, Ti, Ta, Mo 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 형성할 수도 있다. 물론 게이트 라인 또한 상술한 금속으로 형성할 수도 있다.

한편, 공통 전극 기관(2000)은, 유리 등의 투명한 절연 물질로 이루어진 절연 기관(200)의 아래 면에 빛샘과 인접한 화소 영역들 사이의 광 간섭을 방지하기 위한 블랙 매트릭스(210)와 적색, 녹색, 청색의 컬러 필터(220)가 형성되고, 컬러 필터(220) 위에는 유기 물질로 이루어진 오버코트막(230)이 형성되어 있다. 오버코트막(230) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어진 공통 전극(240)이 형성되어 있다.

상기와 같은 박막 트랜지스터 기관(1000)과 공통 전극 기관(2000)을 결합하고 그 사이에 액정층을 구비하여 본 발명의 제 1 실시예에 따른 액정 표시 장치의 기본 패널이 이루어지며, 하부의 박막 트랜지스터 기관(1000)과 상부의 공통 전극 기관(2000)은 화소 전극(140)이 컬러 필터(220)와 대응하여 정확하게 중첩되게 정렬될수록 좋다. 본 발명의 제 1 실시예에 따른 액정 표시 장치는 상부 및 하부 기관 사이에 네거티브 타입의 유전율 이방성(negative type dielectric constant anisotropy)을 갖는 액정을 구비하여 수직 배향시키는 것이 바람직하나, 특별히 이에 한정되는 것은 아니다.

액정 표시 장치는 이러한 기본 패널 양측에 도시되지 않은 편광판, 백라이트, 보상판 등의 요소들을 배치할 수 있다.

이러한 액정 표시 장치에 전압을 가하면 화소 전극은 박막 트랜지스터로부터 공급되는 화소 신호를 받아 공통 전극 기관에 형성되어 있는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기관과 공통 전극 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극을 경유하여 입사되는 광량을 조절하여 공통 전극 기관 쪽으로 투과시키게 된다.

상술한 바와 같이 게이트 전극 및 게이트 라인 패터닝시 화소 전극도 동시에 패터닝을 함으로써, 마스크 공정 수를 줄일 수 있게 된다.

이하에서는 이러한 구조와 작용 효과를 가지는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관을 제조하는 방법을 도면을 참조하여 설명한다.

도 6 내지 도 9는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기관을 제조하는 공정을 순서대로 나타낸 도면이다.

도 6 및 도 7을 참조하면, 투명 절연 기관(100) 상에 도전성막을 형성한 다음, 이를 감광막 마스크 패턴(미도시)을 이용한 사진 식각공정을 통해 게이트 라인(110), 게이트 전극(111) 및 화소 전극(140)을 형성한다.

이를 위해 도 7a에 도시된 바와 같이, 상기의 투명 절연 기관(100) 상에 CVD법, PVD법 및 스퍼터링법등을 포함하는 다양한 증착 방법을 통해 화소 전극용 제 1 도전성막(140a)을 형성하고, 제 1 도전성막(140a) 상에 게이트 전극용 제 2 도전성막(110a)을 형성하는 것이 바람직하다.

이때, 제 1 도전성막(140a)은 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투명 도전막을 사용하는 것이 바람직하다. 또한, 제 2 도전성막(110a)으로 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 것이 바람직하다. 상기 제 2 도전성막(110a)으로 다중막을 형성할 수도 있다.

이후, 도 7b 및 도 7c에 도시된 바와 같이 제 2 도전성막(110a) 상에 감광막을 도포한 다음 제 1 마스크를 이용한 사진 식각공정을 실시하여 제 1 감광막 마스크 패턴을 형성하되, 게이트 전극 영역의 감광막 패턴(101a)의 높이보다 화소 영역의 감광막 패턴(101b)의 높이를 낮게 형성하는 것이 효과적이다.

이때, 도 7b에서와 같이 회전 노광부를 갖는 회절 노광 마스크 또는 반투과부를 갖는 반투과 마스크(102)를 이용하여 리소그래피 공정시 화소 전극(140)이 형성될 영역의 빛 투과량을 조절하여 화소 전극(140)이 형성될 영역 상에 잔류하는 감광막 패턴(101b)의 높이를 낮게 형성할 수 있다. 또한, 리플로우가 가능한 물질로 이루어진 감광막을 이용하여 이를 노광 현상한 후, 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부가 흘러 내리도록 하여 단차를 형성할 수도 있다.

다음으로 도 7d에 도시된 바와 같이 상기의 감광막 패턴(101a, 101b)을 식각마스크로 하는 식각공정을 실시하여 게이트 전극(110)과 화소 전극(140)을 형성하는 것이 바람직하다. 이를 위해 먼저 상기 감광막 패턴을 식각마스크로 하는 제 1 식각 공정을 통해 제 2 도전성막(110a)을 식각하여 게이트 전극(111) 및 게이트 라인(110)을 패터닝하고, 다시 이를 식각 마스크로 하는 제 2 식각 공정을 통해 제 1 도전성막(140a)을 계속적으로 식각하여 화소 전극(140)을 패터닝하는 것이 바람직하다.

이때, 제 2 도전성막(110a)은 빛의 투과율이 좋지 않기 때문에 화소 전극(140)의 투명도에 악영향을 미치므로 화소 전극(140) 상에 위치한 제 2 도전성막(110a)을 제거하여야 한다. 이를 위해 부분적인 에싱 공정을 통해 도 7e에 도시된 바와 같이 상기 화소 전극(140) 상부에 형성된 높이가 낮은 감광막 패턴(101b)을 제거하는 것이 바람직하다. 이때, 게이트 상부의 감광막 패턴(101a)은 제거되지 않고 단지 그 높이가 낮아지게 된다. 상기의 에싱 공정은 산소 플라즈마를 이용하여 실시하는 것이 바람직하다.

상기와 같이 부분적인 에싱 공정을 통해 화소 전극(140) 상의 감광막 패턴이 제거되어 화소 전극(140) 상의 제 2 도전성막(110a)은 노출되고, 게이트 전극(111) 및 게이트 라인(110)은 단차가 낮아진 감광막 패턴(101c)에 의해 노출되지 않게 된다. 이후, 식각 공정을 실시하여 도 7f에 도시된 바와 같이 상기 화소 전극(140) 상에 잔류하는 제 2 도전성막(110a)을 제거하고, 에싱 공정을 통해 잔류하는 감광막 패턴(101c)을 제거하여 제 1 및 제 2 도전성막(110a, 140a)을 포함하는 게이트 전극(111) 및 게이트 라인(110)을 형성하고, 제 1 도전성막(140a)으로 형성된 화소 전극(140)을 형성하는 것이 바람직하다.

도 8을 참조하면, 상기 게이트 전극(111) 상에 게이트 절연막(112), 활성층(113) 및 층간 절연막(160)을 순차적으로 형성한 다음, 소스 전극 및 드레인 전극용 콘택홀(161, 162)을 형성한다.

전체 기판상에 PECVD법, 스퍼터링법 등의 증착 방법을 통해 게이트 절연막(112)을 형성한다. 이때, 게이트 절연막(112)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 게이트 절연막(112) 상에 상술한 증착 방법을 통해 활성층(113) 및 층간 절연막(160)을 순차적으로 형성한다. 활성층(113)으로는 비정질 실리콘층을 사용하고, 층간 절연막(160)으로는 산화물 또는 질화물을 포함하는 절연성 물질막을 사용하는 것이 효과적이다.

이후, 층간 절연막(160) 상에 감광막을 도포한 다음, 제 2 마스크를 이용한 포토리소그래피 공정을 통해 제 2 감광막 마스크 패턴(미도시)을 형성한다. 도시되지 않은 제 2 감광막 마스크 패턴은 화소 전극(140) 영역을 개방하고, 게이트 전극(111)상부의 활성층 중 소스 전극(121)과 드레인 전극(122)에 해당하는 영역의 일부가 리세스된 단차를 갖도록 형성하는 것이 바람직하다. 이에 이러한 제 2 감광막 마스크 패턴을 식각 마스크로 하여 식각공정을 실시하게 되면 노출된 화소 전극(140) 상부에 증착된 층간 절연막(160), 활성층(113) 및 게이트 절연막(112)은 완전히 제거될 수 있다. 이후, 에싱 공정을 통해 감광막의 단차를 줄이게 되면 상기 리세스된 단차 영역은 제거되어 그 하부의 층간 절연막(160)을 노출시키게 된다. 에싱 공정 후에 식각공정을 실시하여 노출된 층간 절연막(160)을 제거하면 앞서 언급한 소스 전극용 콘택홀(161)과, 드레인 전극용 콘택홀(162)이 형성될 수 있다. 잔류하는 제 2 감광막 패턴을 에싱 공정을 통해 제거한다.

도 9를 참조하면, 상기 소스 전극용 콘택홀(161) 및 드레인 전극용 콘택홀(162)을 제 3 도전성막으로 매립하여 소스 전극(121) 및 드레인 전극(122)을 형성하고, 그 상부에 보호막(170)을 형성한다.

전체 기판 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 3 도전성막을 형성한다. 이때, 제 3 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제 3 도전성막은 제 2 도전성막과 동일한 물질을 사용할 수도 있다. 제 3 도전성막 증착시 상기 소스 전극용 콘택홀(161) 및 드레인 전극용 콘택홀(162)이 매립되도록하고, 전체 구조의 단차를 따라 형성되도록 하는 것이 바람직하다.

이후, 상기 제 3 도전성막 상에 감광막을 도포한 다음 제 3 마스크를 이용한 포토리소그래피 공정을 통해 제 3 감광막 패턴을 형성한다. 이때, 도시되지 않은 제 3 감광막 패턴은 소스 전극(121), 소스 라인(120)과 드레인 전극(122) 그리고, 유지 전극(150)이 형성될 영역을 제외한 영역을 개방한다. 상기의 제 3 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을

실시하여 제 3 도전성막을 식각한 다음, 제 3 감광막 마스크 패턴을 제거하면, 소스 라인(120) 및 게이트 라인(110)에 접속된 박막 트랜지스터(130)와, 박막 트랜지스터(130)의 드레인 전극(122)과 접속된 화소 전극(140) 및 상기 화소 전극(140)과 그 일부가 중첩된 유지 전극(150)이 형성된다.

마지막으로 상기 구조물 상에 보호막(170)을 형성한 다음 그 상부에 제 1 배양막(320)을 형성한다. 이로써, 하부 기판 즉, 박막 트랜지스터 기판(1000)이 제작된다.

이후 상기와 같이 제조된 박막 트랜지스터 기판(1000)과 공통 전극 기판(2000) 사이에 스페이서(미도시)를 개재하여 이들 기판을 서로 접합한다. 이어서, 진공 주입 방법을 이용하여 스페이서에 의해 형성된 소정의 공간에 액정물질을 주입하여 액정층을 형성함으로써 본 실시예에 따른 액정표시장치를 제작한다.

상술한 실시예의 박막 트랜지스터 기판(1000)은 3매 마스크 공정으로 형성되었지만, 이에 한정되지 않고, 3매 이상의 마스크 공정 또는 3매 이하의 마스크 공정을 통해서도 형성될 수 있다.

이하에서는 4매의 마스크 공정을 통해 제조된 박막 트랜지스터 기판을 포함하는 액정 표시 장치를 제시한다. 이하, 본 발명의 제 2 실시예에 대하여 도면을 참조하여 설명한다. 하기 실시예에서는 앞서 설명한 제 1 실시예와 중복되는 설명은 생략한다.

## <제 2 실시예>

도 10a 내지 도 10d는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 도면이다.

도 10a에 도시된 바와 같이, 투명 절연 기판(100) 상에 제 1 및 제 2 도전성막(110a, 140a)을 형성한 다음, 이를 제 1 감광막 마스크 패턴(미도시)을 이용한 사진 식각공정을 통해 게이트 라인(110), 게이트 전극(111) 및 화소 전극(140)을 형성하는 것이 바람직하다.

도 10b에 도시된 바와 같이, 전체 구조 상에 게이트 절연막(112)을 형성하고, 상기 게이트 전극(111) 상부에 활성층(113)을 형성한다. 이를 위해 상기 게이트 절연막(112) 상에 활성층(113)을 형성한 다음, 제 2 감광막 마스크 패턴을 이용하여 활성층(113)을 패터닝 하여 게이트 전극(111) 상부를 제외한 영역의 활성층(113)을 제거하여 게이트 전극(111) 상부에 섬 형태의 활성층(113)을 형성한다.

도 10c에 도시된 바와 같이 전체 구조상에 층간 절연막(160)을 형성한 다음, 제 3 감광막 마스크 패턴을 이용한 식각공정을 통해 화소 전극(140) 상부의 층간 절연막(160)과 게이트 절연막(112)을 제거하고, 활성층(113) 상부의 층간 절연막(160)의 일부를 제거하여 소스 전극용 콘택홀(161)과 드레인 전극용 콘택홀(162)을 형성한다.

도 10d에 도시된 바와 같이 전체 구조상에 제 3 도전성막을 형성하여 상기 소스 전극용 콘택홀(161)과 드레인 전극용 콘택홀(162)을 매립한 다음 제 4 감광막 마스크 패턴을 이용한 식각공정을 통해 소스 라인(120), 소스 전극(121) 및 드레인 전극(122) 그리고 유지 전극(150)을 제외한 영역의 제 3 도전성막을 제거하여 소스 라인(120), 소스 전극(121) 및 드레인 전극(122) 그리고 유지 전극(150)을 형성하는 것이 바람직하다.

상술한 설명에서는 활성층(113) 상에 층간 절연막(160)을 형성하고, 층간 절연막(160)의 일부에 콘택홀(161, 162)을 형성하여 이를 통해 활성층(113)과 접속된 소스 전극(121) 및 드레인 전극(122)을 형성하였다. 하지만 본 발명에 따른 액정 표시 장치의 박막 트랜지스터 기판은 이에 한정되지 않고, 층간 절연막과 콘택홀을 형성하지 않고 활성층 상에 직접 소스 전극 및 드레인 전극을 형성할 수 있다.

이하, 활성층 상에 직접 소스 및 드레인 전극을 형성하는 본 발명의 제 3 실시예에 대하여 도면을 참조하여 설명한다. 하기 실시예에서는 앞서 설명한 제 1 및 제 2 실시예와 중복되는 설명은 생략한다. 또한, 제 3 실시예의 기술은 제 1 및 제 2 실시예에 적용될 수 있다.

## <실시예 3>

도 11a 내지 도 11c는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 도면이다.

도 11a에 도시된 바와 같이 투명 절연 기판(100) 상에 게이트 라인(110), 게이트 전극(111) 및 화소 전극(140)을 형성한다. 이때, 앞서 설명한 바와 같이 화소 전극용 도전성막(140a)과 게이트 전극용 도전성막(110a)을 순차적으로 형성한 다음, 이들을 패터닝 하여 화소 전극(140)과 게이트 전극(111)을 단일 마스크를 사용하여 형성하는 것이 바람직하다.

도 11b에 도시된 바와 같이 게이트 전극(111) 상에 게이트 절연막(112) 및 활성층(113)을 형성한다. 여기서, 화소 전극(140)과 게이트 전극(111)이 형성된 절연 기판(100) 상에 게이트 절연막(112) 및 활성층(113)을 형성한 다음 그 상부에 감광막 마스크 패턴(미도시)을 형성하고, 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 게이트 전극(111) 및 게이트 라인(110) 상부의 일부 영역을 제외한 영역의 게이트 절연막(112)과 활성층(113)을 제거하는 것이 바람직하다. 이를 통해 화소 전극(140) 상에 형성되었던 게이트 절연막(112) 및 활성층(113)이 제거된다.

도 11c에 도시된 바와 같이 상기 활성층(113) 상에 소스 라인(120) 및 소스 전극(121) 그리고 화소 전극(140)과 접속된 드레인 전극(122)을 형성하고, 유지 전극 배선(150)을 형성한다.

게이트 절연막(112) 및 활성층(113)이 형성된 절연 기판(100) 상에 오믹 접촉층(114)과 도전성막을 형성한 다음 감광막 마스크 패턴을 이용한 식각공정을 실시하여 소스라인(120)과, 이와 접속된 소스 전극(121)을 형성하고, 화소 전극(140)과 접속된 드레인 전극(122)을 형성하는 것이 바람직하다. 이때, 상기 소스 라인(120)과 수평한 방향으로 하부의 화소 전극(140)과 그 일부가 중첩된 유지 전극 배선(150)을 형성하는 것이 바람직하다.

상기와 같이 게이트 전극(111), 소스 전극(121) 및 드레인 전극(122)이 형성된 박막 트랜지스터(130)와, 화소 전극(140), 소스 라인(120) 및 유지 전극 배선(150)이 형성된 투광성 절연 기판(100) 상에 보호막(170)을 형성하고, 그 상부에 제 1 배양막(320)을 형성함으로써 박막 트랜지스터 기판의 제작이 완성된다.

## 발명의 효과

상술한 바와 같이, 본 발명은 게이트 전극과 화소 전극을 단일 마스크를 사용하여 제작함으로써 제조 공정을 단순화 하고, 원가를 절감시킬 수 있다.

이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 도면의 간단한 설명

도 1은 종래의 액정 표시 장치의 일 화소의 등가 회로도.

도 2는 종래의 액정 표시 장치의 평면도.

도 3은 도 2의 A-A선상의 단면도.

도 4는 본 발명의 제 1 실시예에 따른 액정 표시 장치의 평면도.

도 5는 도 4의 액정 표시 장치를 B-B 선에 대해 자른 단면도.

도 6 내지 도 9는 본 발명의 제 1 실시예에 따른 박막 트랜지스터 기판을 제조하는 공정을 순서대로 나타낸 도면.

도 10a 내지 도 10d는 본 발명의 제 2 실시예에 따른 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 도면.

도 11a 내지 도 11c는 본 발명의 제 3 실시예에 따른 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

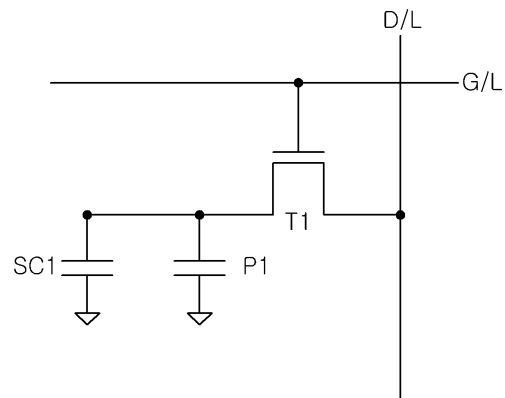
10, 110 : 게이트 라인 20, 120 : 소스 라인

30, 130 : 박막 트랜지스터 40, 140 : 화소 전극

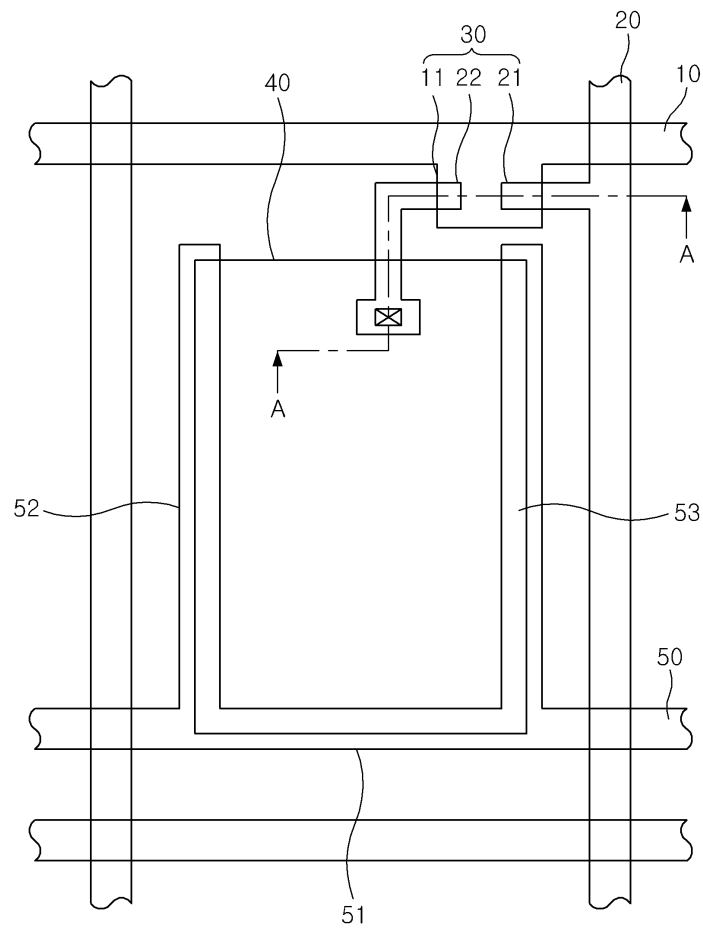
50, 150 : 유지 전극 배선

도면

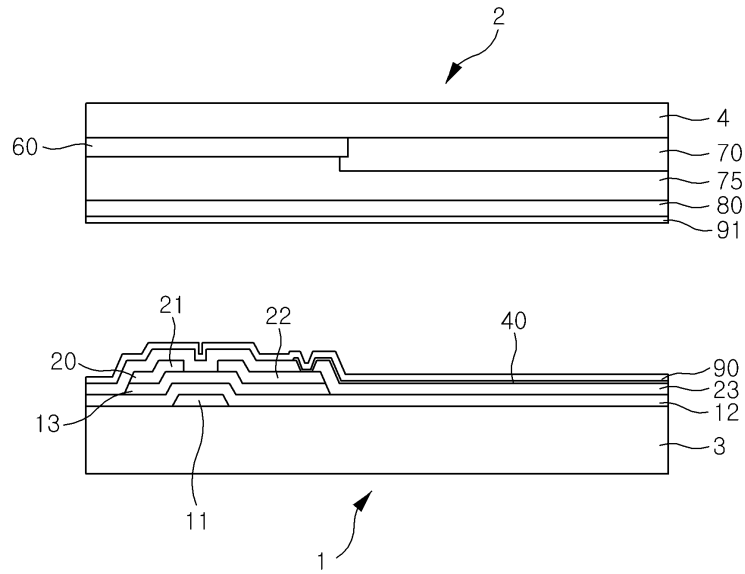
도면1



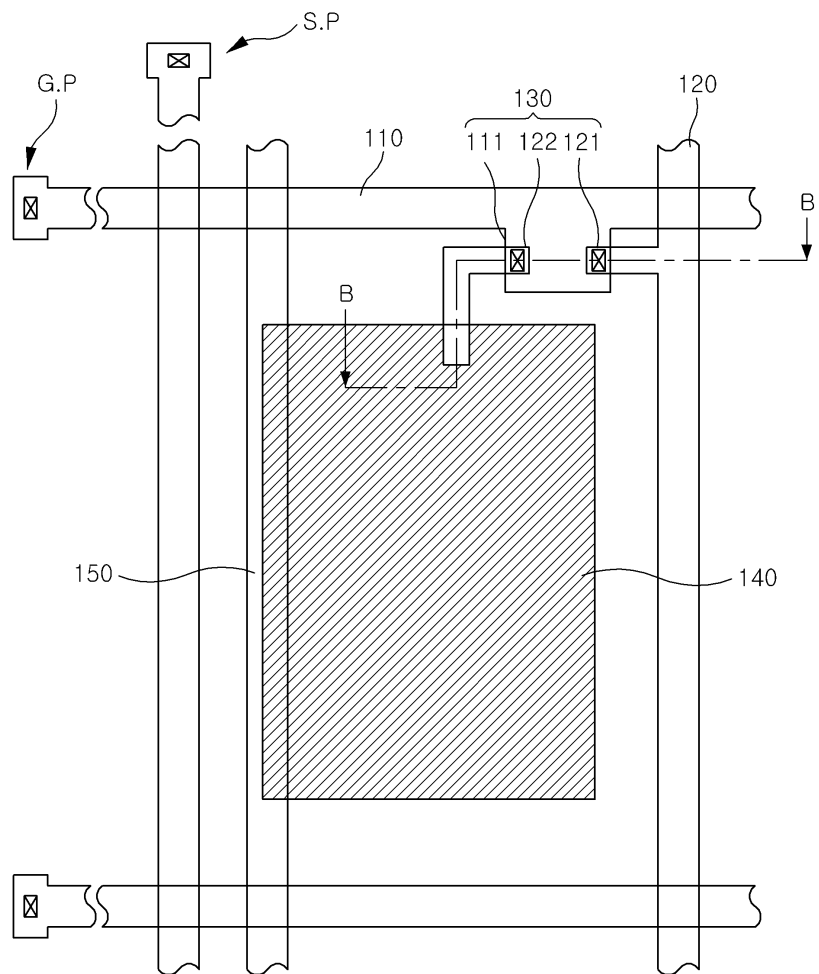
도면2



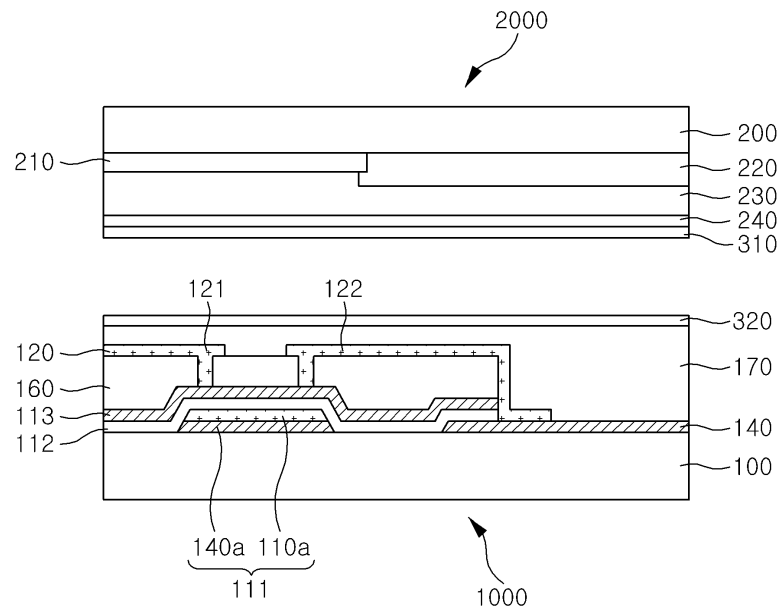
도면3



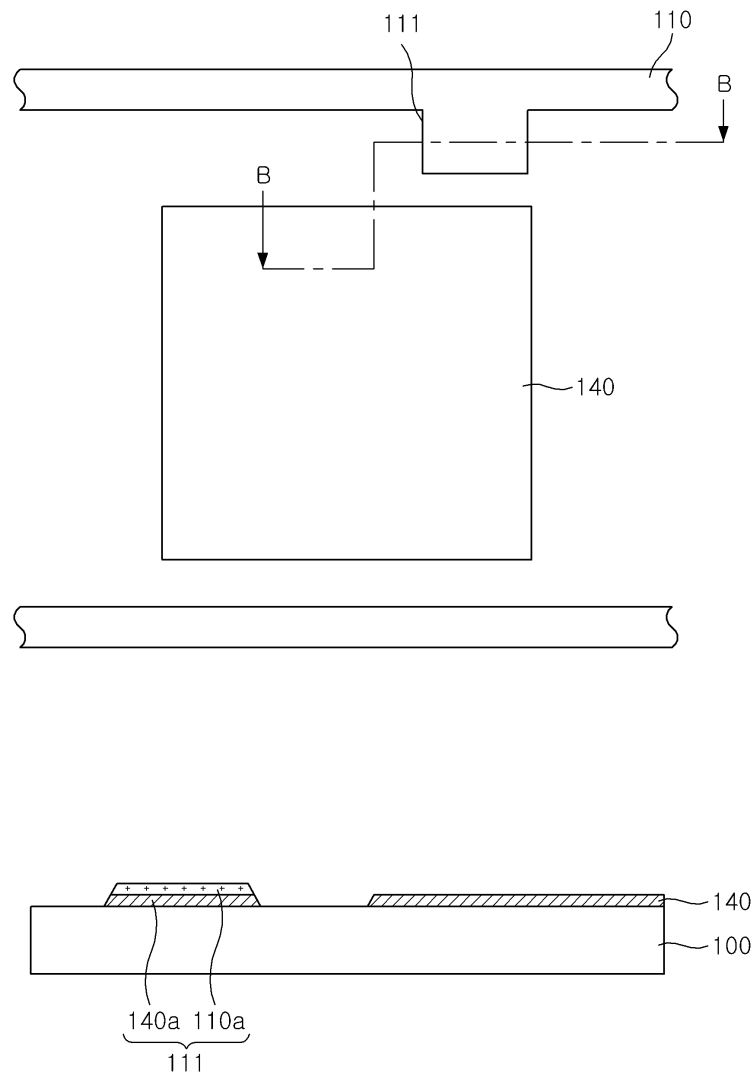
도면4



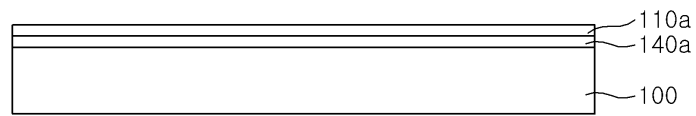
도면5



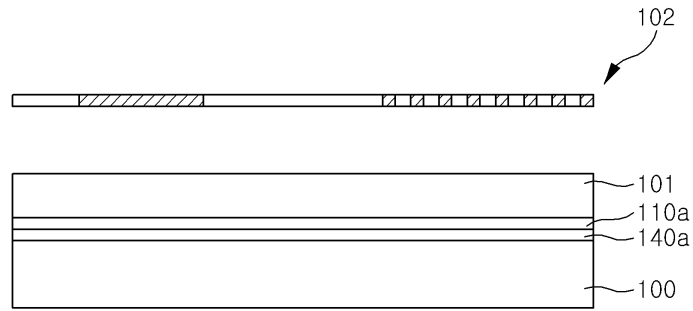
도면6



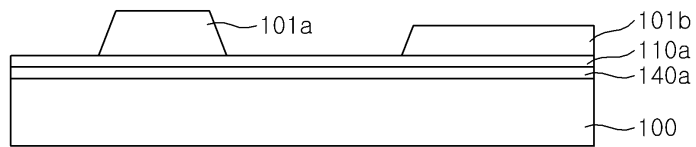
도면7a



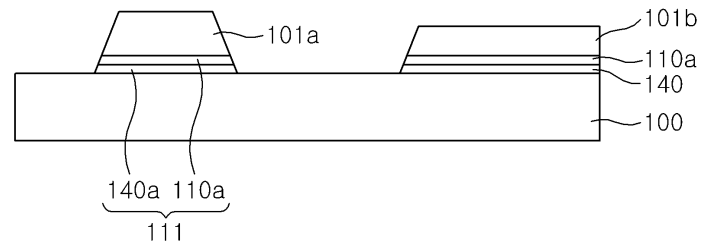
도면7b



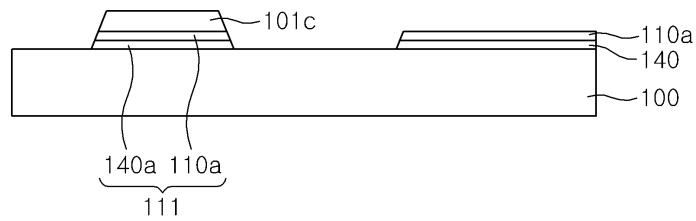
도면7c



도면7d

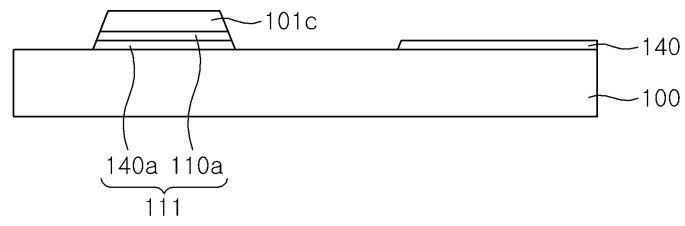


도면7e

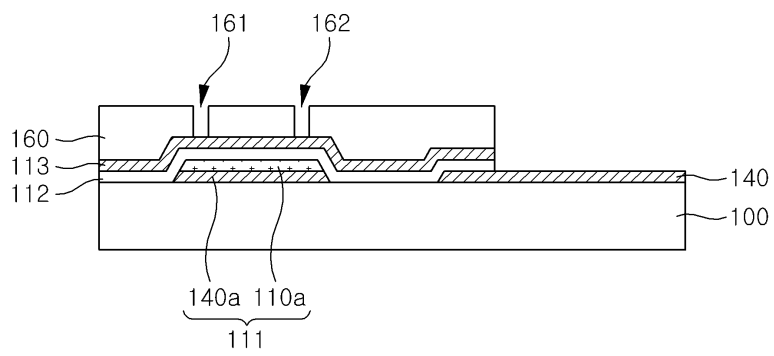
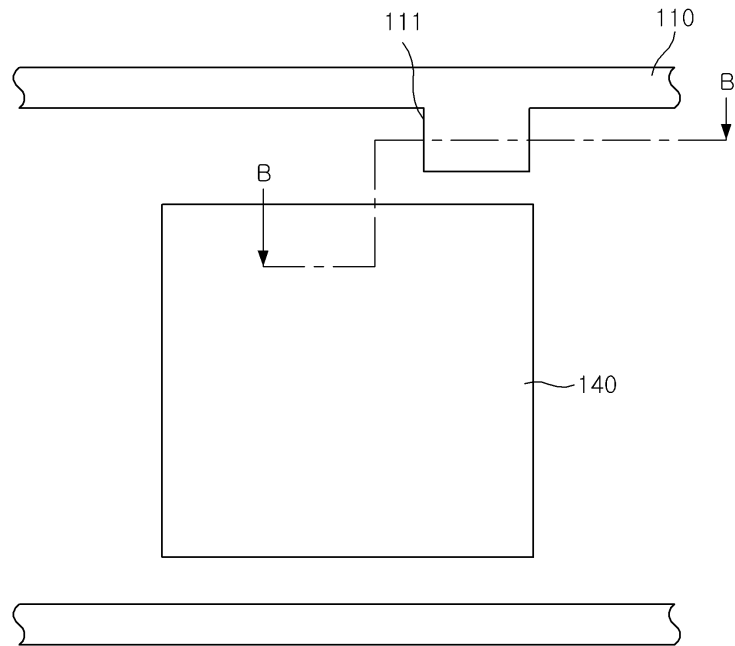




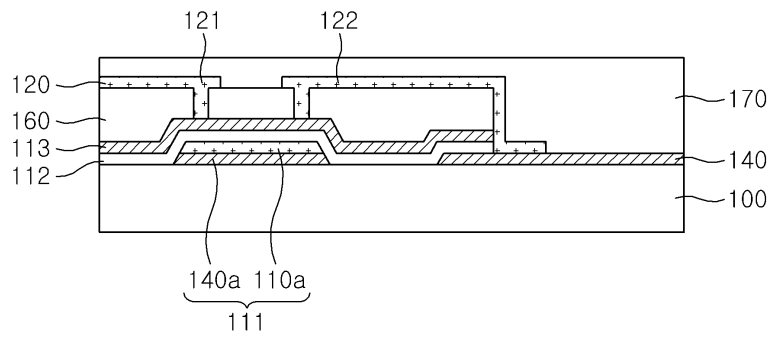
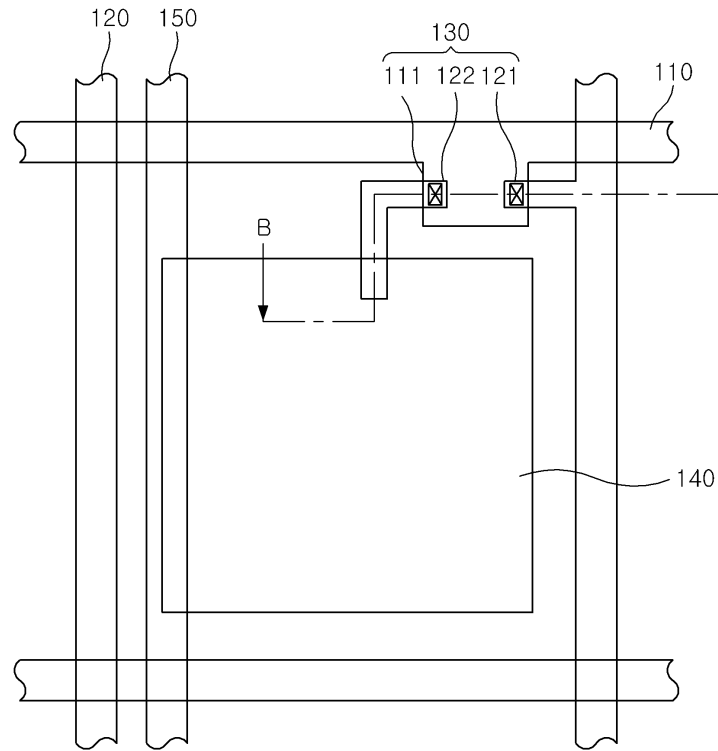
도면7f



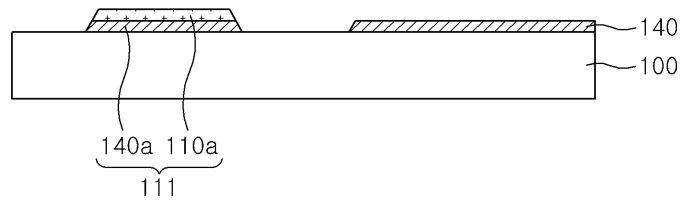
도면8



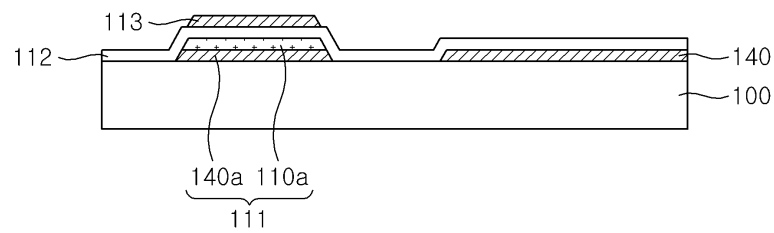
도면9



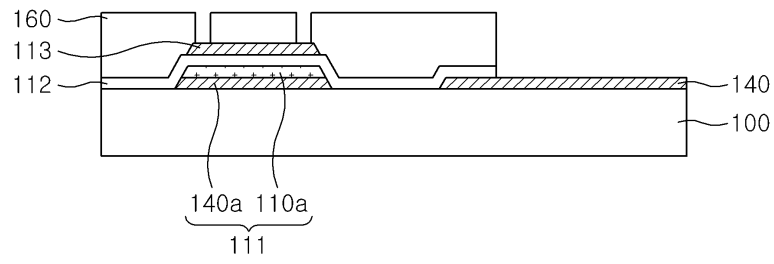
도면10a



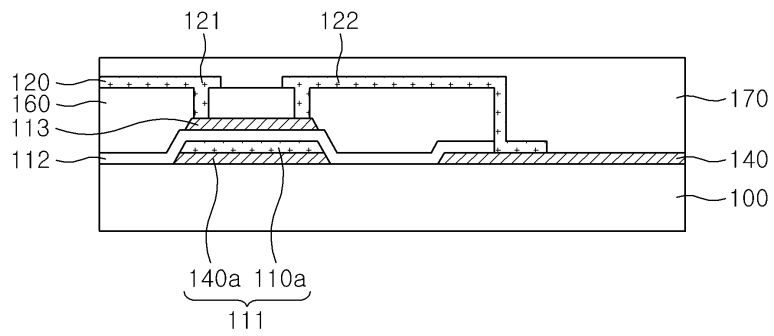
도면10b



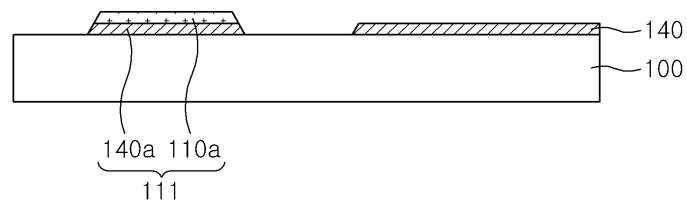
도면10c



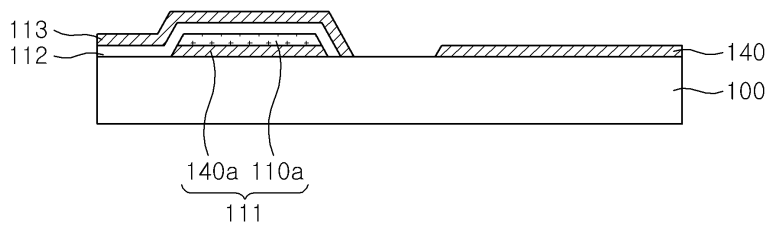
도면10d



도면11a



도면11b



도면11c

