



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0091368  
(43) 공개일자 2012년08월17일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/336* (2006.01) *H01L 29/78* (2006.01)  
*H01L 21/265* (2006.01)
- (21) 출원번호 10-2012-7015489
- (22) 출원일자(국제) 2010년12월08일  
심사청구일자 空
- (85) 번역문제출일자 2012년06월15일
- (86) 국제출원번호 PCT/US2010/059374
- (87) 국제공개번호 WO 2011/071973  
국제공개일자 2011년06월16일
- (30) 우선권주장  
61/267,524 2009년12월08일 미국(US)
- (71) 출원인  
에스에스 에스시 아이피, 엘엘시  
미국 미시시피 39213 잭슨 리빙스턴 레인 1401
- (72) 발명자  
쉐리단, 레이비드 씨.  
미국 미시시피 39759 스타크빌 블루밸드 201 세  
미사우스 연구실 내  
리트노어 앤드류  
미국 미시시피 39759 스타크빌 블루밸드 201 세  
미사우스 연구실 내
- (74) 대리인  
특허법인무한

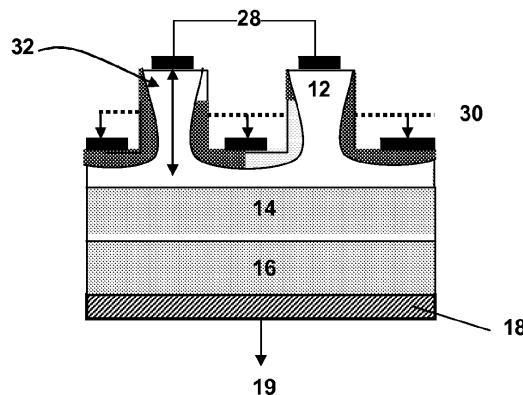
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 주입된 측벽들을 가지는 반도체 장치들의 제조 방법 및 그에 의해 제조된 장치들

### (57) 요 약

반도체 장치들 및 상기 장치들의 제조 방법이 기술된다. 상기 장치들은 접합 전계-효과 트랜지스터들 (junction field-effect transistors; JFETs) 또는 접합 배리어 쇼트키 (junction barrier Schottky; JBS) 다이오드들 또는 PiN 다이오드들과 같은 다이오드들일 수 있다. 상기 장치들은 주입 마스크 (implantation mask)를 사용한 선택적 이온 주입을 이용하여 만들어진다. 상기 장치들은 상기 주입 마스크로부터 노멀 또는 근처 법선 입사 이온들 (normal or near normal incident ions)의 산란 (scattering)에 의해 형성된 주입된 측벽들을 가진다. 긴 채널 길이를 가진 수직 접합 전계-효과 트랜지스터들 (vertical junction field-effect transistors) 또한 기술된다. 상기 장치들은 실리콘 카바이드 (silicon carbide; SiC)와 같은 넓은-밴드갭 (wide-bandgap) 반도체 물질로부터 만들어질 수 있고, 고온 및 고출력 응용들 (applications)에 사용될 수 있다.

대 표 도 - 도1e



## 특허청구의 범위

### 청구항 1

주입 마스크 층이 제 1 도전형의 반도체 물질의 채널층 상에 있고, 상기 채널층이 상기 제 1 도전형의 반도체 기판의 상부 표면 상에 있는, 상기 주입 마스크 층 상에 식각 마스크를 패터닝하는 단계;

하나 이상의 상부 표면을 각각 가지는 증가된 소스 영역들 및 하부 표면을 각각 가지는 상기 채널층의 식각된 영역들의 인접한 측벽들을 형성하기 위해 식각 마스크를 이용하여, 상기 주입 마스크 층을 통하여 그리고 상기 채널층 안으로 선택적으로 식각하는 단계;

이온들은 상기 반도체 기판의 상기 상부 표면에 대한 수직으로부터  $\pm 10^\circ$  내의 각도에서 주입되고, 상기 주입 마스크 층 상에 적어도 몇몇 이온들을 주입하는 것은 상기 증가된 영역들의 상기 측벽들 상에서 제 2 전도형의 주입된 영역들을 형성하기 위해 상기 주입 마스크에 의해 산란되고, 상기 식각된 영역들의 상기 하부 표면 상에 상기 주입된 영역들은 상기 증가된 영역들의 인접한 측벽들 상에서 상기 주입된 영역들에 연결되도록, 상기 식각된 영역들의 상기 하부 표면들 상의 상기 반도체 물질에 제 2 전도형의 주입된 영역들을 형성하기 위해 상기 주입 마스크 층을 통하여 상기 채널층 안으로 상기 이온들을 주입시키는 단계;

를 포함하는, 반도체 장치 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 채널층은, 상기 반도체 기판 상에 있는 상기 제 1 도전형의 반도체 물질의 드리프트 층 상에 있는 것인, 반도체 장치 제조 방법.

### 청구항 3

제 2 항에 있어서,

상기 채널과 드리프트 층들은, 각각 도편트 농도를 가지고, 상기 채널층의 상기 도편트 농도는 상기 드리프트 층의 상기 도편트 농도보다 낮은 것인, 반도체 장치 제조 방법.

### 청구항 4

제 1 항에 있어서,

주입 동안 상기 이온들의 에너지는 250 keV 내지 2 MeV인 것인, 반도체 장치 제조 방법.

### 청구항 5

제 1 항에 있어서,

상기 주입 마스크 층은, 상기 제 1 도전형의 반도체 물질의 소스층 상에 있고, 상기 소스층은 상기 채널층 상에 있는 것인, 반도체 장치 제조 방법.

### 청구항 6

제 5 항에 있어서,

상기 소스와 채널층들은, 각각 도편트 농도를 가지고 상기 소스층의 상기 도편트 농도는 상기 채널층의 상기

도편트 농도보다 높은 것인, 반도체 장치 제조 방법.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 도전형은 n-형이고, 상기 제 2 전도형은 p-형인 것인, 반도체 장치 제조 방법.

#### 청구항 8

제 1 항에 있어서,

상기 채널층과 상기 반도체 기판은 SiC를 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 9

제 1 항에 있어서,

상기 주입 마스크 층은 적어도  $0.5 \mu\text{m}$ 의 두께를 가지는 것인, 반도체 장치 제조 방법.

#### 청구항 10

제 1 항에 있어서,

상기 채널층은  $0.25 \mu\text{m}$  내지  $5 \mu\text{m}$ 의 두께와  $1 \times 10^{14}/\text{cm}^3$  내지  $1 \times 10^{18}/\text{cm}^3$ 의 도편트 농도를 가지는 것인, 반도체 장치 제조 방법.

#### 청구항 11

제 2 항에 있어서,

상기 드리프트 층은  $0.25 \mu\text{m}$ 의 두께와  $1 \times 10^{14}/\text{cm}^3$  내지  $1 \times 10^{18}/\text{cm}^3$ 의 도편트 농도를 가지는 것인, 반도체 장치 제조 방법.

#### 청구항 12

제 5 항에 있어서,

상기 소스층은  $5 \times 10^{18}/\text{cm}^3$ 보다 큰 도편트 농도를 가지는 것인, 반도체 장치 제조 방법.

#### 청구항 13

제 1 항에 있어서,

상기 주입 마스크는 포토레지스트 물질, 산화물, 질화물 또는 금속을 포함하는 것인, 반도체 장치 제조 방법.

#### 청구항 14

제 1 항에 있어서,

상기 기판은  $1 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{20} / \text{cm}^3$  의 도편트 농도를 가지는 것인, 반도체 장치 제조 방법.

### 청구항 15

제 2 항에 있어서,

상기 주입 마스크 층은 상기 제 1 도전형의 반도체 물질의 소스층 상에 있고, 상기 소스층은 채널층 상에 있는 것인, 반도체 장치 제조 방법.

### 청구항 16

제 1 항에 있어서,

상기 주입된 이온들을 활성화하기 위한 장치를 어닐링하는 단계를 더 포함하는 것인, 반도체 장치 제조 방법.

### 청구항 17

제 1 항에 있어서,

상기 증가된 소스 영역들의 상기 상부 표면들 상에 소스 컨택들을 형성하고, 상기 식각된 영역들의 상기 하부 표면들 상의 상기 주입된 영역들 상에 게이트 컨택들을 형성하고, 상기 채널층 반대 상기 기판 상에 드레인 컨택을 형성하는 것을 더 포함하는 것인, 반도체 장치 제조 방법.

### 청구항 18

제 1 항에 있어서,

상기 하나 이상의 증가된 소스 영역들은, 상기 평거들 형태의 복수의 연장 배치된 세그먼트들을 포함하는 것인, 반도체 장치 제조 방법.

### 청구항 19

제 1 항에 있어서,

상기 이온들은 상기 반도체 기판의 상부 표면에 대한 수직으로부터  $\pm 0.1^\circ$  의 각도로 상기 채널층 안으로 주입되는 것인, 반도체 장치 제조 방법.

### 청구항 20

제 1 항에 있어서,

주입 동안 상기 기판을 회전시키는 것을 더 포함하는 것인, 반도체 장치 제조 방법.

### 청구항 21

제 1 항의 방법에 의해 제조된 반도체 장치.

## 명세서

## 기술분야

- [0001] 본 출원서는 2009년 12월 8일에 출원된 미국 출원 시리얼 제 61/267,524 호의 이익을 주장하고, 그것의 전체가 본원에 참고문헌으로서 포함된다.
- [0002] 본원에서 사용된 섹션 제목들 (section headings)은 단지 정리를 위한 것 (organizational purposes)이고, 기술된 내용 (subject matter)을 임의의 방법으로 제한하여 이해하지 않아야 한다.
- [0003] 본 출원서는 일반적으로 반도체 장치들 및 상기 장치들의 제조 방법에 관한 것이다.

## 배경 기술

- [0004] 전계 효과 트랜지스터 (field-effect transistor; FET)는 약한-신호 증폭 (weak-signal amplification)을 위해 (즉, 무선 신호들을 증폭하는 것을 위해) 일반적으로 사용된 트랜지스터 형태이다. 상기 장치는 아날로그 또는 디지털 신호들을 증폭할 수 있다. 그것은 또한 오실레이터 (oscillator)로서 DC 또는 평선 (function)을 스위칭할 수 있다. FET에서, 전류는 채널로 불리는 반도체 경로를 따라 흐른다. 상기 채널의 일단부에, 스스로 불리는 전극이 있다. 상기 채널의 타단부에, 드레인으로 불리는 전극이 있다. 상기 채널의 물리적 직경 (physical diameter)은 고정되지만, 그것의 효과적인 전기적 직경 (electrical diameter)은 게이트로 불리는 제어 전극으로 전압의 인가에 의해 변경될 수 있다. 상기 FET의 전도성은, 임의의 주어진 특정 순간에 (at any given instant in time), 상기 채널의 전기적 직경에 의존한다. 게이트 전압에서 작은 변화는, 상기 소스에서 상기 드레인으로 신호들의 증폭을 고려함으로써 상기 전류에서 큰 변형을 초래할 수 있다.
- [0005] PiN 다이오드는 p-형 반도체와 n-형 반도체 영역들 사이에서 넓고 약하게 도핑된 '근접 (near)' 진성 반도체 영역을 가진 다이오드이다. 접합 배리어 쇼트키 (junction barrier Schottky; JBS) 다이오드는 또한, PiN과 쇼트키 배리어 (즉, 금속-반도체) 접합들 모두를 포함하기 때문에 합병된 (merged) PiN 쇼트키 다이오드로서 참조된다.
- [0006] 수직 접합 전계 효과 트랜지스터 (Vertical Junction Field Effect Transistor; VJFET)와 정전 유도 트랜지스터 (Static Induction Transistor; SIT) 장치는 미국 등록 특허 제 5,903,020 호와 제 6,767,783 호; 및 미국 특허 출원 공개 제 2007/0187715 A1 호에 기술되었다. SIT의 경우에, 짧은 채널 길이는 일반적으로 주파수 반응을 높게 유지하기 위해 선호된다. 그러므로 트렌치된 소스 평거들 (trenched source fingers)에서 측벽 주입 (sidewall implantation)을 생성하지 않는 얇은 p+ 게이트 주입 (shallow p+ gate implant)이 선호된다. 그러나, 상기 전력 VJFET 구조에서, 그것은 높은 역 바이어스들 (reverse bias) 하에서 전기장 (electric field)이 상기 채널 배리어를 감소시키고, 증가된 드레인-소스 누설 전류들 또는 완전 정지 (total breakdown)를 초래하는 것을 방지할 수 있는 상기 장치를 위한 긴 채널 길이를 갖도록 선호된다. 미국 특허 출원 공개 제 2007/0187715 A1 호에서, 상기 소스 평거 측벽들에서 경사 주입 (angled implant)은, 상기 소스 채널 길이에 따라 긴 게이트 도핑 프로파일 (profile)을 생성하기 위한 방법으로서 기술된다. 그러나, 이 방법은 여러 단점들을 가진다. 즉, 웨이퍼는 상기 트렌치된 구조에서 주입 음영 현상 (implant shadowing)을 방지하기 위하여 주입 동안 회전된다. 추가적으로, 상기 경사 주입은 상기 채널에서 두 개의 인접한 고농도 도핑된 영역들 (소스와 게이트)을 초래하는 상기 소스 영역으로 상기 구조의 수직축을 따라 균일한 주입을 초래한다. 이러한 두 개 영역들의 근접 특성 (close nature)은 부족한 전압 처리 성능의 결과로서 생긴다. 추가적으로, 이 축을 따른 각도 주입은, 특히 전형적으로 컷오프-축 (즉, 2-8°의 각도에서)인 SiC 기판에 대해, 비대칭 게이트-소스 접합을 일으키는 이온들의 중요 채널링을 생성할 수 있다 (Additionally, angled implantation along this axis can create significant channeling of the ions resulting in a non-symmetrical gate-source junction, particularly for SiC substrates which are typically cut off-axis (e.g., at an angle of 2-8 degrees)).
- [0007] 따라서, 반도체 장치들을 제조하는 개선된 방법들에 대한 필요가 여전히 존재한다.

## 발명의 내용

### 해결하려는 과제

- [0008] 본 발명의 목적은, 개선된 반도체 장치들의 제조 방법 및 그에 의해 제조된 장치들을 제공하는 것이다.

## 과제의 해결 수단

- [0009] 하기를 포함하는 반도체 장치 제조 방법이 제공된다:
- [0010] 주입 마스크 층 (implant mask layer)이 제 1 도전형의 반도체 물질의 채널층 상에 있고, 상기 채널층이 상기 제 1 도전형의 반도체 기판의 상부 표면 상에 있는, 상기 주입 마스크 층 상에 식각 마스크 (etch mask)를 패터닝하는 단계;
- [0011] 하나 이상의 상부 표면을 각각 가지는 증가된 소스 영역들 및 하부 표면을 각각 가지는 상기 채널층의 식각된 영역들의 인접한 측벽들 (sidewalls)을 형성하기 위해 식각 마스크를 이용하여, 상기 주입 마스크 층을 통하여 그리고 상기 채널층 안으로 선택적으로 식각하는 단계;
- [0012] 이온들은 상기 반도체 기판의 상기 상부 표면에 대한 수직으로부터  $\pm 10^\circ$  내의 각도에서 주입되고, 상기 주입 마스크 층 상에 적어도 몇몇 이온들을 주입하는 것은 상기 증가된 영역들의 상기 측벽들 상에서 제 2 전도형의 주입된 영역들을 형성하기 위해 상기 주입 마스크에 의해 산란되고, 상기 식각된 영역들의 상기 하부 표면 상에 상기 주입된 영역들은 상기 증가된 영역들의 인접한 측벽들 상에서 상기 주입된 영역들에 연결되도록, 상기 식각된 영역들의 상기 하부 표면들 상의 상기 반도체 물질에 제 2 전도형의 주입된 영역들을 형성하기 위해 상기 주입 마스크 층을 통하여 상기 채널층 안으로 상기 이온들을 주입시키는 단계;
- [0013] 상기에 설명된 방법에 의해 제조된 반도체 장치 또한 제공된다.
- [0014] 본 발명의 교시들 (teachings)의 다른 특징들은 본원에서 설명된다.

## 발명의 효과

- [0015] 증식형 (enhancement) 또는 공핍형 모드 (depletion mode)에서 제조될 수 있는 긴 채널 VJFET을 가능하게 한다. 상기 장치의 상기 긴 채널은, 높은 역 바이어스 하에서 드레인에서 소스로 누설 전류들에 대해 길고 높은-포테셜 배리어를 유지하는 동안, 높은 '블로킹 게인 (blocking gain)' (순방향 전도에서 역 블로킹 단계로 급격한 전이 (sharp transition))을 가능하게 한다.

## 도면의 간단한 설명

- [0016] 당업자는 하기에 기술된 도면들이 단지 설명의 목적을 위한 것으로 이해할 것이다. 도면들은 임의의 방법으로 본 발명 교시들 (teachings)의 범위를 제한하여서는 안된다.

도 1a 내지 도 1e는 VJFET 장치의 제조를 도시하는 개략도들이다: 도 1a는 주입 전에 기동 장치 (starting device) 구조를 나타낸다; 도 1b는 패턴화된 식각 마스크의 증착이 소스 평거의 폭과 피치를 정의하기 위해 사용되는 것을 나타낸다; 도 1c는 주입 마스크와 채널층의 식각을 나타낸다; 도 1d는  $0^\circ$  (즉, 기판 표면에 수직임)의 각도에서 이온 주입 장치를 사용하여 p+ 게이트의 주입을 나타낸다; 및 도 1e는 주입과 상기 주입 마스크의 제거 후에 상기 장치의 결과적 도면트 프로파일을 나타낸다.

도 2는 각각의 소스 평거일 측벽들에서 충분한 산란 주입을 허용한 주기적인 어레이 구조 (periodic array structure)를 가지는 소스 평거 어레이의 예시적인 배치의 상면도를 나타내는 개략도이다.

도 3a는 중요한 산란 주입이 발생하도록 허용하고 상기 측벽들에 도핑하기 위해 충분한 주입 마스크와 평거 피치를 가진 트렌치된 구조 안으로 근처 수직 주입으로부터 상기 도핑 프로파일 결과를 보여주는 시뮬레이션이다.

도 3b는 도 3a와 같은 유사한 조건들 하에서 수행된 시뮬레이션이지만, 여기에서 상기 장치는 이온 산란을 제공하기 위한 인접한 산란 평거를 가지지 않는다.

도 4는 SiC VJFET의 문턱 전압에서 산란의 효과를 보여주는 그래프이다.

## 발명을 실시하기 위한 구체적인 내용

- [0017] 이 명세서를 이해하기 위하여, 본원에서 "또는"의 사용은 특별한 언급이 없으면 "및/또는"을 의미한다.
- [0018] "포함하다 (comprise, comprises)", "포함하는 (comprising)", "함유하다 (include, includes)", 및 "함유하는 (including)"의 사용은 혼용 가능하고 제한하는 것으로 의도되지 않는다. 더 나아가, 하나 이상의 실시예들의 설명이 당업계의 숙련된 자들이 이해하는 용어 "포함하는 (comprising)"은, 몇몇 특정한 예시들에서, 실시예 또는 실시예들이 "필수적으로 ~으로 구성되는 (consisting essentially of)" 및/또는 "~으로 구성되는" 용어를 사용하여 선택적으로 기술될 수 있다. 몇몇 실시예들에서 단계들의 순서 또는 특정한 동작을 수행하기 위한 순서가 본 발명 교시들이 동작 가능하도록 남아 있는 한은 중요하지 않다는 것 또한 이해될 수 있다. 더욱이, 몇몇 실시예들에 있어서 두 개 이상 단계들 또는 동작들은 동시에 수행될 수 있다.
- [0019] 인접한 구조들로부터 이온들의 의도적 산란을 이용하는  $0^\circ$  주입에 의한 긴 채널 길이를 가지는 수직 접합 전계 효과 트랜지스터 (Vertical Junction Field Effect Transistor; VJFET)를 제조하는 방법들 및 상기에 의해 제조된 장치들이 제공된다.
- [0020] 본 발명은 노출된 측벽 리콰이어링 (requiring) 주입 (즉, 다이오드, 트랜지스터, 수직 레지스터)을 가지는 임의의 수직 장치에 적용 가능한 반면에, 본 발명의 상세한 실시예는 증식형 (enhancement) 또는 공핍형 모드 (depletion mode)에서 제조될 수 있는 긴 채널 VJFET을 가능하게 한다. 상기 장치의 상기 긴 채널은, 높은 역 바이어스 하에서 드레인에서 소스로 누설 전류들에 대해 길고 높은-포테셜 배리어를 유지하는 동안, 높은 '블로킹 게인 (blocking gain)' (순방향 전도에서 역 블로킹 단계로 급격한 전이 (sharp transition))을 가능하게 한다.
- [0021] 반도체 장치의 수직 트렌치 측벽 상에서 이온 주입 (즉, 도핑) 프로파일을 생성하기 위해 트렌치 및 마스킹 구조를 사용하는 방법들이 기술된다. 몇몇 실시예들에 따라서, 경사 측벽 주입이 사용되지 않은 SiC의 긴 트렌치된 채널 수직 접합 전계 효과 트랜지스터가 제공된다.
- [0022] 본원에 기술된 것처럼, 마스킹 층에 의한 외부로 상기 이온들의 산란은 상기 트렌치된 반도체 측벽의 에지 (edge) 상에서 도핑 프로파일을 생성한다. 본원에 기술된 방법들은 VJFET의 게이트 영역에서 사용될 수 있다. 그러나, 본원에 기술된 본 방법들은, 이에 제한되는 것은 아니지만 정전 유도형 트랜지스터들 (static induction transistors; SITs), 양극 접합 트랜지스터들 (bipolar junction transistors; BJTs), 및 접합-배리어 쇼트키 다이오드들 (junction-barrier Schottky diodes; JBS)을 포함하는 주입된 측벽으로부터 이익을 얻을 수 있는 임의의 반도체 구조를 제조하기 위해 사용될 수 있다.
- [0023] VJFET을 제조하는 방법은 도 1a 내지 도 1e에 도시되고 하기에 기술된다.
- [0024] 도 1a는 주입 공정 전에 기동 (starting) 반도체 구조물을 나타낸다. 도 1a에 도시된 바와 같이, 주입 전의 상기 장치는 채널층(12) 상에 주입 마스크 층(implant mask layer, 10)을 포함한다. 또한, 도 1a에 나타난 것처럼, 채널층(12)은 드리프트 층(14) 상에 있고, 드리프트 층(14)은 반도체 기판(16) 상에 있다. 드레인 컨택(18)은 드리프트 층(14) 반대 기판 상에 나타난다. 드리프트 층이 도 1a에 도시되었을 지라도, 상기 드리프트 층은 선택적이다 (즉, 상기 채널과 드리프트 층은 단일 층 (single layer)일 수 있다).
- [0025] 드리프트 층(14)과 채널층(12)은 에피택슬하게 성장할 수 있다. 도핑 타입과 농도는 상기 장치에 대하여 바람직한 특성을 제공하기 위해 변경될 수 있다. 리채널 VJFET (re-channel VJFET)을 위해, 상기 기판은  $1 \times 10^{18} / \text{cm}^3$  내지  $1 \times 10^{20} / \text{cm}^3$ 의 질소 도핑 농도를 가지는 n-형일 수 있다. 상기 드리프트와 채널 질소 도핑 레벨들은  $1 \times 10^{14} / \text{cm}^3$ 과  $1 \times 10^{18} / \text{cm}^3$  사이에 있을 수 있다. 상기 드리프트층의 두께는  $< 100 \mu\text{m}$  일 수 있고, 상기 채널층의 두께는  $0.25 \mu\text{m}$ 와  $5 \mu\text{m}$  사이에 있을 수 있다.
- [0026] 채널층(12)의 상부에 무겁게 도핑된  $> 5 \times 10^{18} \text{ n}^+$  캡 층 (cap layer, 미도시)을 가지고 있는 것 또한 가능하다.
- [0027] 상기 주입 마스크는 포토레지스트 물질, 산화물, 질화물, 및 증착된 금속들을 포함하는 임의의 물질들일 수 있다. 상기 주입 마스크 물질의 두께는  $> 0.5 \mu\text{m}$ 일 수 있다. 상기 주입 마스크 물질의 두께는 상기 반도체 트렌치 구조의 높이에 따라 변경될 수 있다.
- [0028] 도 1b는 주입 마스크 층(10) 상에 패턴화된 식각 마스크(20)의 증착을 나타낸다. 패턴화된 식각 마스크(20)는 상기 소스 평거 폭과 피치 (pitch)를 정의하는데 사용된다. 상기 패턴화된 식각 마스크(20)를 위해 사용

된 물질은 산화물, 금속, 또는 포토레지스트와 같은 종래의 반도체 식각 마스크 물질일 수 있다.

[0029] 도 1c는 식각 마스크(20)를 이용하여 선택적으로 식각되는 주입 마스크 층(10)과 채널층(12)을 개략적으로 나타낸다. 일반적으로 SiC 물질들을 위해, 상기 식각 공정은 건식 반응성 이온 식각 (Reactive Ion Etch; RIE) 또는 유도 결합 플라즈마 (Inductively Coupled Plasma; ICP) 기반 플라스마 식각에 의해 수행될 것이다. 상기 식각은 상기 주입/식각 마스크를 통하여 계속될 것이고, 소정 (predetermined)의 깊이로 상기 채널층(12)의 SiC를 식각하는 것을 계속한다. 상기 식각된 채널(22)의 높이는 상기 장치의 설계에 의존할 것이다. 예시적으로 식각된 채널 높이는  $0.25 \mu\text{m}$  내지  $5 \mu\text{m}$ 이다.

[0030] 도 1d에 도시된 바와 같이, 상기 채널 식각이 완료된 후에, 상기 p+ 게이트의 주입(24)은  $0^\circ$ 에서 이온빔 주입을 이용하여 수행된다.  $0^\circ$  주입이 도시될 지라도, 다른 근소한 각도들이 사용될 수 있다. 경사 주입이 사용될 때, 상기 웨이퍼는 상기 주입 공정 동안 회전될 수 있다.

[0031] 도 1d에 도시된 바와 같이, 상기 이온들은  $0^\circ$  (즉, 상기 웨이퍼 표면에 대하여 수직)의 각도에서 상기 구조에 이르고, 상기 게이트 프로파일의 하부를 생성함으로써 상기 소스 평거들 사이의 상기 반도체 표면에 들어가거나, 또는 상기 소스 평거들 상부에서 상기 주입 마스크에 들어간다. 상기 주입 마스크에 들어가는 상기 일부 이온들은, 산란 이벤트 (scattering event)와 접할 것이고, 상기 소스 평거 측벽에 주입되는 상기 이온의 결과로서 생기는 각도에서 상기 주입 마스크로부터 나오기 위한 충분한 에너지를 가질 것이다. 상기 주입 투여량 (implantation dose)과 에너지는 의도된 측벽 주입의 양과 깊이에 따라 변경된다. 더 깊은 접합을 가지기 위해, 상기 주입 에너지는 높아야 한다 (예를 들어, 250 keV-2 MeV).

[0032] 도 1e는 상기 주입과 주입 마스크(20)의 제거 후에 결과 도핑 프로파일을 나타내는 상기 장치의 개략적 단면도이다.

[0033] 도 1e로부터 볼 수 있는 바와 같이, p+ 주입된 영역들은 상기 소스 평거들의 상기 측벽들을 따라서 그리고 상기 평거의 하부에 형성된다. 도 1e에 도시된 바와 같이, 상기 주입된 측벽 영역들은 상기 트렌치들의 상기 하부에서 상기 주입된 영역으로 연결된다. 이것은 상기 소스 평거들의 상기 측벽을 따라 긴 채널 길이(32)를 가능하게 한다. 이것은 미국 특히 제 5,903,020 호에 기술된 짧은 채널과 비교되며, 여기서 주입은 단지 트렌치의 하부에서 있고, 그것은 SIT 장치에 대한 최적의 짧은 채널 장치를 야기한다.

[0034] 후속 공정은, 주입 활성화와 상기 장치의 게이트(30), 드레인(19), 및 소스(28) 상에 컨택 형성을 포함할 수 있다.

[0035] 도 2는 각각의 소스 평거 상에 충분한 산란 주입을 허용한 주기적인 어레이 구조 (periodic array structure)를 가지는 소스 평거 어레이를 갖는 장치의 개략적 도면이다.

[0036] 상기 구조가 수직 어레이로서 도시되었지만, 측벽 안으로 상기 주입의 산란을 야기하는 인접한 구조가 있으면, 원형, 6각형, 기타 등등 일 수 있다.

[0037] 주입은  $0\text{--}10^\circ$  텔트될 수 있고, 상기 기판은 상기 구조의 모든 측면들이 동등하게 도핑되는 것을 확실하게 하기 위해 상기 주입 공정 동안 회전될 수 있다.

[0038] 상기에 설명된 것처럼, 상기 VJFET 구조에서 채널과 드리프트 층이 분리될 필요가 없다.

[0039] 본원에 기술된 상기 장치의 다양한 층들의 도편트 농도와 두께는 특정 응용을 위해 바람직한 특성들을 가지는 장치를 제조하기 위해 변경될 수 있다. 마찬가지로, 상기 장치의 다양한 특징들의 크기 또한, 특정 응용을 위해 바람직한 특성들을 가지는 장치를 제조하기 위해 변경될 수 있다.

[0040] 상기 반도체 물질의 층들은 적합한 기판 상에 에피택셜 성장에 의해 형성될 수 있다. 상기 층들은 에피택셜 성장 동안 도핑될 수 있다.

#### 0041] 실시예

[0042] 본 발명의 교시들의 측면들은, 다음 실시예들의 관점에서 더 이해할 수 있으며, 그것은 임의의 방법으로 본 발명의 교시들의 범위를 제한하여 간주하지 말아야 한다.

[0043] 수치 시뮬레이션들 (numerical simulation)은 상기 효과를 증명하고, 상기 주입 마스크로부터 산란하기 때문

에 상기 도핑 프로파일의 정확한 표현을 제공하기 위해 수행되었다. 도 3a는 중요한 산란 주입이 발생하도록 허용하고 상기 측벽들에 도핑하기 위해 충분한 주입 마스크와 핑거 피치를 가진 트렌치된 SiC 구조 안으로 근처 수직 주입을 이용하는 도핑 프로파일의 시뮬레이션을 나타낸다. 도 3a에 도시된 바와 같이, 상기 측벽 도핑은 상기 트렌치의 하부로부터 상기 반도체 표면의 상부 근처로 연장하는 긴 채널을 생성한다.

[0044] 도 3b는 도 3a와 같은 동일한 시뮬레이션이지만, 상기 이온 산란을 제공하기 위한 인접한 산란 핑거가 없다. 짧은 채널의 결과로 생기는 상기 소스 핑거의 상기 측벽 상에 최소의 주입이 있다는 것을 알아야 한다.

[0045] 도 4는 SiC VJFET의 문턱 전압 (threshold voltage)에서 산란 효과를 보여주는 그래프이다. 도 4에 도시된 바와 같이, 상기 트렌치 간격 (trench spacing)이 증가함에 따라, 상기 장치의 문턱 전압은 감소된다. 이론에 부합하는 것과 무관하게, 이 현상은 상기 트렌치 간격이 증가된 것처럼 상기 인접한 핑거 프로파일에서 떨어져 산란된 투여량 (dose)은 측벽의 감소때문인 것으로 여겨진다. 반대로, 도 4에 도시된 바와 같이, 모든 인접한 핑거들에서 더 높은 도핑 레벨 (그리고 더 긴 채널)을 야기시키는 증가된 주입 산란의 결과처럼, 상기 트렌치 간격이 감소함에 따라, 상기 문턱 전압은 증가한다.

[0046] 상기 주입 마스크 두께는  $0.5 \mu\text{m}$  내지  $5 \mu\text{m}$ 의 범위일 수 있고, 산화물, 포토레지스트, 금속 층들, 또는 적용 가능한 주입 에너지에 주입 블록킹을 위한 다중층 적층들로 구성될 수 있다.

[0047] 상기 산란 효과를 최적화하기 위해 사용된 상기 주입 에너지는, 더 짧은 핑거들과 가깝게 배치된 트렌치 구조들을 위해 60 keV-380 keV로부터, 깊고 균일한 주입을 위해 중요한 산란 효과들이 요구되는 1 MeV까지의 범위일 수 있다 (The implant energy used to optimize the scattering effect can range from 60 keV - 380 keV for shorter fingers and closely spaced trench structures to 1 MeV for deep and uniform implantation where significant scattering effects are desired.)

[0048] 상기 명세서는 본 발명의 원리들이, 설명의 목적을 위해 제공된 실시예에 따라 설명되었지만, 이 개시의 독해로부터, 본 발명의 실질적인 범위를 벗어나지 않으면서 형태와 상세에서 다양한 변경들이 만들어질 수 있다는 것이 당업계의 통상의 지식을 가진 자들에 의해 이해될 것이다.

## 부호의 설명

[0049] 10: 주입 마스크 층

12: 채널층

14: 드리프트 층

16: 반도체 기판

18: 드레인 컨택

19: 드레인

20: 식각 마스크

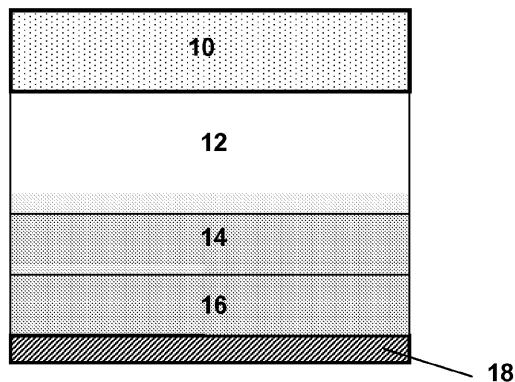
28: 소스

30: 게이트

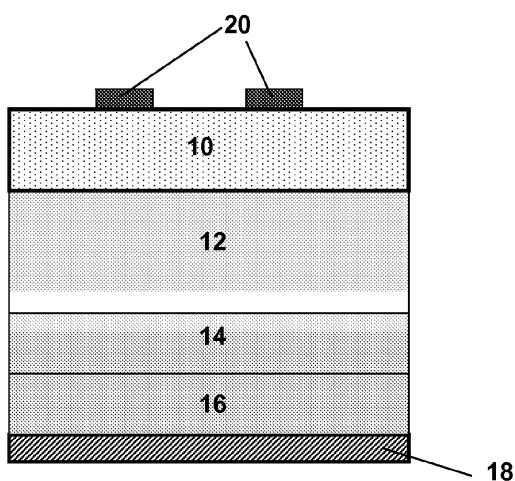
32: 채널 길이

도면

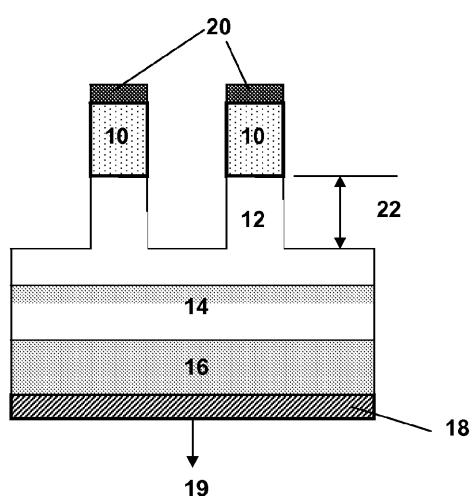
도면1a



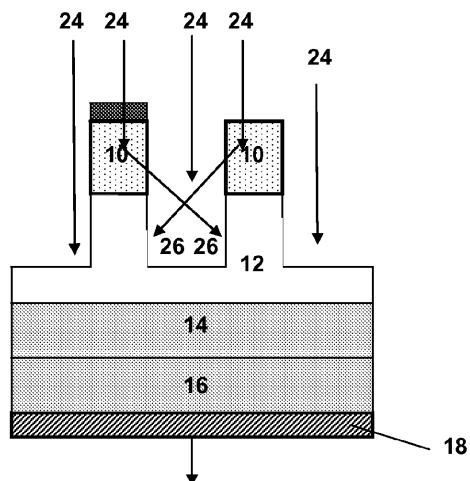
도면1b



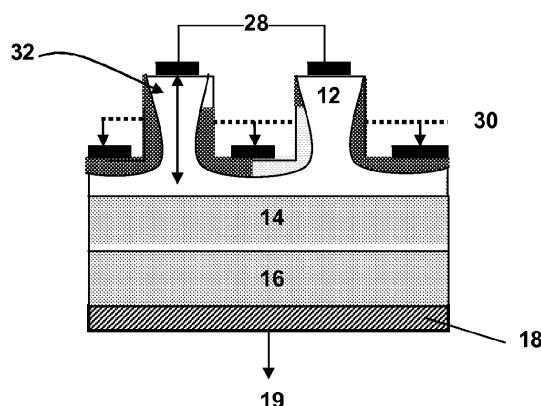
도면1c



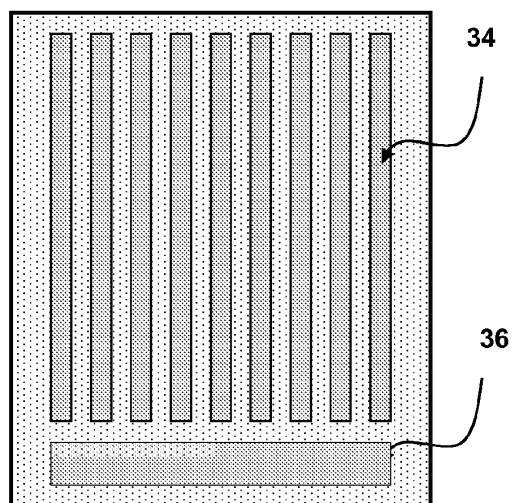
도면1d



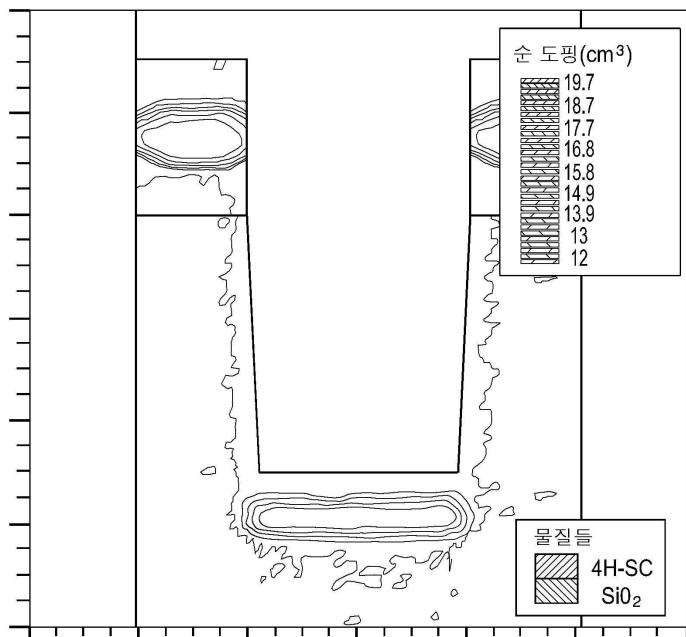
도면1e



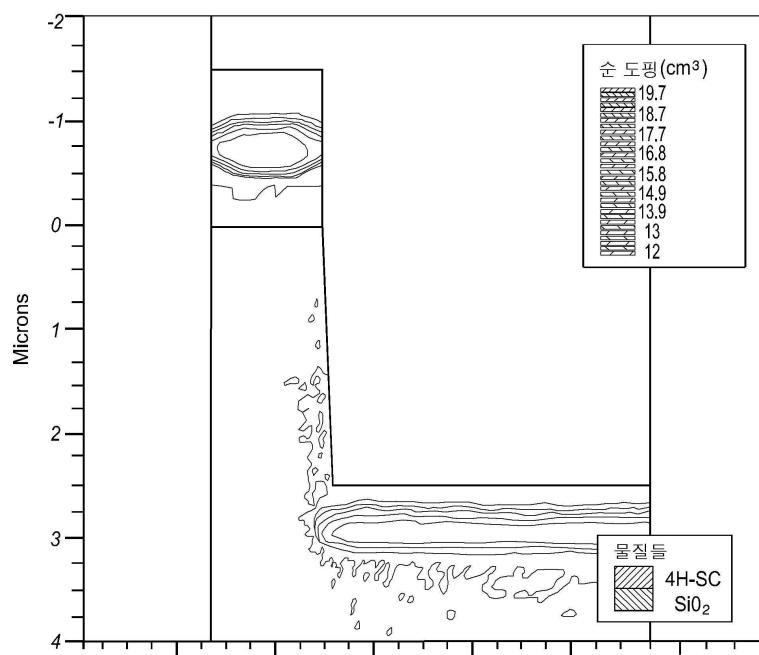
도면2



도면3a



도면3b



## 도면4

