

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成22年1月21日(2010.1.21)

【公開番号】特開2007-179042(P2007-179042A)

【公開日】平成19年7月12日(2007.7.12)

【年通号数】公開・登録公報2007-026

【出願番号】特願2006-325739(P2006-325739)

【国際特許分類】

G 09 G	3/30	(2006.01)
G 09 G	3/20	(2006.01)
G 09 F	9/30	(2006.01)
H 01 L	51/50	(2006.01)
H 05 B	33/14	(2006.01)
H 01 L	27/32	(2006.01)

【F I】

G 09 G	3/30	J
G 09 G	3/20	6 1 1 A
G 09 G	3/20	6 1 1 H
G 09 G	3/20	6 2 4 B
G 09 F	9/30	3 3 8
H 05 B	33/14	A
H 05 B	33/14	Z
G 09 G	3/20	6 4 2 A
G 09 G	3/20	6 4 1 D
G 09 F	9/30	3 6 5 Z

【手続補正書】

【提出日】平成21年11月30日(2009.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチとを有し、

前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第3の配線は、前行の第1のスイッチを制御する配線乃至第3のスイッチを制御する配線及び次行の第1のスイッチを制御する配線乃至第3のスイッチを制御する配線のいずれかであることを特徴とする半導体装置。

【請求項3】

請求項1または2において、

前記第1のスイッチ乃至前記第3のスイッチはトランジスタであることを特徴とする半導体装置。

【請求項4】

トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチ、第4のスイッチとを有し、

前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第4のスイッチ及び前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第4のスイッチ及び前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量及び前記第4のスイッチを介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項5】

トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、

前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第4のスイッチ及び前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量及び前記第4のスイッチを介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項6】

トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、

前記トランジスタのソース電極及びドレイン電極の一方は画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は前記第4のスイッチを介して第1の配線と電気的に接続され、

前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の一方は前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項7】

トランジスタと、保持容量と、第1のスイッチと、第2のスイッチと、第3のスイッチと

、第4のスイッチとを有し、

前記トランジスタのソース電極及びドレイン電極の一方は前記第4のスイッチを介して画素電極と電気的に接続され、かつ当該ソース電極及びドレイン電極の一方は前記第4のスイッチ及び前記第3のスイッチを介して第3の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は第1の配線と電気的に接続され、

、前記トランジスタのゲート電極は、前記第2のスイッチを介して第2の配線と電気的に接続され、かつ当該ゲート電極は前記第1のスイッチを介して第4の配線と電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の一方は前記第4のスイッチ及び前記保持容量を介して前記トランジスタのゲート電極と電気的に接続されていることを特徴とする半導体装置。

【請求項8】

請求項4乃至7のいずれか一項において、

前記第3の配線は、前記第3のスイッチを制御する配線と同一であることを特徴とする半導体装置。

【請求項9】

請求項4乃至7のいずれか一項において、

前記第3の配線は、前行の第1のスイッチを制御する配線乃至第4のスイッチを制御する配線及び次行の第1のスイッチを制御する配線乃至第4のスイッチを制御する配線のいずれかであることを特徴とする半導体装置。

【請求項10】

請求項4乃至9のいずれか一項において、

前記第1のスイッチ乃至前記第4のスイッチはトランジスタであることを特徴とする半導体装置。

【請求項11】

請求項4乃至9のいずれか一項において、

前記トランジスタのチャネル長は、前記トランジスタのチャネル幅よりも大きいことを特徴とする半導体装置。

【請求項12】

請求項4乃至9のいずれか一項において、

前記トランジスタのチャネル長は、10μm以上50μm以下であることを特徴とする半導体装置。

【請求項13】

請求項4乃至9のいずれか一項において、

前記トランジスタのチャネル長は、15μm以上40μm以下であることを特徴とする半導体装置。

【請求項14】

請求項4乃至9のいずれか一項において、

前記トランジスタは、薄膜トランジスタであることを特徴とする半導体装置。

【請求項15】

請求項4乃至9、及び14のいずれか一項において、

前記トランジスタは、Nチャネル型トランジスタであることを特徴とする半導体装置。

【請求項16】

請求項4乃至9、14及び15のいずれか一項において、

前記トランジスタの半導体層は、非結晶性半導体膜からなることを特徴する半導体装置。

【請求項17】

請求項4乃至9、及び14乃至16のいずれか一項において、

前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴する半導体装置。

**【請求項 1 8】**

請求項4 乃至 9、1 4 及び 1 5のいずれか一項において、

前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴する半導体装置。

**【請求項 1 9】**

請求項4 乃至 9、及び1 4 乃至 1 8のいずれか一項において、

前記第2の配線に供給される電位は前記第3の配線に供給される電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きいことを特徴とする半導体装置。

**【請求項 2 0】**

請求項4 乃至 9、及び1 4のいずれか一項において、

前記トランジスタは、Pチャネル型トランジスタであることを特徴とする半導体装置。

**【請求項 2 1】**

請求項4 乃至 9、1 4 及び 2 0のいずれか一項において、

前記第2の配線に供給される電位は前記第3の配線に供給される電位よりも低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きいことを特徴とする半導体装置。

**【請求項 2 2】**

ソース電極及びドレイン電極の一方が第1の配線に電気的に接続され、ソース電極及びドレイン電極の他方が第3の配線に電気的に接続され、ゲート電極が第2の配線及び第4の配線に電気的に接続されるトランジスタと、

前記トランジスタのゲートソース間電圧を保持する保持容量と、

前記第2の配線に供給される第1の電位及び前記第3の配線に供給される第2の電位を前記保持容量に印加することにより、前記保持容量に第1の電圧を保持させる手段と、

前記保持容量の電圧を第2の電圧まで放電させる手段と、

前記第1の電位に第3の電圧を加算した電位を前記第4の配線より前記保持容量に印加し、前記第2の電圧と第4の電圧とを加算した第5の電圧を前記保持容量に保持させる手段と、

前記第5の電圧に応じた前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置。

**【請求項 2 3】**

ソース電極及びドレイン電極の一方が第1の配線に電気的に接続され、ソース電極及びドレイン電極の他方が第3の配線に電気的に接続され、ゲート電極が第2の配線及び第4の配線に電気的に接続されるトランジスタと、

前記トランジスタのゲートソース間電圧を保持する保持容量と、

前記第2の配線に供給される第1の電位及び前記第3の配線に供給される第2の電位を前記保持容量に印加することにより、前記保持容量に第1の電圧を保持させる手段と、

前記保持容量の電圧を前記トランジスタのしきい値電圧まで放電させる手段と、

前記第1の電位に第2の電圧を加算した電位を前記第4の配線より前記保持容量に印加し、前記トランジスタのしきい値電圧と第3の電圧とを加算した第4の電圧を前記保持容量に保持させる手段と、

前記第4の電圧に応じた前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置。

**【請求項 2 4】**

請求項2 2 または 2 3において、

前記トランジスタは、Nチャネル型トランジスタであり、

前記第1の電位は前記第2の電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きいことを特徴とする半導体装置。

**【請求項 2 5】**

請求項2 2 または 2 3において、

前記トランジスタは、Pチャネル型トランジスタであり、

前記第1の電位は前記第2の電位より低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きいことを特徴とする半導体装置。

【請求項26】

請求項22乃至25のいずれか一項において、

前記負荷は発光素子であることを特徴とする半導体装置。

【請求項27】

請求項1乃至26のいずれか一項において、

前記保持容量は容量素子であることを特徴とする半導体装置。

【請求項28】

トランジスタと、第1のスイッチと、第2のスイッチと、第1の配線と、第2の配線とを含む画素を有し、

前記トランジスタのソース電極及びドレイン電極の一方は画素電極及び前記第2のスイッチに電気的に接続され、

前記トランジスタのソース電極及びドレイン電極の他方は前記第1の配線に電気的に接続され、

前記トランジスタのゲート電極は前記第1のスイッチを介して前記第2の配線に電気的に接続され、

前記トランジスタのゲート電極には、前記画素の階調に従った信号が入力されることを特徴とする半導体装置。

【請求項29】

請求項1乃至28のいずれか一項に記載の半導体装置を有することを特徴とする表示装置。

【請求項30】

請求項29に記載の表示装置を表示部に有することを特徴とする電子機器。