(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/137643 A1

(51) 国際特許分類:
H04N 19/109 (2014.01) *H04N 19/176* (2014.01)
H04N 19/147 (2014.01) *H04N 19/436* (2014.01)

(21) 国際出願番号： PCT/JP2019/049090

(22) 国際出願日： 2019年12月16日(16.12.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-248147 2018年12月28日(28.12.2018) JP

(71) 出願人: ソニー株式会社 (**SONY CORPORATION**) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 菱沼 信介 (**HISHINUMA Sinsuke**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 近藤 健治(**KONDO Kenji**); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP).

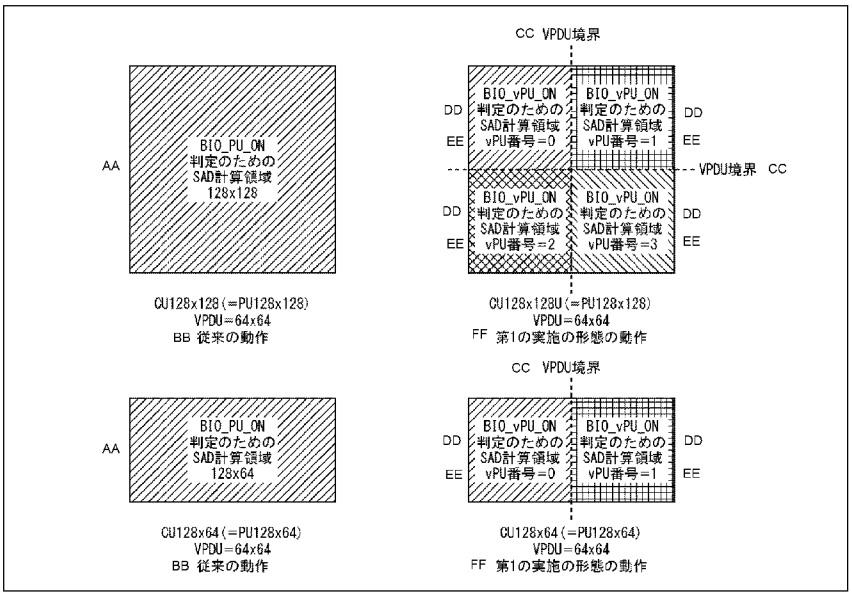
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi** et al.); 〒1700013 東京都豊島区東池袋３丁目９番１０号 池袋ＦＮビル４階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) **Title:** IMAGE PROCESSING DEVICE AND METHOD

(54) 発明の名称： 画像処理装置および方法

FIG. 20



AA SAD calculation region for BIO_PU_ON determination
BB Conventional operation
CC VPDU boundary
DD SAD calculation region for BIO_vPU_ON determination
EE vPU number
FF Operation of first embodiment

(57) **Abstract:** The present technology pertains to an image processing device and a method that make it possible to reduce a buffer size. The image processing device divides a unit of processing for calculating a cost used for determination of whether to perform bi-directional prediction into divided units of processing each having a size equivalent to a VPDU size or less than or equal to the VPDU size, and performs determination using the cost calculated on the basis of the divided processing unit. The present technology can be applied to an encoding device or a decoding device.

WO 2020/137643 A1

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約:本技術は、バッファサイズを削減することができるようにする画像処理装置および方法に関する。 画像処理装置は、双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割し、分割処理単位に基づいて計算されたコストを用いて判定を行う。本技術は、符号化装置または復号装置に適用することができる。

明　細　書

発明の名称 ： 画像処理装置および方法

技術分野

[0001] 本技術は、画像処理装置および方法に関し、特に、バッファサイズを削減することができるようにした画像処理装置および方法に関する。

背景技術

[0002] AVC/H.264やHEVC/H.265に続く次世代コーデックとしてVVCの規格標準化が進められている。

[0003] VVC規格では、最大128x128の大きなCU(Coding Unit)が採用されているが、特にHW Decoder実装での回路規模や消費電力の増大などを考慮して、VPDU(Virtual Pipeline Data Units)という概念も導入されている。

[0004] VPDUのサイズは、各パイプラインステージが滞りなく処理可能となるバッファサイズである。VPDUのサイズは、TU(Transform Unit)の最大サイズに合わせる場合が多い。

[0005] VVCでは64x64が最大TUサイズであり、VPDUにもこの大きさが想定されている。VVCでは１つのCUに１つのPUが対応しており、VPDUより大きなサイズのPUに対してインター予測処理をする必要がある。この場合でもPUを仮想的なvPU(virtual PU)に分割しての処理が可能であり、VPDUとの整合性もよく、後述するBIO(Bi-directional optical flow)が採用されるまではリーズナブルなHWリソースでの実装が可能であった。

[0006] Optical Flowの手法は動画像中の物体の動きを検出し、ある時間経過後にどの方向に動くかを推定する画像処理手法である。このOptical Flowの手法をコーデックのインター予測のオプションとして追加することで符号化効率が向上する。時間的に前後の1フレームずつを参照するBi予測（双方向予測）でOptical Flowの手法を使うことから、特にBIOと呼ばれている（非特許文献１参照）。

[0007] 通常のBi予測では最適なMVと予測MV(PMV)の間に差異があるため差分MV(MVD

)を符号化しているのに対して、BIOを適用したBi予測では予測MV(PMV)で生成した予測ブロック同士に対してOptical Flow手法で勾配(G)や速度(V)を求め、通常のBi予測と同等の結果を得ている。このような場合、差分MV(MVD)の符号化が不要または削減できるので符号化効率が改善される（非特許文献２参照）。

[0008] 一方で、BIOで求めている勾配(G)や速度(V)の計算コストは非常に高い。そのため勾配(G)や速度(V)を計算したものの、その絶対値が小さいなどの理由で通常のBi予測で得られる予測値とほとんど差がない場合は、費用対効果の面でリダクションが特に求められる。

[0009] 様々な提案がされているBIOのリダクション手法の１つに、L0予測ブロックとL1予測ブロックが生成された段階でブロック同士のSAD(Sum of Absolute Difference)を計算して、SAD値がある閾値を下回った場合はBIOを適用せず、通常のBi予測を実行するというものがある。

[0010] これはSAD値が小さいと速度(V)も小さくなりBIOの効果があまり得られない傾向を考慮したもので、効果が見込めない場合には高コストな計算を省略するアーリーターミネーションとして機能する。

先行技術文献

非特許文献

[0011] 非特許文献1：Jianle Chen , Yan Ye , Seung Hwan Kim、“Algorithm description for Versatile Video Coding and Test Model 3 (VTM 3)”、[online]、平成３０年９月２４日、Experts Team (JVET)、［平成３０年１２月２１日検索］、インターネット，< http://phenix.it-sudparis.eu/jvet/doc_end_user/documents/12_Macao/wg11/JVET-L1002-v1.zip >

非特許文献2：Xiaoyu Xiu, Yuwen He, Yan Ye、“CE9-related: Complexity reduction and bit-width control for bi-directional optical flow (BIO)”、[online]、平成３０年９月２４日、Experts Team (JVET)、［平成３０年１２月２１日検索］、インターネット，< http://phenix.it-sudparis.eu/jvet/doc_end_user/documents/12_Macao/wg11/JVET-L0256-v3.zip >

発明の概要

発明が解決しようとする課題

[0012] 上述したBIOのリダクション手法を適用した場合、PU全体でL0とL1予測ブロックのSADを計算し、閾値と比較してBIO処理の適用可否を判定し、処理が分岐するような流れになっている。そのため、VPDUより大きなPUでインター予測する場合に、PUを仮想的に複数のvPUに分割処理することが困難になってしまった。

[0013] この場合、勾配計算や速度計算のために必要になるバッファは、PUよりひと回り大きな領域が必要となり、BIOを含むインター予測処理部において、大きなバッファリソースが必要になってしまう。

[0014] 本技術はこのような状況に鑑みてなされたものであり、バッファサイズを削減することができるようにするものである。

課題を解決するための手段

[0015] 本技術の一側面の画像処理装置は、双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割する制御部と、前記分割処理単位に基づいて計算された前記コストを用いて前記判定を行う判定部とを備える。

[0016] 本技術の一側面においては、双方向予測を行うか否かについての判定に用いるコストを計算する処理単位がVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割され、前記分割処理単位に基づいて計算された前記コストを用いて前記判定が行われる。

図面の簡単な説明

[0017] [図1]VPDUを導入せず、パイプラインを組んだ例を示す図である。

[図2]図１の場合のインターPU処理の１つであるBi予測を説明するフローチャートである。

[図3]VPDUを導入して、効率的にパイプラインを組んだ例を示す図である。

[図4]図３の場合のインターPU処理の１つであるBi予測を説明するフローチャ

ートである。

[図5]通常のBi予測の例を示す図である。

[図6]BIOを適用したBi予測の例を示す図である。

[図7]通常のBi予測の2ブロック分割の例を示す図である。

[図8]BIOを適用したBi予測の2ブロック分割の例を示す図である。

[図9]本技術の一実施形態に係る符号化装置の構成例を示すブロック図である。

[図10]符号化装置の符号化処理の詳細を説明するフローチャートである。

[図11]図１０に続く、符号化装置の符号化処理の詳細を説明するフローチャートである。

[図12]本開示を適用した復号装置の一実施の形態の構成例を示すブロック図である。

[図13]復号装置の復号処理の詳細を説明するフローチャートである。

[図14]インター予測部の構成例を示すブロック図である。

[図15]従来のBIOを含むBi予測を説明するフローチャートである。

[図16]図１５に続く、従来のBIOを含むBi予測を説明するフローチャートである。

[図17]本技術の第１の実施の形態のBIOを含むBi予測を説明するフローチャートである。

[図18]図１７に続く、本技術の第１の実施の形態のBIOを含むBi予測を説明するフローチャートである。

[図19]PUサイズ、vPU番号、および処理位置とサイズの対応関係を示す図である。

[図20]従来の動作と、本技術の第１の実施の形態の動作を実施した場合の比較を示す図である。

[図21]従来の動作と、本技術の第１の実施の形態の動作を実施した場合の比較を示す図である。

[図22]PUがVPDUより大きい場合に、vPU番号が０のBIO判定結果を他のvPUでも

用いた例を示す図である。

[図23]PUがVPDUより大きい場合に、vPU番号が０のBIO判定結果を他のvPUでも用いた例を示す図である。

[図24]図２２と図２３の場合のBIOを含むBi予測を説明するフローチャートである。

[図25]図２４に続く、図２２と図２３の場合のBIOを含むBi予測を説明するフローチャートである。

[図26]各vPU内の部分的なSAD値でBIOの適用判定を行う例を示す図である。

[図27]各vPU内の部分的なSAD値でBIOの適用判定を行う例を示す図である。

[図28]各vPUのBIO_vPU_ONの判定のための部分的なSAD計算領域の判定処理を説明するフローチャートである。

[図29]図２８に続く、各vPUのBIO_vPU_ONの判定のための部分的なSAD計算領域の判定処理を説明するフローチャートである。

[図30]本技術の第２の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図31]図３０に続く、本技術の第２の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図32]BIO_MAX_SAD_BLOCK_SIZEとsPUの対応関係を示す図である。

[図33]本技術の第３の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図34]図３３に続く、本技術の第３の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図35]BIO_MAX_SAD_BLOCK_SIZEを２とした場合の各PUのSADを計算する領域の例を示す図である。

[図36]BIO_MAX_SAD_BLOCK_SIZEを２とした場合の各PUのSADを計算する領域の例を示す図である。

[図37]本技術の第４の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図38]図３７に続く、本技術の第４の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図39]本技術の第５の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図40]図３９に続く、本技術の第５の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[図41]コンピュータの構成例を示すブロック図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための形態について説明する。説明は以下の順序で行う。

０．概要

１．第１の実施の形態（vPUによる分割の例）

２．第２の実施の形態（フラグによる動作の共有の例）

３．第３の実施の形態（sPUによる分割の例）

４．第４の実施の形態（BIOの使用禁止の例）

５．第５の実施の形態（常時BIOの適用の例）

６．第６の実施の形態（コンピュータ）

[0019] ＜０．概要＞

[0020] AVC/H.264やHEVC/H.265に続く次世代コーデックとしてVVCの規格標準化が進められている。

[0021] VVC規格では、最大128x128の大きなCU(Coding Unit)が採用されているが、HW Decoder実装での回路規模や消費電力の増大などを特に考慮して、VPDU(Virtual Pipeline Data Units)という概念も導入されている。

[0022] VPDUのサイズは、各パイプラインステージが滞りなく処理可能となるバッファサイズである。VPDUのサイズは、TU(Transform Unit)の最大サイズに合わせる場合が多い。

[0023] VVCでは64x64が最大TUサイズであり、VPDUにもこの大きさが想定されている。VVCでは１つのCUに１つのPUが対応しており、VPDUのサイズより大きなサ

イズのPUに対してインター予測処理を行う必要がある。この場合でもPUを仮想的なvPU(virtual PU)に分割しての処理が可能でありVPDUとの整合性もよく、後述するBIO(Bi-directional optical flow)が採用されるまでは、図１乃至図４に示すように、バッファを少なくできるため、リーズナブルなHWリソースでの実装が可能であった。

[0024] ＜VPDUを導入しない場合のパイプラインの例＞

図１は、VPDUを導入せずに、パイプラインを組んだ例を示す図である。

[0025] 図１の上には、CU、インターPU、およびTUの各ブロックが示されている。

[0026] CUの最大サイズは、128×128である。インターPUの最大サイズは、128×128である。VVCにおいては、1つのCUに1つのPUが対応する。TUは、TU0乃至TU3からなり、各TUの最大サイズは64×64である。TUのサイズは、VPDUのサイズでもある。

[0027] 図１の上側に示されるように、CUは、インターPU処理により生成されたインターPUと、TU処理により得られたTUとが加算されてなる。

[0028] 図１の下側には、インターPU処理、TU処理、およびローカルデコード処理からなるパイプラインが示されている。

[0029] パイプラインにおいては、インターPUの処理とTU0乃至TU3の処理とが並列に行われ、両方が完了したときに、CUのローカルデコード処理が開始される。したがって、インターPUの処理では、128×128のバッファが必要であり、TUの処理では、PUとの待ち合わせ用に128×128のバッファが必要である。

[0030] 図２は、図１の場合のインターPUの処理の１つであるBi予測（双方向予測）を説明するフローチャートである。

[0031] ステップＳ１において、インター予測のパラメータが取得される。

[0032] ステップＳ２において、L0予測ブロックが生成される。

[0033] ステップＳ３において、L1予測ブロックが生成される。

[0034] ステップＳ４において、L0予測ブロックとL1予測ブロックとから、Bi予測ブロックPUが生成される。

[0035] なお、ステップＳ２乃至Ｓ４においては、最大バッファサイズとして、PU

のサイズが必要となる。

[0036] ＜VPDUを導入した場合のパイプラインの例＞

図３は、VPDUを導入して、効率的にパイプラインを組んだ例を示す図である。

[0037] なお、図３において、図１の説明と共通する点については、適宜、省略される。

[0038] 図３の上側には、CU、インターPU、およびTUの各ブロックが示されている。CUは、図１と異なり、PUがvPUに仮想的に分割されて処理されたことで、分割されたCU(0)乃至CU(3)で構成されている。PUは、仮想的なvPU(0)乃至vPU(3)で構成されている。

[0039] 図３の下側には、インターPU処理、TU処理、およびローカルデコード処理からなるパイプラインが示されている。

[0040] パイプラインにおいては、インターPUにおけるvPU(0)乃至vPU(3)の処理とTU0乃至TU3の処理とが並列に行われる。したがって、vPU(0)の処理とTU0の処理が完了したときに、CU(0)のローカルデコード処理が開始される。vPU(1)の処理とTU1の処理が完了したときに、CU(1)のローカルデコード処理が開始される。vPU(2)の処理とTU2の処理が完了したときに、CU(2)のローカルデコード処理が開始される。vPU(3)の処理とTU3の処理が完了したときに、CU(3)のローカルデコード処理が開始される。

[0041] このようにパイプラインを組むことで、インターPU処理においては、64×64のバッファがあればよく、TU処理におけるvPU待ち合わせ用バッファのサイズは、64×64で十分足りる。

[0042] 図４は、図３の場合のインターPUの処理の１つであるBi予測を説明するフローチャートである。

[0043] ステップＳ１１において、インター予測のパラメータが取得される。

[0044] ステップＳ１２において、PU内に含まれるvPU数が取得される。

[0045] ステップＳ１３において、vPU番号に０が設定される。

[0046] ステップＳ１４において、vPU番号がvPU数より小さいか否かが判定される

。ステップＳ１４において、vPU番号がvPU数より小さいと判定された場合、処理は、ステップＳ１５に進む。

[0047] ステップＳ１５において、vPU番号からPU内のvPUの位置とサイズが取得される。

[0048] ステップＳ１６において、vPUの領域のL0予測ブロックが生成される。

[0049] ステップＳ１７において、vPUの領域のL1予測ブロックが生成される。

[0050] ステップＳ１８において、L0予測ブロックとL1予測ブロックとから、Bi予測ブロックvPUが生成される。

[0051] ステップＳ１９において、vPU番号がインクリメントされ、その後、ステップＳ１４に戻り、それ以降の処理が繰り返される。

[0052] また、ステップＳ１４において、vPU番号がvPU数以上であると判定された場合、Bi予測は終了される。

[0053] なお、ステップＳ１６乃至Ｓ１７においては、最大バッファサイズとして、PUよりも小さいVPDUのサイズがあればよい。

[0054] Optical Flowの手法は動画像中の物体の動きを検出し、ある時間経過後にどの方向に動くかを推定する画像処理手法である。このOptical Flowの手法をコーデックのインター予測のオプションとして追加することで符号化効率が向上する。時間的に前後の1フレームずつを参照するBi予測でOptical Flowの手法を使うことから、特にBIOと呼ばれている。

[0055] ＜通常のBi予測の例＞

図５は、通常のBi予測の例を示す図である。

[0056] 図５においては、左から右への矢印が表示順の時間を表している。また、Bピクチャにおける Bi予測ブロックの Bi予測値について、L0方向の参照面0と、L1方向の参照面1において、最適なMVを求める例が示されている。以下の図についても同様である。

[0057] Bi予測値には、参照面0におけるL0予測ブロックの画素L0と、参照面1におけるL1予測ブロックの画素L1が対応しており、Bi予測値は、(L0＋L1)/2で求められる。

[0058] 図５に示すように、通常のBi予測では、最適なMV(MV_L0,MV_L1)と予測MV(MVP_L0,MVP_L1)の間に差異があるため、差分MV(MVD_L0,MVD_L1)を符号化する必要がある。

[0059] ＜BIOを適用したBi予測の例＞

図６は、BIOを適用したBi予測の例を示す図である。

[0060] 図６においては、BIOを適用したBi予測として、予測MV(MVP_L0,MVP_L1)で生成した予測ブロック同士に対してOptical Flow手法で勾配(G)や速度(V)を求める例が示されている。予測ブロック同士に対してOptical Flow手法で勾配(G)や速度(V)を求めることで、通常のBi予測と同等の結果が得られる。

[0061] BIOを適用したBi予測の場合、予測MV(MVP_L0,MVP_L1)をそのままMV(MV_L0,MV_L1)とするので、差分MV(MVD_L0,MVD_L1)を符号化する必要がないため、符号化効率が改善する。

[0062] Bi予測値には、参照面0におけるL0予測ブロックの画素L0’と、参照面1におけるL1予測ブロックの画素L1’がほぼ対応しており、Bi予測値は、(L0’＋L1’＋B)/2で求められる。すなわち、L0予測ブロックとL1予測ブロックから勾配(G:Gx,Gy)と速度(V:Vx,Vy)を計算し、補正値B=Vx*Gx+Vy*Gyを求める必要がある。

[0063] ＜Bi予測の２ブロック分割の例＞

図７は、通常のBi予測の２ブロック分割の例を示す図である。

[0064] 通常のBi予測では、２つのブロックに分割しているため、図７に示すように、２つのブロック分のブロック分割情報と２つの差分MV(MVD)がそれぞれ求められる。したがって、２つのブロック分のブロック分割情報と２つの差分MV(MVD)を符号化する必要がある。

[0065] ＜BIOを適用したBi予測の２ブロック分割の例＞

図８は、BIOを適用したBi予測の２ブロック分割の例を示す図である。

[0066] BIOを適用したBi予測では、２つのブロックがあっても、図８に示すように、ブロックを分割せずにOptical Flow手法で勾配(G)と速度(V)が求められるので、通常Bi予測と同等の結果が得られる。

[0067] 以上のように、図８のBIOを適用したBi予測では、図７のBi予測で必要であったブロック分割情報の符号化の不要または削減が可能となったり、図７のBi予測で必要であった差分MV(MVD)の符号化が不要または削除が可能となったりするので、符号化効率を改善することができる。

[0068] 一方で、BIOで求めている勾配(G)および速度(V)の計算コストは非常に高い。そのため勾配(G) および速度(V)を計算したにもかかわらず、その絶対値が小さいなどの理由で通常のBi予測で得られる予測値とほとんど差がない場合は、費用対効果の面でリダクションが特に求められる。

[0069] 様々な提案がされているBIOのリダクション手法の１つに、L0予測ブロックとL1予測ブロックが生成された段階でブロック同士のSAD(Sum of Absolute Difference)を計算して、SAD値がある閾値を下回った場合はBIOを適用せず、通常のBi予測を実行するというものがある。

[0070] これはSAD値が小さいと速度(V)も小さくなりBIOの効果があまり得られない傾向を考慮したもので、効果が見込めない場合には高コストな計算を省略するアーリーターミネーションとして機能する。

[0071] 上述したBIOのリダクション手法を適用した場合、PU全体でL0とL1予測ブロックのSADを計算し、閾値と比較してBIO処理の適用可否を判定し、処理が分岐するような流れになっている。そのため、VPDUより大きなPUでインター予測する場合に、PUを仮想的に複数のvPUに分割処理することが困難になってしまった。

[0072] この場合、勾配計算や速度計算のために必要になるバッファは、PUよりひと回り大きな領域が必要となり、BIOを含むインター予測を行う部において、大きなバッファリソースが必要になってしまう。

[0073] また、上述したBIOのリダクション手法をHW実装した場合、BIOを含むインター予測のパイプライン遅延とTU処理のパイプライン遅延が大きく異なるため、スループットを維持するためのHW実装難易度も高くなってしまう。

[0074] そこで、本技術においては、BIOなどの双方向予測を行うか否かについての判定に用いるコストを計算する処理単位(例えば、PU)がVPDUサイズ相当の分

割処理単位(例えば、vPU)またはVPDUサイズ以下の分割処理単位(例えば、後述するsPU)に分割され、分割処理単位に基づいて計算されたコストを用いて判定が行われる。なお、VPDUサイズ相当は、VPDUのサイズより一回り大きいサイズを表す。

[0075] なお、本明細書において、ブロックサイズについての「ＡがＢより大きい」は、「Ａの水平サイズがＢの水平サイズより大きい」または「Ａの垂直サイズがＢの垂直サイズより大きい」ことを意味する。

[0076] また、ブロックサイズについての「ＡがＢ以下である」は、「Ａの水平サイズがＢの水平サイズ以下であり、かつ、Ａの垂直サイズがＢの垂直サイズ以下である」ことを意味する。

[0077] 以下、本技術について詳しく説明する。

[0078] ＜１．第１の実施の形態（vPUによる分割の例）＞

＜符号化装置の構成例＞

[0079] 図９は、本技術の一実施形態に係る符号化装置の構成例を示すブロック図である。

[0080] 図９の符号化装置１は、A/D変換部３１、画面並べ替えバッファ３２、演算部３３、直交変換部３４、量子化部３５、可逆符号化部３６、蓄積バッファ３７、逆量子化部３８、逆直交変換部３９、および加算部４０を有する。また、符号化装置１は、デブロックフィルタ４１、適応オフセットフィルタ４２、適応ループフィルタ４３、フレームメモリ４４、スイッチ４５、イントラ予測部４６、動き予測・補償部４７、予測画像選択部４８、およびレート制御部４９を有する。

[0081] A/D変換部３１は、入力される符号化対象のフレーム単位の画像をA/D変換する。A/D変換部３１は、変換後のデジタル信号である画像を画面並べ替えバッファ３２に出力して記憶させる。

[0082] 画面並べ替えバッファ３２は、表示順のフレーム単位の画像を、GOP構造に応じて、符号化順に並べ替える。画面並べ替えバッファ３２は、並べ替え後の画像を、演算部３３、イントラ予測部４６、および動き予測・補償部４７

に出力する。

[0083] 演算部３３は、画面並べ替えバッファ３２から供給される画像から、予測画像選択部４８から供給される予測画像を減算することにより符号化を行う。演算部３３は、減算後の画像を、残差情報(差分)として直交変換部３４に出力する。なお、予測画像選択部４８から予測画像が供給されない場合、演算部３３は、画面並べ替えバッファ３２から読み出された画像をそのまま残差情報として直交変換部３４に出力する。

[0084] 直交変換部３４は、演算部３３からの残差情報に対して直交変換処理を行う。直交変換部３４は、直交変換処理後の画像を量子化部３５に出力する。

[0085] 量子化部３５は、直交変換部３４から供給される直交変換処理後の画像を量子化する。量子化部３５は、量子化後の量子化値を可逆符号化部３６に出力する。

[0086] 可逆符号化部３６は、最適イントラ予測モードを示す情報であるイントラ予測モード情報をイントラ予測部４６から取得する。また、可逆符号化部３６は、最適インター予測モードを示す情報であるインター予測モード情報と、動き情報および参照画像情報などのインター予測のパラメータとを動き予測・補償部４７から取得する。

[0087] また、可逆符号化部３６は、適応オフセットフィルタ４２からオフセットフィルタに関するオフセットフィルタ情報を取得し、適応ループフィルタ４３からフィルタ係数を取得する。

[0088] 可逆符号化部３６は、量子化部３５から供給される量子化値に対して、可変長符号化（例えば、CAVLC（Context-Adaptive Variable Length Coding））、算術符号化（例えば、CABAC（Context-Adaptive Binary Arithmetic Coding））などの可逆符号化を行う。

[0089] また、可逆符号化部３６は、イントラ予測モード情報、または、インター予測モード情報、インター予測のパラメータ、オフセットフィルタ情報、並びにフィルタ係数を、符号化に関する符号化情報として可逆符号化する。可逆符号化部３６は、可逆符号化された符号化情報と量子化値を、符号化デー

タとして蓄積バッファ３７に出力し、蓄積させる。

[0090] 蓄積バッファ３７は、可逆符号化部３６から供給される符号化データを、一時的に記憶する。また、蓄積バッファ３７は、記憶している符号化データを、符号化ストリームとして後段に出力する。

[0091] また、量子化部３５より出力された量子化値は、逆量子化部３８にも入力される。逆量子化部３８は、量子化値を逆量子化する。逆量子化部３８は、逆量化後の直交変換処理結果を逆直交変換部３９に出力する。

[0092] 逆直交変換部３９は、逆量子化部３８から供給される直交変換処理結果に対して逆直交変換処理を行う。逆直交変換の方式としては、例えば、IDCT(逆離散コサイン変換)とIDST(逆離散サイン変換)がある。逆直交変換部３９は、逆直交変換処理の結果得られる残差情報を加算部４０に出力する。

[0093] 加算部４０は、逆直交変換部３９から供給される残差情報と、予測画像選択部４８から供給される予測画像を加算し、復号を行う。加算部４０は、復号された画像をデブロックフィルタ４１とフレームメモリ４４に出力する。

[0094] デブロックフィルタ４１は、加算部４０から供給される復号された画像に対して、ブロック歪を除去するデブロックフィルタ処理を行う。デブロックフィルタ４１は、デブロックフィルタ処理後の画像を適応オフセットフィルタ４２に出力する。

[0095] 適応オフセットフィルタ４２は、デブロックフィルタ４１によるデブロックフィルタ処理後の画像に対して、主にリンギングを除去する適応オフセットフィルタ（SAO(Sample adaptive offset)）処理を行う。

[0096] 適応オフセットフィルタ４２は、適応オフセットフィルタ処理後の画像を適応ループフィルタ４３に出力する。また、適応オフセットフィルタ４２は、適応オフセットフィルタ処理の種類とオフセットを示す情報を、オフセットフィルタ情報として可逆符号化部３６に出力する。

[0097] 適応ループフィルタ４３は、例えば、2次元のウィナーフィルタ（Wiener Filter）により構成される。適応ループフィルタ４３は、適応オフセットフィルタ処理後の画像に対して、適応ループフィルタ（ALF(Adaptive Loop Filte

r)）処理を行う。

[0098] 適応ループフィルタ４３は、適応ループフィルタ処理後の画像をフレームメモリ４４に出力する。また、適応ループフィルタ４３は、適応ループフィルタ処理に用いられたフィルタ係数を可逆符号化部３６に出力する。

[0099] フレームメモリ４４は、適応ループフィルタ４３から供給される画像と、加算部４０から供給される画像を蓄積する。フレームメモリ４４に蓄積されたフィルタ処理が行われていない画像のうちのCUに隣接する画像は、周辺画像としてスイッチ４５を介してイントラ予測部４６に出力される。一方、フレームメモリ４４に蓄積されたフィルタ処理が行われた画像は、参照画像としてスイッチ４５を介して動き予測・補償部４７に出力される。

[0100] イントラ予測部４６は、PU単位で、フレームメモリ４４からスイッチ４５を介して読み出された周辺画像を用いて、候補となる全てのイントラ予測モードのイントラ予測処理を行う。

[0101] また、イントラ予測部４６は、画面並べ替えバッファ３２から読み出された画像と、イントラ予測処理により予測された予測画像とに基づいて、候補となる全てのイントラ予測モードに対してRDコストを算出する。イントラ予測部４６は、算出したRDコストが最小となるイントラ予測モードを、最適イントラ予測モードに決定する。

[0102] イントラ予測部４６は、最適イントラ予測モードで生成された予測画像を、予測画像選択部４８に出力する。イントラ予測部４６は、最適イントラ予測モードで生成された予測画像の選択が通知された場合、イントラ予測モード情報を可逆符号化部３６に出力する。なお、イントラ予測モードとはPUのサイズ、予測方向などを表すモードである。

[0103] 動き予測・補償部４７は、候補となる全てのインター予測モードの動き予測・補償処理を行う。動き予測・補償部４７は、予測した動きを補償し、予測画像を生成するインター予測部５１を含む。

[0104] 動き予測・補償部４７は、画面並べ替えバッファ３２から供給される画像と、フレームメモリ４４からスイッチ４５を介して読み出される参照画像に

基づいて、候補となる全てのインター予測モードの動き情報（動きベクトル）を検出する。

[0105] 動き予測・補償部４７は、インター予測部５１に、検出した動き情報に対応する、フレーム内のPU位置、PUサイズ、予測方向、参照画像情報、動き情報などを、インター予測のパラメータとして供給する。

[0106] インター予測部５１は、動き予測・補償部４７から供給されるインター予測のパラメータを用いて、BIO処理を含むBi予測などにより予測画像を生成する。

[0107] 動き予測・補償部４７は、画面並べ替えバッファ３２から供給される画像と、インター予測部５１により生成された予測画像とに基づいて、候補となる全てのインター予測モードに対してRDコストを算出する。動き予測・補償部４７は、RDコストが最小となるインター予測モードを、最適インター予測モードに決定する。

[0108] 決定された最適インター予測モードのRDコストと予測画像は、予測画像選択部４８に出力される。決定された最適インター予測モードに対応するインター予測のパラメータは、可逆符号化部３６に出力される。

[0109] 予測画像選択部４８は、イントラ予測部４６から供給される最適イントラ予測モードと動き予測・補償部４７から供給される最適インター予測モードのうちの、対応するRDコストが小さい方を、最適予測モードに決定する。そして、予測画像選択部４８は、最適予測モードの予測画像を、演算部３３および加算部４０に出力する。

[0110] レート制御部４９は、蓄積バッファ３７に蓄積された符号化データに基づいて、オーバーフローあるいはアンダーフローが発生しないように、量子化部３５の量子化動作のレートを制御する。

[0111] ＜符号化装置の動作＞

図１０および図１１は、符号化装置の符号化処理の詳細を説明するフローチャートである。

[0112] 図１０のステップＳ３１において、A/D変換部３１は、符号化対象として入

力されたフレーム単位の画像をA/D変換する。A/D変換部３１は、変換後のデジタル信号である画像を画面並べ替えバッファ３２に出力して記憶させる。

[0113] ステップＳ３２において、画面並べ替えバッファ３２は、表示順のフレームの画像を、GOP構造に応じて、符号化順に並べ替える。画面並べ替えバッファ３２は、並べ替え後のフレーム単位の画像を、演算部３３、イントラ予測部４６、および動き予測・補償部４７に出力する。

[0114] ステップＳ３３において、イントラ予測部４６は、候補となる全てのイントラ予測モードのイントラ予測処理を行う。また、イントラ予測部４６は、画面並べ替えバッファ３２から読み出された画像と、イントラ予測処理により予測された予測画像とに基づいて、候補となる全てのイントラ予測モードに対してRDコストを算出する。イントラ予測部４６は、RDコストが最小となるイントラ予測モードを、最適イントラ予測モードに決定する。イントラ予測部４６は、最適イントラ予測モードで生成された予測画像を予測画像選択部４８に出力する。

[0115] ステップＳ３４において、動き予測・補償部４７は、候補となる全てのインター予測モードの動き予測・補償処理を行う。

[0116] 動き予測・補償部４７は、画面並べ替えバッファ３２から供給される画像と、フレームメモリ４４からスイッチ４５を介して読み出される参照画像に基づいて、候補となる全てのインター予測モードの動き情報（動きベクトル）を検出する。

[0117] インター予測部５１は、動き予測・補償部４７から供給されるインター予測のパラメータを用いて、BIO処理を含むBi予測などにより予測画像を生成する。

[0118] 動き予測・補償部４７は、画面並べ替えバッファ３２から供給される画像と、インター予測部５１により生成された予測画像とに基づいて、候補となる全てのインター予測モードに対してRDコストを算出する。動き予測・補償部４７は、RDコストが最小となるインター予測モードを、最適インター予測モードに決定する。

[0119] 決定された最適インター予測モードのRDコストと予測画像は、予測画像選択部４８に出力される。決定された最適インター予測モードにおけるインター予測のパラメータは、可逆符号化部３６に出力される。

[0120] ステップＳ３５において、予測画像選択部４８は、最適イントラ予測モードおよび最適インター予測モードのRDコストに基づいて、RDコストが最小となる方を、最適予測モードに決定する。そして、予測画像選択部４８は、最適予測モードの予測画像を、演算部３３および加算部４０に出力する。

[0121] ステップＳ３６において、予測画像選択部４８は、最適予測モードが最適インター予測モードであるかどうかを判定する。ステップＳ３６で最適予測モードが最適インター予測モードであると判定された場合、予測画像選択部４８は、最適インター予測モードで生成された予測画像の選択を動き予測・補償部４７に通知する。

[0122] そして、ステップＳ３７において、動き予測・補償部４７は、インター予測モード情報とインター予測のパラメータとを可逆符号化部３６に出力する。その後、処理は、ステップＳ３９に進む。

[0123] 一方、ステップＳ３６で最適予測モードが最適イントラ予測モードである場合、予測画像選択部４８は、最適イントラ予測モードで生成された予測画像の選択をイントラ予測部４６に通知する。そして、ステップＳ３８において、イントラ予測部４６は、イントラ予測モード情報を可逆符号化部３６に出力する。その後、処理は、ステップＳ３９に進む。

[0124] ステップＳ３９において、演算部３３は、画面並べ替えバッファ３２から供給される画像から、予測画像選択部４８から供給される予測画像を減算することにより符号化を行う。演算部３３は、減算後の画像を、残差情報として直交変換部３４に出力する。

[0125] ステップＳ４０において、直交変換部３４は、残差情報に対して直交変換処理を行う。直交変換部３４は、直交変換処理後の直交変換処理結果を量子化部３５に出力する。

[0126] ステップＳ４１において、量子化部３５は、直交変換部３４から供給され

る直交変換処理結果を量子化する。量子化部３５は、量子化後の量子化値を可逆符号化部３６と逆量子化部３８に出力する。

[0127] 図１１のステップＳ４２において、逆量子化部３８は、量子化部３５からの量子化値に対して逆量子化を行う。逆量子化部３８は、逆量化後の直交変換処理結果を逆直交変換部３９に出力する。

[0128] ステップＳ４３において、逆直交変換部３９は、直交変換処理結果に対して逆直交変換処理を行う。逆直交変換部３９は、逆直交変換処理後の残差情報を加算部４０に出力する。

[0129] ステップＳ４４において、加算部４０は、逆直交変換部３９から供給される残差情報と、予測画像選択部４８から供給される予測画像を加算し、復号を行う。加算部４０は、復号された画像をデブロックフィルタ４１とフレームメモリ４４に出力する。

[0130] ステップＳ４５において、デブロックフィルタ４１は、加算部４０から供給される画像に対して、デブロックフィルタ処理を行う。デブロックフィルタ４１は、デブロックフィルタ処理後の画像を適応オフセットフィルタ４２に出力する。

[0131] ステップＳ４６において、適応オフセットフィルタ４２は、デブロックフィルタ処理後の画像に対して適応オフセットフィルタ処理を行う。適応オフセットフィルタ４２は、適応オフセットフィルタ処理後の画像を適応ループフィルタ４３に出力する。また、適応オフセットフィルタ４２は、オフセットフィルタ情報を可逆符号化部３６に出力する。

[0132] ステップＳ４７において、適応ループフィルタ４３は、適応オフセットフィルタ処理後の画像に対して、適応ループフィルタ処理を行う。適応ループフィルタ４３は、適応ループフィルタ処理後の画像をフレームメモリ４４に出力する。また、適応ループフィルタ４３は、適応ループフィルタ処理で用いられたフィルタ係数を可逆符号化部３６に出力する。

[0133] ステップＳ４８において、フレームメモリ４４は、適応ループフィルタ４３から供給される画像と加算部４０から供給される画像を蓄積する。フレー

ムメモリ４４に蓄積されたフィルタ処理が行われていない画像のうちのCUに隣接する画像は、周辺画像としてスイッチ４５を介してイントラ予測部４６に出力される。一方、フレームメモリ４４に蓄積されたフィルタ処理が行われた画像は、参照画像としてスイッチ４５を介して動き予測・補償部４７に出力される。

[0134] ステップＳ４９において、可逆符号化部３６は、イントラ予測モード情報、または、インター予測モード情報、インター予測のパラメータ、オフセットフィルタ情報、並びにフィルタ係数を、符号化情報として可逆符号化する。

[0135] ステップＳ５０において、可逆符号化部３６は、量子化部３５から供給される量子化値を可逆符号化する。そして、可逆符号化部３６は、ステップＳ４９の処理で可逆符号化された符号化情報と可逆符号化された量子化値から、符号化データを生成し、蓄積バッファ３７に出力する。

[0136] ステップＳ５１において、蓄積バッファ３７は、可逆符号化部３６から供給される符号化データを、一時的に蓄積する。

[0137] ステップＳ５２において、レート制御部４９は、蓄積バッファ３７に蓄積された符号化データに基づいて、オーバーフローあるいはアンダーフローが発生しないように、量子化部３５の量子化動作のレートを制御する。その後、符号化処理は終了される。

[0138] なお、図１０および図１１の符号化処理では、説明を簡単化するため、常に、イントラ予測処理と動き予測・補償処理が行われるようにしたが、実際には、ピクチャタイプ等によっていずれか一方のみが行われる場合もある。

[0139] ＜復号装置の構成例＞

図１２は、図９の符号化装置から伝送される符号化ストリームを復号する、本開示を適用した復号装置の一実施の形態の構成例を示すブロック図である。

[0140] 図１２の復号装置１０１は、蓄積バッファ１３１、可逆復号部１３２、逆量子化部１３３、逆直交変換部１３４、加算部１３５、デブロックフィルタ

１３６、適応オフセットフィルタ１３７、適応ループフィルタ１３８、および画面並べ替えバッファ１３９を有する。また、復号装置１０１は、D/A変換部１４０、フレームメモリ１４１、スイッチ１４２、イントラ予測部１４３、インター予測部５１、およびスイッチ１４４を有する。

[0141] 復号装置１０１の蓄積バッファ１３１は、図９の符号化装置１から伝送される符号化ストリームの符号化データを受け取り、蓄積する。蓄積バッファ１３１は、蓄積されている符号化データを可逆復号部１３２に出力する。

[0142] 可逆復号部１３２は、蓄積バッファ１３１からの符号化データに対して、可変長復号や、算術復号などの可逆復号を施すことで、量子化値と符号化情報を得る。可逆復号部１３２は、量子化値を逆量子化部１３３に出力する。符号化情報は、イントラ予測モード情報、インター予測モード情報、インター予測のパラメータ、オフセットフィルタ情報、フィルタ係数などで構成される。

[0143] また、可逆復号部１３２は、イントラ予測モード情報などをイントラ予測部１４３に出力する。可逆復号部１３２は、インター予測のパラメータ、インター予測モード情報などをインター予測部５１に出力する。

[0144] 可逆復号部１３２は、イントラ予測モード情報またはインター予測モード情報をスイッチ１４４に出力する。可逆復号部１３２は、オフセットフィルタ情報を適応オフセットフィルタ１３７に出力する。可逆復号部１３２は、フィルタ係数を適応ループフィルタ１３８に出力する。

[0145] 逆量子化部１３３、逆直交変換部１３４、加算部１３５、デブロックフィルタ１３６、適応オフセットフィルタ１３７、適応ループフィルタ１３８、フレームメモリ１４１、スイッチ１４２、イントラ予測部１４３、およびインター予測部５１は、図９の逆量子化部３８、逆直交変換部３９、加算部４０、デブロックフィルタ４１、適応オフセットフィルタ４２、適応ループフィルタ４３、フレームメモリ４４、スイッチ４５、イントラ予測部４６、および動き予測・補償部４７とそれぞれ同様の処理を行う。これにより、画像が復号される。

[0146] 具体的には、逆量子化部１３３は、図９の逆量子化部３８と同様に構成される。逆量子化部１３３は、可逆復号部１３２からの量子化値を逆量子化する。逆量子化部１３３は、逆量子化後の直交変換処理結果を逆直交変換部１３４に出力する。

[0147] 逆直交変換部１３４は、図９の逆直交変換部３９と同様に構成される。逆直交変換部１３４は、逆量子化部１３３から供給される直交変換処理結果に対して逆直交変換処理を行う。逆直交変換部１３４は、逆直交変換処理後の残差情報を加算部１３５に出力する。

[0148] 加算部１３５は、逆直交変換部１３４から供給される残差情報と、スイッチ１４４から供給される予測画像を加算することにより、復号を行う。加算部１３５は、復号された画像をデブロックフィルタ１３６とフレームメモリ１４１に出力する。

[0149] デブロックフィルタ１３６は、加算部１３５から供給される画像に対してデブロックフィルタ処理を行い、デブロックフィルタ処理後の画像を適応オフセットフィルタ１３７に出力する。

[0150] 適応オフセットフィルタ１３７は、可逆復号部１３２からのオフセットフィルタ情報が表すオフセットを用いて、デブロックフィルタ処理後の画像に対して、オフセットフィルタ情報が表す種類の適応オフセットフィルタ処理を行う。適応オフセットフィルタ１３７は、適応オフセットフィルタ処理後の画像を、適応ループフィルタ１３８に出力する。

[0151] 適応ループフィルタ１３８は、適応オフセットフィルタ１３７から供給される画像に対して、可逆復号部１３２から供給されるフィルタ係数を用いて、適応ループフィルタ処理を行う。適応ループフィルタ１３８は、適応ループフィルタ処理後の画像をフレームメモリ１４１および画面並べ替えバッファ１３９に出力する。

[0152] 画面並べ替えバッファ１３９は、適応ループフィルタ処理後の画像をフレーム単位で記憶する。画面並べ替えバッファ１３９は、符号化順のフレーム単位の画像を、元の表示順に並び替え、D/A変換部１４０に出力する。

[0153] D/A変換部１４０は、画面並べ替えバッファ１３９から供給されるフレーム単位の画像をD/A変換し、出力する。

[0154] フレームメモリ１４１は、適応ループフィルタ処理後の画像と加算部１３５から供給される画像を蓄積する。フレームメモリ１４１に蓄積されたフィルタ処理が行われていない画像のうちのCUに隣接する画像は、周辺画像としてスイッチ１４２を介してイントラ予測部１４３に供給される。一方、フレームメモリ１４１に蓄積されたフィルタ処理が行われた画像は、参照画像として、スイッチ１４２を介してインター予測部５１に出力される。

[0155] イントラ予測部１４３は、フレームメモリ１４１からスイッチ１４２を介して読み出された周辺画像を用いて、可逆復号部１３２から供給されるイントラ予測モード情報が示す最適イントラ予測モードのイントラ予測処理を行う。イントラ予測部１４３は、その結果生成される予測画像をスイッチ１４４に出力する。

[0156] インター予測部５１は、図９と同様に構成される。インター予測部５１は、可逆復号部１３２から供給されるインター予測のパラメータを用いて、インター予測モード情報が示す最適インター予測モードのインター予測を行い、予測画像を生成する。

[0157] インター予測部５１は、フレームメモリ１４１からスイッチ１４２を介して、可逆復号部１３２から供給されるインター予測のパラメータの参照画像情報により特定される参照画像を読み出す。インター予測部５１は、可逆復号部１３２から供給されるインター予測のパラメータの動き情報および読み出した参照画像を用いて、BIO処理を含むBi予測などにより予測画像を生成する。生成された予測画像は、スイッチ１４４に出力される。

[0158] スイッチ１４４は、可逆復号部１３２からイントラ予測モード情報が供給された場合、イントラ予測部１４３から供給される予測画像を加算部１３５に出力する。一方、可逆復号部１３２からインター予測モード情報が供給された場合、スイッチ１４４は、インター予測部５１から供給される予測画像を加算部１３５に出力する。

[0159] ＜復号装置の動作＞

図１３は、復号装置の復号処理の詳細を説明するフローチャートである。

[0160] 図１３のステップＳ１３１において、復号装置１０１の蓄積バッファ１３１は、図示せぬ前段から供給されるフレーム単位の符号化データを受け取り、蓄積する。蓄積バッファ１３１は、蓄積されている符号化データを可逆復号部１３２に出力する。

[0161] ステップＳ１３２において、可逆復号部１３２は、蓄積バッファ１３１からの符号化データを可逆復号し、量子化値と符号化情報を得る。可逆復号部１３２は、量子化値を逆量子化部１３３に出力する。

[0162] 可逆復号部１３２は、イントラ予測モード情報などをイントラ予測部１４３に出力する。可逆復号部１３２は、インター予測のパラメータ、インター予測モード情報などをインター予測部５１に出力する。

[0163] また、可逆復号部１３２は、イントラ予測モード情報またはインター予測モード情報をスイッチ１４４に出力する。可逆復号部１３２は、オフセットフィルタ情報を適応オフセットフィルタ１３７に供給し、フィルタ係数を適応ループフィルタ１３８に出力する。

[0164] ステップＳ１３３において、逆量子化部１３３は、可逆復号部１３２から供給される量子化値を逆量子化する。逆量子化部１３３は、逆量子化後の直交変換処理結果を逆直交変換部１３４に出力する。

[0165] ステップＳ１３４において、逆直交変換部１３４は、逆量子化部１３３から供給される直交変換処理結果に対して直交変換処理を行う。

[0166] ステップＳ１３５において、インター予測部５１は、可逆復号部１３２からインター予測モード情報が供給されたかどうかを判定する。ステップＳ１３５でインター予測モード情報が供給されたと判定された場合、処理はステップＳ１３６に進む。

[0167] ステップＳ１３６において、インター予測部５１は、可逆復号部１３２から供給される参照画像特定情報に基づいて参照画像を読み出し、動き情報と参照画像を用いて、インター予測モード情報が示す最適インター予測モード

の動き補償処理を行う。例えば、インター予測部５１は、BIO処理を含むBi予測などにより予測画像を生成する。インター予測部５１は、生成した予測画像を、スイッチ１４４を介して加算部１３５に出力する。その後、処理は、ステップＳ１３８に進む。

[0168] 一方、ステップＳ１３５でインター予測モード情報が供給されていないと判定された場合、すなわち、イントラ予測モード情報がイントラ予測部１４３に供給された場合、処理はステップＳ１３７に進む。

[0169] ステップＳ１３７において、イントラ予測部１４３は、フレームメモリ１４１からスイッチ１４２を介して読み出された周辺画像を用いて、イントラ予測モード情報が示すイントラ予測モードのイントラ予測処理を行う。イントラ予測部１４３は、イントラ予測処理の結果生成される予測画像を、スイッチ１４４を介して加算部１３５に出力する。その後、処理は、ステップＳ１３８に進む。

[0170] ステップＳ１３８において、加算部１３５は、逆直交変換部１３４から供給される残差情報と、スイッチ１４４から供給される予測画像を加算することにより、復号を行う。加算部１３５は、復号された画像をデブロックフィルタ１３６とフレームメモリ１４１に出力する。

[0171] ステップＳ１３９において、デブロックフィルタ１３６は、加算部１３５から供給される画像に対してデブロックフィルタ処理を行い、ブロック歪を除去する。デブロックフィルタ１３６は、デブロックフィルタ処理後の画像を適応オフセットフィルタ１３７に出力する。

[0172] ステップＳ１４０において、適応オフセットフィルタ１３７は、可逆復号部１３２から供給されるオフセットフィルタ情報に基づいて、デブロックフィルタ処理後の画像に対して、適応オフセットフィルタ処理を行う。適応オフセットフィルタ１３７は、適応オフセットフィルタ処理後の画像を、適応ループフィルタ１３８に出力する。

[0173] ステップＳ１４１において、適応ループフィルタ１３８は、適応オフセットフィルタ１３７から供給される画像に対して、可逆復号部１３２から供給

されるフィルタ係数を用いて、適応ループフィルタ処理を行う。適応ループフィルタ１３８は、適応ループフィルタ処理後の画像をフレームメモリ１４１および画面並べ替えバッファ１３９に供給する。

[0174] ステップＳ１４２において、フレームメモリ１４１は、加算部１３５から供給される画像と、適応ループフィルタ１３８から供給される画像を蓄積する。フレームメモリ１４１に蓄積されたフィルタ処理が行われていない画像のうちのCUに隣接する画像は、周辺画像としてスイッチ１４２を介してイントラ予測部１４３に供給される。一方、フレームメモリ１４１に蓄積されたフィルタ処理が行われた画像は、参照画像として、スイッチ１４２を介してインター予測部５１に供給される。

[0175] ステップＳ１４３において、画面並べ替えバッファ１３９は、適応ループフィルタ１３８から供給される画像をフレーム単位で記憶し、符号化順のフレーム単位の画像を、元の表示順に並び替え、D/A変換部１４０に出力する。

[0176] ステップＳ１４４において、D/A変換部１４０は、適応ループフィルタ処理後の画像をD/A変換し、出力する。

[0177] ＜インター予測部の構成例＞

図１４は、インター予測部の構成例を示すブロック図である。

[0178] 図１４において、インター予測部５１は、インター予測制御部２０１、L0予測ブロック生成部２０２、L1予測ブロック生成部２０３、BIOコスト計算部２０４、BIO適用判定部２０５、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、Bi予測ブロック選択部２０８、および予測ブロック選択部２０９から構成される。

[0179] インター予測制御部２０１には、符号化装置１の場合、動き予測・補償部４７から（復号装置１０１の場合、可逆復号部１３２から）インター予測のパラメータが供給される。

[0180] インター予測のパラメータは、フレーム内のPU位置、PUサイズ、予測方向(L0,L1,Biのうちいずれか１つが設定される)、参照画像情報、動き情報などからなる。

[0181] インター予測制御部２０１は、例えば、CPU(Central Processing Unit)やマイクロプロセッサなどから構成される。インター予測制御部２０１は、CPUにより所定のプログラムを実行し、インター予測パラメータの内容に応じて、各部を制御する。

[0182] インター予測制御部２０１は、L0予測のパラメータをL0予測ブロック生成部２０２に供給し、L0予測ブロック生成部２０２を制御する。L0予測のパラメータは、PU位置、PUサイズ、参照画像情報REFIDX_L0、動き情報MV_L0からなる。

[0183] インター予測制御部２０１は、L1予測のパラメータをL1予測ブロック生成部２０３に供給し、L1予測ブロック生成部２０３を制御する。L1予測のパラメータは、PU位置、PUサイズ、参照画像情報REFIDX_L1、動き情報MV_L1からなる。

[0184] インター予測制御部２０１は、Bi予測のパラメータを、BIOコスト計算部２０４、Bi予測ブロック生成部２０６、およびBIO処理を含むBi予測ブロック生成部２０７に供給し、BIOコスト計算部２０４、Bi予測ブロック生成部２０６、およびBIO処理を含むBi予測ブロック生成部２０７を制御する。Bi予測のパラメータは、PUサイズなどからなる。

[0185] インター予測制御部２０１は、BIO閾値をBIO適用判定部２０５に供給し、BIO適用判定部２０５を制御する。

[0186] インター予測制御部２０１は、予測方向を予測ブロック選択部２０９に供給し、予測ブロック選択部２０９を制御する。

[0187] L0予測ブロック生成部２０２は、予測方向がL0またはBiのときに動作する。L0予測ブロック生成部２０２は、インター予測制御部２０１から供給されるL0予測のパラメータに基づいて、フレームメモリ４４にアクセスし、参照画像からL0予測画像を生成する。生成されたL0予測画像は、L0予測ブロック生成部２０２から、BIOコスト計算部２０４、BIO適用判定部２０５、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、および予測ブロック選択部２０９に供給される。

[0188] L1予測ブロック生成部２０３は、予測方向がL1またはBiのときに動作する。L1予測ブロック生成部２０３は、インター予測制御部２０１から供給されるL1予測のパラメータに基づいて、フレームメモリ４４にアクセスし、参照画像からL1予測画像を生成する。生成されたL1予測画像は、L1予測ブロック生成部２０３から、BIOコスト計算部２０４、BIO適用判定部２０５、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、および予測ブロック選択部２０９に供給される。

[0189] BIOコスト計算部２０４は、予測方向がBiのとき動作する。BIOコスト計算部２０４は、インター予測制御部２０１から供給されるBi予測のパラメータに基づいて、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。計算されたSADは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0190] BIO適用判定部２０５は、予測方向がBiのとき動作する。BIO適用判定部２０５は、インター予測制御部２０１から供給されるBIO閾値と、BIOコスト計算部２０４から供給されるSADとを比較し、BIO_ONフラグを決定する。BIO閾値よりもSADが大きいとき、BIO_ONフラグが、BIO適用を示すBIO_ON=1に決定され、BIO閾値よりもSADが小さいとき、BIO_ONフラグが、BIO不適用を示すBIO_ON=0に決定される。

[0191] 決定されたBIO_ONフラグは、BIO適用判定部２０５から、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、Bi予測ブロック選択部２０８に供給される。

[0192] Bi予測ブロック生成部２０６は、BIO適用判定部２０５から供給されるBIO_ONフラグに基づいて、予測方向がBiで、BIO_ON=0のとき動作する。Bi予測ブロック生成部２０６は、インター予測制御部２０１から供給されるBi予測のパラメータに基づいて、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測画像を生成する。生成されたBi予測画像は、Bi予測ブロック生成部２０６

からBi予測ブロック選択部２０８に供給される。

[0193] BIO処理を含むBi予測ブロック生成部２０７は、BIO適用判定部２０５から供給されるBIO_ONフラグに基づいて、予測方向がBiで、BIO_ON=1のとき動作する。Bi予測ブロック生成部２０６は、インター予測制御部２０１から供給されるBi予測のパラメータに基づいて、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、BIO処理を含むBi予測画像を生成する。生成されたBIO処理を含むBi予測画像は、BIO処理を含むBi予測ブロック生成部２０７からBi予測ブロック選択部２０８に供給される。

[0194] Bi予測ブロック選択部２０８は、BIO適用判定部２０５から供給されるBIO_ONフラグに基づいて、Bi予測画像を選択する。Bi予測ブロック選択部２０８は、BIO_ON=0の場合、Bi予測ブロック生成部２０６から供給されるBi予測画像を選択し、BIO_ON=1の場合、BIO処理を含むBi予測ブロック生成部２０７から供給されるBIO処理を含むBi予測画像を選択する。選択されたBi予測画像は、Bi予測ブロック選択部２０８から予測ブロック選択部２０９に供給される。

[0195] 予測ブロック選択部２０９は、インター予測制御部２０１から供給される予測方向に応じて、予測画像を選択し、選択した予測画像を、インター予測の予測画像として、後段の図９の予測画像選択部４８（または図１２のスイッチ１４４）に出力する。

[0196] 予測ブロック選択部２０９は、予測方向がL0である場合、L0予測ブロック生成部２０２から供給されるL0予測画像を選択し、予測方向がL1である場合、L1予測ブロック生成部２０３から供給されるL1予測画像を選択する。予測ブロック選択部２０９は、予測方向がBiである場合、Bi予測ブロック選択部２０８から供給されるBi予測画像を選択する。

[0197] ＜インター予測部の動作例＞

図１５および図１６は、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0198] なお、この処理は、後述する本技術のBIOを含むBi予測処理と比較するための従来のBIOを含むBi予測処理である。また、このBIOを含むBi予測処理は、符号化側と復号側の両方で行われる処理であり、図１０のステップＳ３４で行われる動き予測・補償処理の一部の処理であり、図１３のステップＳ１３６で行われるインター予測処理の一部の処理である。

[0199] 図１５のステップＳ３０１において、インター予測制御部２０１は、動き予測・補償部４７から供給されるインター予測のパラメータを取得する。なお、復号装置１０１の場合、インター予測のパラメータは、可逆復号部１３２から供給される。

[0200] インター予測のパラメータは、フレーム内のPU位置、PUサイズ、予測方向(L0,L1,Biのうちいずれか１つが設定される)、参照画像情報、動き情報などからなる。

[0201] インター予測制御部２０１は、L0予測のパラメータをL0予測ブロック生成部２０２に供給する。L0予測のパラメータは、PU位置、PUサイズ、参照画像情報REFIDX_L0、動き情報MV_L0からなる。インター予測制御部２０１は、L1予測のパラメータをL1予測ブロック生成部２０３に供給する。L1予測のパラメータは、PU位置、PUサイズ、参照画像情報REFIDX_L1、動き情報MV_L1からなる。

[0202] インター予測制御部２０１は、Bi予測のパラメータを、BIOコスト計算部２０４、Bi予測ブロック生成部２０６、およびBIO処理を含むBi予測ブロック生成部２０７に供給する。Bi予測のパラメータは、PUサイズを示す情報である。

[0203] インター予測制御部２０１は、BIO閾値をBIO適用判定部２０５に供給する。インター予測制御部２０１は、予測方向を予測ブロック選択部２０９に供給し、予測ブロック選択部２０９を制御する。

[0204] ステップＳ３０２において、L0予測ブロック生成部２０２は、インター予測制御部２０１から供給されるL0予測のパラメータに基づいて、フレームメモリ４４にアクセスし、参照画像からL0予測ブロックを生成する。なお、復

号装置１０１の場合、参照画像は、フレームメモリ１４１にアクセスされて参照される。

[0205] ステップＳ３０３において、L1予測ブロック生成部２０３は、インター予測制御部２０１から供給されるL1予測のパラメータに基づいて、フレームメモリ４４にアクセスし、参照画像からL1予測ブロックを生成する。

[0206] ステップＳ３０２およびＳ３０３の処理における最大バッファサイズは、PU´サイズである。PU´サイズは、PUのサイズ相当のサイズであり、PUのサイズより一回り大きいサイズを表す。

[0207] ステップＳ３０４において、BIOコスト計算部２０４は、4×4単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。4×4単位にSADを計算し、積み上げることで、SADの総和であるSAD_4×4ブロックが取得される。

[0208] ステップＳ３０５において、BIOコスト計算部２０４は、PU単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。PU単位にSADを計算し、積み上げることで、SADの総和であるSAD_PUが取得される。取得されたSAD_PUは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0209] ステップＳ３０６において、BIO適用判定部２０５は、BIO_PU_ONフラグを、BIOコスト計算部２０４から供給されるSAD_PU＞＝インター予測制御部２０１から供給されるBIO閾値_PUに基づいて決定する。決定されたBIO_PU_ONフラグは、BIO適用判定部２０５から、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、Bi予測ブロック選択部２０８に供給される。

[0210] BIO閾値よりもSADが大きいとき、BIO_PU_ONフラグが、BIO適用を示すBIO_PU_ON=1に決定され、BIO閾値よりもSADが小さいとき、BIO_PU_ONフラグが、BIO不適用を示すBIO_PU_ON=0に決定される。

[0211] ステップＳ３０７において、Bi予測ブロック生成部２０６およびBIO処理を含むBi予測ブロック生成部２０７は、BIO_PU_ONフラグが1であるか否かを判

定する。

[0212] ステップＳ３０７において、BIO_PU_ONフラグが1ではないと判定された場合、処理は、ステップＳ３０８に進む。

[0213] ステップＳ３０８において、Bi予測ブロック生成部２０６は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測ブロックを生成する。生成されたBi予測ブロックは、Bi予測ブロック生成部２０６からBi予測ブロック選択部２０８に供給される。その後、BIOを含むBi予測処理は終了される。

[0214] ステップＳ３０８の処理における最大バッファサイズは、PUサイズである。

[0215] 一方、ステップＳ３０７において、BIO_PU_ONフラグが1であると判定された場合、処理は、ステップＳ３０９に進む。

[0216] 以降のステップＳ３０９乃至Ｓ３２０においては、BIO処理を含むBi予測ブロック生成部２０７により、BIO処理を含むBi予測画像の生成処理が行われる。

[0217] ステップＳ３０９において、BIO処理を含むBi予測ブロック生成部２０７は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、複数の勾配を計算する。ステップＳ３０９の処理における最大バッファサイズは、PU´サイズ×9個である。

[0218] ステップＳ３１０において、BIO処理を含むBi予測ブロック生成部２０７は、PU内に含まれる4×4ブロック数を取得する。

[0219] ステップＳ３１１において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号に0を設定する。

[0220] 図１６のステップＳ３１２において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号が4×4ブロック数より小さいか否かを判定する。

[0221] ステップＳ３１２において、4×4ブロック番号が4×4ブロック数より小さ

いと判定された場合、処理は、ステップＳ３１３に進む。

[0222] ステップＳ３１３において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号からPU内の位置とSAD_4×4を取得する。

[0223] ステップＳ３１４において、BIO処理を含むBi予測ブロック生成部２０７は、BIO_4×4_ONをSAD_4×4＞＝BIO閾値_4×4に基づいて決定する。

[0224] ステップＳ３１５において、BIO処理を含むBi予測ブロック生成部２０７は、BIO_4×4_ONフラグが1であるか否かを判定する。

[0225] ステップＳ３１５において、BIO_4×4_ONフラグが1ではないと判定された場合、処理は、ステップＳ３１６に進む。

[0226] ステップＳ３１６において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域のL0予測画像とL1予測画像からBi予測値を生成する。

[0227] ステップＳ３１５において、BIO_4×4_ONフラグが1であると判定された場合、処理は、ステップＳ３１７に進む。

[0228] ステップＳ３１７において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域の複数の勾配から速度を計算する。

[0229] ステップＳ３１８において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域のL0予測画像、L1予測画像、勾配、および速度からBIO予測値を生成する。

[0230] ステップＳ３１６およびＳ３１８の後、処理は、ステップＳ３１９に進む。

[0231] ステップＳ３１９において、BIO処理を含むBi予測ブロック生成部２０７は、予測値を、バッファにおける4×4ブロック番号の位置に保存する。ステップ３１９の処理における最大バッファサイズは、PUサイズである。

[0232] ステップＳ３２０において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号をインクリメントする。その後、ステップＳ３１２に戻り、それ以降の処理が繰り返される。

[0233] ステップＳ３０８の後、または、ステップＳ３１２において、4×4ブロッ

ク番号が4×4ブロック数より小さくないと判定された場合、BIOを含むBi予測は終了される。

[0234] なお、上述したBIOを含むBi処理においては、ステップＳ３０５で、PU全体でL0予測ブロックとL1予測ブロックのSADが計算され、ステップＳ３０６において、SADと閾値とを比較してBIO処理の適用可否が判定されて、ステップＳ３０７において、処理が分岐されている。

[0235] そのため、VPDUより大きなPUでインター予測する場合に、PUを仮想的に複数のvPUに分割処理することが困難になってしまった。その結果、ステップＳ３０２、Ｓ３０３、およびＳ３０９で必要になるバッファは、ステップＳ３０９の勾配計算やステップＳ３１７の速度計算のためにPUより一回り大きな領域であるPU´が必要となっている。PU´の最大サイズは、PUの水平サイズと垂直サイズとをそれぞれ2加算した結果である130×130のサイズである。

[0236] さらに、ステップＳ３０８では、PUサイズのバッファが必要となる。これらのことは、BIOを含むインター予測部５１では、大きなバッファリソースが必要となることを意味する。

[0237] また、このバッファを必要とするインター予測部５１をHW(ハードウェア)実装した場合、BIOを含むインター予測のパイプライン遅延とTU処理のパイプライン遅延が大きく異なるため、スループットを維持するためのHW実装難易度も高くなってしまう。

[0238] これは、符号化側、復号側の両方に関わる。符号化側では、CUを常に64×64以下に分解するなどの自己制約で回避することは可能であるが、符号化側の自由度を確保するためにも解決方法があると望ましい。規格適合が求められる復号側では、大きなHWリソースが必要不可欠である。

[0239] そこで、上述したように、本技術においては、BIOなどの双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当の分割処理単位またはVPDUサイズ以下の分割処理単位に分割し、分割処理単位に基づいて計算されたコストを用いて判定を行うようにした。

[0240] VPDUサイズ相当は、VPDUサイズより一回り大きな領域であるVPDU´サイズ

を表す。

[0241] ＜インター予測部の動作例＞

図１７および図１８は、本技術の第１の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0242] 図１７および図１８においては、符号化装置１の場合について説明するが、復号装置１０１の場合も同様の処理が行われるので、その説明については省略される。

[0243] ステップＳ４０１において、インター予測制御部２０１は、動き予測・補償部４７から供給されるインター予測のパラメータを取得する。

[0244] ステップＳ４０２において、インター予測制御部２０１は、PU内に含まれるvPU数を取得する。すなわち、PUがVPDUより大きい場合、PUは、仮想的に複数のvPUに分割されている。PUが128×128である場合、vPU数には４が設定される。PUが128×64または64×128である場合、vPU数には２が設定される。PUが64×64以下である場合、vPU数には１が設定される。vPU数が１である場合は、仮想的な分割はなされず、実質的に、図１５および図１６と同様の処理が行われる。

[0245] ステップＳ４０３において、インター予測制御部２０１は、最初に処理するvPU番号として０を設定する。

[0246] ステップＳ４０４において、インター予測制御部２０１は、vPU番号がvPU数より小さいか否かを判定する。

[0247] ステップＳ４０４において、vPU番号がvPU数より小さいと判定された場合、処理は、ステップＳ４０５に進む。

[0248] ステップＳ４０５において、インター予測制御部２０１は、PUサイズとvPU番号から、PU内のどの領域を処理するかを示すvPUの位置とサイズを取得する。

[0249] 図１９は、PUサイズ、vPU番号、および処理位置とサイズの対応関係を示す図である。

[0250] PUサイズが128×128において、vPU番号が０のとき、処理する位置が左上で

あり、サイズが64×64である。vPU番号が１のとき、処理する位置が右上であり、サイズが64×64である。vPU番号が２のとき、処理する位置が左下であり、サイズが64×64である。vPU番号が３のとき、処理する位置が右下であり、サイズが64×64である。

[0251] PUサイズが128×64において、vPU番号が０のとき、処理する位置が左であり、サイズが64×64である。vPU番号が１のとき、処理する位置が右であり、サイズが64×64である。

[0252] PUサイズが64×128において、vPU番号が０のとき、処理する位置が上であり、サイズが64×64である。vPU番号が１のとき、処理する位置が下であり、サイズが64×64である。

[0253] PUサイズが64×64以下において、vPU番号が０のとき、処理する位置がPUそのものである。

[0254] 図１７に戻って、ステップＳ４０５で取得されたvPUの位置とサイズは、L0予測ブロック生成部２０２およびL1予測ブロック生成部２０３に供給される。

[0255] ステップＳ４０６において、L0予測ブロック生成部２０２は、vPU番号の領域のL0予測ブロックを生成する。

[0256] ステップＳ４０７において、L1予測ブロック生成部２０３は、vPU番号の領域のL1予測ブロックを生成する。

[0257] ステップ４０６およびＳ４０７の処理における最大バッファサイズは、例えば、ステップＳ４１３の勾配計算やステップＳ４２１の速度計算で必要となる一回り大きな領域が含まれるVPDU´サイズである。VPDU´サイズは、VPDUのサイズより一回り大きいサイズである、上述したVPDUサイズ相当を表し、例えば、水平・垂直サイズをそれぞれ2を加算した結果である66×66とされる。

[0258] 後段のBIO適用判定は最大でもVPDUサイズのSAD値で行われるため、ここで生成されたL0予測ブロックやL1予測ブロックを保存しておくバッファサイズも、VPDUサイズをベースとすることができる。

[0259] ステップＳ４０８において、BIOコスト計算部２０４は、vPU内の4×4単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。4×4単位にSADを計算し、積み上げることで、SADの総和であるSAD_4×4ブロックが取得される。

[0260] 後段において、速度計算の単位である4×4ブロックでも、再度BIOの適用判定を行い、効果が見込めない場合のアーリーターミネーションとするため、このSAD_4×4ブロックも保存しておく必要がある。ただし、SAD_4×4ブロックの保存のためのバッファサイズは、図１５のステップＳ３０４と比較して、1/4のサイズに削減することができる。

[0261] ステップＳ４０９において、BIOコスト計算部２０４は、vPU単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。vPU単位にSADを計算し、積み上げることで、SADの総和であるSAD_vPUが取得される。取得されたSAD_vPUは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0262] ステップＳ４１０において、BIO適用判定部２０５は、BIO_vPU_ONフラグを、BIOコスト計算部２０４から供給されるSAD_vPU＞＝インター予測制御部２０１から供給されるBIO閾値_vPUに基づいて決定する。BIO閾値_vPUは、BIO閾値_PUが、ステップＳ４０５で求めたvPUのサイズに応じた値にスケールされた値である。

[0263] 決定されたBIO_vPU_ONフラグは、BIO適用判定部２０５から、Bi予測ブロック生成部２０６、BIO処理を含むBi予測ブロック生成部２０７、Bi予測ブロック選択部２０８に供給される。

[0264] ステップＳ４１１において、Bi予測ブロック生成部２０６およびBIO処理を含むBi予測ブロック生成部２０７は、BIO_vPU_ONフラグが1であるか否かを判定する。

[0265] ステップＳ４１１において、BIO_vPU_ONフラグが1ではないと判定された場合、vPU全体に対してBIOの効果がないとして、処理は、ステップＳ４１２に

進む。

[0266] ステップＳ４１２において、Bi予測ブロック生成部２０６は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測ブロックvPUを生成する。生成されたBi予測ブロックvPUは、バッファに保存されるとともに、Bi予測ブロック生成部２０６からBi予測ブロック選択部２０８に供給される。

[0267] HW実装時にパイプラインを組む場合、vPUのインター予測と並列にVPDU単位のTU処理も実行されており、このタイミングで次の処理が開始できるようになる。そのため、ここに用意しておくBi予測を保存しておくバッファも最大VPDUサイズであればよい。その後、処理は、図１８のステップＳ４２５に進む。

[0268] 一方、ステップＳ４１１において、BIO_vPU_ONフラグが1であると判定された場合、処理は、ステップＳ４１３に進む。

[0269] ステップＳ４１３において、BIO処理を含むBi予測ブロック生成部２０７は、L0予測ブロック生成部２０２から供給されるL0予測ブロックとL1予測ブロック生成部２０３から供給されるL1予測ブロックとから、複数の勾配を計算する。

[0270] ステップＳ４１３では、L0予測ブロックとL1予測ブロックとから9種類の中間パラメータが計算される。L0予測ブロックとL1予測ブロック同士の変化量やそれぞれの予測ブロックでの水平・垂直方向でのそれぞれの画素値の変化量が計算されるので、それらをまとめて勾配と呼ぶ。勾配は、予測ブロックと同じ画素数ずつ計算する必要があるため、ここで、必要となるバッファは最大VPDU´サイズ×9個でよい。

[0271] 図１８のステップＳ４１４において、BIO処理を含むBi予測ブロック生成部２０７は、vPU内に含まれる4×4ブロック数を取得する。例えば、vPUが64×64の場合、4×4ブロック数は256個となる。Optical flowでは、ピクセル単位で速度を求めて予測値を計算するのが最も予測精度がよいが、それには、膨大な計算が必要となる。BIOでは、性能とコストのトレードオフで、4×4ブロ

ック単位に速度を計算することで、バランスをとっている。

[0272] ステップＳ４１５において、BIO処理を含むBi予測ブロック生成部２０７は、最初に処理する4×4ブロック番号として0を設定する。

[0273] ステップＳ４１６において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号が4×4ブロック数より小さいか否かを判定する。

[0274] ステップＳ４１６において、4×4ブロック番号が4×4ブロック数より小さいと判定された場合、処理は、ステップＳ４１７に進む。

[0275] ステップＳ４１７において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号からvPU内の位置とSAD_4×4を取得する。4×4ブロックは、ラスタスキャン順で処理されていく。

[0276] ステップＳ４１８において、BIO処理を含むBi予測ブロック生成部２０７は、BIO_4×4_ONをSAD_4×4＞＝BIO閾値_4×4に基づいて決定する。

[0277] ステップＳ４１９において、BIO処理を含むBi予測ブロック生成部２０７は、BIO_4×4_ONフラグが1であるか否かを判定する。

[0278] ステップＳ４１９において、BIO_4×4_ONフラグが1ではないと判定された場合、4×4ブロックに対してBIOの効果が見込めないとし、処理は、ステップＳ４２０に進む。

[0279] ステップＳ４２０において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域のL0予測画像とL1予測画像との平均を計算することで、Bi予測値を生成する。

[0280] ステップＳ４１９において、BIO_4×4_ONフラグが1であると判定された場合、処理は、ステップＳ４２１に進む。

[0281] ステップＳ４２１において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域の複数の勾配から速度を計算する。

[0282] ステップＳ４２２において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号の領域のL0予測画像、L1予測画像、勾配、および速度からBIO予測値を生成する。

[0283] ステップＳ４２０およびＳ４２２の後、処理は、ステップＳ４２３に進む

。

[0284] ステップＳ４２３において、BIO処理を含むBi予測ブロック生成部２０７は、ステップＳ４２０またはステップＳ４２２で生成された予測値を、バッファにおける4×4ブロック番号の位置に保存する。ステップ４２３の処理における最大バッファサイズは、VPDUサイズである。バッファは、Ｓ４１２の処理で用いるバッファと共通化してもよい。

[0285] ステップＳ４２４において、BIO処理を含むBi予測ブロック生成部２０７は、4×4ブロック番号をインクリメントする。その後、ステップＳ４１６に戻り、それ以降の処理が繰り返される。

[0286] ステップＳ４１２の後、または、ステップＳ４１６において、4×4ブロック番号が4×4ブロック数以上であると判定された場合、処理は、ステップＳ４２５に進む。

[0287] ステップＳ４２５において、インター予測制御部２０１は、vPU番号をインクリメントし、ステップＳ４０４に戻り、それ以降の処理が繰り返される。

[0288] ステップＳ４０４において、vPU番号がvPU数以上であると判定された場合、BIO処理を含むBi予測は終了される。

[0289] 図２０および図２１は、従来の動作と、本技術の第１の実施の形態の動作を実施した場合の比較を示す図である。

[0290] 図２０の上側においては、CU(PU)128×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が、従来の動作と本技術の第１の実施の形態の動作の場合についてそれぞれ示されている。CU(PU)128×128の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが４つに分割されている。

[0291] 図２０の下側においては、CU(PU)128×64で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が、従来の動作と本技術の第１の実施の形態の動作の場合についてそれぞれ示されている。CU(PU)128×64の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが左右の２つに分割されている。

[0292] 図２１の上側においては、CU(PU)64×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が、従来の動作と本技術の第１の実施の形態の動作の場合についてそれぞれ示されている。CU(PU)64×128の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが上下の２つに分割されている。

[0293] 図２１の下側においては、CU(PU)64×64以下で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が、従来の動作と本技術の第１の実施の形態の動作の場合についてそれぞれ示されている。CU(PU)64×64以下の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが分割されず、１つで構成される。

[0294] 従来動作では、PU全体のSADが必要なため、広範囲のL0予測ブロックとL1予測ブロックとを予め準備、保存しておく必要があるが、本技術では、VPDUより大きなPUでは仮想的に分割したvPU毎にBIOの適用判定を行うため、予め準備、保存しておくL0予測ブロックとL1予測ブロックのバッファを削減することが可能である。

[0295] また、図１５および図１６のステップＳ３０８、Ｓ３０９、およびＳ３１９で用いるバッファと比較して、図１７および図１８のステップＳ４１２、Ｓ４１３、およびＳ４２３で用いるバッファも1/4の削減が可能となる。

[0296] BIOのような復号側で２つの予測ブロックを生成し、コスト計算から判定を行い、インター予測の符号化効率を改善させるツールとして、FRUC(Frame Rate Up-Conversion)やDMVR(Decoder-side motion vector refinement)がある。BIOのアーリーターミネーション目的と異なり、FRUCやDMVRでは、MV補正を目的としてPUサイズより大きなL0予測ブロックとL1予測ブロックとが生成され、SADまたは類似するコスト計算が行われている。

[0297] PUがVPDUより大きい場合には、本技術と同様の対応が必要となる。FRUCやDMVRでも本技術のように、PUがVPDUより大きい場合、仮想的に複数のvPUに分割し、vPU毎にMV補正することで対応することができる。

[0298] ここまで上述してきた従来動作のPU全体でのSAD計算とBIOの適用判定、ま

たは、本技術のvPU毎のSAD計算とBIOの適用判定は、大枠でのアーリーターミネーションが主な目的であるため、さらなる削減を行うことができる。

[0299] ＜変形例１＞

上述した第１の実施の形態では、PUがVPDUより大きい場合に、仮想的に複数のvPUに分割し、vPU毎にSAD計算をしてBIOの適用判定する例を説明した。PUを構成するvPUは、元々同じPUに含まれているということで、ある部分的な傾向が異なる部分の傾向と似ているのではないかと考えられる。

[0300] 図２２および図２３は、上述した傾向を前提とし、変形例１として、PUがVPDUより大きい場合に、vPU番号が０のBIO判定結果を、他のvPUでも用いた例を示す図である。

[0301] 図２２の上側においては、CU(PU)128×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×128の場合、CU(PU)は、４つに分割されたBIO_vPU_ON判定のためのSAD計算領域であるvPUのうち、左上(vPU番号＝０)のvPUについてSADが計算され、残りのvPU（右上、左下、右上）においては、vPU番号＝０のvPUの結果がコピーして用いられる。

[0302] 図２２の下側においては、CU(PU)128×64で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×64の場合、CU(PU)は、２つに分割されたBIO_vPU_ON判定のためのSAD計算領域であるvPUのうち、左(vPU番号＝０)のvPUについてSADが計算され、残りのvPU（右）においては、vPU番号＝０のvPUの結果がコピーして用いられる。

[0303] 図２３の上側においては、CU(PU)64×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×64の場合、CU(PU)は、２つに分割されたBIO_vPU_ON判定のためのSAD計算領域であるvPUのうち、上(vPU番号＝０)のvPUについてSADが計算され、残りのvPU（下）においては、vPU番号＝０のvPUの結果がコピーして用いられる。

[0304] 図２３の下側においては、CU(PU)64×64以下で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU

)64×64以下の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが分割されず、１つで構成される。

[0305] ＜インター予測部の動作例＞

図２４および図２５は、図２３の場合のBIOを含むBi予測を説明するフローチャートである。

[0306] 図２４および図２５のステップＳ５０１乃至Ｓ５０８と、ステップＳ５１０乃至Ｓ５２６は、図１７および図１８のステップＳ４０１乃至Ｓ４２５と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。

[0307] 図２５のステップＳ５０８において、BIOコスト計算部２０４は、vPU内の4×4単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。4×4単位にSADを計算し、積み上げることで、SADの総和であるSAD_4×4ブロックが取得される。

[0308] ステップＳ５０９において、BIOコスト計算部２０４は、vPU番号が０であるか否かを判定する。

[0309] ステップＳ５０９において、vPU番号が０であると判定された場合、ステップＳ５１０に進む。

[0310] ステップＳ５１０において、BIOコスト計算部２０４は、vPU単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。vPU単位にSADを計算し、積み上げることで、SADの総和であるSAD_vPUが取得される。取得されたSAD_vPUは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0311] ステップＳ５１１において、BIO適用判定部２０５は、BIO_vPU_ONフラグを、BIOコスト計算部２０４から供給されるSAD_vPU＞＝インター予測制御部２０１から供給されるBIO閾値_vPUに基づいて決定する。その後、処理は、ステップＳ５１２に進む。

[0312] 一方、vPU番号が０ではないと判定された場合、ステップＳ５１０およびＳ

５１１はスキップされ、処理は、ステップＳ５１２に進む。

[0313] 以上のように、PUにおいて、ラスタスキャン順に最初に位置するvPUのときだけ、vPUのSADの積み上げとBIOの判定を行うようにしたので、アーリーターミネーションに係る処理や処理時間を短縮することができる。

[0314] ＜変形例２＞

図２６および図２７は、変形例２として、各vPU内の部分的なSAD値でBIOの適用判定を行う例を示す図である。

[0315] 図２６の上側においては、CU(PU)128×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×128の場合、CU(PU)は、２つに分割されたBIO_vPU_ON判定のためのSAD計算領域である各vPUにおいて、左上の一部分の領域(32×32)についてSADが計算される。

[0316] 図２６の下側においては、CU(PU)128×64で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×64の場合、CU(PU)は、２つに分割されたBIO_vPU_ON判定のためのSAD計算領域である各vPUにおいて、左上の一部分の領域(32×32)についてSADが計算される。

[0317] 図２７の上側においては、CU(PU)64×128で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)128×64の場合、CU(PU)は、２つに分割されたBIO_vPU_ON判定のためのSAD計算領域である各vPUにおいて、左上の一部分の領域(32×32)についてSADが計算される。

[0318] 図２７の下側においては、CU(PU)64×64以下で、VPDU＝64×64の場合における最初にBIOの適用判定のためにSADを計算した範囲が示されている。CU(PU)64×64以下の場合、CU(PU)は、BIO_vPU_ON判定のためのSAD計算領域であるvPUが分割されず、左上の一部分の領域(32×32)についてSADが計算される。

[0319] 以上のように、図２６および図２７においては、各vPUの左上1/4の領域でBIOの適用判定を行う例が示されているが、左上1/4の領域はHWでパイプライン

を組む場合との相性も考慮されている。BIOの適用判定が可能となるのは、左上1/4領域のL0予測ブロックとL1予測ブロックが準備できたときだからである。

[0320] 各vPUの一部の領域のみ、BIOの適用判定に用いるようにすることで、各パイプラインステージに用意しておくバッファをVPDUサイズからさらに削減することができる。

[0321] なお、一部の領域は、どんな大きさでもよく、例えば、0×0のサイズでコスト計算（SAD）をすることも可能である。すなわち、0ということは、コスト計算しないで、アーリーターミネーションをスキップすることと同意である。

[0322] さらに、各vPUのBIO_vPU_ONの判定するために必要なSADを計算する領域を動的に変更することも可能である。

[0323] ＜インター予測部の動作例＞

図２８および図２９は、各vPUのBIO_vPU_ONの判定のための部分的なSAD計算領域の判定処理を説明するフローチャートである。

[0324] 図２８および図２９では、L0予測ブロックとL1予測ブロックを生成するための２つのMVを水平成分と垂直成分の４つに分けて、参照位置が一番離れているものが動き情報として精度が悪いと仮定して、その領域をBIOで補正する効果があるかが判定される。この処理は、例えば、図２５のステップＳ５０９の前に行われる。この場合、ステップＳ５０９においては、設置された領域であるか否かが判定され、ステップＳ５１０およびＳ５１１の処理は、設定された領域のみ行われるようなフローが考えられる。

[0325] ステップＳ６０１において、インター予測制御部２０１は、L0予測のMVL0x、MVL0yとL1予測のMVL1x、MVL1yとを取得する。

[0326] ステップＳ６０２において、インター予測制御部２０１は、４つのMVから絶対値最大のMVを選択してMV_MAXに代入する。

[0327] ステップＳ６０３において、インター予測制御部２０１は、|MV_MAX|＜MV_閾値であるか否かを判定する。

[0328] ステップＳ６０３において、|MV_MAX|＜MV_閾値であると判定された場合、処理は、ステップＳ６０４に進む。

[0329] ステップＳ６０４において、インター予測制御部２０１は、vPUの中心部をSAD計算領域に設定する。

[0330] ステップＳ６０５において、インター予測制御部２０１は、PUサイズ＜vPUサイズであるか否かを判定する。

[0331] ステップＳ６０５において、PUサイズ＜vPUサイズであると判定された場合、処理は、ステップＳ６０６に進む。

[0332] ステップＳ６０６において、インター予測制御部２０１は、水平サイズ＝水平PUサイズ／２とし、垂直サイズ＝垂直PUサイズ／２とする。

[0333] ステップＳ６０５において、PUサイズ＜vPUサイズではないと判定された場合、処理は、ステップＳ６０７に進む。

[0334] ステップＳ６０７において、インター予測制御部２０１は、水平サイズ＝水平vPUサイズ／２とし、垂直サイズ＝垂直vPUサイズ／２とする。

[0335] 一方、ステップＳ６０３において、|MV_MAX|＜MV_閾値ではないと判定された場合、処理は、ステップＳ６０８に進む。

[0336] ステップＳ６０８において、インター予測制御部２０１は、MV_MAX==MVL0x||MV_MAX==MVL1xであるか否かを判定する。

[0337] ステップＳ６０８において、MV_MAX==MVL0x||MV_MAX==MVL1xであると判定された場合、処理は、ステップＳ６０９に進む。

[0338] ステップＳ６０９において、インター予測制御部２０１は、MV_MAXが０より小さいか否かを判定する。

[0339] ステップＳ６０９において、MV_MAXが０より小さいと判定された場合、処理は、ステップＳ６１０に進む。

[0340] ステップＳ６１０において、インター予測制御部２０１は、vPUの左側をSAD計算領域に設定する。

[0341] ステップＳ６０９において、MV_MAXが０以上であると判定された場合、処理は、ステップＳ６１１に進む。

[0342] ステップＳ６１１において、インター予測制御部２０１は、vPUの右側をSAD計算領域に設定する。

[0343] ステップＳ６１０またはＳ６１１の後、処理は、ステップＳ６１２に進む。

[0344] ステップＳ６１２において、インター予測制御部２０１は、PUサイズ＜vPUサイズであるか否かを判定する。

[0345] ステップＳ６１２において、PUサイズ＜vPUサイズであると判定された場合、処理は、ステップＳ６１３に進む。

[0346] ステップＳ６１３において、インター予測制御部２０１は、水平サイズ＝水平PUサイズ／４とし、垂直サイズ＝垂直PUサイズとする。

[0347] ステップＳ６１２において、PUサイズ＜vPUサイズではないと判定された場合、処理は、ステップＳ６１４に進む。

[0348] ステップＳ６１４において、インター予測制御部２０１は、水平サイズ＝水平vPUサイズ／４とし、垂直サイズ＝垂直vPUサイズとする。

[0349] また、ステップＳ６０８において、MV_MAX==MVL0x||MV_MAX==MVL1xではないと判定された場合、処理は、ステップＳ６１５に進む。

[0350] ステップＳ６１５において、インター予測制御部２０１は、MV_MAX＜０であるか否かを判定する。

[0351] ステップＳ６１５において、MV_MAX＜０であると判定された場合、処理は、ステップＳ６１６に進む。

[0352] ステップＳ６１６において、インター予測制御部２０１は、vPUの上側をSAD計算領域に設定する。

[0353] ステップＳ６１５において、MV_MAX＜０ではないと判定された場合、処理は、ステップＳ６１７に進む。

[0354] ステップＳ６１７において、インター予測制御部２０１は、vPUの下側をSAD計算領域に設定する。

[0355] ステップＳ６１６またはＳ６１７の後、処理は、ステップＳ６１８に進む。

[0356] ステップＳ６１８において、インター予測制御部２０１は、PUサイズ＜vPUサイズであるか否かを判定する。

[0357] ステップＳ６１８において、PUサイズ＜vPUサイズであると判定された場合、処理は、ステップＳ６１９に進む。

[0358] ステップＳ６１９において、インター予測制御部２０１は、水平サイズ＝水平PUサイズとし、垂直サイズ＝垂直PUサイズ／４とする。

[0359] ステップＳ６１８において、PUサイズ＜vPUサイズではないと判定された場合、処理は、ステップＳ６２０に進む。

[0360] ステップＳ６２０において、インター予測制御部２０１は、水平サイズ＝水平vPUサイズとし、垂直サイズ＝垂直vPUサイズ／４とする。

[0361] ステップＳ６０６、ステップＳ６０７、ステップＳ６１３、ステップＳ６１４、ステップＳ６１９、およびステップＳ６２０の後、処理は、図２９のステップＳ６２１に進む。

[0362] ステップＳ６２１において、インター予測制御部２０１は、水平サイズ＜４であるか否かを判定する。

[0363] ステップＳ６２１において、水平サイズ＜４であると判定された場合、処理は、ステップＳ６２２に進む。

[0364] ステップＳ６２２において、インター予測制御部２０１は、水平サイズ＝４とし、処理は、ステップＳ６２３に進む。

[0365] ステップＳ６２１において、水平サイズ＜４ではないと判定された場合、ステップＳ６２２はスキップされ、処理は、ステップＳ６２３に進む。

[0366] ステップＳ６２３において、インター予測制御部２０１は、垂直サイズ＜４であるか否かを判定する。

[0367] ステップＳ６２３において、垂直サイズ＜４であると判定された場合、処理は、ステップＳ６２４に進む。

[0368] ステップＳ６２４において、インター予測制御部２０１は、垂直サイズ＝４とし、BIO_vPU_ON判定のための部分的なSAD計算領域の判定処理は終了される。

[0369] ステップＳ６２３において、垂直サイズ＜４ではないと判定された場合、ステップＳ６２４はスキップされ、BIO_vPU_ON判定のための部分的なSAD計算領域の判定処理は終了される。

[0370] 以上のような部分的にSAD計算を行ってのBIOの適用判定を行うような処理も、FRUCやDMVRに適用することは可能である。しかしながら、BIOのアーリーターミネーション目的とは異なり、FRUCやDMVRでは、SADまたは類似のコスト計算とその後の判定が、ダイレクトにインター予測精度に反映される。したがって、コスト計算を省略した場合のペナルティが大きくなる恐れがあるため、部分的にSAD計算を行い、BIOの適用判定を行うような処理は、BIO特有の処理といえる。

[0371] ＜２．第２の実施の形態（フラグによる動作の共有の例）＞

第２の実施の形態では、第１の実施の形態と同様に、PUがVPDUより大きい場合、PUが仮想的にvPUに分割され、vPU単位で処理が行われる。

[0372] 第１の実施の形態との違いとしては、第２の実施の形態においては、符号化装置１と復号装置１０１の間で送受信されるビットストリームに、BIO_PU_ONフラグを1ビット含ませることで、符号化装置１と復号装置１０１で動作を共有させることができる。

[0373] ＜インター予測部の動作例＞

図３０および図３１は、本技術の第２の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0374] 図３０および図３１のステップＳ７０１乃至Ｓ７０８と、ステップＳ７１５乃至Ｓ７２８は、図１７および図１８のステップＳ４０１乃至Ｓ４０８と、ステップＳ４１２乃至Ｓ４２５と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。

[0375] 図３０のステップＳ７０８において、BIOコスト計算部２０４は、vPU内の4×4単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。4×4単位にSADを計算し、積み上げることで、SADの総和であるSAD_4×4ブロックが

取得される。

[0376] ステップＳ７０９において、インター予測制御部２０１は、vPU数が１であるか否かを判定する。

[0377] ステップＳ７０９において、vPU数が１であると判定された場合、処理は、ステップＳ７１０に進む。ステップＳ７１０およびＳ７１１においては、PU単位と同様な処理が行われる。

[0378] ステップＳ７１０において、BIOコスト計算部２０４は、BIOコスト計算部２０４は、vPU単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。vPU単位にSADを計算し、積み上げることで、SADの総和であるSAD_PUが取得される。取得されたSAD_PUは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0379] ステップＳ７１１において、BIO適用判定部２０５は、BIO_PU_ONフラグを、BIOコスト計算部２０４から供給されるSAD_PU＞＝インター予測制御部２０１から供給されるBIO閾値_PUに基づいて決定する。その後、処理は、ステップＳ７１４に進む。

[0380] ステップＳ７０９において、vPU番号が１ではないと判定された場合、処理は、ステップＳ７１２に進む。

[0381] ステップＳ７１２において、インター予測制御部２０１は、vPU番号が０であるか否かを判定する。

[0382] ステップＳ７０９において、vPU番号が０であると判定された場合、処理は、ステップＳ７１３に進む。

[0383] ステップＳ７１３において、インター予測制御部２０１は、BIO_PU_ONを設定する。符号化装置１の場合、動き探索(ME)結果などから決定されたBIO_PU_ONが設定される。復号装置１０１の場合、ストリームから取得されたBIO_PU_ONが設定される。

[0384] ステップＳ７１２において、vPU番号が０ではいと判定された場合、ステップＳ７１３をスキップし、処理は、図３１のステップＳ７１４に進む。

[0385] ステップＳ７１４において、BIO_PU_ONフラグが1であるか否かが判定される。

[0386] ステップＳ７１４において、BIO_PU_ONフラグが1ではないと判定された場合、PU全体に対してBIOの効果がないとして、処理は、ステップＳ７１５に進む。

[0387] ステップＳ７１５において、Bi予測ブロック生成部２０６は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測ブロックvPUを生成する。生成されたBi予測ブロックvPUは、バッファに保存するとともに、Bi予測ブロック生成部２０６からBi予測ブロック選択部２０８に供給される。

[0388] 一方、ステップＳ７１４において、BIO_PU_ONフラグが1であると判定された場合、処理は、ステップＳ７１６に進む。

[0389] ステップＳ７１６において、BIO処理を含むBi予測ブロック生成部２０７は、L0予測ブロック生成部２０２から供給されるL0予測ブロックとL1予測ブロック生成部２０３から供給されるL1予測ブロックとから、複数の勾配を計算する。

[0390] 以上のように、ビットストリームに、BIO_PU_ONフラグを含ませることにより、符号化装置１と復号装置１０１で動作を共有化することが可能となる。

[0391] なお、ビットストリームにフラグを含ませることは、符号化効率の悪化が懸念されるので、BIO_PU_ONフラグは、すべてのレイヤーに含ませるのではなく、１ビットの価値が相対的に小さいPUがVPDUより大きい場合に限定する。PUがVPDUより大きい以外の場合のPUでは、図３０のステップＳ７０９乃至Ｓ７１３に示すように、第１の実施の形態の場合と同様に、PUでSAD値を計算して、BIO適用判定するようにする。

[0392] BIO_PU_ONフラグがビットストリームに含まれる場合は、符号化装置１が自由に０または１にしてよい。符号化装置１が十分に高性能であれば、BIO_PU_ONフラグを０と１の両方で動き補償して、良好な結果が得られた方を決定するような判定方法もある。また、PUサイズに応じて128×128は、BIO_PU_ONフ

ラグを０、それ以外は１に決めうちする判定方法でもよい。

[0393] 一方、復号装置１０１では、PUがVPDUより大きいBi予測モードのCUのPUレイヤーでBIO_PU_ONフラグが復号されているので、vPU番号が０のとき、ステップＳ７１３でBIO_PU_ONフラグを取得して、処理が進められる。vPU番号が１以降のvPUでは、BIO_PU_ONフラグが設定済みのため、処理は、ステップＳ７１３をスキップし、ステップＳ７１２から、ステップＳ７１４に進む。

[0394] 上述した第２の実施の形態と同様の手法をFRUCやDMVRに適用するのは、不可能ではないが、殆ど意味がない。なぜならば、MV補正のためのデータをビットストリームでもつのは、差分MV(MVD)を符号化することと同義であるからである。

[0395] ＜３．第３の実施の形態（sPUによる分割の例）＞

第３の実施の形態では、第１の実施の形態と仮想的な分割のサイズが異なり、PUがVPDUより大きい場合、PUが仮想的にsPUに分割され、sPU単位で処理が行われる。

[0396] すなわち、SAD計算して、BIOの適用判定する処理単位は、VPDU境界を跨がすVPDUサイズ以下であればよいので、第３の実施の形態では、別途、与えられた情報でPUが複数のsPUに仮想的に分割され、sPU毎にBIOの適用判定が行われる。

[0397] 情報の与え方としては、BIO_MAX_SAD_BLOCK_SIZEのような変数をビットストリームに追加し含めることで、符号化装置１と復号装置１０１で共有する。

[0398] 図３２は、BIO_MAX_SAD_BLOCK_SIZEとsPUの対応関係を示す図である。

[0399] BIO_MAX_SAD_BLOCK_SIZEが１の場合、sPUサイズは、8×8とされる。BIO_MAX_SAD_BLOCK_SIZEが２の場合、sPUサイズは、16×16とされる。BIO_MAX_SAD_BLOCK_SIZEが３の場合、sPUサイズは、32×32とされる。BIO_MAX_SAD_BLOCK_SIZEが４の場合、sPUサイズは、64×64とされる。

[0400] BIO_MAX_SAD_BLOCK_SIZEの値は、個々の符号化装置１の性能によって任意の値を設定してもよいし、規格として、Profile／Level制約として決めてお

いてもよい。扱うピクチャサイズに応じて、SD以下で0、HDで1、4Kで2、8kで3のようなLevel制約である。

[0401] ＜インター予測部の動作例＞

図３３および図３４は、本技術の第３の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0402] なお、図３３および図３４のステップＳ８０１乃至Ｓ８２５は、vPUが、サイズの異なるsPUと入れ替わっただけであり、図１７および図１８のステップＳ４０１乃至Ｓ４２５と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。

[0403] 図３５および図３６は、BIO_MAX_SAD_BLOCK_SIZEを２とした場合の各PUのSADを計算する領域の例を示す図である。

[0404] 図３５の上側においては、CU(PU)128×128で、VPDU＝64×64で、BIO_MAX_SAD_BLOCK_SIZEを２（sPU=32×32）とした場合の各sPUのSADを計算する領域が示されている。図３５の上側の場合、sPUは、VPDUの境界を跨がず、PUを16分割している。

[0405] 図３５の下側においては、CU(PU)128×64で、VPDU＝64×64で、BIO_MAX_SAD_BLOCK_SIZEを２（sPU=32×32）とした場合の各sPUのSADを計算する領域が示されている。図３５の下側の場合、sPUは、VPDUの境界を跨がず、PUを8分割している。

[0406] 図３６の上側においては、CU(PU)64×128で、VPDU＝64×64で、BIO_MAX_SAD_BLOCK_SIZEを２（sPU=32×32）とした場合の各sPUのSADを計算する領域が示されている。図３６の上側の場合、sPUは、VPDUの境界を跨がず、PUを8分割している。

[0407] 図３６の下側においては、CU(PU)64×64以下で、VPDU＝64×64で、BIO_MAX_SAD_BLOCK_SIZEを2（sPU=32×32）とした場合の各sPUのSADを計算する領域が示されている。図３６の上側の場合、sPUは、VPDUの境界を跨がず、PUを4分割している。

[0408] 以上のように、本技術の第３の実施の形態においては、別途、与えられた

情報でPUが複数のsPUに仮想的に分割され、sPU毎にBIOの適用判定が行われる。これにより、vPUの場合のバッファサイズより、バッファサイズをさらに小さくすることができる。

[0409] ＜４．第４の実施の形態（BIOの使用禁止の例）＞

第４の実施の形態では、PUがVPDUより大きい場合、BIOを使用しないように制約される。これにより、バッファサイズが削減可能である。

[0410] ＜インター予測部の動作例＞

図３７および図３８は、本技術の第４の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0411] 図３７および図３８のステップＳ９０１乃至Ｓ９０７、およびＳ９２６は、図１７および図１８のステップＳ４０１乃至Ｓ４０７、およびＳ４２５と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。また、図３７および図３８のステップＳ９０９乃至Ｓ９２５は、図１５および図１６のステップＳ３０４乃至Ｓ３２０と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。

[0412] ステップＳ９０７において、L1予測ブロック生成部２０３は、vPU番号の領域のL1予測ブロックを生成する。

[0413] ステップＳ９０８において、インター予測制御部２０１は、１＜vPU数であるか否かを判定する。

[0414] ステップＳ９０８において、１＜vPU数ではないと判定された場合、ステップＳ９０９に進む。vPU数が１である場合、すなわち、vPU=PUであり、ステップＳ９０９以降においては、図１５のステップＳ３０９以降の処理と同様の処理が行われる。

[0415] ステップＳ９０８において、１＜vPU数であると判定された場合、図３８のステップＳ９１３に進む。

[0416] また、ステップＳ９１２において、BIO_vPU_ONフラグが1ではないと判定された場合、vPU全体に対してBIOの効果がないとして、処理は、ステップＳ９１３に進む。

[0417] ステップＳ９１３において、Bi予測ブロック生成部２０６は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測ブロックvPUを生成する。生成されたBi予測ブロックvPUは、バッファに保存するとともに、Bi予測ブロック生成部２０６からBi予測ブロック選択部２０８に供給される。

[0418] 以上のように、図３７および図３８においては、ステップＳ９０７乃至Ｓ９１３に、複数のvPUがあるか否か、すなわち、PUがVPDUより大きいか否かを判定する条件分岐ステップとして、ステップＳ９０８が追加されている。

[0419] PUがVPDUより大きい場合は、ステップＳ９０８からステップＳ９１３の通常のBi予測に分岐されるので、BIOを使用しないため、PU全体でのSAD値を計算する必要がなく、図４と同様に、PUを仮想的なvPUに分割しての処理が可能となる。

[0420] ステップＳ９０８からステップＳ９０９に分岐してからのステップＳ９０９乃至Ｓ９２５は、従来のBIOを含むBi予測（図１５および図１６のＳ３０４乃至Ｓ３２０）と同様の処理である。ただし、ステップＳ９０９に分岐するのは、PUがVPDU以下の場合であるので、PU全体でSAD計算する場合、VPDU以下のリソースがあれば十分足りる。

[0421] ＜５．第５の実施の形態（常時BIOの適用の例）＞

第５の実施の形態では、PUがVPDUより大きい場合、常時BIOを適用するようにすることで、バッファサイズを削減するようにした。

[0422] ＜インター予測部の動作例＞

図３９および図４０は、本技術の第５の実施の形態の動作例として、インター予測部５１が行うBIOを含むBi予測を説明するフローチャートである。

[0423] 図３９および図４０のステップＳ１００１乃至Ｓ１００８、およびＳ１０２６は、図１７および図１８のステップＳ４０１乃至Ｓ４０８、およびＳ４２５と基本的に同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。また、図３９および図４０のステップＳ１０１４乃至Ｓ１０２５は、図１５および図１６のステップＳ３０９乃至Ｓ３２０と基本的に

同様の処理を行うので、その説明は繰り返しになるので、適宜、省略される。

[0424] ステップＳ１００８において、BIOコスト計算部２０４は、vPU内の4×4単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。4×4単位にSADを計算し、積み上げることで、SADの総和であるSAD_4×4ブロックが取得される。

[0425] ステップＳ１００９において、インター予測制御部２０１は、１＜vPU数であるか否かを判定する。

[0426] ステップＳ１００９において、１＜vPU数ではないと判定された場合、処理は、ステップＳ１０１０に進む。

[0427] ステップＳ１０１０において、BIOコスト計算部２０４は、PU単位に、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とのSADを計算する。PU単位にSADを計算し、積み上げることで、SADの総和であるSAD_PUが取得される。取得されたSAD_PUは、BIOコスト計算部２０４からBIO適用判定部２０５に供給される。

[0428] ステップＳ１０１１において、BIO適用判定部２０５は、BIO_PU_ONフラグを、BIOコスト計算部２０４から供給されるSAD_PU＞＝インター予測制御部２０１から供給されるBIO閾値_PUに基づいて決定する。

[0429] ステップＳ１０１２において、BIO_PU_ONフラグが1であるか否かが判定される。

[0430] ステップＳ１０１２において、BIO_PU_ONフラグが1ではないと判定された場合、vPU全体に対してBIOの効果がないとして、処理は、図４０のステップＳ１０１３に進む。

[0431] ステップＳ１０１３において、Bi予測ブロック生成部２０６は、L0予測ブロック生成部２０２から供給されるL0予測画像とL1予測ブロック生成部２０３から供給されるL1予測画像とから、Bi予測ブロックvPUを生成する。生成されたBi予測ブロックvPUは、バッファに保存するとともに、Bi予測ブロック生

成部２０６からBi予測ブロック選択部２０８に供給される。

[0432] ステップＳ１０１２において、BIO_PU_ONフラグが1であると判定された場合、処理は、図４０のステップＳ１０１４に進む。

[0433] また、ステップＳ１００９において、１＜vPU数であると判定された場合、ステップＳ１０１４に進む。

[0434] ステップＳ１０１４以降においては、図１５のステップＳ３０９乃至Ｓ３２０と同様のBIO処理が行われる。

[0435] 以上のように、図３９および図４０においては、ステップＳ１００９において、複数のvPUがあるか否か、すなわち、PUがVPDUより大きいか否かを判定する条件分岐が追加される。

[0436] PUがVPDUより大きい場合は、Ｓ１０１０乃至Ｓ１０１２のSAD計算から閾値判定までをバイパスして、ステップＳ１０１４以降のBIOを適用する処理に入るため、PU全体でSADの計算をする必要がなく、図４と同様に、PUを仮想的なvPUに分割しての処理が可能となる。

[0437] ステップＳ１０１０乃至Ｓ１０１２に入るのは、PUがVPDU以下の場合のため、PU全体でSAD計算するにしてもVPDU以下のリソースがあれば十分足りる。

[0438] なお、第５の実施の形態は、FRUCやDMVRに適用することはできない。BIOのSAD計算はアーリーターミネーション目的のため、第５の実施の形態のようにPUサイズのようなほかの判定基準にてコスト計算を回避することが可能である。FRUCやDMVRのコスト計算はMV補正の根幹処理であり、回避することが困難であるからである。

[0439] 以上、本技術によれば、BIOなどの双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当の分割処理単位（例えば、vPU）またはVPDUサイズ以下の分割処理単位（例えば、sPU）に分割し、分割された処理単位に基づいて計算されたコストを用いて判定を行うようにした。これにより、バッファサイズを削減することができる。

[0440] VVCでBIOを実施可能であるため、必要な各種バッファのサイズを、従来のバッファサイズの1/4に削減することができる。

[0441] また、HW構成を最適化することも可能となり、一部のバッファを、従来の１/4より大幅に削減しつつ、BIOを実装することが可能となる。

[0442] ＜６．第６の実施の形態（コンピュータ）＞

＜コンピュータの構成例＞

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または汎用のパーソナルコンピュータなどに、プログラム記録媒体からインストールされる。

[0443] 図４１は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

[0444] CPU(Central Processing Unit)３０１、ROM(Read Only Memory)３０２、RAM(Random Access Memory)３０３は、バス３０４により相互に接続されている。

[0445] バス３０４には、さらに、入出力インタフェース３０５が接続されている。入出力インタフェース３０５には、キーボード、マウスなどよりなる入力部３０６、ディスプレイ、スピーカなどよりなる出力部３０７が接続される。また、入出力インタフェース３０５には、ハードディスクや不揮発性のメモリなどよりなる記憶部３０８、ネットワークインタフェースなどよりなる通信部３０９、リムーバブルメディア３１１を駆動するドライブ３１０が接続される。

[0446] 以上のように構成されるコンピュータでは、CPU３０１が、例えば、記憶部３０８に記憶されているプログラムを入出力インタフェース３０５及びバス３０４を介してRAM３０３にロードして実行することにより、上述した一連の処理が行われる。

[0447] CPU３０１が実行するプログラムは、例えばリムーバブルメディア３１１に記録して、あるいは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供され、記憶部３

０８にインストールされる。

[0448] なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

[0449] なお、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にあるか否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、１つの筐体の中に複数のモジュールが収納されている１つの装置は、いずれも、システムである。

[0450] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0451] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0452] 例えば、本技術は、１つの機能をネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

[0453] また、上述のフローチャートで説明した各ステップは、１つの装置で実行する他、複数の装置で分担して実行することができる。

[0454] さらに、１つのステップに複数の処理が含まれる場合には、その１つのステップに含まれる複数の処理は、１つの装置で実行する他、複数の装置で分担して実行することができる。

[0455] ＜構成の組み合わせ例＞

本技術は、以下のような構成をとることもできる。

（１） 双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割する制御部と、

前記分割処理単位に基づいて計算された前記コストを用いて前記判定を行

う判定部と

を備える画像処理装置。

（２） 前記判定部は、前記分割処理単位毎に計算された前記コストを用いて前記判定を行う

前記（１）に記載の画像処理装置。

（３） 前記判定部は、最初の前記分割処理単位に対して計算された前記コストを用いて前記最初の前記分割処理単位の前記判定を行い、前記最初の前記分割処理単位の前記判定の結果を用いて他の前記分割処理単位の前記判定を行う

前記（１）に記載の画像処理装置。

（４） 前記判定部は、前記分割処理単位内の一部の領域に対して計算された前記コストを用いて前記分割処理単位毎の前記判定を行う

前記（１）に記載の画像処理装置。

（５） 前記判定部は、前記分割処理単位毎に対して設定された前記双方向予測を行うか否かを示すフラグに基づいて、前記分割処理単位毎の前記判定を行う

前記（１）に記載の画像処理装置。

（６） 前記双方向予測は、BIOを適用した前記双方向予測である

前記（１）乃至（５）のいずれかに記載の画像処理装置。

（７） 前記双方向予測は、FRUCまたはDMVRを適用した前記双方向予測である

前記（１）または（２）に記載の画像処理装置。

（８） 画像処理装置が、

双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割し、

前記分割処理単位に基づいて計算された前記コストを用いて前記判定を行う

画像処理方法。

符号の説明

[0456] １　符号化装置，　３６　可逆符号化部，　４７　動き予測・補償部，５１　インター予測部，　１０１　復号装置，　１３２　可逆復号部，２０１　インター予測制御部，　２０２　L0予測ブロック生成部，　２０３　L1予測ブロック生成部，　２０４　BIOコスト計算部，　２０５　BIO適用判定部，　２０６　Bi予測ブロック生成部，　２０７　BIO処理を含むBi予測ブロック生成部，　２０８　Bi予測ブロック選択部，　２０９　予測ブロック選択部

請求の範囲

[請求項1] 双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割する制御部と、

前記分割処理単位に基づいて計算された前記コストを用いて前記判定を行う判定部と

を備える画像処理装置。

[請求項2] 前記判定部は、前記分割処理単位毎に計算された前記コストを用いて前記判定を行う

請求項１に記載の画像処理装置。

[請求項3] 前記判定部は、最初の前記分割処理単位に対して計算された前記コストを用いて前記最初の前記分割処理単位の前記判定を行い、前記最初の前記分割処理単位の前記判定の結果を用いて他の前記分割処理単位の前記判定を行う

請求項１に記載の画像処理装置。

[請求項4] 前記判定部は、前記分割処理単位内の一部の領域に対して計算された前記コストを用いて前記分割処理単位毎の前記判定を行う

請求項１に記載の画像処理装置。

[請求項5] 前記判定部は、前記分割処理単位毎に対して設定された前記双方向予測を行うか否かを示すフラグに基づいて、前記分割処理単位毎の前記判定を行う

請求項１に記載の画像処理装置。

[請求項6] 前記双方向予測は、BIOを適用した前記双方向予測である

請求項１に記載の画像処理装置。

[請求項7] 前記双方向予測は、FRUCまたはDMVRを適用した前記双方向予測である

請求項１に記載の画像処理装置。

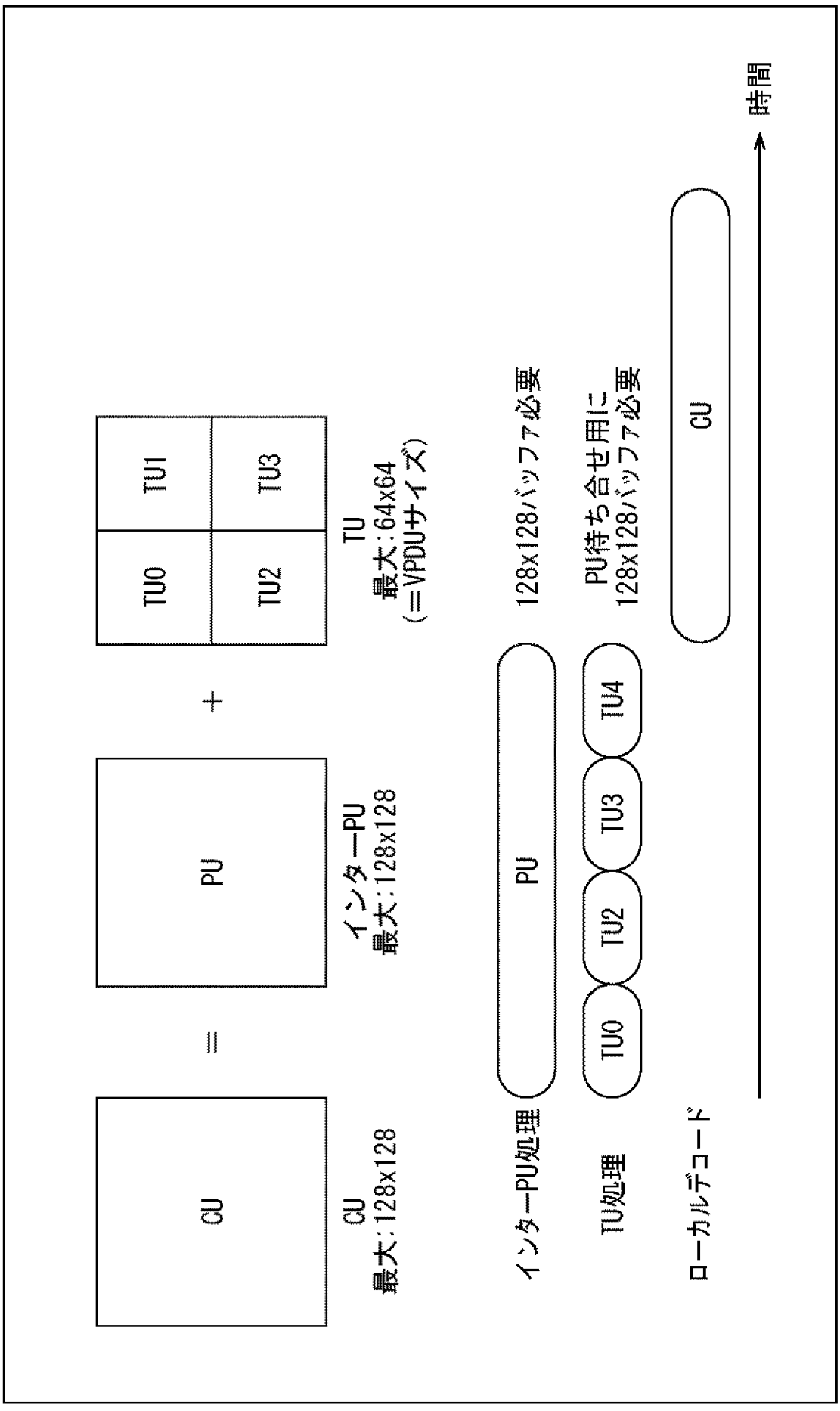
[請求項8] 画像処理装置が、

双方向予測を行うか否かについての判定に用いるコストを計算する処理単位をVPDUサイズ相当、またはVPDUサイズ以下の分割処理単位に分割し、

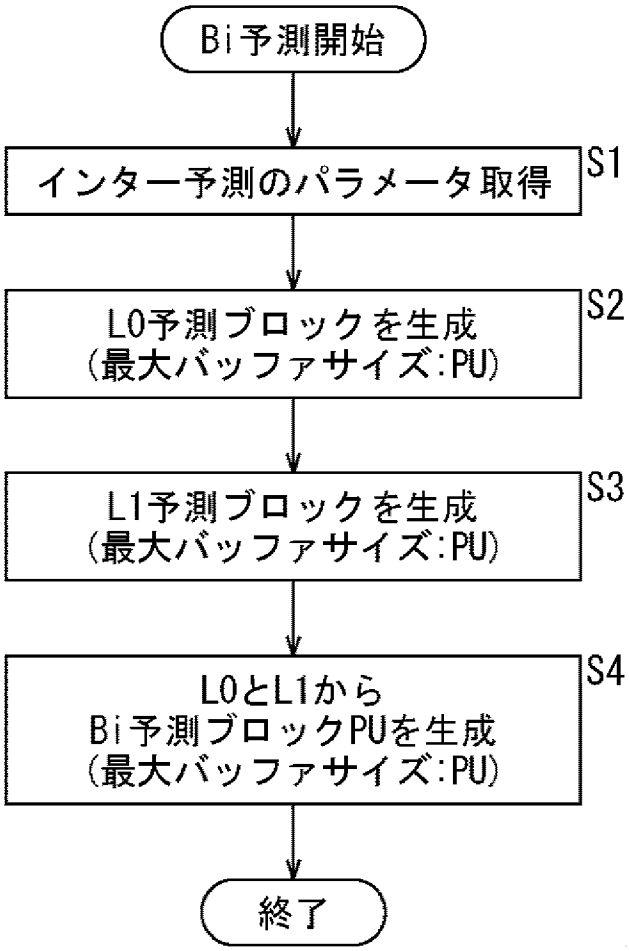
前記分割処理単位に基づいて計算された前記コストを用いて前記判定を行う

画像処理方法。

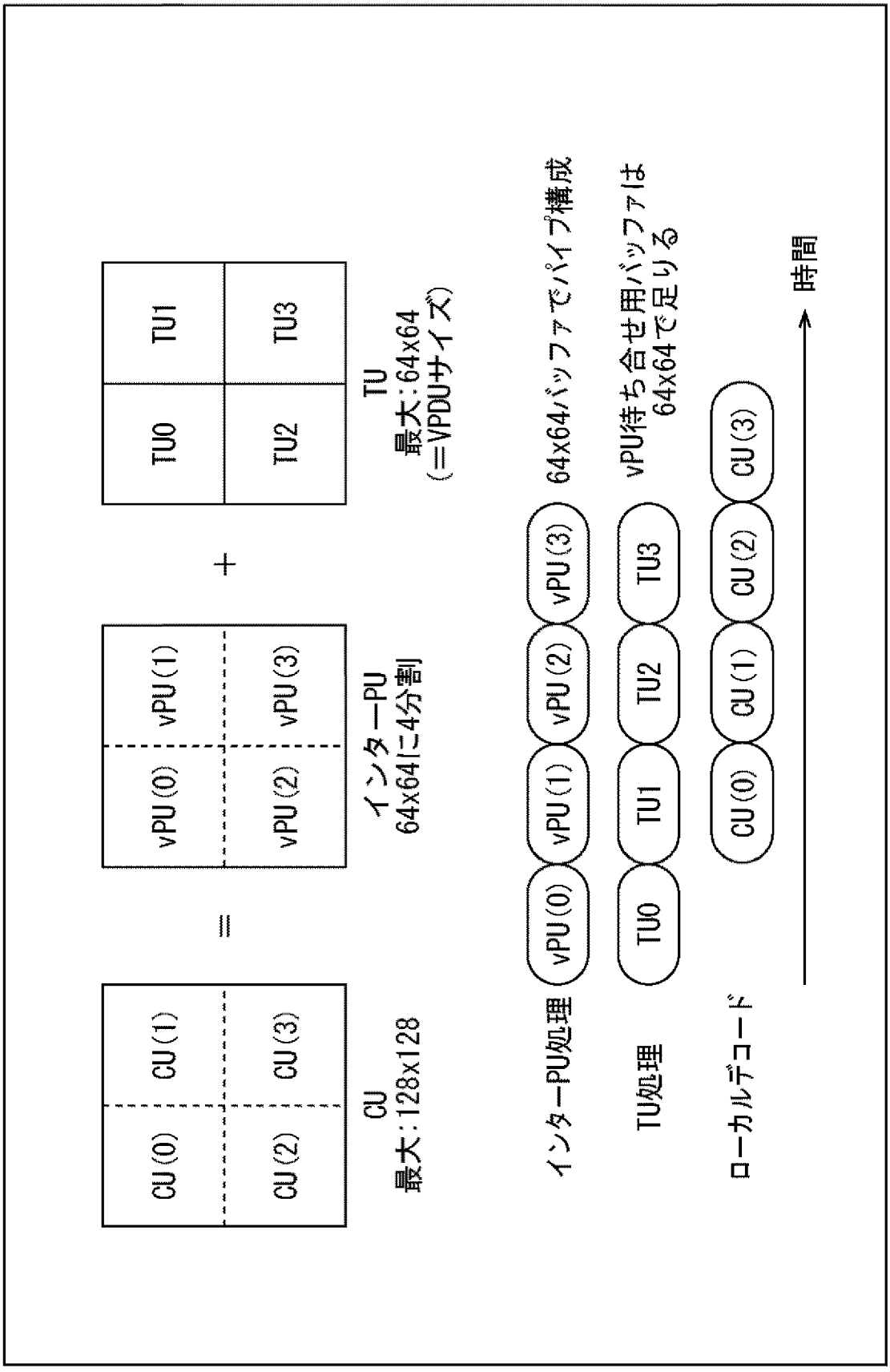
[図1]
FIG. 1


CU
=
PU
+
TU0
TU1
TU2
TU3
CU
最大:128x128
インター-PU
最大:128x128
TU
最大:64x64
(=VPDUサイズ)
インター-PU処理
PU
128x128バッファ必要
TU処理
TU0
TU2
TU3
TU4
PU待ち合せ用に
128x128バッファ必要
ローカルデコード
CU
時間

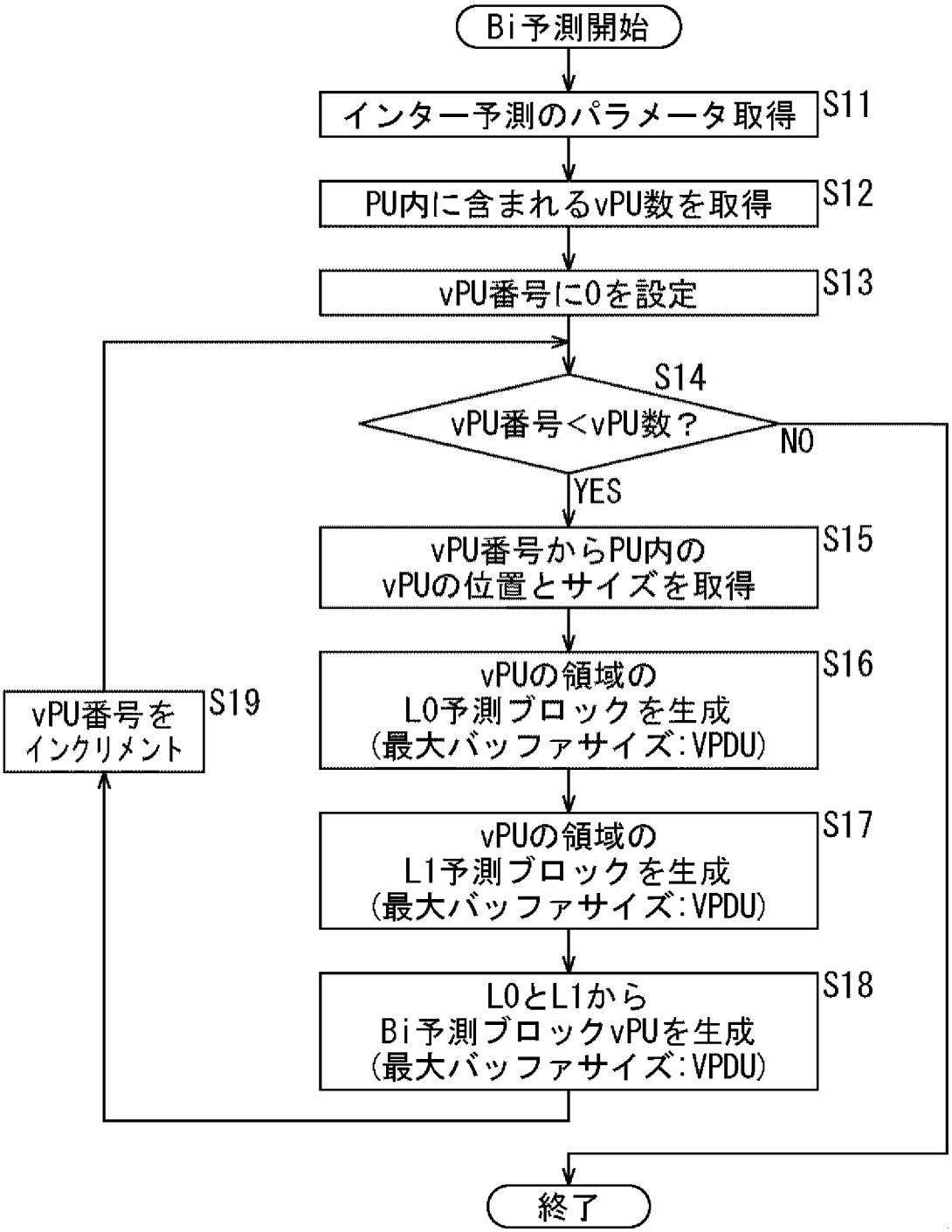
[図2]
FIG. 2


Bi予測開始
インター予測のパラメータ取得
S1
L0予測ブロックを生成
(最大バッファサイズ:PU)
S2
L1予測ブロックを生成
(最大バッファサイズ:PU)
S3
L0とL1から
Bi予測ブロックPUを生成
(最大バッファサイズ:PU)
S4
終了

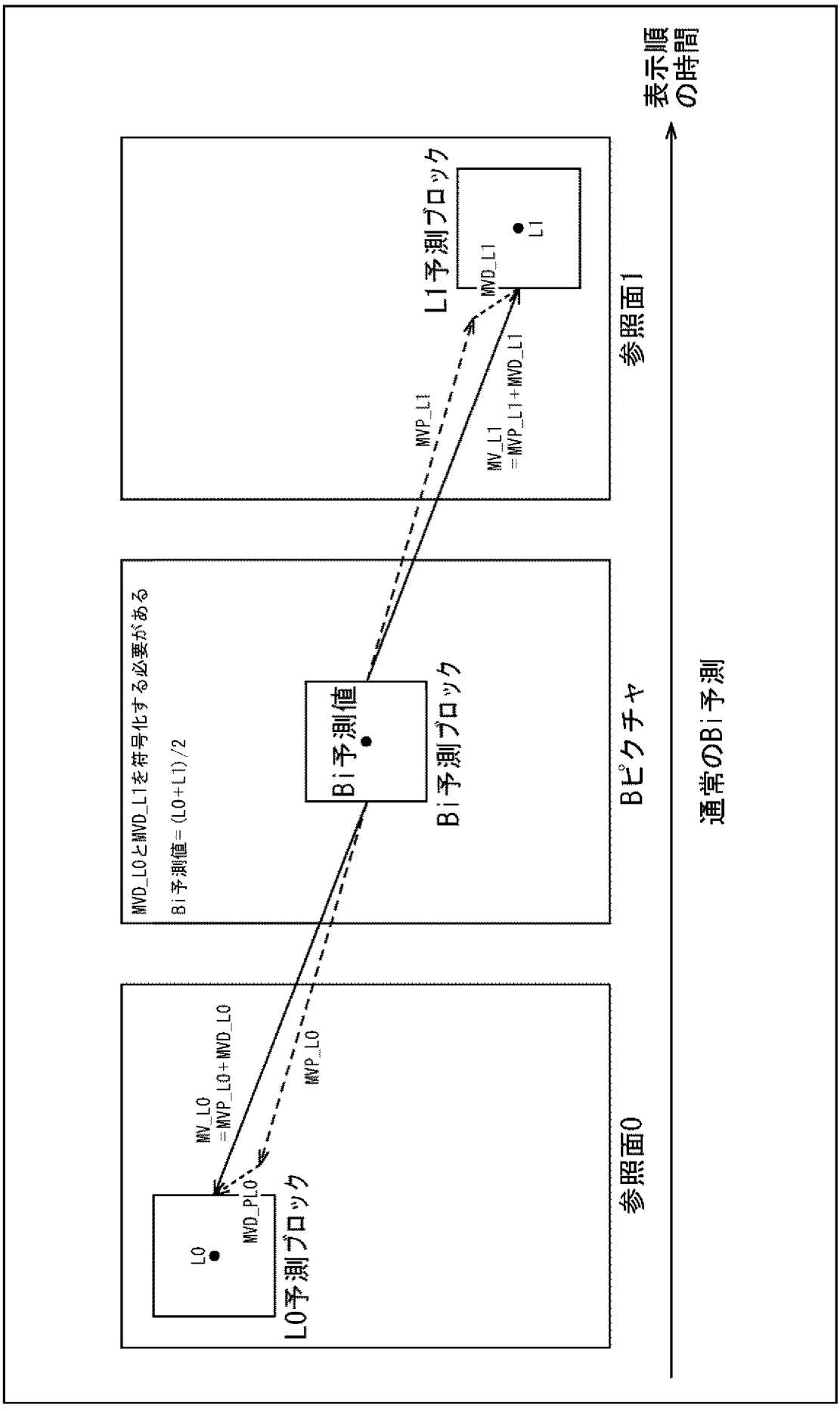
[図3]
FIG. 3


CU(0)
CU(1)
CU(2)
CU(3)
CU
最大:128x128
=
vPU(0)
vPU(1)
vPU(2)
vPU(3)
インターPU
64x64に4分割
+
TU0
TU1
TU2
TU3
TU
最大:64x64
(=VPDUサイズ)
インターPU処理
TU処理
ローカルデコード
64x64バッファでパイプ構成
vPU待ち合せ用バッファは
64x64で足りる
時間

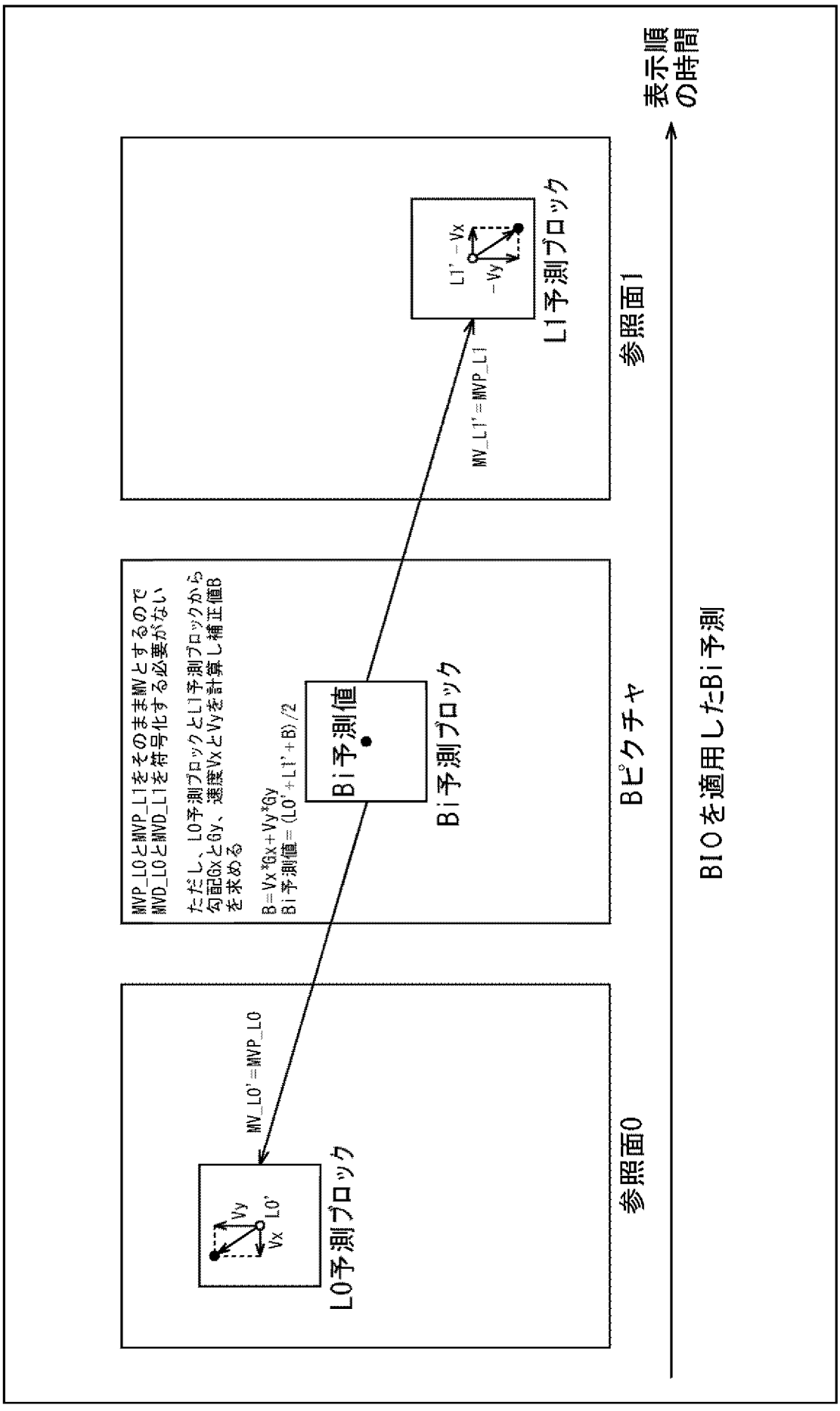
[図4]
FIG. 4


Bi予測開始
インター予測のパラメータ取得
S11
PU内に含まれるvPU数を取得
S12
vPU番号に0を設定
S13
S14
vPU番号＜vPU数？
NO
YES
vPU番号からPU内の
vPUの位置とサイズを取得
S15
vPUの領域の
L0予測ブロックを生成
(最大バッファサイズ:VPDU)
S16
vPUの領域の
L1予測ブロックを生成
(最大バッファサイズ:VPDU)
S17
L0とL1から
Bi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S18
vPU番号を
インクリメント
S19
終了

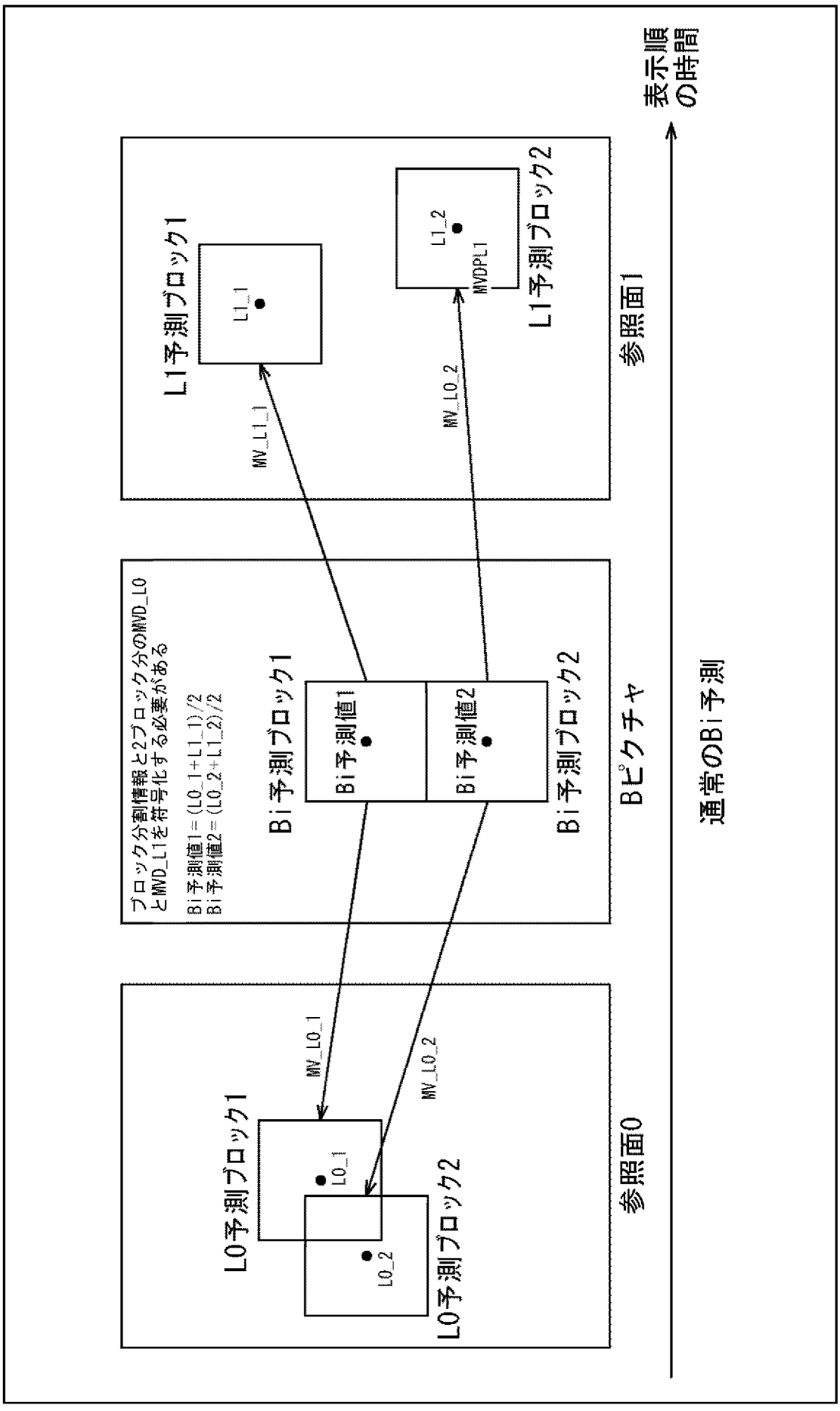
[図5]
FIG. 5


表示順の時間
参照面1
L1予測ブロック
L1
MVD_L1
MVP_L1
MV_L1
=MVP_L1+MVD_L1
Bピクチャ
MVD_L0とMVD_L1を符号化する必要がある
Bi予測値=(L0+L1)/2
Bi予測値
Bi予測ブロック
参照面0
MV_L0
=MVP_L0+MVD_L0
MVP_L0
L0
MVD_PL0
L0予測ブロック
通常のBi予測

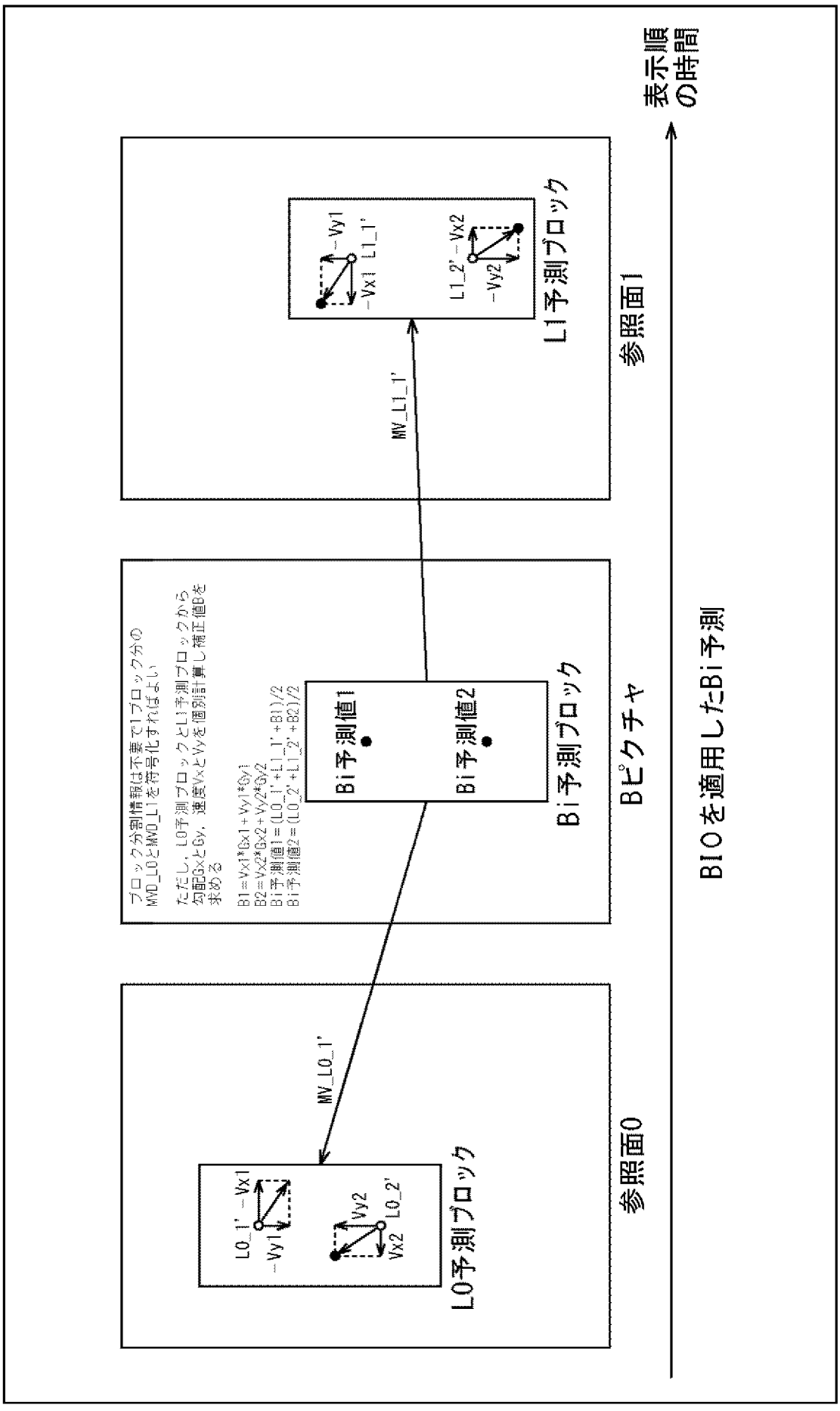
[図6]
FIG. 6


表示順の時間
BIOを適用したBi予測
参照面0
L0予測ブロック
Vy
Vx
L0'
MV_L0'=MVP_L0
Bピクチャ
Bi予測ブロック
Bi予測値
MVP_L0とMVP_L1をそのままMVとするのでMVD_L0とMVD_L1を符号化する必要がない
ただし、L0予測ブロックとL1予測ブロックから勾配GxとGy、速度VxとVyを計算し補正値Bを求める
B=Vx*Gx+Vy*Gy
Bi予測値=(L0'+L1'+B)/2
参照面1
L1予測ブロック
L1'
−Vx
−Vy
MV_L1'=MVP_L1

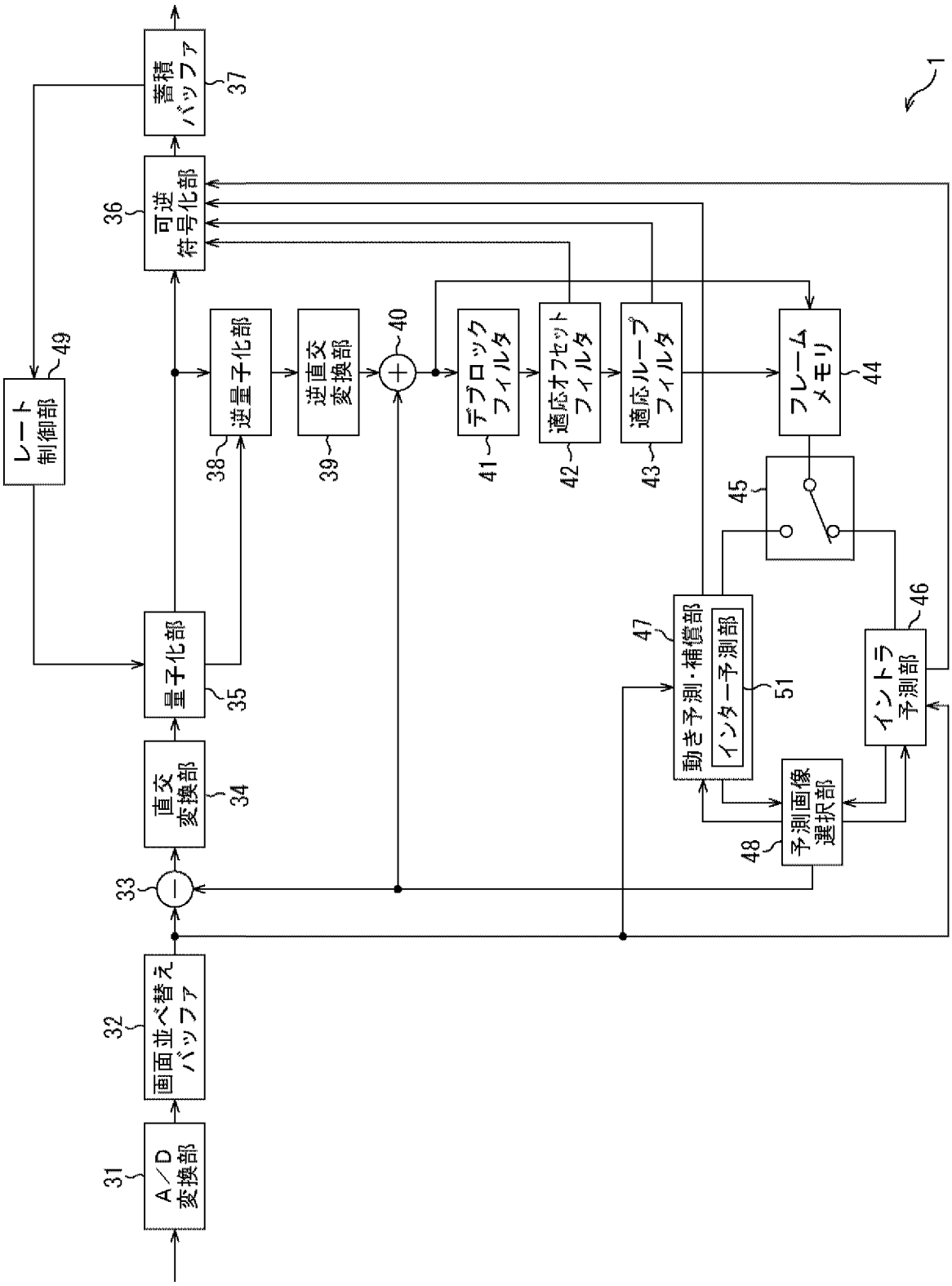
[図7]
FIG. 7


表示順の時間
通常のBi予測
参照面0
参照面1
Bピクチャ
L0予測ブロック1
L0予測ブロック2
L1予測ブロック1
L1予測ブロック2
Bi予測ブロック1
Bi予測ブロック2
Bi予測値1
Bi予測値2
L0_1
L0_2
L1_1
L1_2
MV_L0_1
MV_L0_2
MV_L1_1
MVDPL1
ブロック分割情報と2ブロック分のMVD_L0とMVD_L1を符号化する必要がある
Bi予測値1=(L0_1+L1_1)/2
Bi予測値2=(L0_2+L1_2)/2

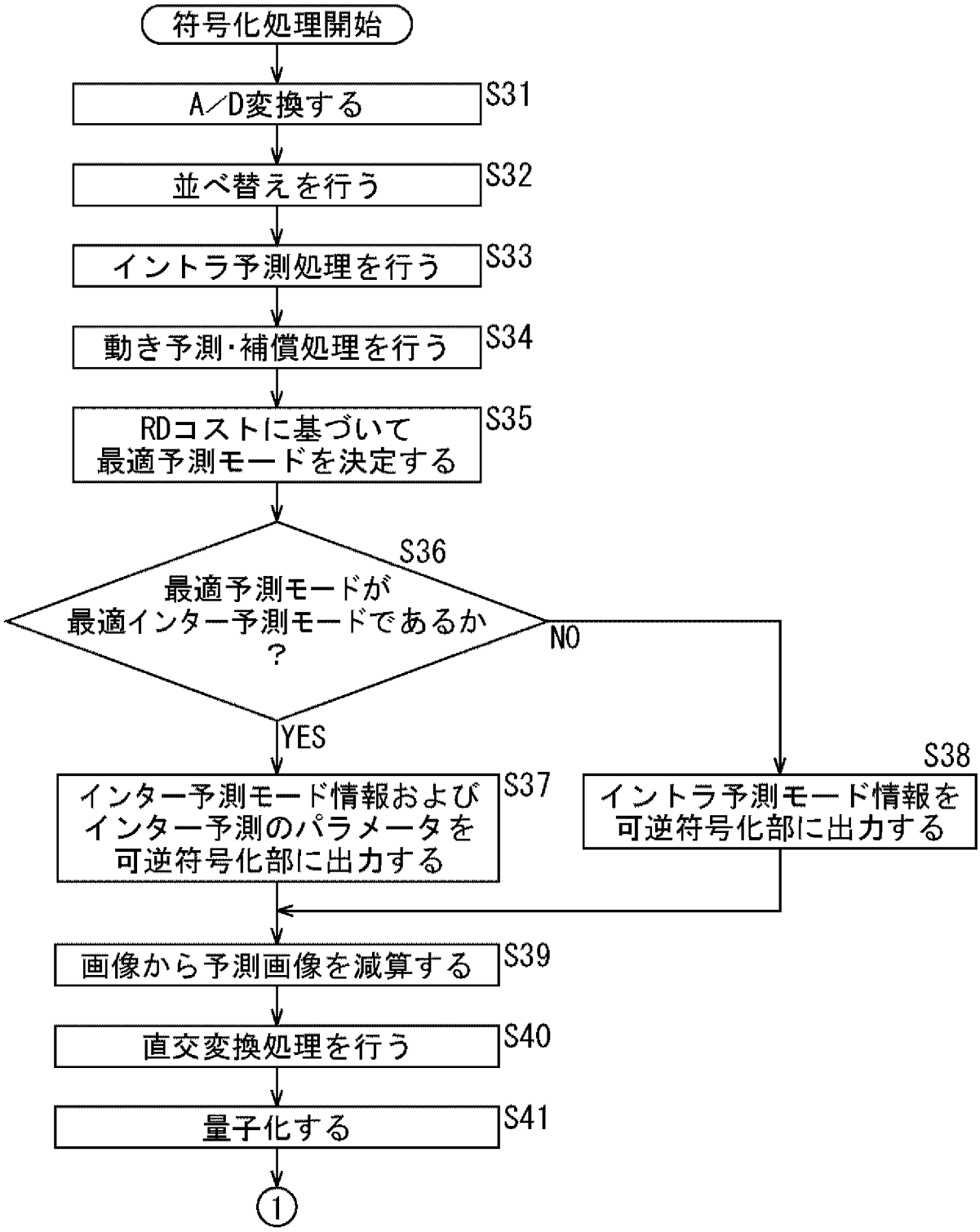
[図8]
FIG. 8


表示順の時間
BIOを適用したBi予測
参照面0
L0予測ブロック
L0_1'
−Vx1
−Vy1
Vy2
Vx2
L0_2'
MV_L0_1'
Bピクチャ
Bi予測ブロック
Bi予測値1
Bi予測値2
ブロック分割情報は不要で1ブロック分の
MVD_L0とMVD_L1を符号化すればよい
ただし，L0予測ブロックとL1予測ブロックから
勾配GxとGy，速度VxとVyを個別計算し補正値Bを
求める
B1=Vx1*Gx1+Vy1*Gy1
B2=Vx2*Gx2+Vy2*Gy2
Bi予測値1=(L0_1'+L1_1'+B1)/2
Bi予測値2=(L0_2'+L1_2'+B2)/2
MV_L1_1'
参照面1
L1予測ブロック
−Vy1
−Vx1
L1_1'
L1_2'
−Vx2
−Vy2

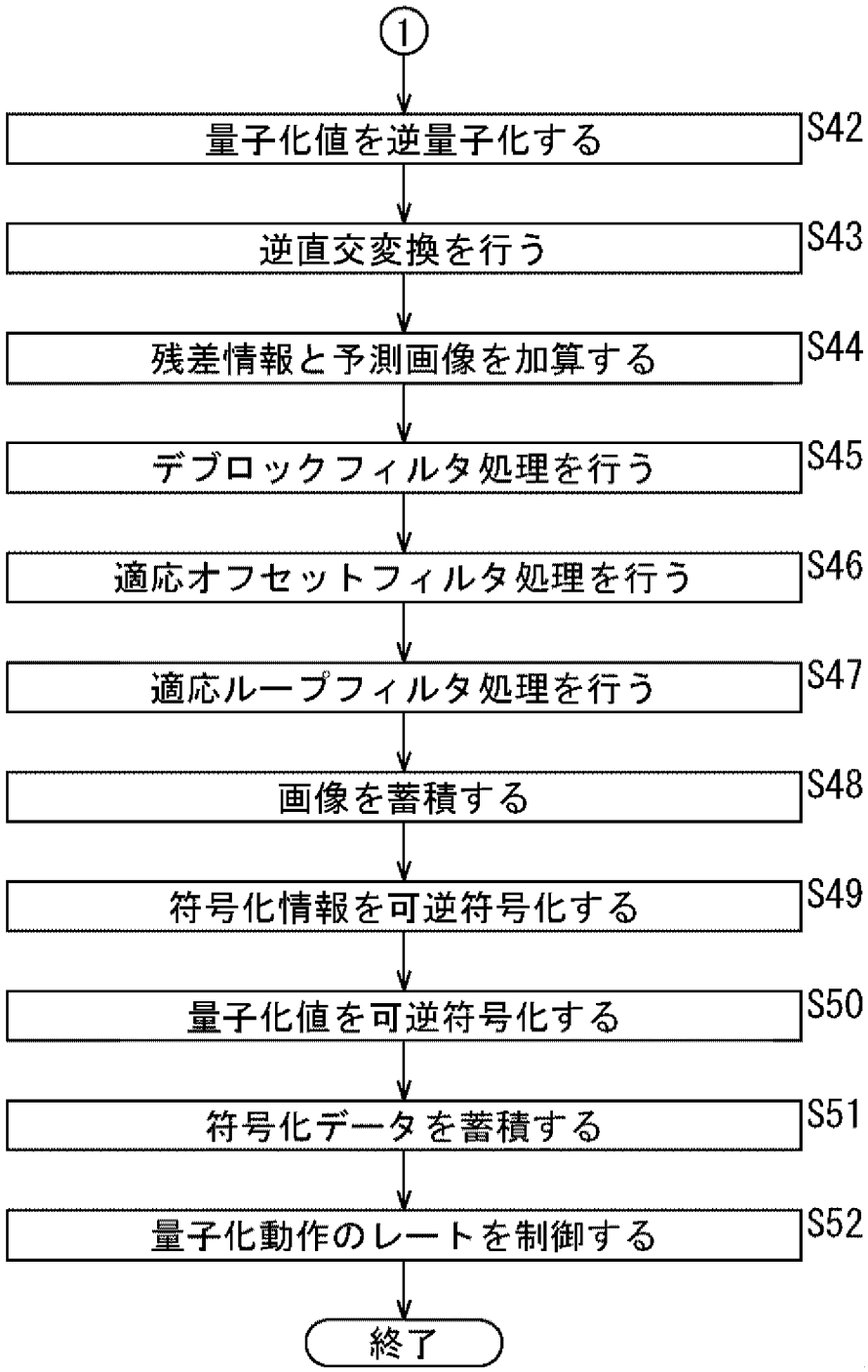
[図9]
FIG. 9


1
A／D変換部
31
画面並べ替えバッファ
32
33
直交変換部
34
量子化部
35
可逆符号化部
36
蓄積バッファ
37
逆量子化部
38
逆直交変換部
39
40
デブロックフィルタ
41
適応オフセットフィルタ
42
適応ループフィルタ
43
フレームメモリ
44
45
イントラ予測部
46
動き予測・補償部
47
予測画像選択部
48
レート制御部
49
インター予測部
51

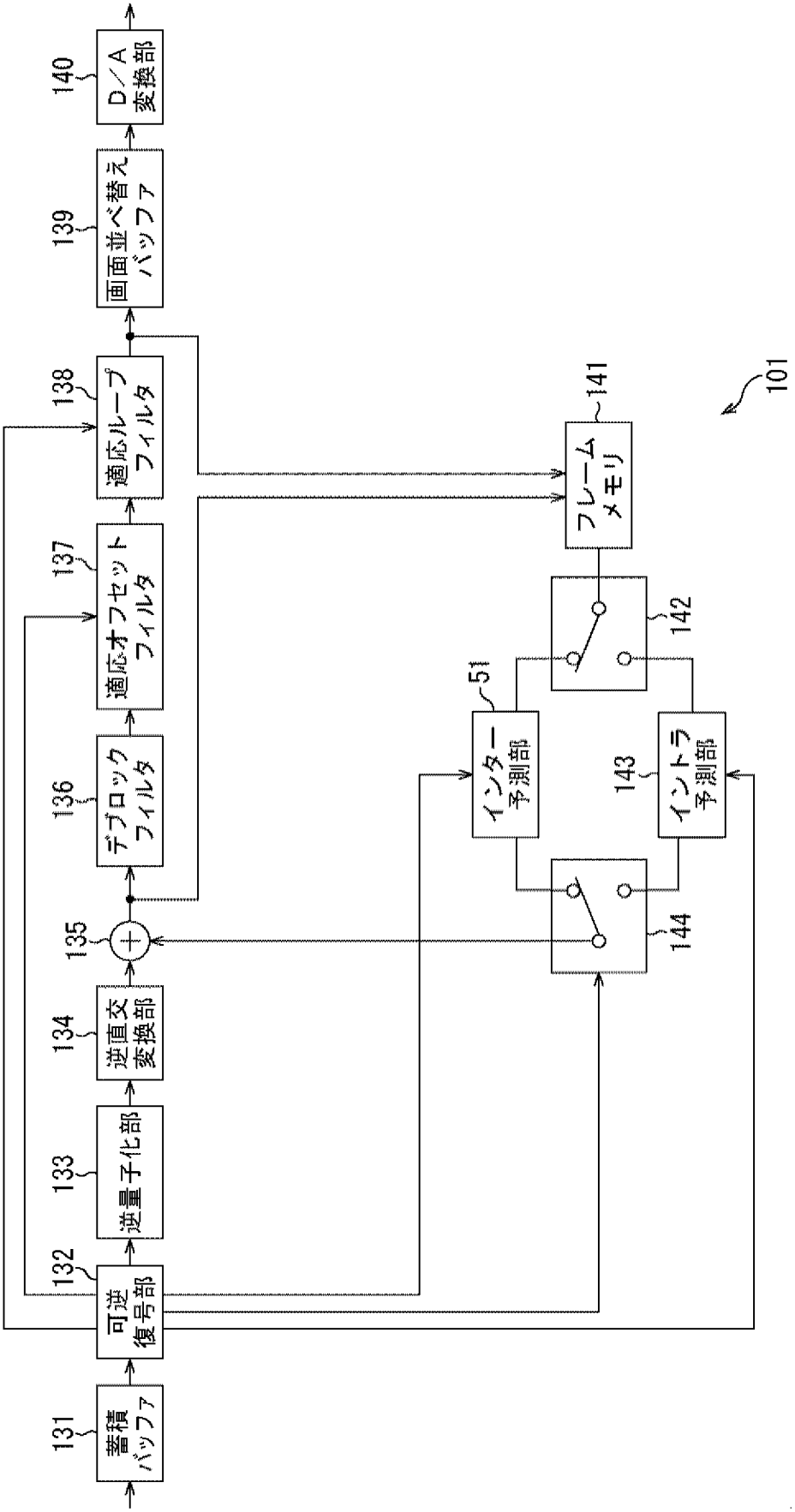
[図10]
FIG. 10


符号化処理開始
A／D変換する
S31
並べ替えを行う
S32
イントラ予測処理を行う
S33
動き予測・補償処理を行う
S34
RDコストに基づいて
最適予測モードを決定する
S35
S36
最適予測モードが
最適インター予測モードであるか
？
NO
YES
インター予測モード情報および
インター予測のパラメータを
可逆符号化部に出力する
S37
イントラ予測モード情報を
可逆符号化部に出力する
S38
画像から予測画像を減算する
S39
直交変換処理を行う
S40
量子化する
S41
①

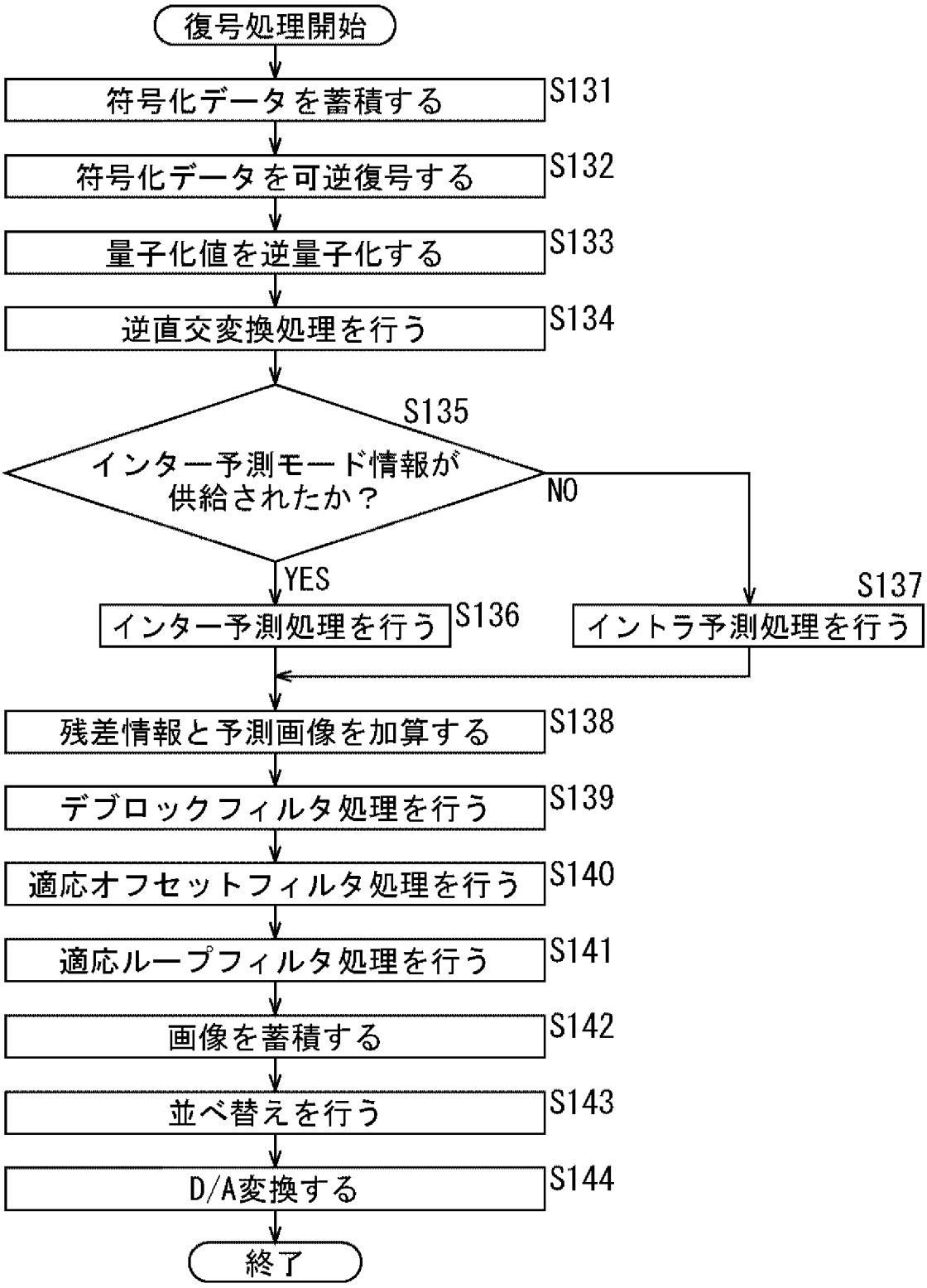
[図11]
FIG. 11


①
量子化値を逆量子化する
S42
逆直交変換を行う
S43
残差情報と予測画像を加算する
S44
デブロックフィルタ処理を行う
S45
適応オフセットフィルタ処理を行う
S46
適応ループフィルタ処理を行う
S47
画像を蓄積する
S48
符号化情報を可逆符号化する
S49
量子化値を可逆符号化する
S50
符号化データを蓄積する
S51
量子化動作のレートを制御する
S52
終了

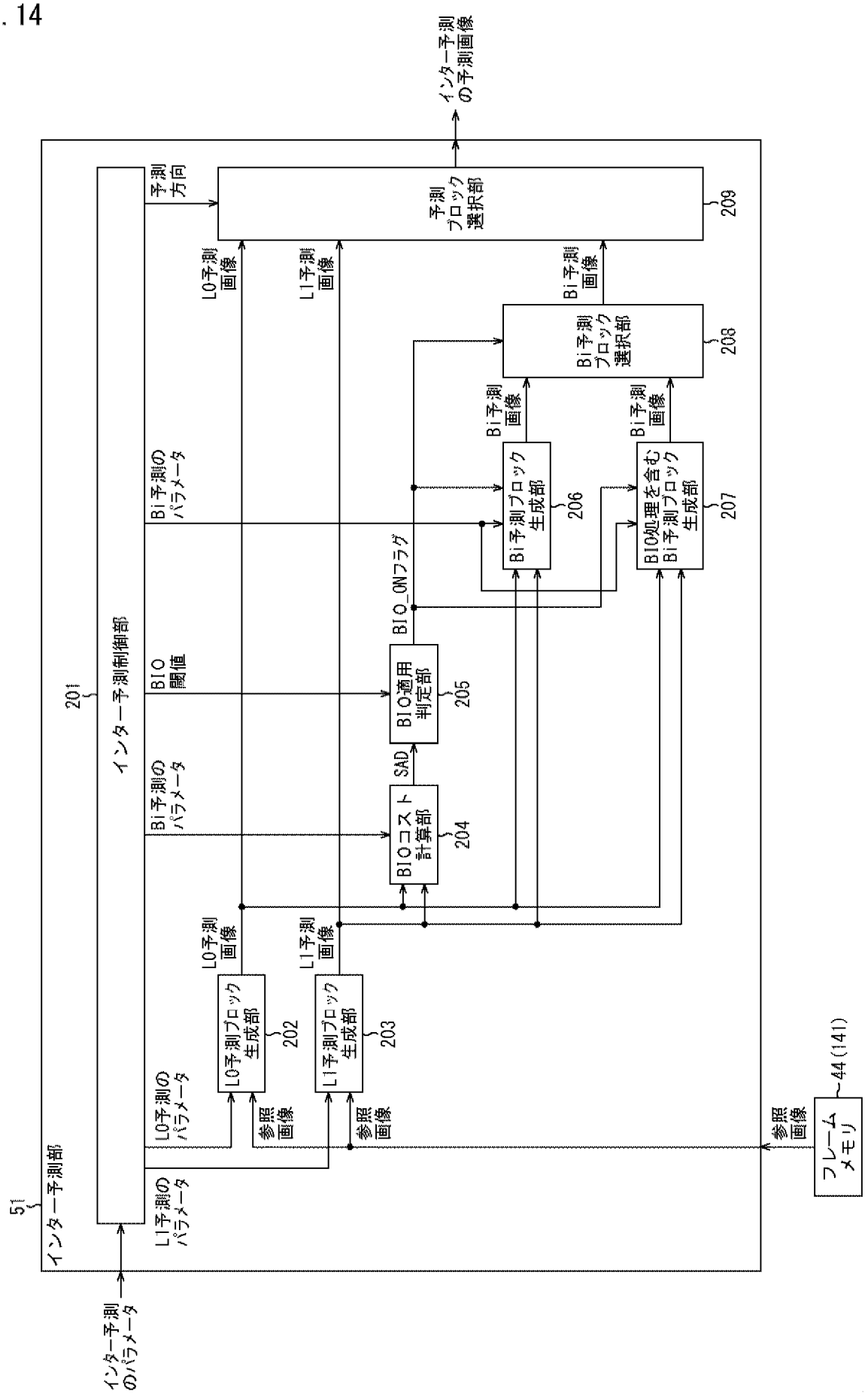
[図12]
FIG. 12


131
蓄積バッファ
132
可逆復号部
133
逆量子化部
134
逆直交変換部
135
136
デブロックフィルタ
137
適応オフセットフィルタ
138
適応ループフィルタ
139
画面並べ替えバッファ
140
D／A変換部
141
フレームメモリ
142
143
イントラ予測部
144
51
インター予測部
101

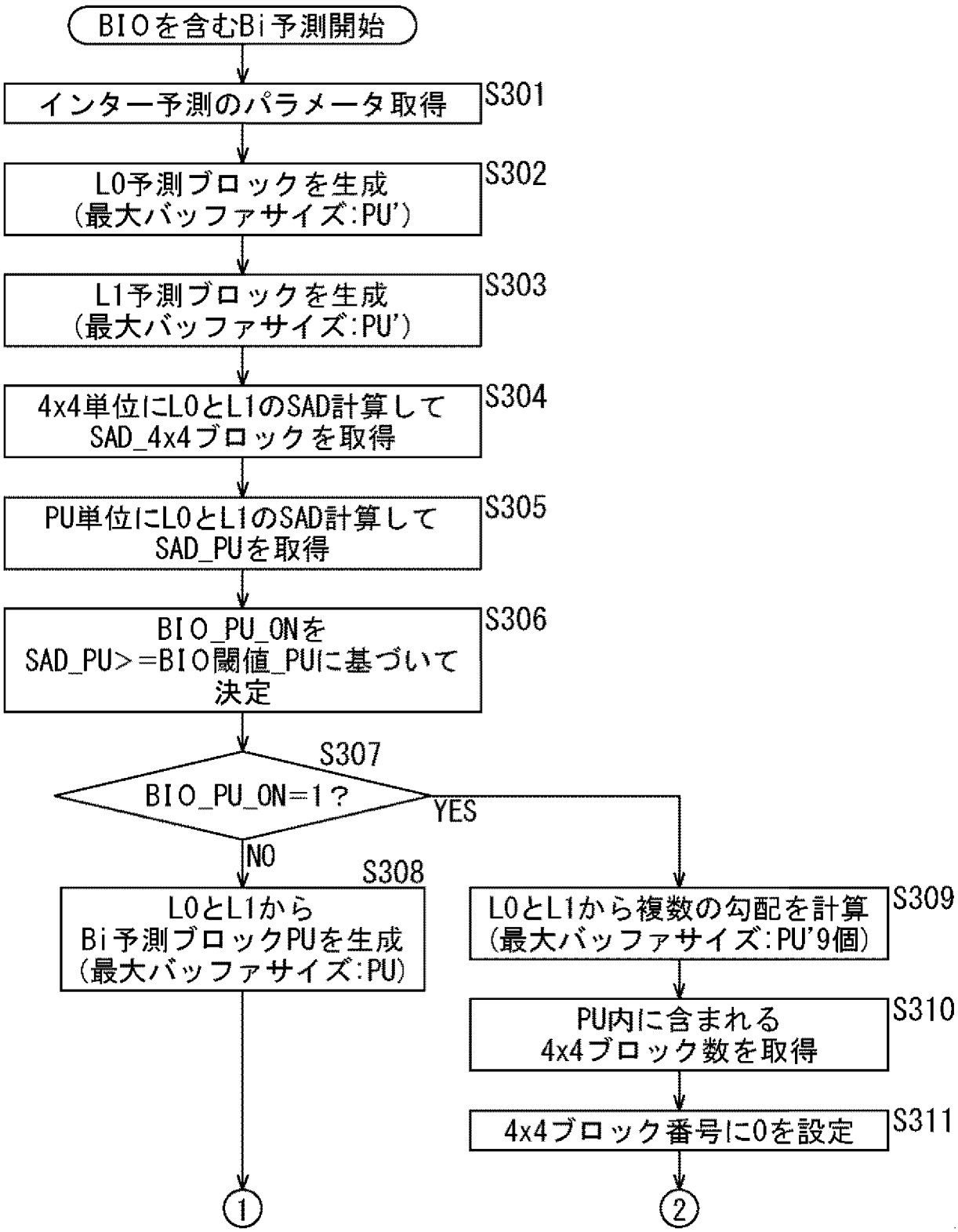
[図13]
FIG. 13


復号処理開始
符号化データを蓄積する
S131
符号化データを可逆復号する
S132
量子化値を逆量子化する
S133
逆直交変換処理を行う
S134
S135
インター予測モード情報が供給されたか？
NO
YES
インター予測処理を行う
S136
イントラ予測処理を行う
S137
残差情報と予測画像を加算する
S138
デブロックフィルタ処理を行う
S139
適応オフセットフィルタ処理を行う
S140
適応ループフィルタ処理を行う
S141
画像を蓄積する
S142
並べ替えを行う
S143
D/A変換する
S144
終了

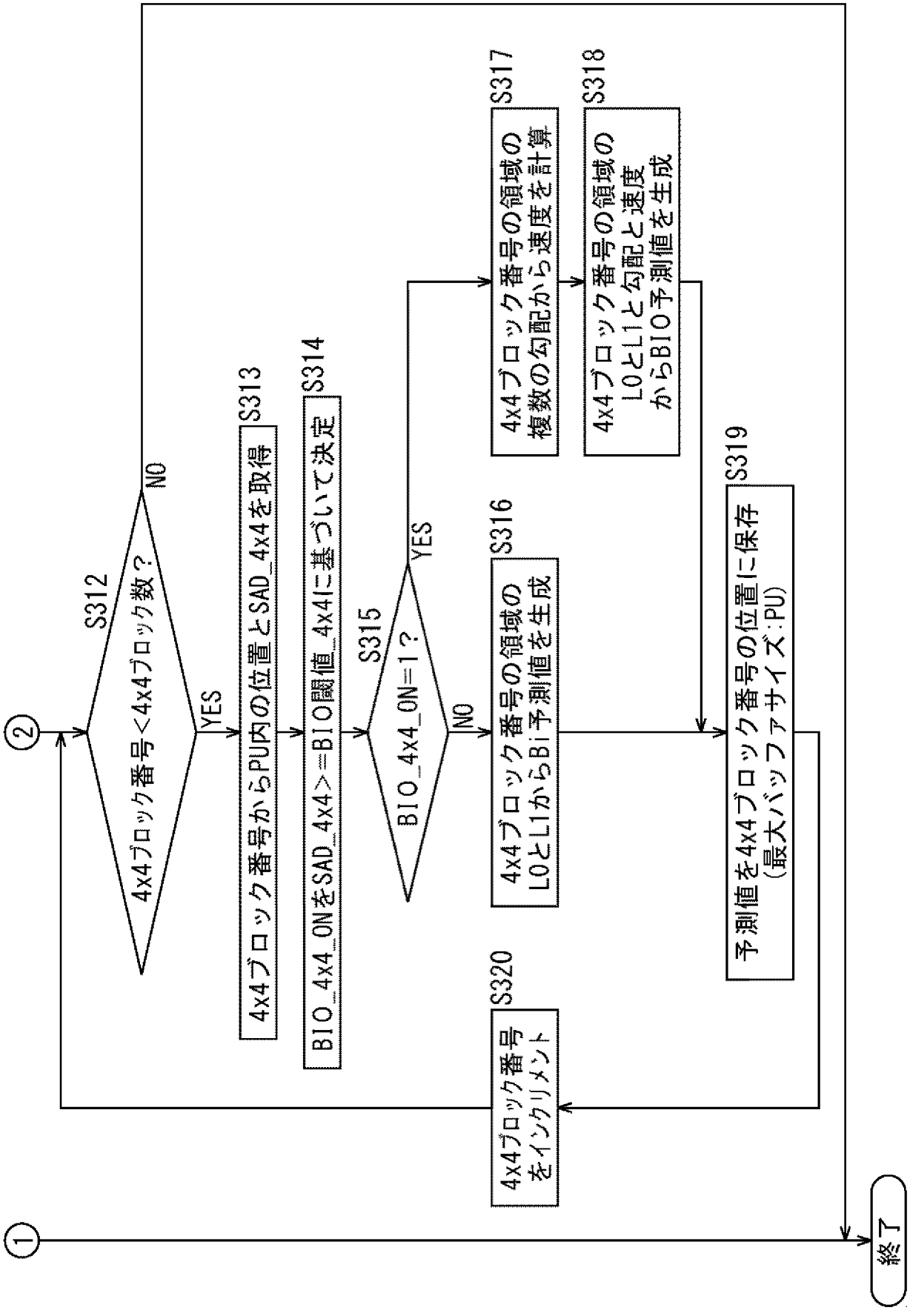
[図14]
FIG. 14


インター予測部
51
インター予測制御部
201
インター予測のパラメータ
L0予測のパラメータ
L1予測のパラメータ
Bi予測のパラメータ
BIO閾値
L0予測ブロック生成部
202
L1予測ブロック生成部
203
BIOコスト計算部
204
SAD
BIO適用判定部
205
BIO_ONフラグ
Bi予測ブロック生成部
206
BIO処理を含むBi予測ブロック生成部
207
Bi予測ブロック選択部
208
予測ブロック選択部
209
予測方向
L0予測画像
L1予測画像
Bi予測画像
インター予測の予測画像
参照画像
フレームメモリ
44(141)

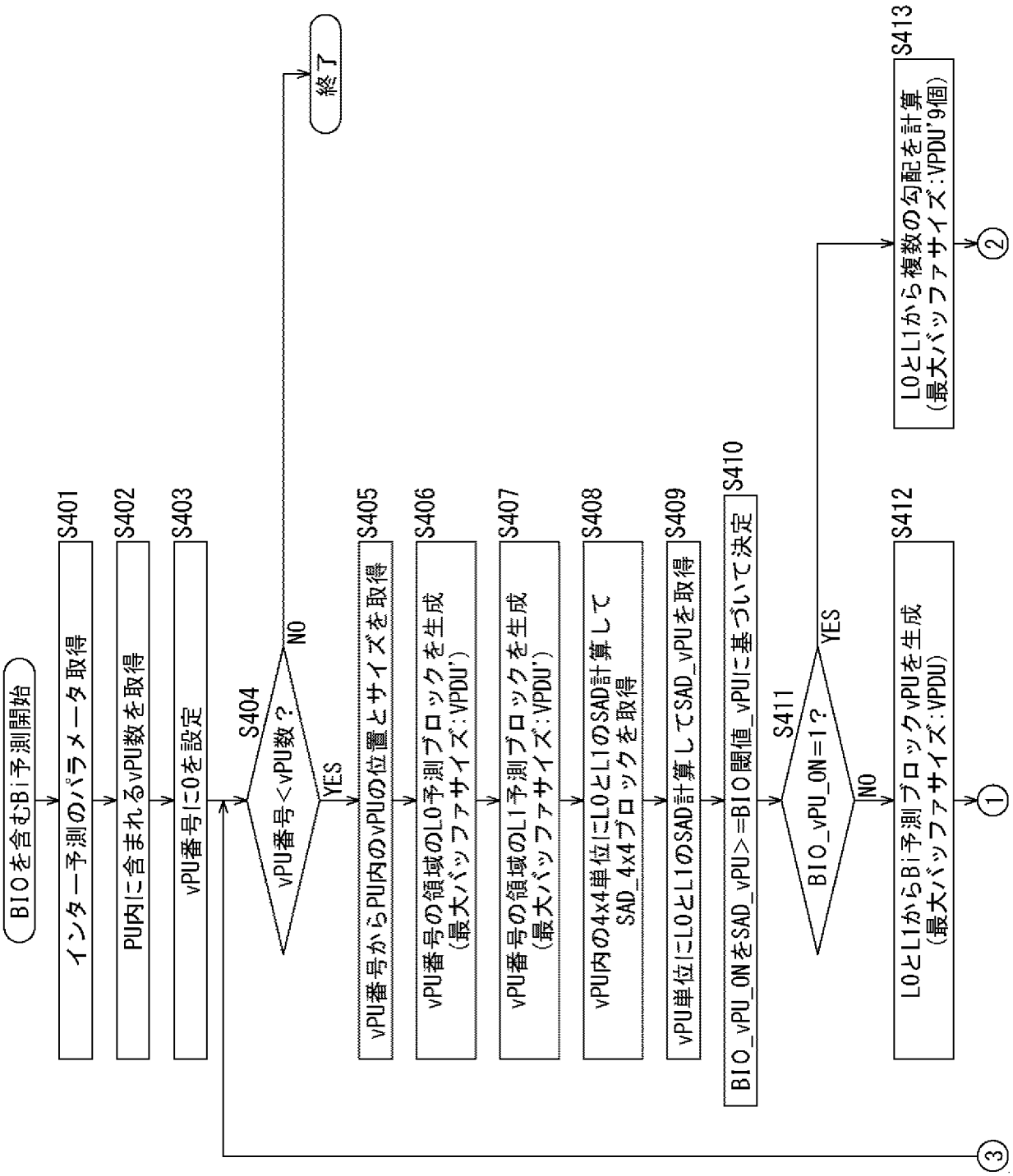
[図15]
FIG. 15


BIOを含むBi予測開始
インター予測のパラメータ取得
S301
L0予測ブロックを生成
(最大バッファサイズ:PU')
S302
L1予測ブロックを生成
(最大バッファサイズ:PU')
S303
4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S304
PU単位にL0とL1のSAD計算して
SAD_PUを取得
S305
BIO_PU_ONを
SAD_PU>=BIO閾値_PUに基づいて
決定
S306
S307
BIO_PU_ON=1?
YES
NO
S308
L0とL1から
Bi予測ブロックPUを生成
(最大バッファサイズ:PU)
L0とL1から複数の勾配を計算
(最大バッファサイズ:PU'9個)
S309
PU内に含まれる
4x4ブロック数を取得
S310
4x4ブロック番号に0を設定
S311
①
②

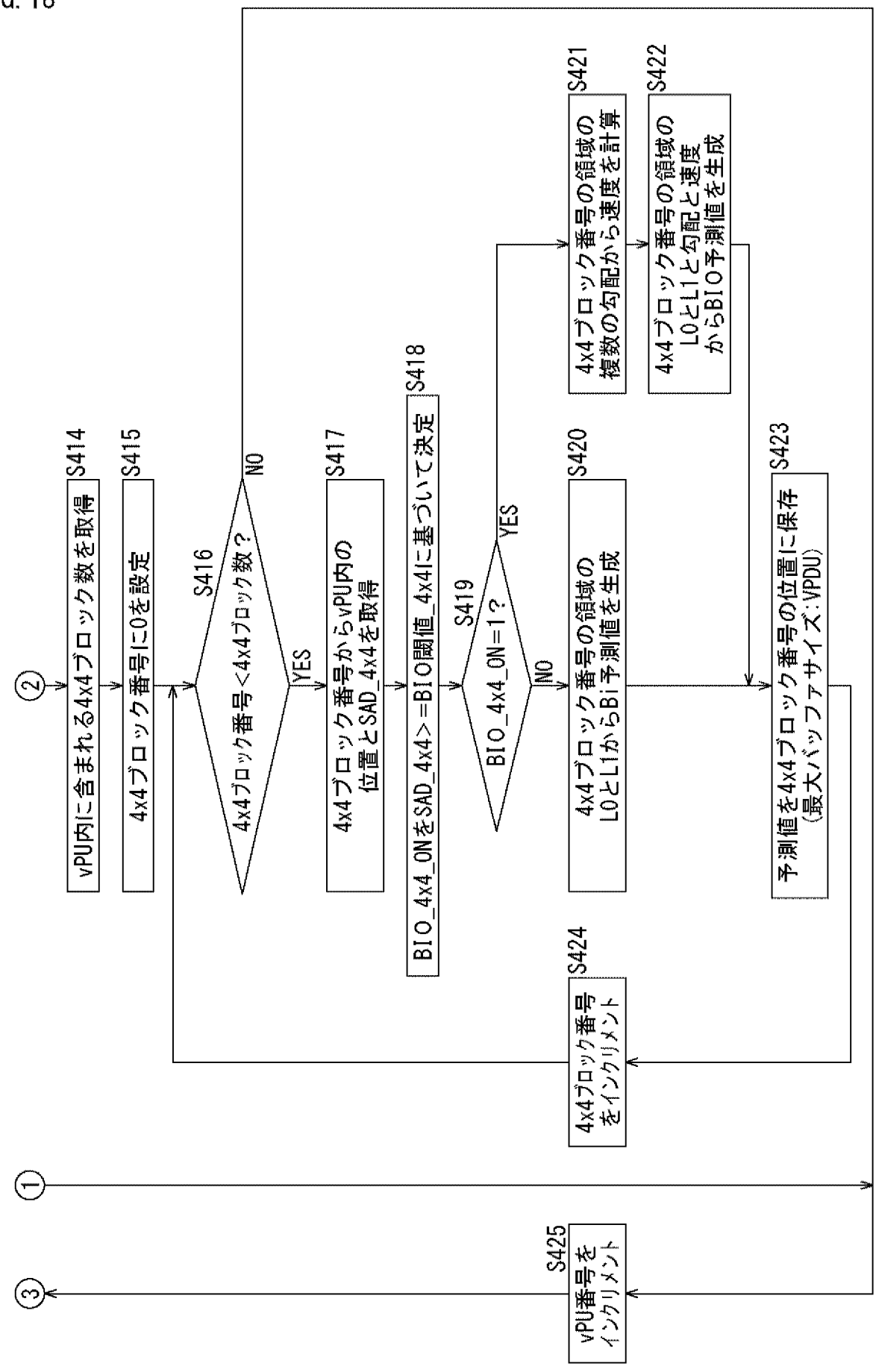
[図16]
FIG. 16


①
②
S312
4x4ブロック番号<4x4ブロック数？
NO
YES
S313
4x4ブロック番号からPU内の位置とSAD_4x4を取得
S314
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S315
BIO_4x4_ON=1？
YES
NO
S316
4x4ブロック番号の領域の
L0とL1からBi予測値を生成
S317
4x4ブロック番号の領域の
複数の勾配から速度を計算
S318
4x4ブロック番号の領域の
L0とL1と勾配と速度
からBIO予測値を生成
S319
予測値を4x4ブロック番号の位置に保存
(最大バッファサイズ:PU)
S320
4x4ブロック番号
をインクリメント
終了

[図17]
FIG. 17


BIOを含むBi予測開始
S401
インター予測のパラメータ取得
S402
PU内に含まれるvPU数を取得
S403
vPU番号に0を設定
S404
vPU番号＜vPU数？
NO
終了
YES
S405
vPU番号からPU内のvPUの位置とサイズを取得
S406
vPU番号の領域のL0予測ブロックを生成
(最大バッファサイズ:VPDU')
S407
vPU番号の領域のL1予測ブロックを生成
(最大バッファサイズ:VPDU')
S408
vPU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S409
vPU単位にL0とL1のSAD計算してSAD_vPUを取得
S410
BIO_vPU_ONをSAD_vPU>=BIO閾値_vPUに基づいて決定
S411
BIO_vPU_ON=1？
YES
NO
S412
L0とL1からBi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S413
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDU'9個)
①
②
③

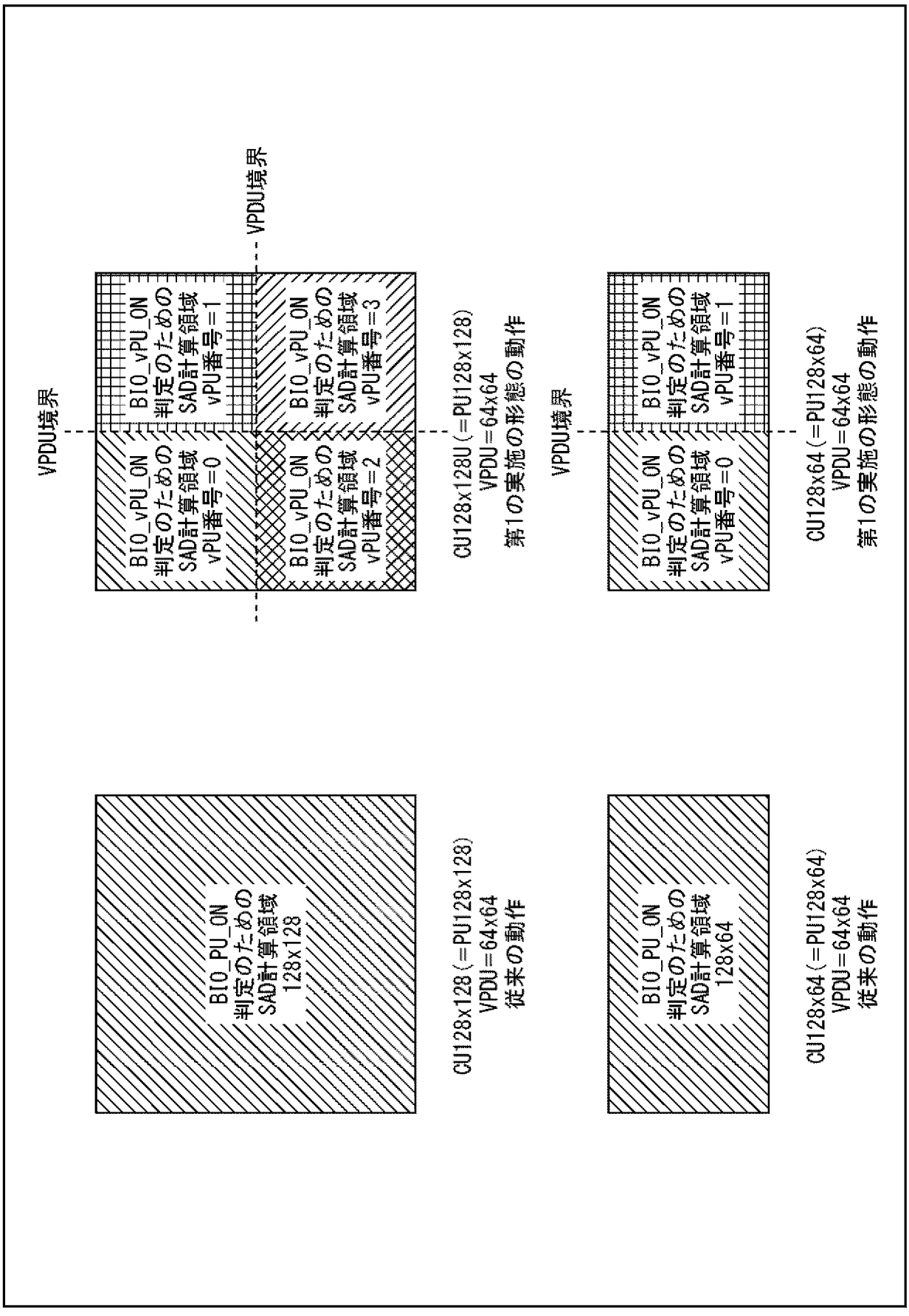
[図18]
FIG. 18


②
S414
vPU内に含まれる4x4ブロック数を取得
S415
4x4ブロック番号に0を設定
S416
4x4ブロック番号<4x4ブロック数？
NO
YES
S417
4x4ブロック番号からvPU内の位置とSAD_4x4を取得
S418
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S419
BIO_4x4_ON=1？
YES
NO
S420
4x4ブロック番号の領域のL0とL1からBi予測値を生成
S421
4x4ブロック番号の領域の複数の勾配から速度を計算
S422
4x4ブロック番号の領域のL0とL1と勾配と速度からBIO予測値を生成
S423
予測値を4x4ブロック番号の位置に保存(最大バッファサイズ:VPDU)
S424
4x4ブロック番号をインクリメント
①
③
S425
vPU番号をインクリメント

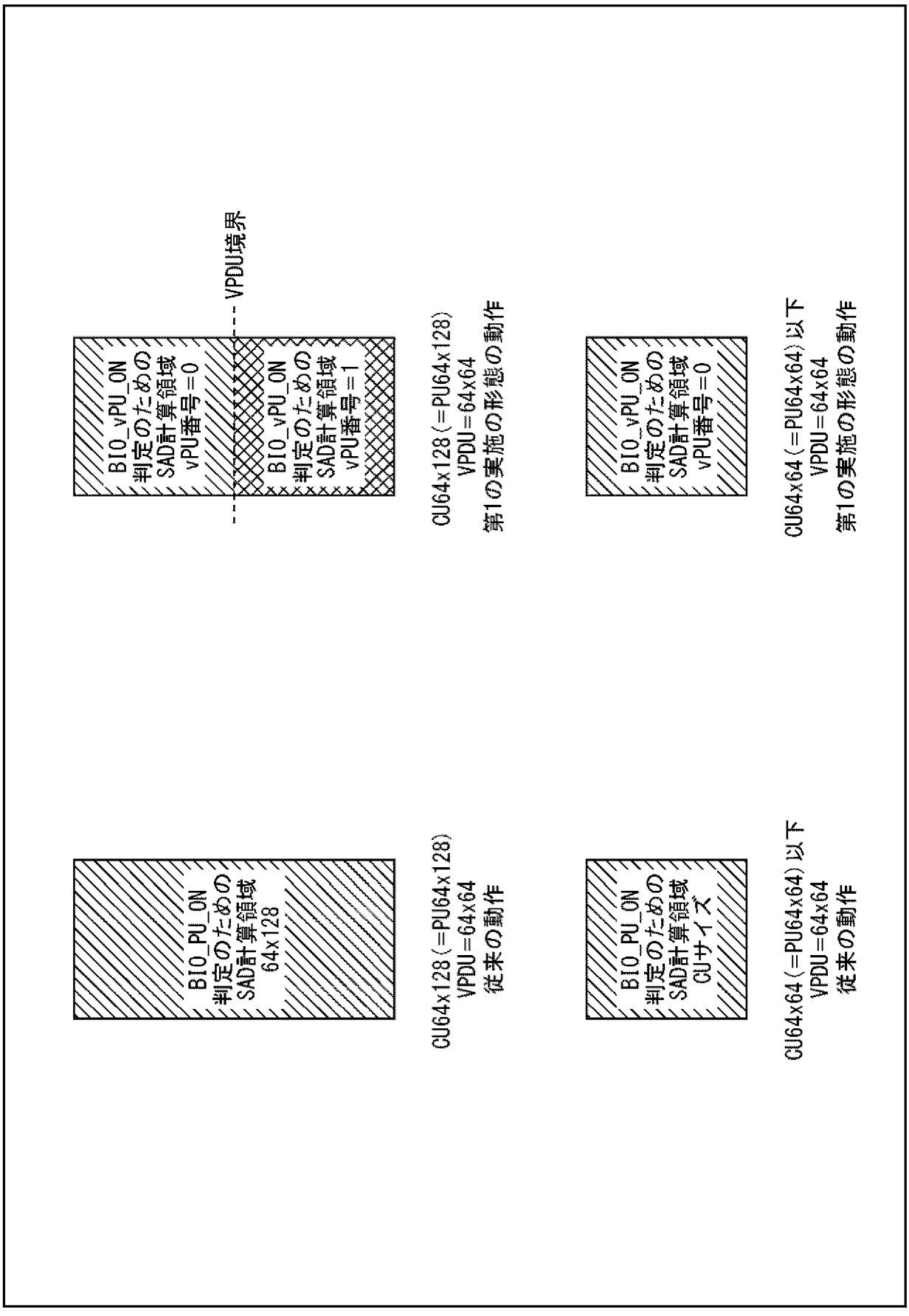
[図19]
FIG. 19

PUサイズ	vPU番号	処理する位置とサイズ
128x128	0	左上 64x64
	1	右上 64x64
	2	左下 64x64
	3	右下 64x64
128x64	0	左 64x64
	1	右 64x64
64x128	0	上 64x64
	1	下 64x64
64x64以下	0	PUそのもの

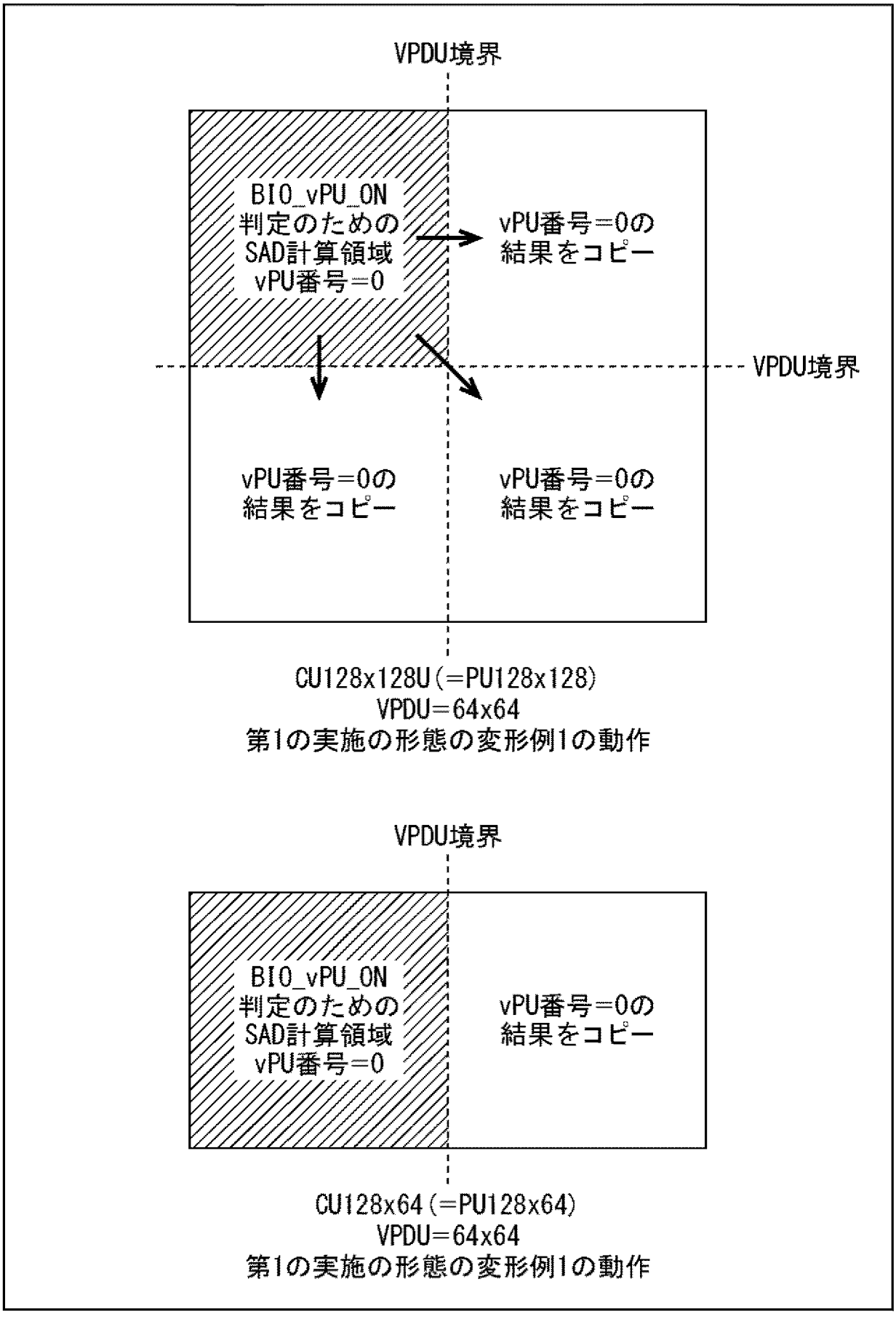
[図20]
FIG. 20


VPDU境界
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=0
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=1
VPDU境界
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=2
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=3
CU128x128U(=PU128x128)
VPDU=64x64
第1の実施の形態の動作
VPDU境界
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=0
BIO_vPU_ON
判定のためのSAD計算領域
vPU番号=1
CU128x64(=PU128x64)
VPDU=64x64
第1の実施の形態の動作
BIO_PU_ON
判定のためのSAD計算領域
128x128
CU128x128(=PU128x128)
VPDU=64x64
従来の動作
BIO_PU_ON
判定のためのSAD計算領域
128x64
CU128x64(=PU128x64)
VPDU=64x64
従来の動作

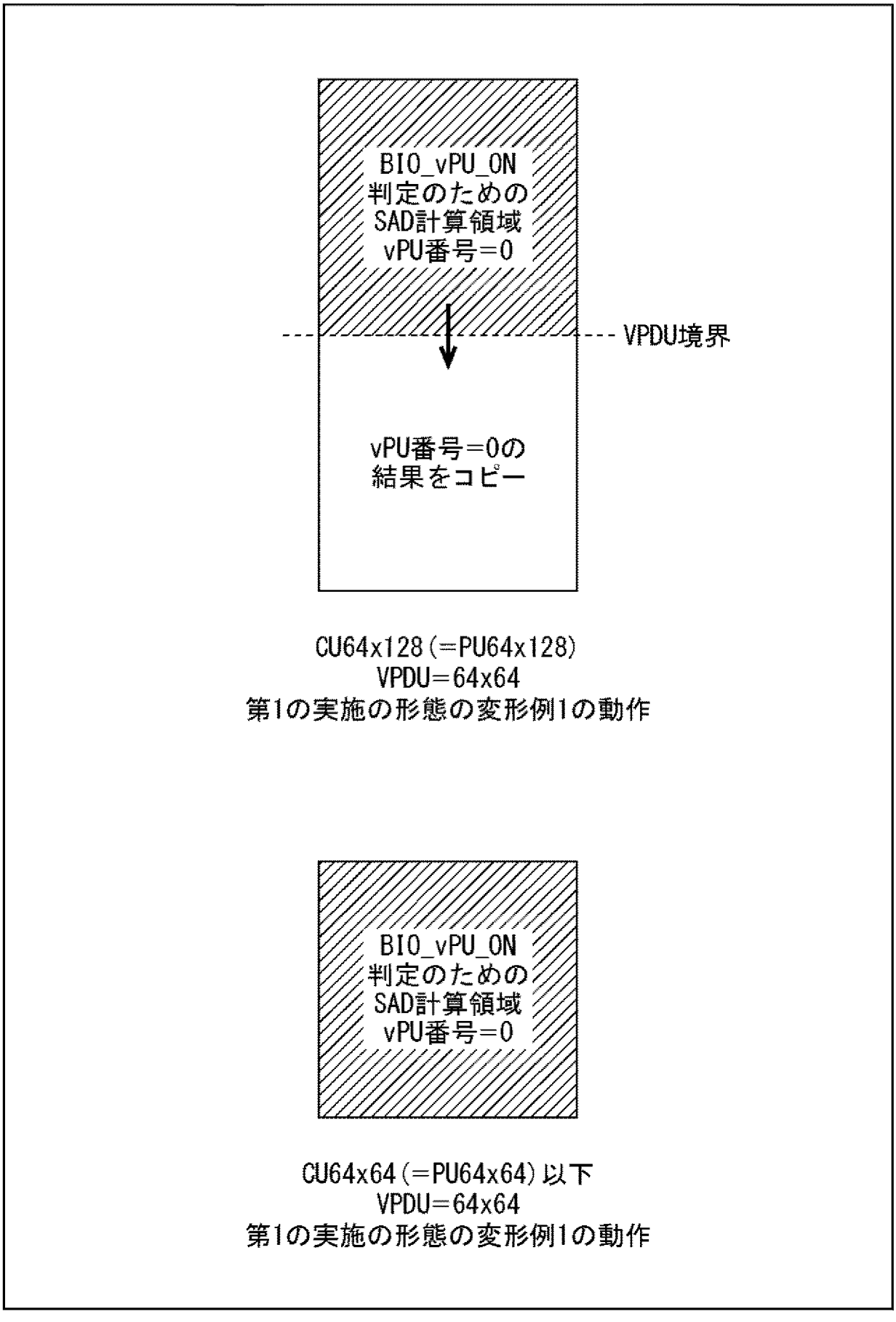
[図21]
FIG. 21


BIO_vPU_ON
判定のための
SAD計算領域
vPU番号=0
VPDU境界
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号=1
CU64x128(=PU64x128)
VPDU=64x64
第1の実施の形態の動作
BIO_PU_ON
判定のための
SAD計算領域
64x128
CU64x128(=PU64x128)
VPDU=64x64
従来の動作
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号=0
CU64x64(=PU64x64)以下
VPDU=64x64
第1の実施の形態の動作
BIO_PU_ON
判定のための
SAD計算領域
CUサイズ
CU64x64(=PU64x64)以下
VPDU=64x64
従来の動作

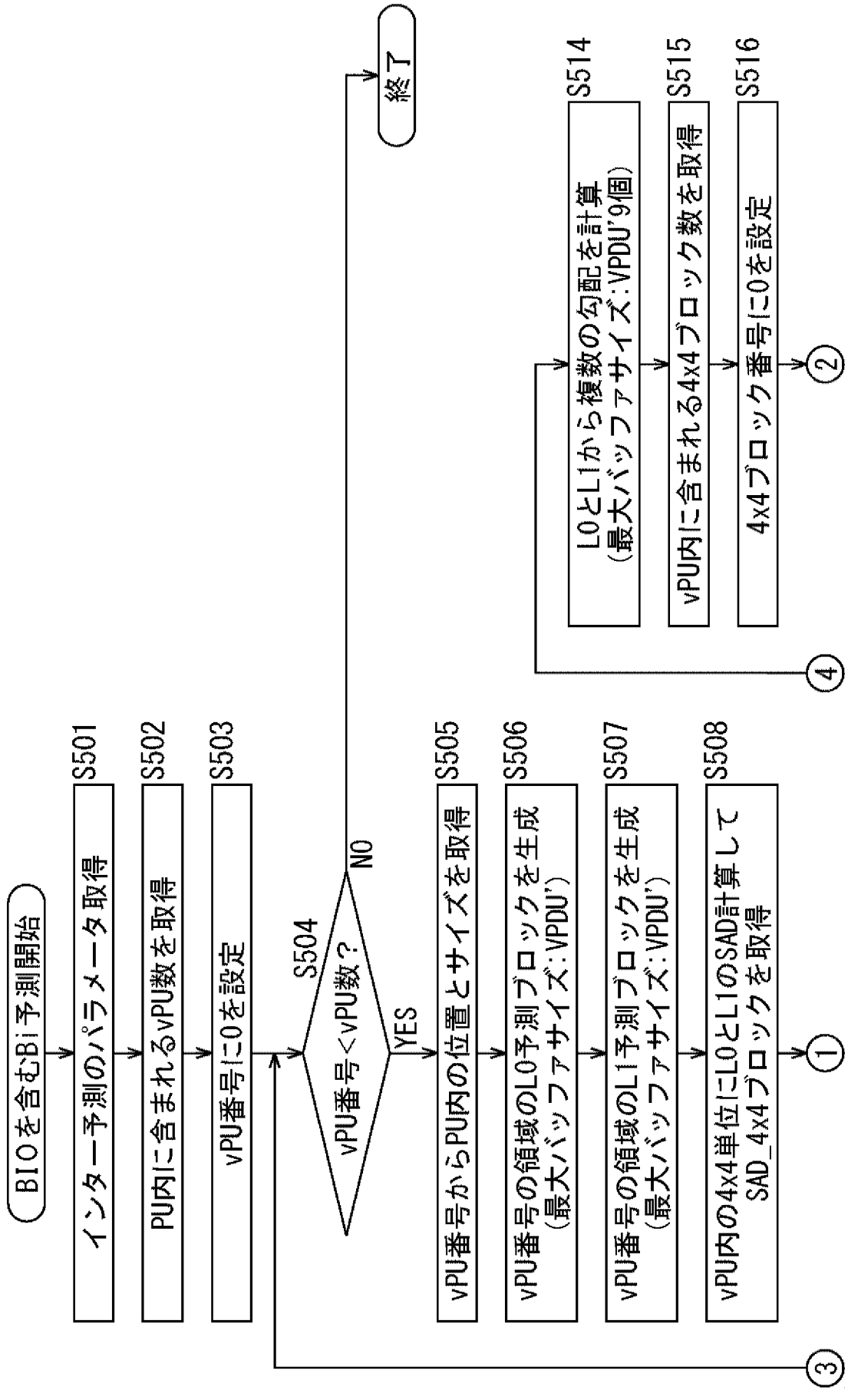
[図22]
FIG. 22


VPDU境界
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号=0
vPU番号=0の
結果をコピー
VPDU境界
vPU番号=0の
結果をコピー
vPU番号=0の
結果をコピー
CU128x128U(=PU128x128)
VPDU=64x64
第1の実施の形態の変形例1の動作
VPDU境界
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号=0
vPU番号=0の
結果をコピー
CU128x64(=PU128x64)
VPDU=64x64
第1の実施の形態の変形例1の動作

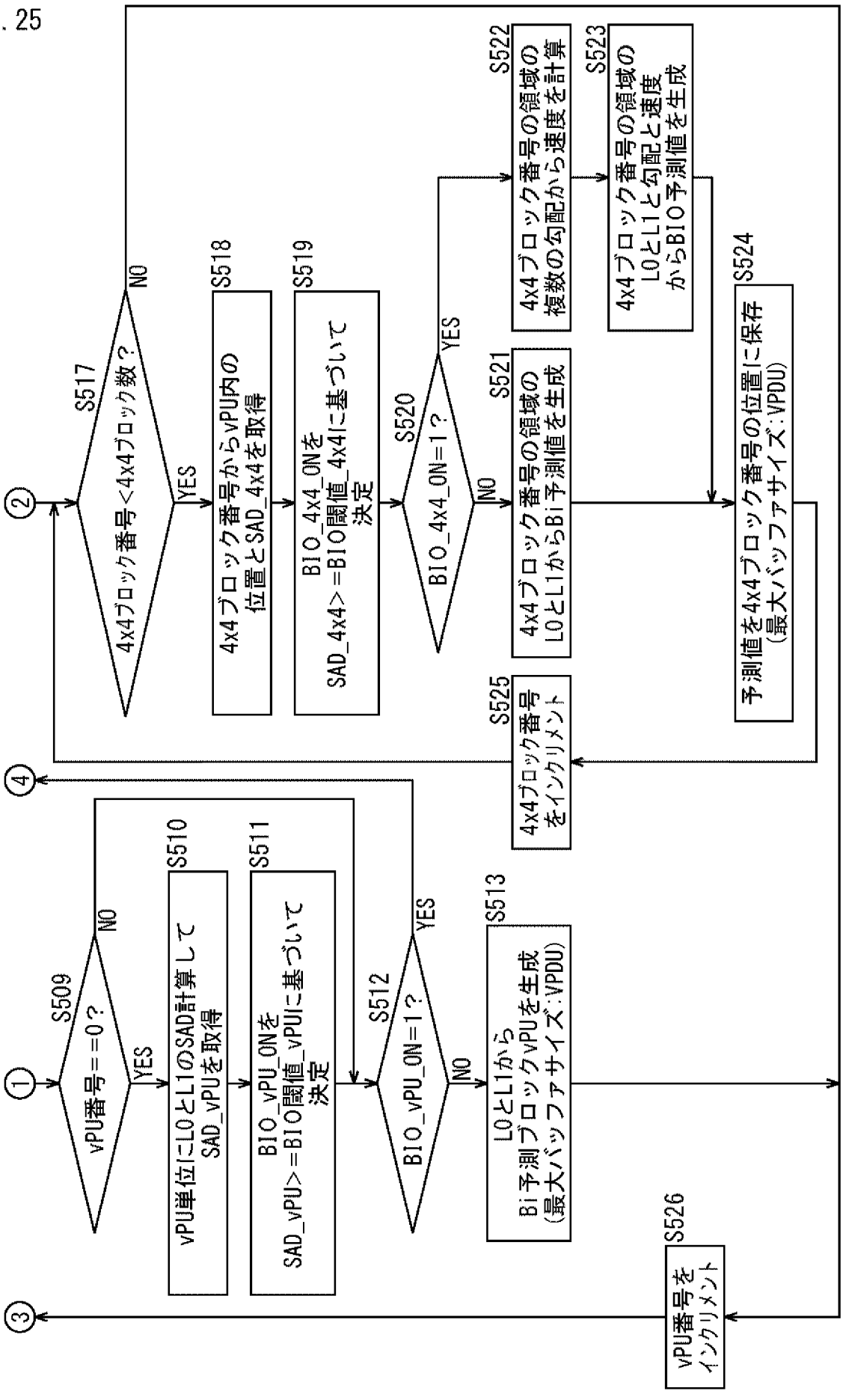
[図23]
FIG. 23


BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
VPDU境界
vPU番号＝0の
結果をコピー
CU64x128(＝PU64x128)
VPDU＝64x64
第1の実施の形態の変形例1の動作
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
CU64x64(＝PU64x64)以下
VPDU＝64x64
第1の実施の形態の変形例1の動作

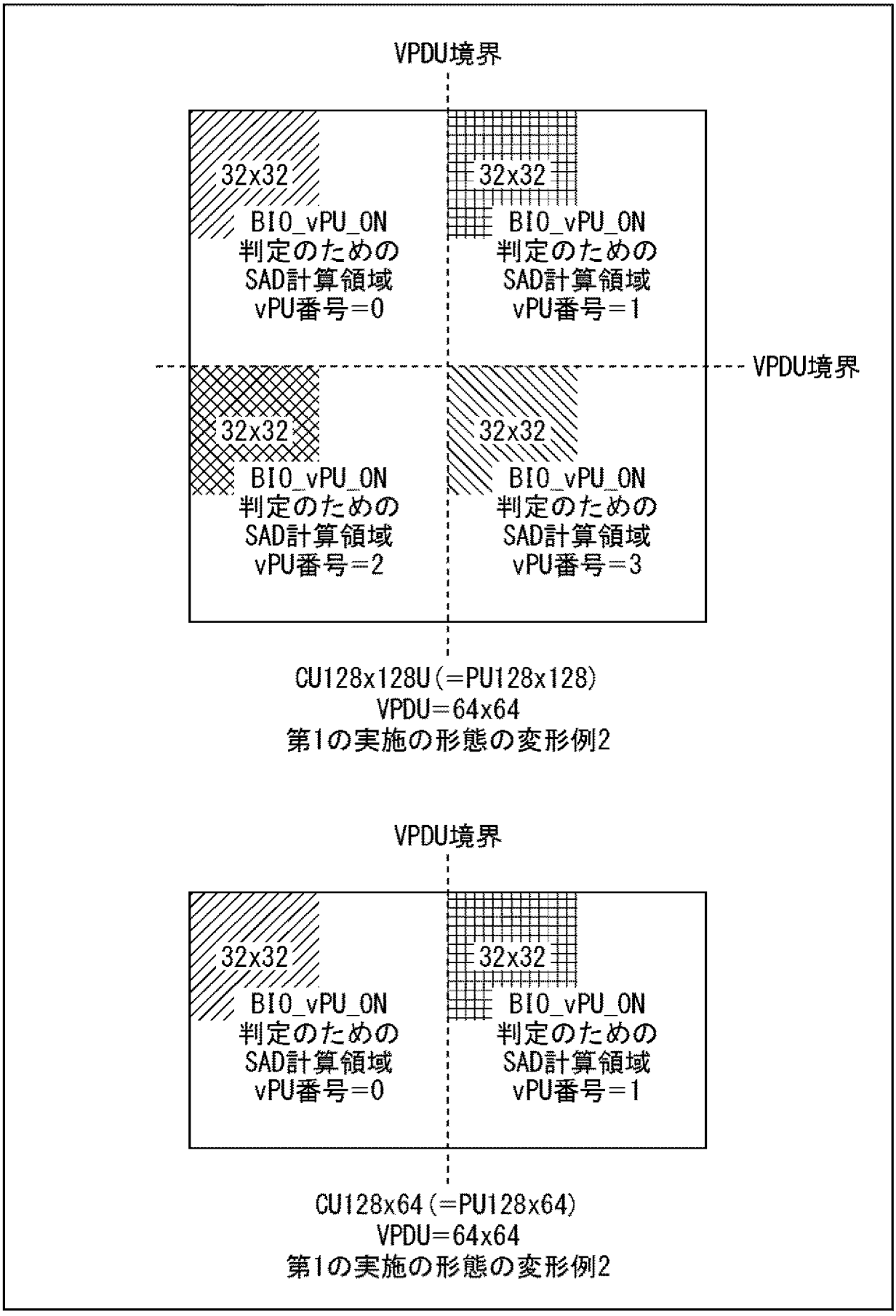
[図24]
FIG. 24


BIOを含むBi予測開始
S501
インター予測のパラメータ取得
S502
PU内に含まれるvPU数を取得
S503
vPU番号に0を設定
S504
vPU番号<vPU数？
NO
終了
YES
S505
vPU番号からPU内の位置とサイズを取得
S506
vPU番号の領域のL0予測ブロックを生成
(最大バッファサイズ:VPDU')
S507
vPU番号の領域のL1予測ブロックを生成
(最大バッファサイズ:VPDU')
S508
vPU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
①
②
③
④
S514
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDU'9個)
S515
vPU内に含まれる4x4ブロック数を取得
S516
4x4ブロック番号に0を設定

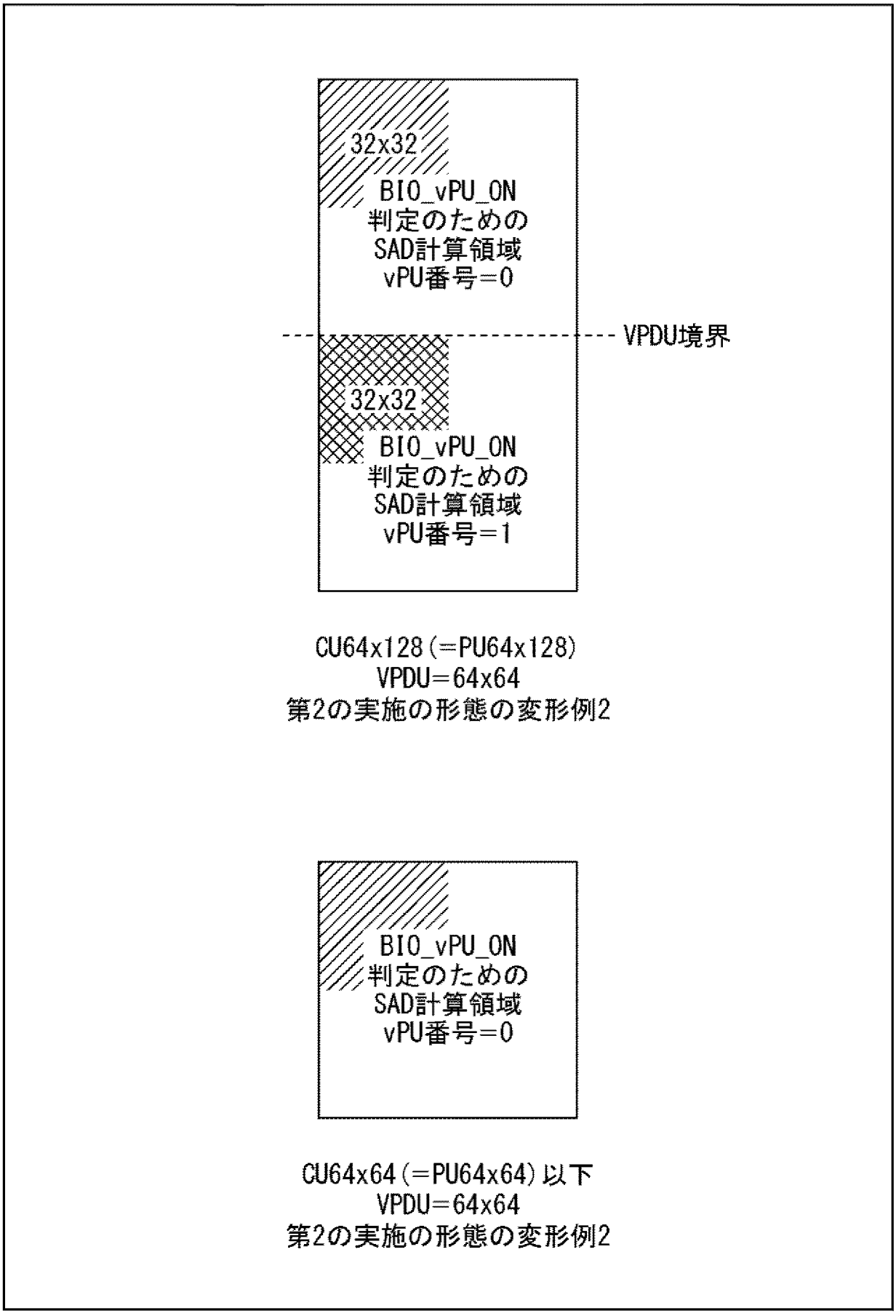
[図25]
FIG. 25


①
②
③
④
S509
vPU番号==0?
YES
NO
S510
vPU単位にL0とL1のSAD計算して
SAD_vPUを取得
S511
BIO_vPU_ONを
SAD_vPU>=BIO閾値_vPUに基づいて
決定
S512
BIO_vPU_ON=1?
YES
NO
S513
L0とL1から
Bi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S517
4x4ブロック番号<4x4ブロック数?
YES
NO
S518
4x4ブロック番号からvPU内の
位置とSAD_4x4を取得
S519
BIO_4x4_ONを
SAD_4x4>=BIO閾値_4x4に基づいて
決定
S520
BIO_4x4_ON=1?
YES
NO
S521
4x4ブロック番号の領域の
L0とL1からBi予測値を生成
S522
4x4ブロック番号の領域の
複数の勾配から速度を計算
S523
4x4ブロック番号の領域の
L0とL1と勾配と速度
からBIO予測値を生成
S524
予測値を4x4ブロック番号の位置に保存
(最大バッファサイズ:VPDU)
S525
4x4ブロック番号
をインクリメント
S526
vPU番号を
インクリメント

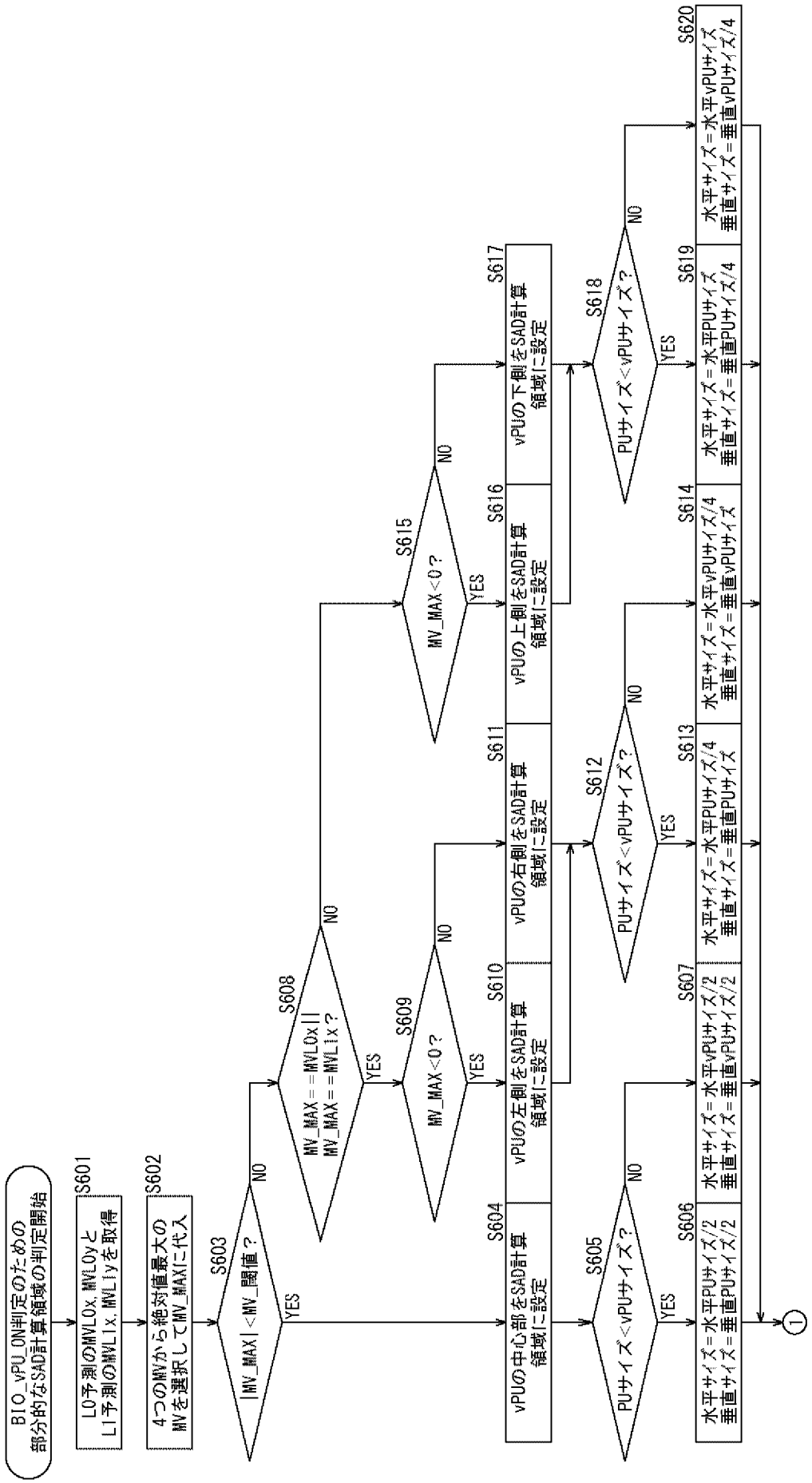
[図26]
FIG. 26


VPDU境界
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝1
VPDU境界
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝2
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝3
CU128x128U(＝PU128x128)
VPDU＝64x64
第1の実施の形態の変形例2
VPDU境界
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝1
CU128x64(＝PU128x64)
VPDU＝64x64
第1の実施の形態の変形例2

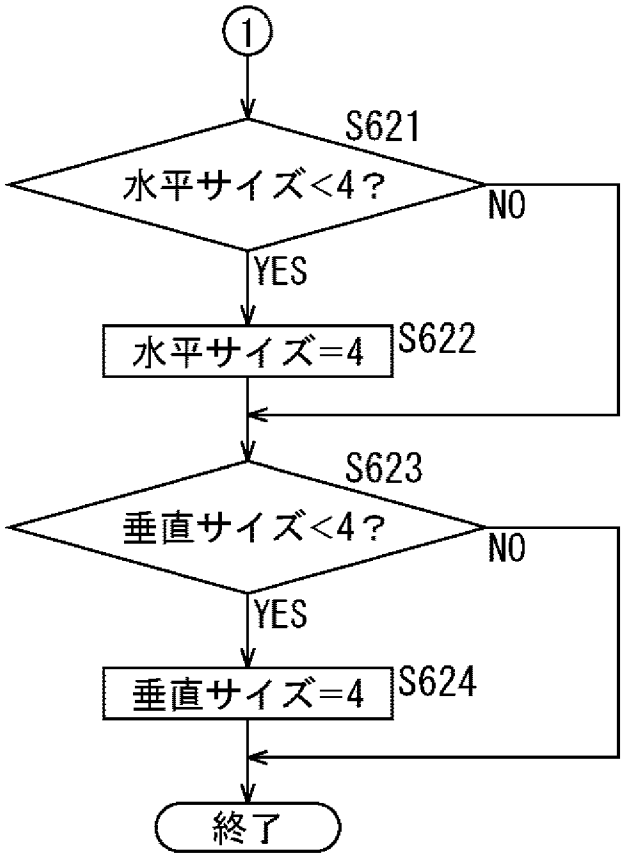
[図27]
FIG. 27


32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
VPDU境界
32x32
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝1
CU64x128(＝PU64x128)
VPDU＝64x64
第2の実施の形態の変形例2
BIO_vPU_ON
判定のための
SAD計算領域
vPU番号＝0
CU64x64(＝PU64x64)以下
VPDU＝64x64
第2の実施の形態の変形例2

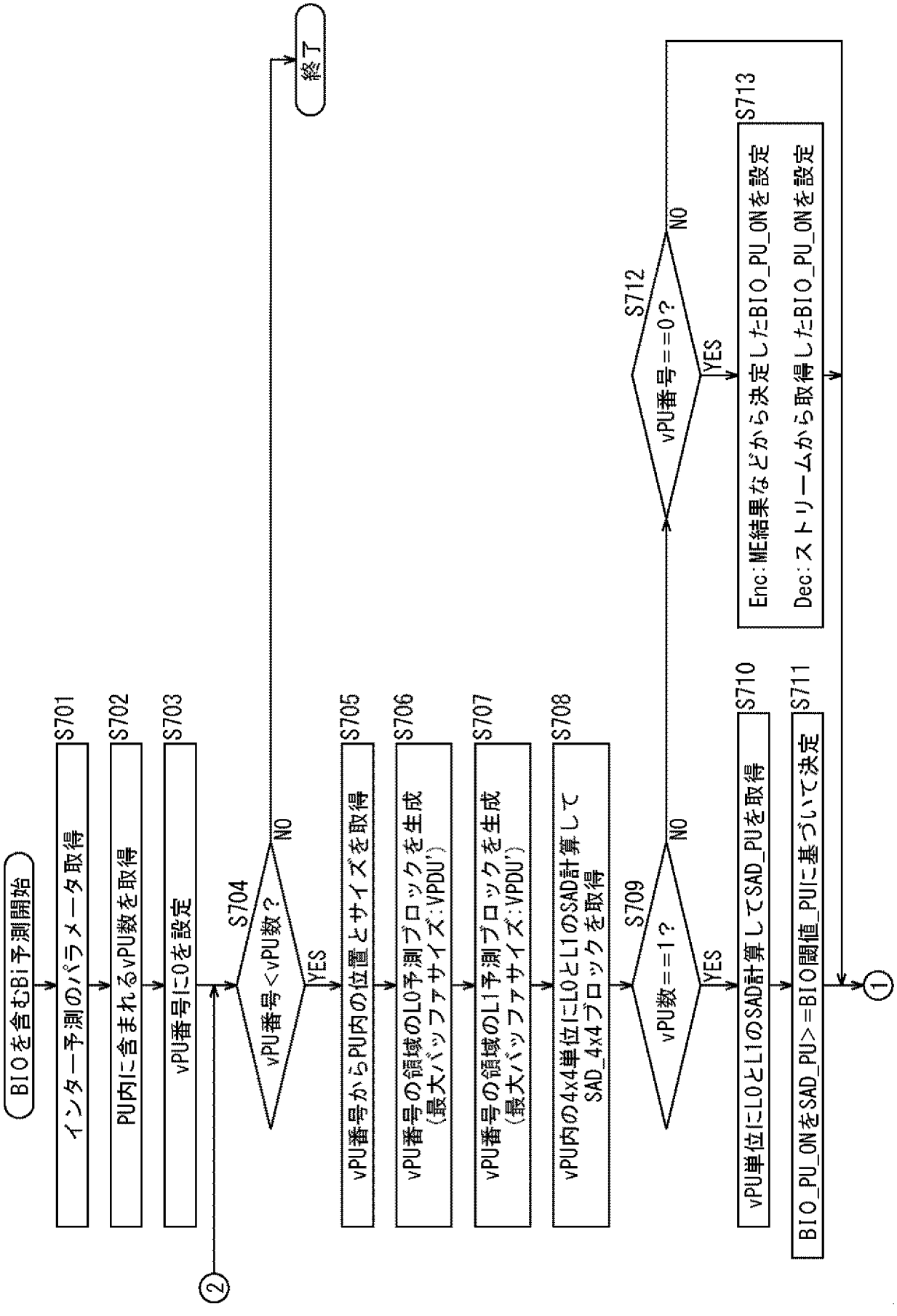
[図28]
FIG. 28


BIO_vPU_ON判定のための
部分的なSAD計算領域の判定開始
S601
L0予測のMVL0x, MVL0yと
L1予測のMVL1x, MVL1yを取得
S602
4つのMVから絶対値最大の
MVを選択してMV_MAXに代入
S603
|MV_MAX|<MV_閾値？
NO
YES
S604
vPUの中心部をSAD計算
領域に設定
S605
PUサイズ<vPUサイズ？
NO
YES
S606
水平サイズ=水平PUサイズ/2
垂直サイズ=垂直PUサイズ/2
S607
水平サイズ=水平vPUサイズ/2
垂直サイズ=垂直vPUサイズ/2
S608
MV_MAX==MVL0x||
MV_MAX==MVL1x？
NO
YES
S609
MV_MAX<0？
NO
YES
S610
vPUの左側をSAD計算
領域に設定
S611
vPUの右側をSAD計算
領域に設定
S612
PUサイズ<vPUサイズ？
NO
YES
S613
水平サイズ=水平PUサイズ/4
垂直サイズ=垂直PUサイズ
S614
水平サイズ=水平vPUサイズ/4
垂直サイズ=垂直vPUサイズ
S615
MV_MAX<0？
NO
YES
S616
vPUの上側をSAD計算
領域に設定
S617
vPUの下側をSAD計算
領域に設定
S618
PUサイズ<vPUサイズ？
NO
YES
S619
水平サイズ=水平PUサイズ
垂直サイズ=垂直PUサイズ/4
S620
水平サイズ=水平vPUサイズ
垂直サイズ=垂直vPUサイズ/4
①

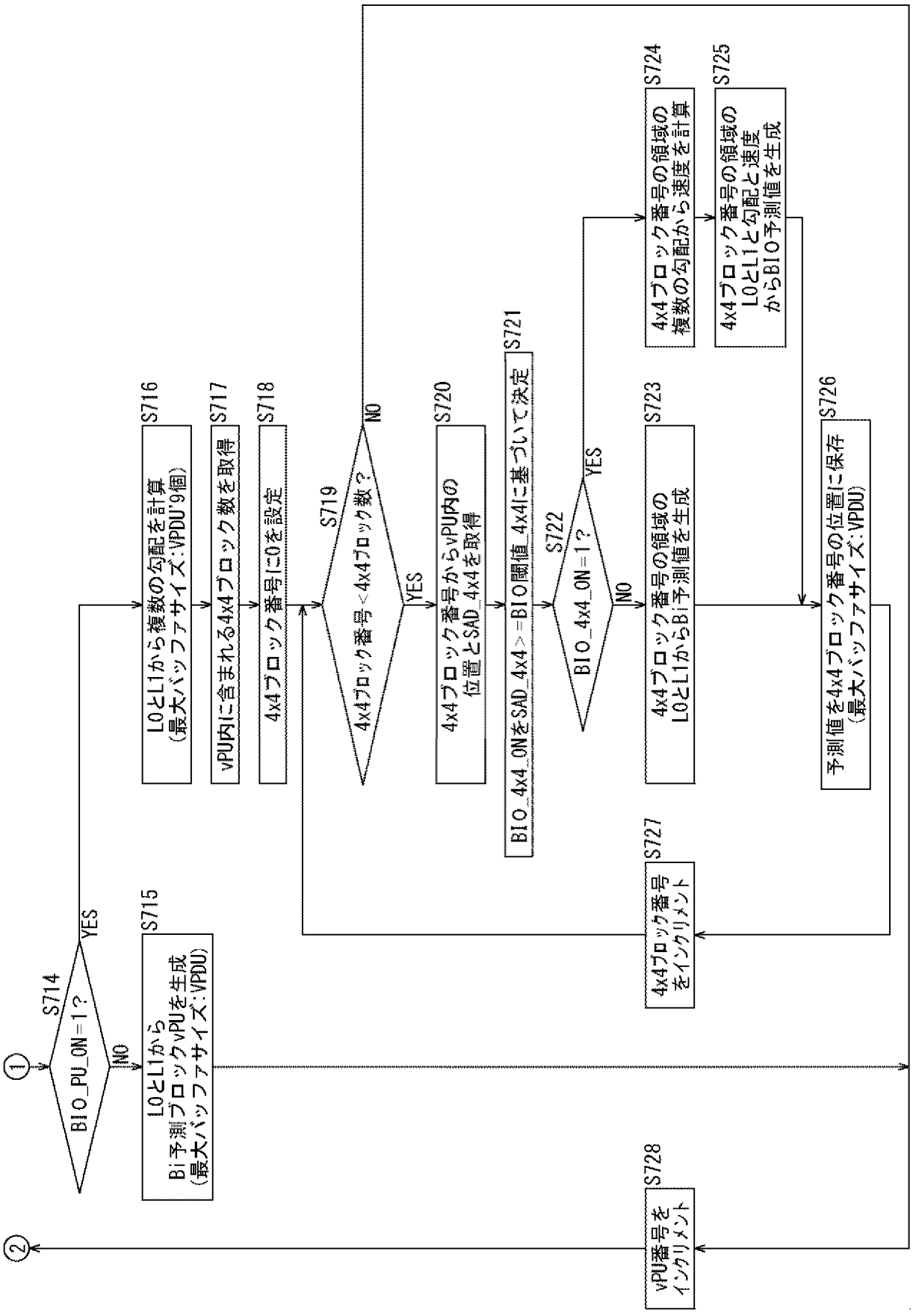
[図29]
FIG. 29


①
S621
水平サイズ<4？
NO
YES
水平サイズ=4
S622
S623
垂直サイズ<4？
NO
YES
垂直サイズ=4
S624
終了

[図30]
FIG. 30


BIOを含むBi予測開始
S701
インター予測のパラメータ取得
S702
PU内に含まれるvPU数を取得
S703
vPU番号に0を設定
S704
vPU番号<vPU数？
NO
YES
終了
S705
vPU番号からPU内の位置とサイズを取得
S706
vPU番号の領域のL0予測ブロックを生成
(最大バッファサイズ:VPDU')
S707
vPU番号の領域のL1予測ブロックを生成
(最大バッファサイズ:VPDU')
S708
vPU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S709
vPU数==1？
NO
YES
S710
vPU単位にL0とL1のSAD計算してSAD_PUを取得
S711
BIO_PU_ONをSAD_PU>=BIO閾値_PUに基づいて決定
S712
vPU番号==0？
NO
YES
S713
Enc:ME結果などから決定したBIO_PU_ONを設定
Dec:ストリームから取得したBIO_PU_ONを設定
①
②

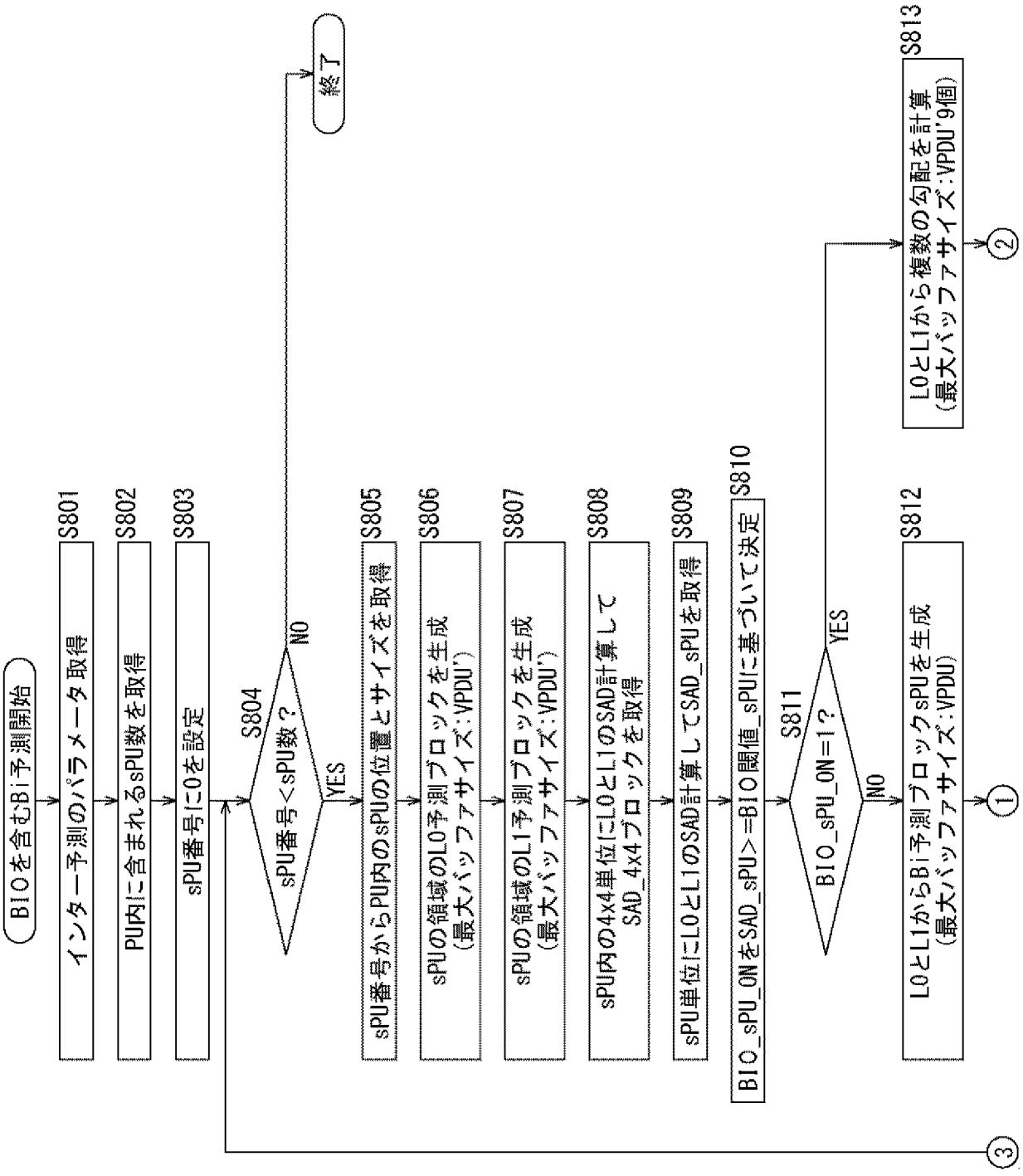
[図31]
FIG. 31


①
S714
BIO_PU_ON=1?
YES
NO
S715
L0とL1から
Bi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S716
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDU*9個)
S717
vPU内に含まれる4x4ブロック数を取得
S718
4x4ブロック番号に0を設定
S719
4x4ブロック番号<4x4ブロック数?
NO
YES
S720
4x4ブロック番号からvPU内の
位置とSAD_4x4を取得
S721
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S722
BIO_4x4_ON=1?
YES
NO
S723
4x4ブロック番号の領域の
L0とL1からBi予測値を生成
S724
4x4ブロック番号の領域の
複数の勾配から速度を計算
S725
4x4ブロック番号の領域の
L0とL1と勾配と速度
からBIO予測値を生成
S726
予測値を4x4ブロック番号の位置に保存
(最大バッファサイズ:VPDU)
S727
4x4ブロック番号
をインクリメント
S728
vPU番号を
インクリメント
②

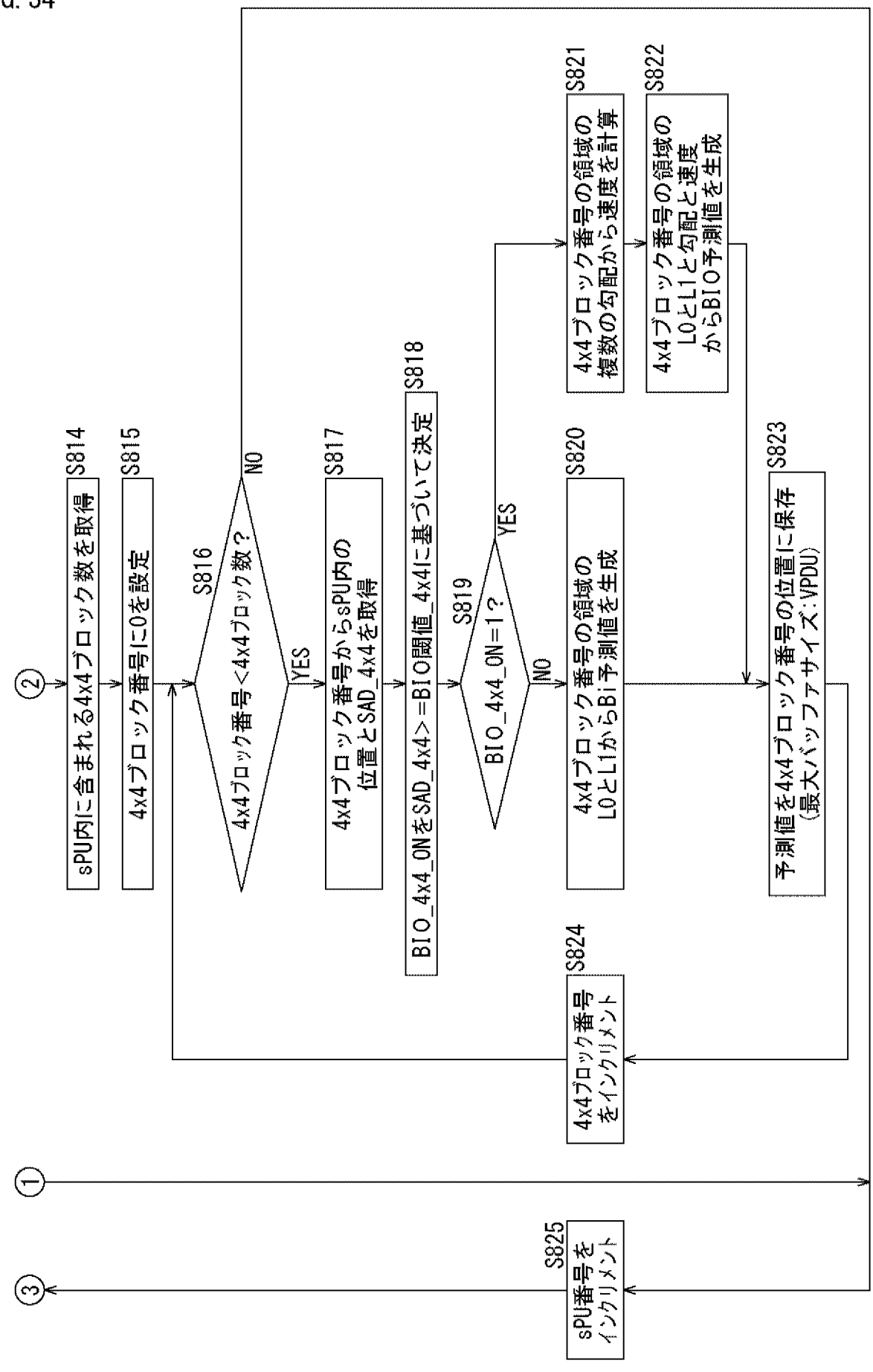
[図32]
FIG. 32

BIO_MAX_SAD_BLOCK_SIZE	sPUサイズ
0	8x8
1	16x16
2	32x32
3	64x64

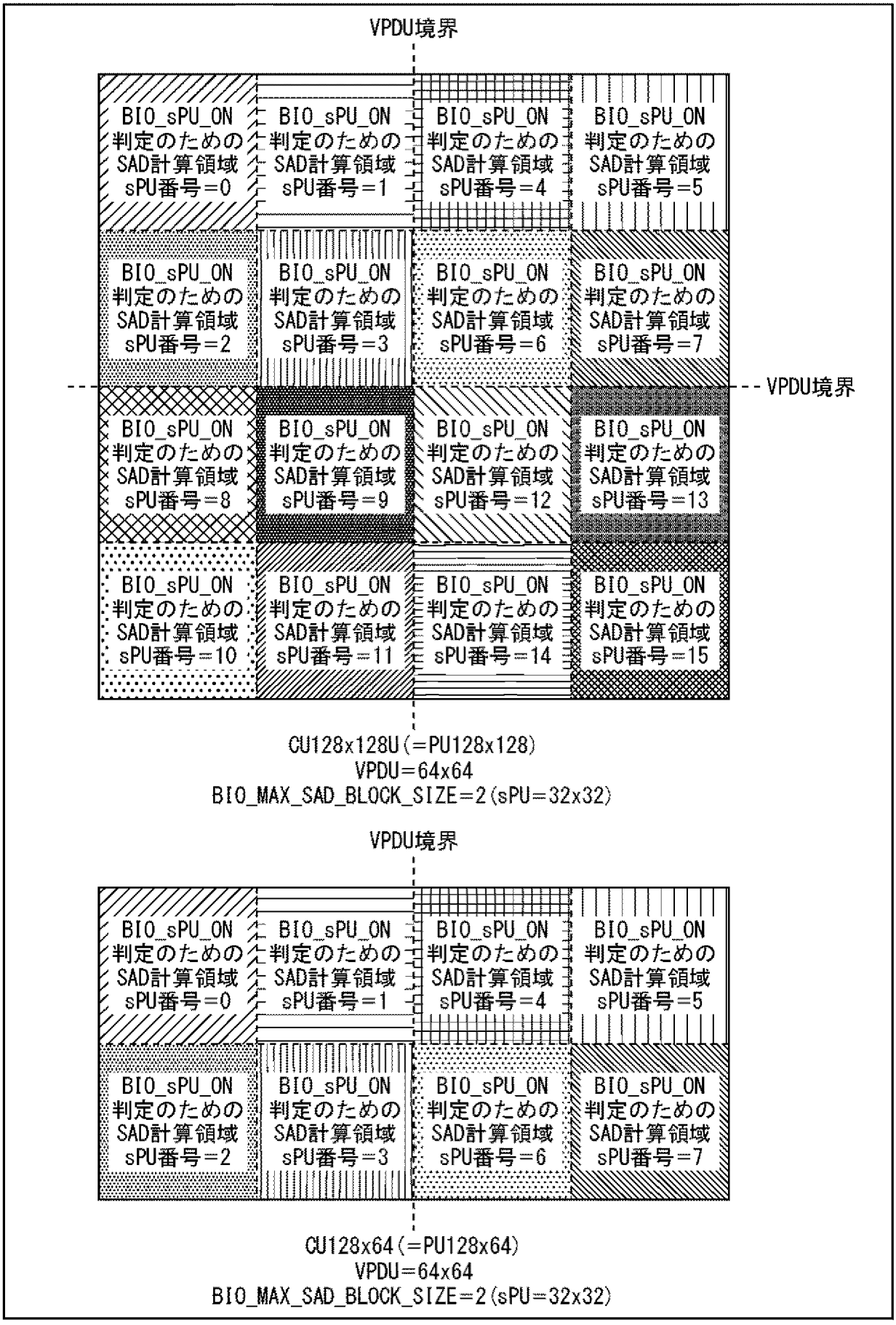
[図33]
FIG. 33


BIOを含むBi予測開始
S801
インター予測のパラメータ取得
S802
PU内に含まれるsPU数を取得
S803
sPU番号に0を設定
S804
sPU番号＜sPU数？
NO
終了
YES
S805
sPU番号からPU内のsPUの位置とサイズを取得
S806
sPUの領域のL0予測ブロックを生成
(最大バッファサイズ:VPDU')
S807
sPUの領域のL1予測ブロックを生成
(最大バッファサイズ:VPDU')
S808
sPU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S809
sPU単位にL0とL1のSAD計算してSAD_sPUを取得
S810
BIO_sPU_ONをSAD_sPU>=BIO閾値_sPUに基づいて決定
S811
BIO_sPU_ON=1？
YES
NO
S812
L0とL1からBi予測ブロックsPUを生成
(最大バッファサイズ:VPDU)
S813
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDU'9個)
①
②
③

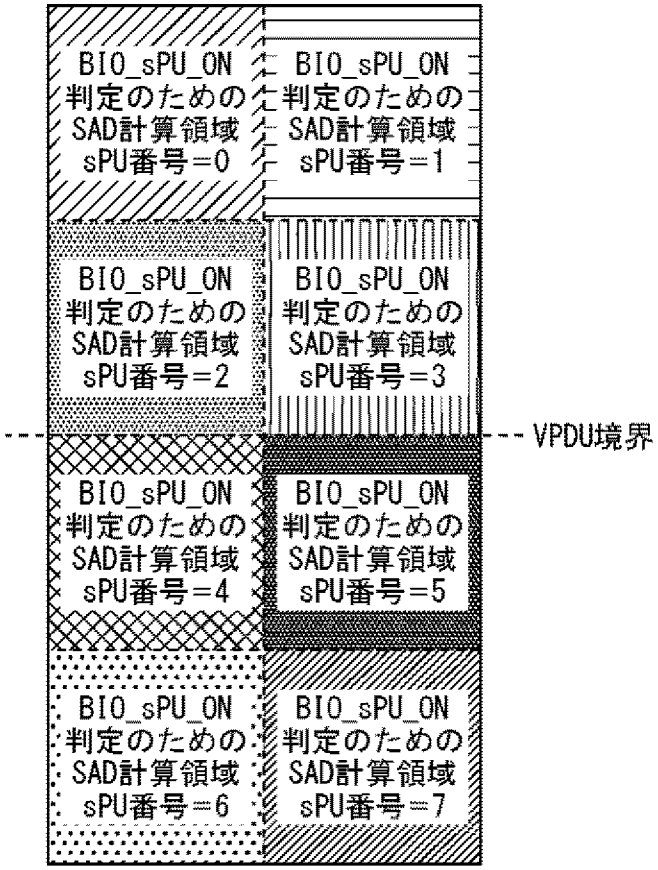
[図34]
FIG. 34


②
S814
sPU内に含まれる4x4ブロック数を取得
S815
4x4ブロック番号に0を設定
S816
4x4ブロック番号<4x4ブロック数？
NO
YES
S817
4x4ブロック番号からsPU内の位置とSAD_4x4を取得
S818
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S819
BIO_4x4_ON=1？
YES
NO
S820
4x4ブロック番号の領域のL0とL1からBi予測値を生成
S821
4x4ブロック番号の領域の複数の勾配から速度を計算
S822
4x4ブロック番号の領域のL0とL1と勾配と速度からBIO予測値を生成
S823
予測値を4x4ブロック番号の位置に保存(最大バッファサイズ:VPDU)
S824
4x4ブロック番号をインクリメント
①
③
S825
sPU番号をインクリメント

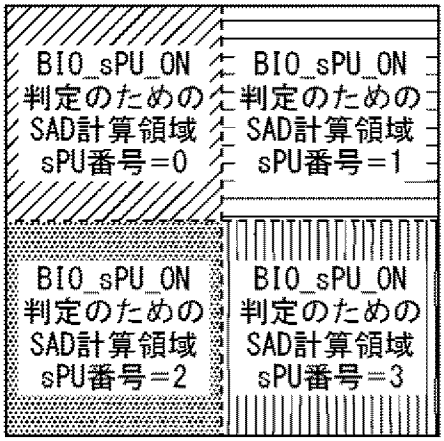
[図35]
FIG. 35


VPDU境界
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝0
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝1
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝4
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝5
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝2
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝3
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝6
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝7
VPDU境界
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝8
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝9
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝12
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝13
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝10
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝11
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝14
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝15
CU128x128U(＝PU128x128)
VPDU＝64x64
BIO_MAX_SAD_BLOCK_SIZE＝2(sPU＝32x32)
VPDU境界
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝0
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝1
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝4
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝5
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝2
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝3
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝6
BIO_sPU_ON 判定のための SAD計算領域 sPU番号＝7
CU128x64(＝PU128x64)
VPDU＝64x64
BIO_MAX_SAD_BLOCK_SIZE＝2(sPU＝32x32)

[図36]
FIG. 36

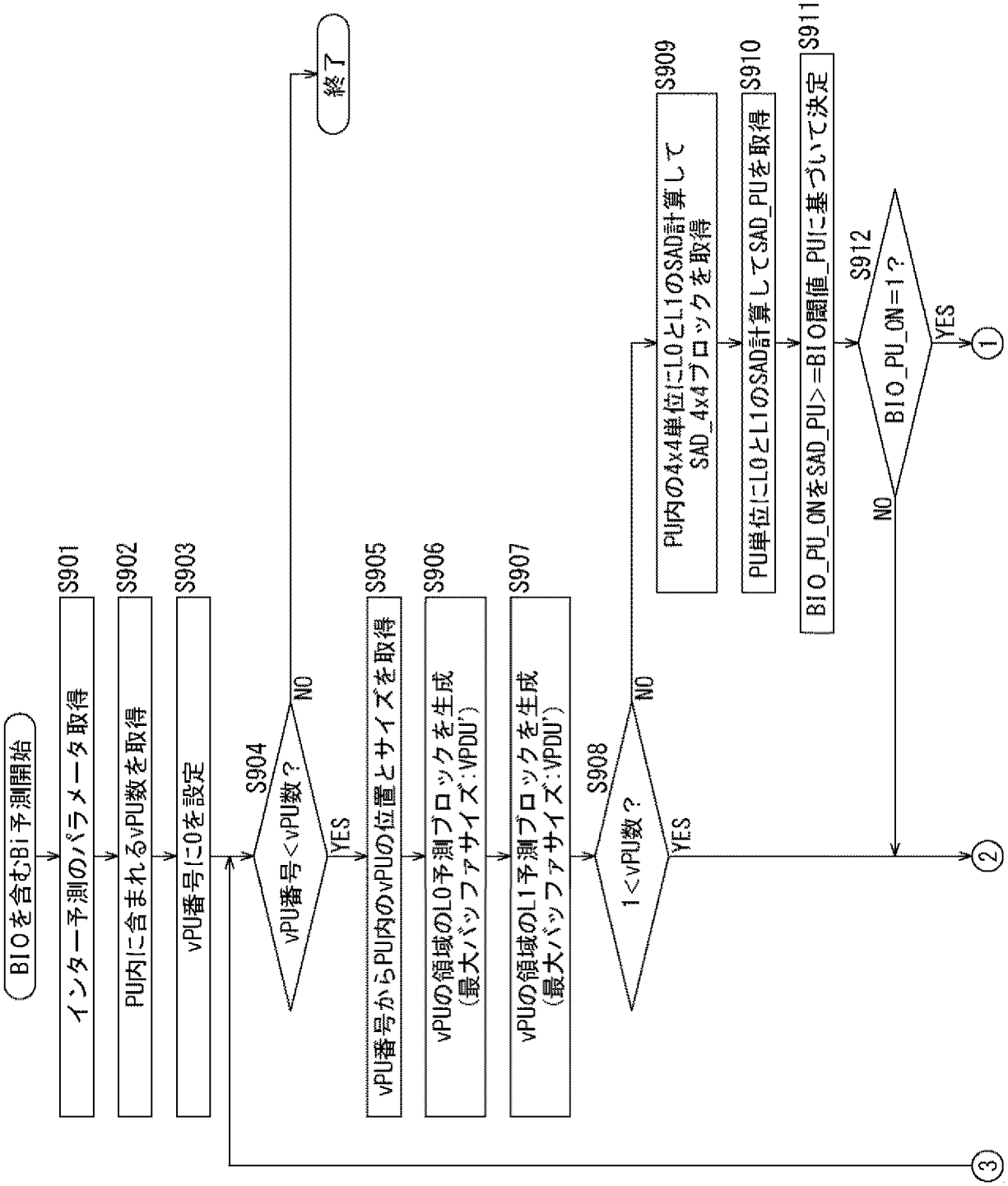


CU64x128(=PU64x128)
VPDU=64x64
BIO_MAX_SAD_BLOCK_SIZE=2(sPU=32x32)

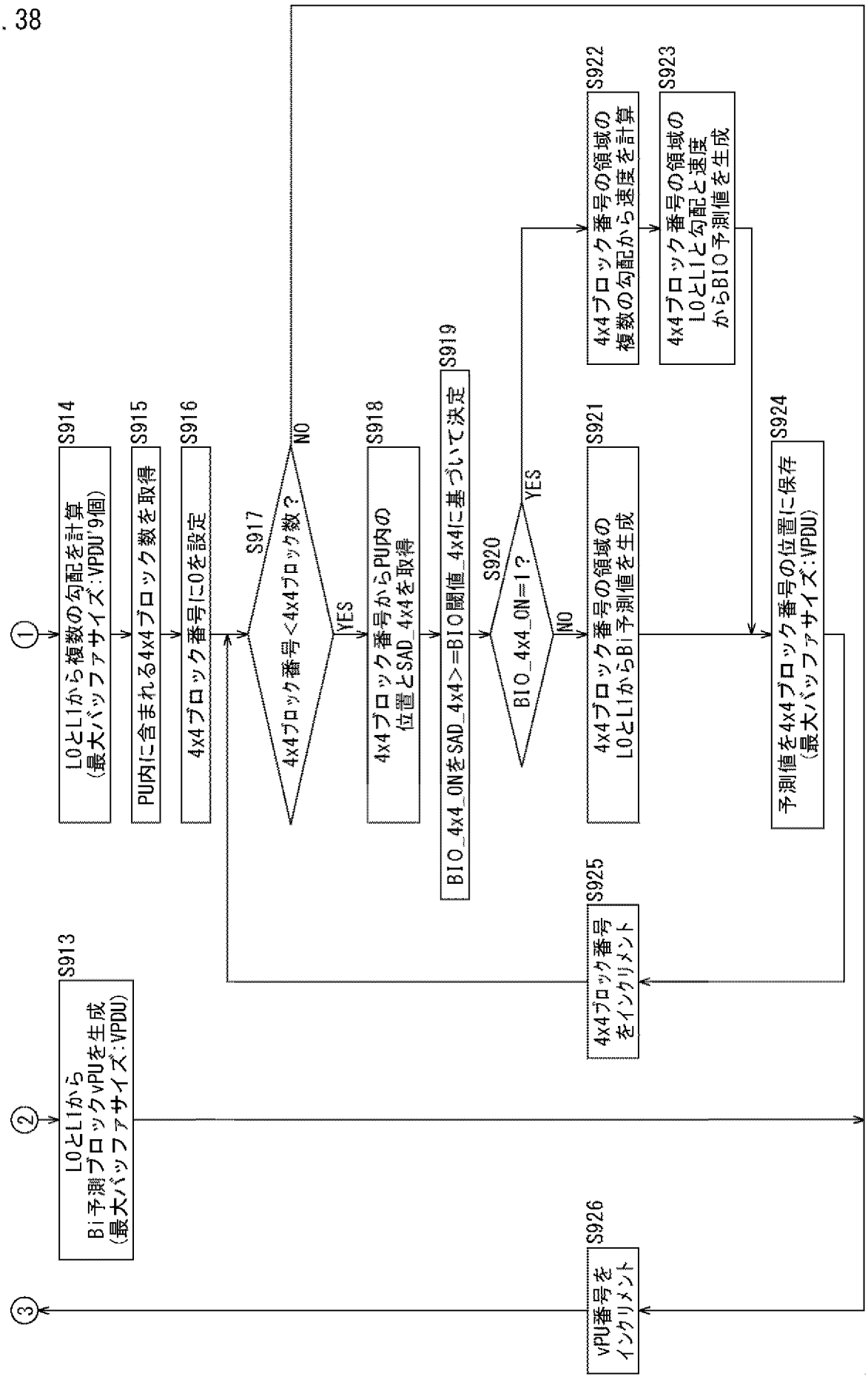


CU64x64(=PU64x64)以下
VPDU=64x64
BIO_MAX_SAD_BLOCK_SIZE=2(sPU=32x32)

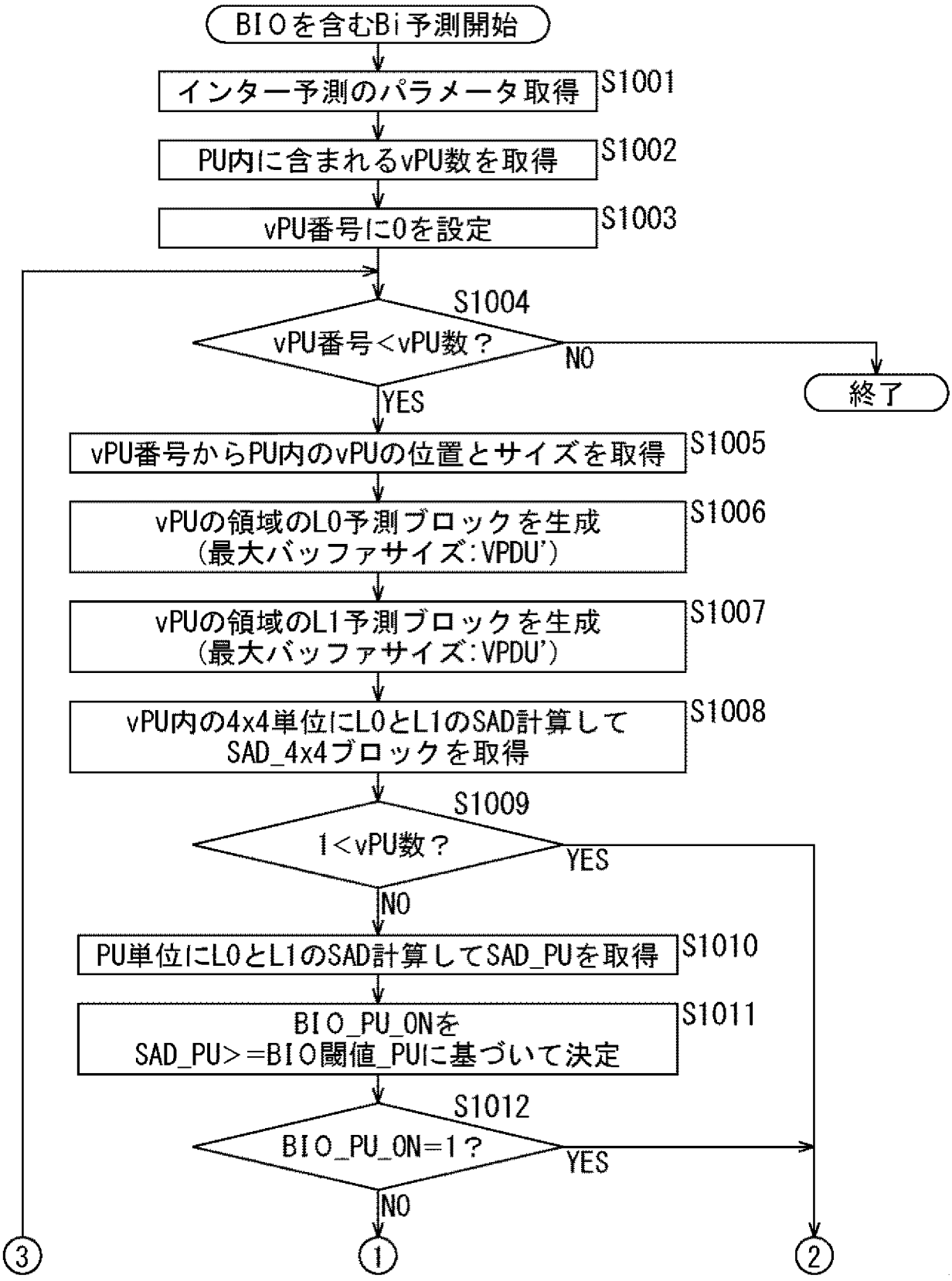
[図37]
FIG. 37


BIOを含むBi予測開始
S901
インター予測のパラメータ取得
S902
PU内に含まれるvPU数を取得
S903
vPU番号に0を設定
S904
vPU番号＜vPU数？
NO
終了
YES
S905
vPU番号からPU内のvPUの位置とサイズを取得
S906
vPUの領域のL0予測ブロックを生成
(最大バッファサイズ:VPDU')
S907
vPUの領域のL1予測ブロックを生成
(最大バッファサイズ:VPDU')
S908
1＜vPU数？
NO
YES
S909
PU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S910
PU単位にL0とL1のSAD計算してSAD_PUを取得
S911
BIO_PU_ONをSAD_PU>=BIO閾値_PUに基づいて決定
S912
BIO_PU_ON=1？
NO
YES
①
②
③

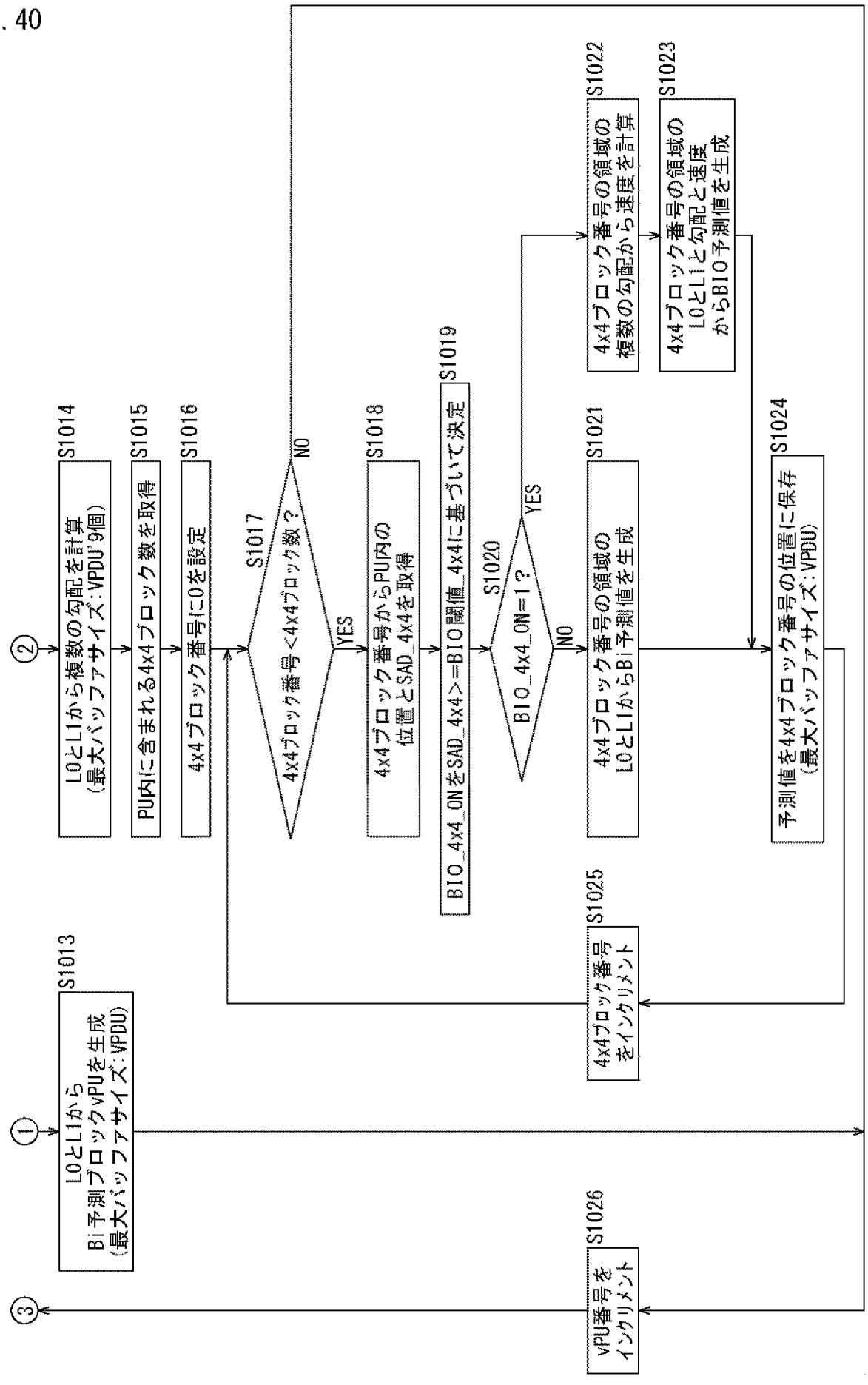
[図38]
FIG. 38


①
②
③
S913
L0とL1から
Bi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S914
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDUが9個)
S915
PU内に含まれる4x4ブロック数を取得
S916
4x4ブロック番号に0を設定
S917
4x4ブロック番号<4x4ブロック数?
YES
NO
S918
4x4ブロック番号からPU内の
位置とSAD_4x4を取得
S919
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S920
BIO_4x4_ON=1?
YES
NO
S921
4x4ブロック番号の領域の
L0とL1からBi予測値を生成
S922
4x4ブロック番号の領域の
複数の勾配から速度を計算
S923
4x4ブロック番号の領域の
L0とL1と勾配と速度
からBIO予測値を生成
S924
予測値を4x4ブロック番号の位置に保存
(最大バッファサイズ:VPDU)
S925
4x4ブロック番号
をインクリメント
S926
vPU番号を
インクリメント

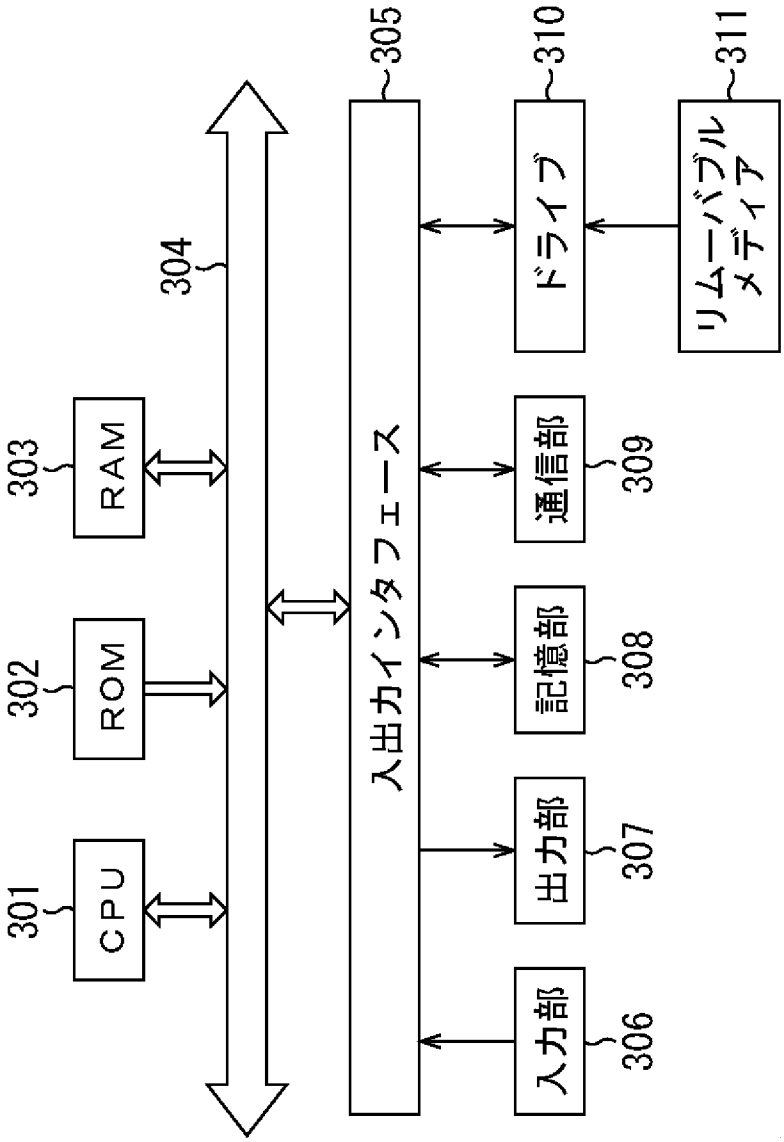
[図39]
FIG. 39


BIOを含むBi予測開始
インター予測のパラメータ取得
S1001
PU内に含まれるvPU数を取得
S1002
vPU番号に0を設定
S1003
S1004
vPU番号＜vPU数？
NO
終了
YES
vPU番号からPU内のvPUの位置とサイズを取得
S1005
vPUの領域のL0予測ブロックを生成
（最大バッファサイズ:VPDU'）
S1006
vPUの領域のL1予測ブロックを生成
（最大バッファサイズ:VPDU'）
S1007
vPU内の4x4単位にL0とL1のSAD計算して
SAD_4x4ブロックを取得
S1008
S1009
1＜vPU数？
YES
NO
PU単位にL0とL1のSAD計算してSAD_PUを取得
S1010
BIO_PU_ONを
SAD_PU>=BIO閾値_PUに基づいて決定
S1011
S1012
BIO_PU_ON=1？
YES
NO
③
①
②

[図40]
FIG. 40


①
②
③
S1013
L0とL1から
Bi予測ブロックvPUを生成
(最大バッファサイズ:VPDU)
S1014
L0とL1から複数の勾配を計算
(最大バッファサイズ:VPDU'9個)
S1015
PU内に含まれる4x4ブロック数を取得
S1016
4x4ブロック番号に0を設定
S1017
4x4ブロック番号<4x4ブロック数？
YES
NO
S1018
4x4ブロック番号からPU内の
位置とSAD_4x4を取得
S1019
BIO_4x4_ONをSAD_4x4>=BIO閾値_4x4に基づいて決定
S1020
BIO_4x4_ON=1？
YES
NO
S1021
4x4ブロック番号の領域の
L0とL1からBi予測値を生成
S1022
4x4ブロック番号の領域の
複数の勾配から速度を計算
S1023
4x4ブロック番号の領域の
L0とL1と勾配と速度
からBIO予測値を生成
S1024
予測値を4x4ブロック番号の位置に保存
(最大バッファサイズ:VPDU)
S1025
4x4ブロック番号
をインクリメント
S1026
vPU番号を
インクリメント

[図41]
FIG. 41


301
CPU
302
ROM
303
RAM
304
305
入出力インタフェース
306
入力部
307
出力部
308
記憶部
309
通信部
310
ドライブ
311
リムーバブル
メディア

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/049090

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N19/109(2014.01)i, H04N19/147(2014.01)i, H04N19/176(2014.01)i, H04N19/436(2014.01)i
FI: H04N19/109, H04N19/147, H04N19/176, H04N19/436
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N19/00-19/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/173895 A1 (SHARP CORPORATION) 27.09.2018 (2018-09-27), paragraphs [0263]-[0277], fig. 25	1-8
A	XIU, X. Y., HE, Y. W., YE, Y., CE9-related: Complexity reduction and bit-width control for bi-directional optical flow (BIO), Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-L0256_v2, 12th Meeting: Macao, CN, September 2018, pp. 1-15, 2.2 Computational analysis of the BIO-Early termination	1-8
A	WO 2012/046435 A1 (PANASONIC CORPORATION) 12.04.2012 (2012-04-12), paragraphs [0077]-[0267], fig. 1-24	1-8

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 25.02.2020	Date of mailing of the international search report 03.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/049090

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	HSU, C. W. et al., CE1-related: Constraint for binary and ternary partitions, Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-K0556-v2, 11th Meeting: Ljubljana, SI, July 2018, pp. 1-3, abstract	1-8
P, X	KONDO, Kenji, IKEDA, Masaru, SUZUKI, Teruhiko, Non-CE9: On early termination for BDOF, Joint Video Experts Team (JVET) of ITU-TSG 16 WP3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-M0073-r2, 13th Meeting: Marrakech, MA, January 2019, pp. 1-5, 1 Problem statement, 2 Solutions	1-8
P, X	CHEN, H. B. et al., CE9-related: BDOF buffer reduction and enabling VPDU based application, Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-M0890-v2, 13th Meeting: Marrakech, MA, January 2019, pp. 1-3, abstract, 1 Introduction, 2 Problem statement, 3 Proposed solution	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/049090

WO 2018/173895 A1	27.09.2018	(Family: none)
WO 2012/046435 A1	12.04.2012	US 2013/0188723 A1 paragraphs [0147]-[0337], fig. 1-24 CN 103125119 A

国際調査報告

国際出願番号
PCT/JP2019/049090

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 19/109(2014.01)i; H04N 19/147(2014.01)i; H04N 19/176(2014.01)i; H04N 19/436(2014.01)i
FI: H04N19/109; H04N19/147; H04N19/176; H04N19/436

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N19/00-19/98

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2018/173895 A1 (シャープ株式会社) 27.09.2018 (2018-09-27) [0263] - [0277], 図25	1-8
A	Xiaoyu Xiu, Yuwen He and Yan Ye, CE9-related: Complexity reduction and bit-width control for bi-directional optical flow (BIO), Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-L0256_v2, 12th Meeting: Macao, CN, 2018.09, pp.1-15 2.2 Computational analysis of the BIO, - Early termination	1-8
A	WO 2012/046435 A1 (パナソニック株式会社) 12.04.2012 (2012-04-12) [0077] - [0267], 図1-24	1-8
A	Chih-Wei Hsu et al., CE1-related: Constraint for binary and ternary partitions, Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-K0556-v2, 11th Meeting: Ljubljana, SI, 2018.07, pp.1-3 Abstract	1-8

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
25.02.2020	03.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩井　健二 5C 9465

電話番号 03-3581-1101 内線 3541

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
P, X	Kenji Kondo, Masaru Ikeda and Teruhiko Suzuki, Non-CE9: On early termination for BDOF, Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-M0073-r2, 13th Meeting: Marrakech, MA, 2019.01, pp.1-5 1 Problem Statement, 2 Solutions	1-8
P, X	Huanbang Chen et al., CE9-related: BDOF buffer reduction and enabling VPDU based application, Joint Video Experts Team (JVET) of ITU-T SG 16 WP 3 and ISO/IEC JTC 1/SC 29/WG 11, JVET-M0890-v2, 13th Meeting: Marrakech, MA, 2019.01, pp.1-3 Abstract, 1 Introduction, 2 Problem Statement, 3 Proposed Solution	1-8

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2019/049090

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/173895 A1	27.09.2018	（ファミリーなし）	
WO 2012/046435 A1	12.04.2012	US 2013/0188723 A1 [0147] - [0337], FIGs.1-24 CN 103125119 A	