

# PATENTOVÝ SPIS

(19)  
ČESKÁ  
REPUBLIKA



ÚŘAD  
PRŮMYSLOVÉHO  
VLASTNICTVÍ

(21) Číslo přihlášky: **2010-226**  
(22) Přihlášeno: **26.03.2010**  
(40) Zveřejněno: **11.05.2011**  
**(Věstník č. 19/2011)**  
(47) Uděleno: **30.03.2011**  
(24) Oznámení o udělení ve Věstníku: **11.05.2011**  
**(Věstník č. 19/2011)**

(11) Číslo dokumentu:

## 302 423

(13) Druh dokumentu: **B6**

(51) Int. Cl.:  
**H04N 7/60** (2006.01)  
**H04N 7/62** (2006.01)  
**H04N 11/24** (2006.01)

(56) Relevantní dokumenty:

EP 1471745 A; EP 1339182 A; EP 0924935 A; US 7269225 B; US 6148051 A; US 5425061 A; CZ 18271 U.

(73) Majitel patentu:

CESNET, zájmové sdružení právnických osob, Praha 6,  
CZ

(72) Původce:

Halák Jiří Ing., Kněžmost, CZ  
Ubík Sven Dr. Ing., Praha 9 - Prosek, CZ  
Žejdl Petr Ing., Praha 9 - Čakovice, CZ

(74) Zástupce:

Ing. Hana Dušková, Na Kočově 180, Chotutice, 28103

(54) Název vynálezu:

**Zařízení pro příjem obrazového signálu s vysokým rozlišením přenášeného s malým zpožděním asynchronní paketovou počítačovou sítí**

(57) Anotace:

Předkládané řešení umožňuje přenos obrazového signálu s vysokým rozlišením asynchronní paketovou počítačovou sítí typu Ethernet s malým zpožděním. Vysílač i přijímač jsou tvořeny deskou (1) obrazových vstupů nebo výstupů, deskou FPGA (3) a optickým transceiverem (5) pro vysílání a příjem signálu přes síť typu Ethernet. Podstatou nového řešení je, že přijímač obsahuje jeden nebo více laditelných oscilátorů (9) připojených k desce FPGA (3) obsahující modul (7) příjmu paketů a jednu nebo více soustav (4) modulů pro zpracování obrazových dat. Tyto soustavy (4) modulů přizpůsobují rychlost posílení dat na obrazové výstupy (2) rychlosti generování těchto dat na straně vysílače a umožňují zobrazení počátku snímku ve správné pozici i přesto, že vysílač a přijímač jsou propojeny přes asynchronní paketovou počítačovou síť typu Ethernet, kterou není možné využít pro obnovení hodinového kmitočtu přijímače podle rychlosti vysílání dat, přičemž není nutné použití rozsáhlé snímkové paměti zvyšující zpoždění.



CZ 302423 B6

## Zařízení pro příjem obrazového signálu s vysokým rozlišením přenášeného s malým zpožděním asynchronní paketovou počítačovou sítí

### 5 Oblast techniky

Technické řešení se týká přenosu obrazového signálu s vysokým rozlišením (HD, 2K, 4K a více, dále jen vysoké rozlišení) paketovou počítačovou sítí. Patří do oblasti telekomunikační techniky a služeb.

10

### Dosavadní stav techniky

Stávající řešení pro přenos obrazového signálu po počítačové sítí lze přibližně rozdělit do několika kategorií.

15

V první kategorii jde o jednoúčelová zařízení, která převádějí elektrický signál z obrazových vstupů přímo na elektrický nebo optický signál vhodný pro přenos počítačovou sítí a současně provádějí obrácený převod na druhé straně přenosu. Protože obrazový signál není vkládán do rámců nebo paketů, je možné ho přenášet pouze po k tomu účelu vyhrazeném síťovém spojení omezené délky, nikoliv přes síť Internet.

20

V druhé kategorii jde o zařízení, která vkládají obrazová data do rámců pro přenos synchronní počítačovou sítí typu SONET/SDH. Při tomto řešení je hodinový kmitočet obrazového přijímače odvozen od hodinového kmitočtu synchronní počítačové sítě. Toto řešení není proto vhodné pro přenos přes asynchronní počítačovou síť typu Ethernet.

25

Ve třetí kategorii jde o zařízení, která vkládají obrazová data do paketů pro přenos asynchronní počítačovou sítí typu Ethernet. Jde buď o systémy postavené na bázi PC s vhodnými kartami pro vstup a výstup obrazového signálu (grabovací karty, video adaptéry, kompresní karty) a kartou pro přenos přes síť (síťové karty), umístěnými ve stolech PC nebo o specializovaná zařízení. Vyrovnávání rozdílů v rychlosti vysílače a přijímače je řešeno dostatečně velikou vyrovnávací pamětí na straně přijímače, která ale výrazně zvětšuje zpoždění obrazového přenosu. V případě systému na bázi PC je pro přenos obrazu s vysokým rozlišením potřeba rozsáhlý systém s více kartami a případně více PC, který je obtížně přenositelný.

30

Z výše uvedeného vyplývá, že systém pro přenos obrazového signálu s vysokým rozlišením asynchronní paketovou počítačovou sítí typu Ethernet s malým zpožděním, je se stávající technikou obtížně realizovatelný.

40

### Podstata vynálezu

Výše uvedené nedostatky odstraňuje zařízení pro přenos obrazu s vysokým rozlišením počítačovou sítí podle předkládaného řešení. Vysílač i přijímač jsou tvořeny deskou obrazových vstupů nebo výstupů pro vstup nebo výstup obrazových dat přes jeden nebo více obrazových vstupů nebo výstupů, deskou FPGA a optickým transceiverem pro vysílání a příjem signálu přes síť typu Ethernet. Podstatou nového řešení je, že přijímač obsahuje jeden nebo více laditelných oscilátorů připojených k desce FPGA obsahující modul příjmu paketů a jednu nebo více soustav modulů pro zpracování obrazových dat. Počet laditelných oscilátorů odpovídá počtu soustav modulů pro zpracování obrazových dat. Každá soustava modulů pro zpracování obrazových dat na desce FPGA v přijímači je tvořena vyrovnávací pamětí, jejíž datový vstup a hodinový vstup vstupní části jsou připojeny přes modul příjmu paketů na elektrický výstup optického transceiveru a jejíž datový výstup je spojen se vstupem obrazového procesoru. Výstup obrazového procesoru vede přes modul synchronizace kanálů na desku obrazových výstupů přijímače. Soustava modulů dále

55

obsahuje čítač, jehož jeden vstup je přes první detektor zvoleného řádku ve snímku propojen s datovým vstupem vyrovnávací paměti a druhý vstup je přes druhý detektor zvoleného řádku ve snímku propojen s výstupem obrazového procesoru. Výstup čítače je spojen s invertujícím vstupem diferenciálního členu, na jehož pozitivní vstup je přivedena paměť požadované hodnoty regulace a jehož výstup je odchylkou od požadované hodnoty přivedenou na vstup regulátoru PID, který svým výstupem řídí kmitočet laditelného oscilátoru, který je připojen na hodinový vstup obrazového procesoru a na hodinový vstup výstupní části vyrovnávací paměti.

Obrazové výstupy mohou být tvořeny jedním nebo více kanály standardu SMPTE 259M (SDI) a/nebo SMPTE 292M (HD-SDI) a/nebo SMPTE 424 (3G-SDI) a/nebo SMPTE 372 (dual-link HD-SDI).

V dalším provedení může být modul regulátoru PID implementován jako program pro procesor zabudovaný v obvodu FPGA na desce FPGA.

Podstatnou vlastností předkládaného řešení je schopnost přijímače přizpůsobit rychlost posílání dat na obrazové výstupy rychlosti generování těchto dat na straně vysílače a zobrazit počátek snímku ve správné pozici i přesto, že vysílač a přijímač jsou propojeny přes asynchronní paketovou počítačovou síť typu Ethernet, kterou není možné využít pro obnovení hodinového kmitočtu přijímače podle rychlosti vysílání dat, přičemž není nutné použití rozsáhlé snímkové paměti zvyšující zpoždění.

Okamžitý objem obrazových dat ve vyrovnávací paměti typu FIFO závisí na změně zpoždění při přenosu dat počítačovou sítí. Pokud se liší hodinové kmitočty vysílače a přijímače, dochází k systematickému vyprazdňování nebo přepřínování vyrovnávací paměti a následně k výpadku přenášených obrazových dat. Tento problém odstraňuje předkládané řešení.

#### Přehled obrázku na výkrese

Na obr. 1 je blokové schéma zařízení.

#### Příklady uskutečnění vynálezu

Zařízení pro příjem obrazu s vysokým rozlišením přenášeného paketovou počítačovou sítí, jehož blokové schéma je na obr. 1, je možné popsat těmito funkčními bloky: deska 1 obrazových výstupů, obrazové výstupy 2, deska FPGA 3, modul 7 příjmu paketů, jedna nebo více soustav 4 modulů pro zpracování obrazových dat, optický transceiver 5, rozhraní 6 sítě Ethernet, jeden nebo více laditelných oscilátorů 9. Každou soustavu 4 modulů pro zpracování obrazových dat dále tvoří: regulátor PID 8, obrazový procesor 10, vyrovnávací paměť 11, první detektor 12 zvoleného řádku ve snímku, druhý detektor 13 zvoleného řádku ve snímku, čítač 14, diferenciální člen 15, paměť 16 požadované hodnoty regulace a modul 17 synchronizace kanálů.

Elektrický výstup optického transceiveru 5 je spojen se vstupem desky FPGA 3, jejíž výstup je spojen se vstupem desky 1 obrazových výstupů vedoucí na obrazové výstupy 2. Řídící vstup každého laditelného oscilátoru 9 i jeho kmitočtový výstup jsou přes desku FPGA 3 připojeny k příslušné soustavě 4 modulů pro zpracování obrazových dat. Datový vstup a hodinový vstup vstupní části vyrovnávací paměti 11 jsou připojeny přes modul 7 příjmu paketů na elektrický výstup optického transceiveru 5. Datový výstup vyrovnávací paměti 11 je spojen se vstupem obrazového procesoru 10, jehož výstup vede přes modul 17 synchronizace kanálů na desku 1 obrazových výstupů. První vstup čítače 14 je přes první detektor 12 zvoleného řádku ve snímku propojen s datovým vstupem vyrovnávací paměti 11 a druhý vstup čítače 14 je přes druhý detektor 13 zvoleného řádku ve snímku propojen s výstupem obrazového procesoru 10. Výstup čítače 14 je spojen s invertujícím vstupem diferenciálního členu 15, na jehož pozitivní vstup je připoje-

na paměť 16 požadované hodnoty regulace a jehož výstup je přiveden na vstup regulátoru PID 8. Výstup regulátoru PID 8 je spojen s řídicím vstupem laditelného oscilátoru 9, jehož kmitočtový výstup je připojen na hodinový vstup obrazového procesoru 10 a na hodinový vstup výstupní části vyrovnávací paměti 11.

5

Optický transceiver 5 převádí signál mezi rozhraním 6 sítě Ethernet a svým elektrickým výstupem. Modul 7 příjmu paketů rozbaluje obrazová data z paketů přicházejících po síti typu Ethernet, implementuje tedy zpravidla přenosové protokoly linkové, síťové a transportní vrstvě sítě. Modul 7 příjmu paketů dále rozděluje obrazová data do jednotlivých soustav 4 pro zpracování obrazových dat podle obrazových výstupů, pro které jsou určeny. Obrazový procesor 10 převádí obrazová data do formátu obrazových výstupů. Modul 17 synchronizace kanálů snímkově synchronizuje skupiny obrazových výstupů. Deska 1 obrazových výstupů provádí napěťové a impedanční přizpůsobení mezi deskou FPGA 3 a obrazovými výstupy 2.

10

Čítač 14 může být spuštěn příchodem řádku zvoleného čísla do vyrovnávací paměti 11 podle údaje z prvního detektoru 12 zvoleného řádku ve snímku a zastaven při výstupu řádku tohoto čísla z obrazového procesoru 10 podle údaje z druhého detektoru 13 zvoleného řádku ve snímku, v tomto případě nabývá čítač 14 kladné hodnoty. Alternativně, čítač 14 může být spuštěn při výstupu řádku zvoleného čísla z obrazového procesoru 10 podle údaje z druhého detektoru 13 zvoleného řádku ve snímku a zastaven při příchodu řádku tohoto čísla do vyrovnávací paměti 11 podle údaje z prvního detektoru 12 zvoleného řádku ve snímku, v tomto případě nabývá čítač 14 záporné hodnoty. Pokud výstup řádku do obrazových výstupů 2 předbíhá jeho příchod do vyrovnávací paměti 11, obrazový procesor 10 pošle na obrazové výstupy 2 alternativní řádek, například kopii předcházejícího řádku.

15

20

25

Pokud se průměrné zpoždění zvoleného řádku mezi vstupem do vyrovnávací paměti 11 a výstupem z obrazového procesoru 10 zjištěného čítačem 14 liší v diferenciálním členu 15 od obsahu paměti 16 požadované hodnoty regulace, změní regulátor PID 8 kmitočet laditelného oscilátoru 9 tak, aby došlo k vyrovnání zpoždění na požadovanou hodnotu. Regulace může používat libovolnou řádku v rámci snímku, zpravidla první viditelnou řádku.

30

Tento způsob určování odchylky regulované hodnoty umožňuje spolu s volbou požadované hodnoty regulace i stabilizaci pozice snímku, tedy zobrazení počátku snímku ve správné pozici. Regulaci lze použít pro každý digitální přenos obrazových dat, ve kterém je možné určit pořadí řádků ve snímku. Požadovaná hodnota regulace závisí na typu obrazových výstupů a formátu snímku a je třeba jí nastavit empiricky pro nejvyšší stabilitu obrazu. Použitím kladné požadované hodnoty regulace je možné nastavit předstih mezi příchodem zvoleného řádku do vyrovnávací paměti a jeho zobrazením a optimalizovat tak zaplnění vyrovnávací paměti 11.

35

Obrazové výstupy mohou být tvořeny například jedním nebo více kanály standardu SMPTE 259M (SDI) a/nebo SMPTE 292M (HD-SDI) a/nebo SMPTE 424 (3G-SDI) a/nebo SMPTE 372 (dual-link HD-SDI).

40

Užitečnou vlastností rozdělení obrazových výstupů 2 do skupin po jednom nebo více členech, kde je každá skupina připojena přes desku 1 obrazových výstupů k samostatné soustavě 4 modulů pro zpracování obrazových dat se samostatným laditelným oscilátorem 9 je možnost použití každé skupiny obrazových výstupů 2 pro přenos obrazového signálu ze samostatného obrazového zdroje na straně vysílače. Může jít například o samostatné obrazové signály s rozlišením HD nebo 2K.

45

50

Další užitečnou vlastností je možnost snímkové synchronizace v rámci každé skupiny obrazových výstupů 2 v modulu 17 synchronizace kanálů. Synchronizované obrazové výstupy 2 mohou být použity pro přenos obrazu s vyšším rozlišením (4K nebo více) rozděleného na části nebo pro stereoskopické přenosy (3D).

55

V jednom možném výhodném provedení jsou obrazové výstupy 2 tvořeny jedním nebo více kanály standardu SMPTE 259M (SDI) a/nebo SMPTE 292M (HD-SDI) a/nebo SMPTE 424 (3G-SDI) a/nebo SMPTE 372 (dual-link HD-SDI). Datový signál na těchto konektorech může obsahovat i přidružené zvukové kanály.

Kromě obrazového signálu může zařízení zpracovávat a přenášet počítačovou síť i jeden nebo více zvukových kanálů. Formát dat přenášených sítí typicky odpovídá buď formátu na obrazových vstupech a výstupech, obvykle s vynecháním zatemněných částí snímků neobsahujících zvukový signál, nebo doporučením pro přenos obrazových dat, například dle RFC 4175.

#### Průmyslová využitelnost

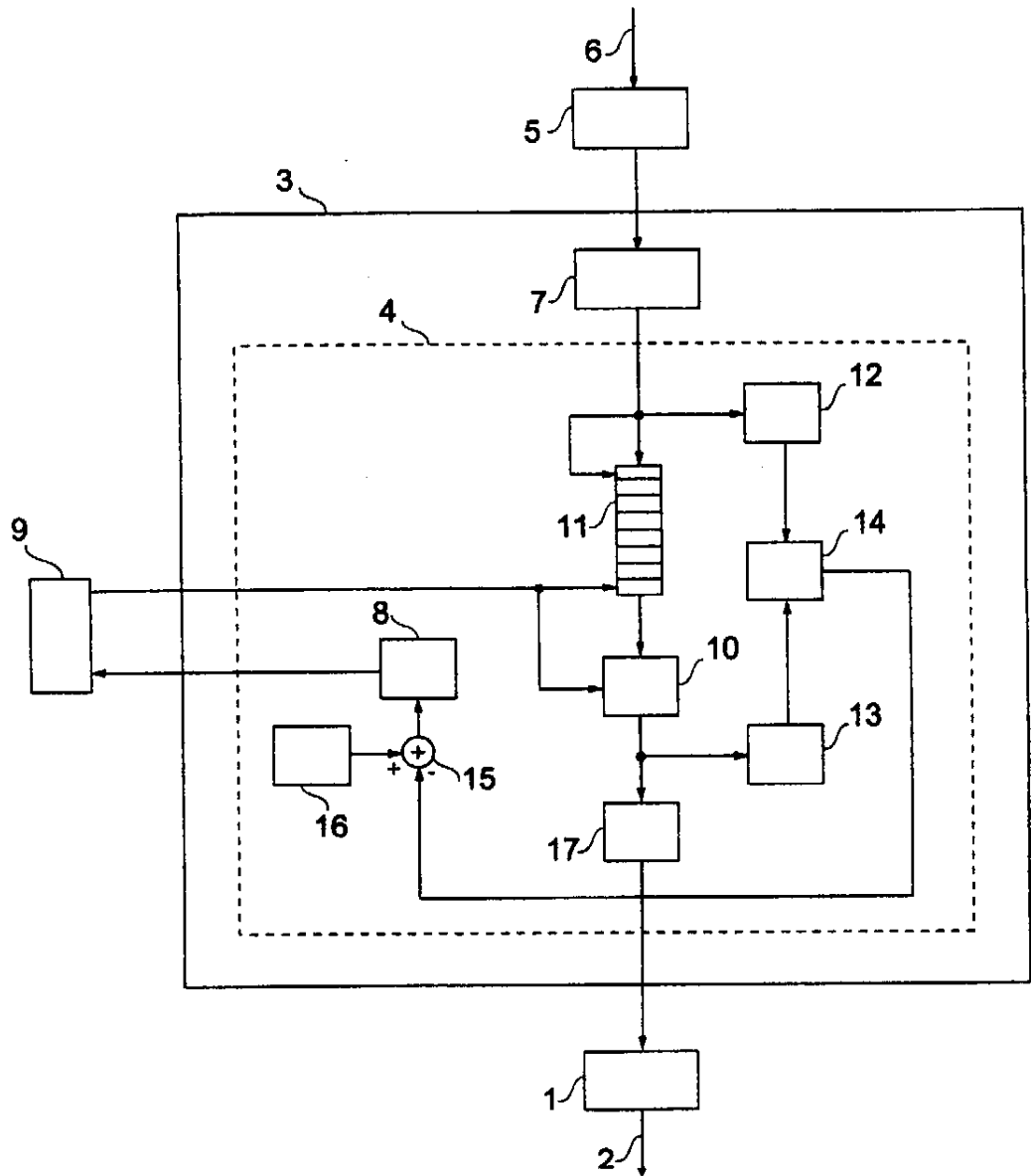
Toto technické řešení je průmyslově dobře využitelné v privátních, místních, národních i mezinárodních počítačových sítích, pro přenosy obrazových signálů s vysokým rozlišením a to i v reálném čase a s malým zpožděním, například pro vzdálený interaktivní přístup k přednáškám, lékařským zákrokům a filmovým záznamům při jejich zpracování během post-produkce a pro jejich prezentaci.

### PATENTOVÉ NÁROKY

1. Zařízení pro příjem obrazového signálu s vysokým rozlišením přenášeného s malým zpožděním asynchronní paketovou počítačovou sítí tvořené deskou (1) obrazových výstupů pro výstup obrazových dat přes jeden nebo více obrazových výstupů (2), deskou FPGA (3) a optickým transceiverem (5) pro příjem signálu přes rozhraní (6) sítě typu Ethernet, **v y z n a č u j í c í s e t í m**, že deska FPGA (3) obsahuje modul (7) příjmu paketů a jednu nebo více soustav (4) modulů pro zpracování obrazových dat, kde ke každé soustavě (4) modulů je přes desku FPGA (3) připojen svým řídicím vstupem a kmitočtovým výstupem samostatný laditelný oscilátor (9), přičemž každá soustava (4) modulů je tvořena vyrovnávací pamětí (11), jejíž datový vstup a hodinový vstup vstupní části jsou přes modul (7) příjmu paketů připojeny na elektrický výstup optického transceiveru (5) a jejíž datový výstup je spojen se vstupem obrazového procesoru (10), jehož výstup vede přes modul (17) synchronizace kanálů na desku (1) obrazových výstupů, přičemž soustava (4) modulů dále obsahuje čítač (14), jehož první vstup je přes první detektor (12) zvoleného řádku ve snímku propojen s datovým vstupem vyrovnávací paměti (11), druhý vstup čítače (14) je přes druhý detektor (13) zvoleného řádku ve snímku propojen s výstupem obrazového procesoru (10) a výstup čítače (14) je spojen s invertujícím vstupem diferenciálního členu (15), na jehož pozitivní vstup je připojena paměť (16) požadované hodnoty regulace a jehož výstup je připojen na vstup regulátoru PID (8), který je svým výstupem spojen s řídicím vstupem laditelného oscilátoru (9), jehož kmitočtový výstup je připojen na hodinový vstup obrazového procesoru (10) a na hodinový vstup výstupní části vyrovnávací paměti (11).

2. Zařízení podle nároku 1, **v y z n a č u j í c í s e t í m**, že obrazové výstupy (2) jsou tvořeny jedním nebo více kanály standardu SMPTE 259M a/nebo SMPTE 292M a/nebo SMPTE 424 a/nebo SMPTE 372.

3. Zařízení podle nároku 1 nebo 2, **v y z n a č u j í c í s e t í m**, že modul regulátoru PID (8) je implementován jako program pro procesor zabudovaný v obvodu FPGA na desce FPGA (3).



Обт. λ

Konec dokumentu