

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年11月11日(2010.11.11)

【公開番号】特開2008-135018(P2008-135018A)

【公開日】平成20年6月12日(2008.6.12)

【年通号数】公開・登録公報2008-023

【出願番号】特願2007-279231(P2007-279231)

【国際特許分類】

G 0 6 F 15/78 (2006.01)

G 0 6 F 15/173 (2006.01)

【F I】

G 0 6 F 15/78 5 1 0 E

G 0 6 F 15/173 6 5 0 Z

【手続補正書】

【提出日】平成22年9月23日(2010.9.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のCPUと、ルータ回路と、第1のバスを介して前記ルータ回路と接続されるスレッド制御回路と、第2のバスを介して前記ルータ回路と接続される外部装置コントローラとを有し、

前記複数のCPUの各々は、第1の無線回路と、CPUコアとを有し、

前記第1の無線回路は、第1のアンテナ回路と、第1の復調回路と、第1の変調回路とを有し、

前記CPUコアは、制御回路と、演算回路と、キャッシュメモリと、汎用レジスタとを有し、

前記ルータ回路は、第2の無線回路と、データ処理回路とを有し、

前記第2の無線回路は、第2のアンテナ回路と、第2の復調回路と、第2の変調回路とを有し、

前記第1の無線回路と、前記第2の無線回路とは、無線信号により前記複数のCPUの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、

前記第1の無線回路は、前記第2の無線回路へバックスキャタ方式を用いてデータを送信する機能を有し、

前記データ処理回路は、前記複数のCPUの各々に送信又は受信する第1のデータと、前記スレッド制御回路に送信又は受信する第2のデータと、前記外部装置コントローラに送信又は受信する第3のデータを処理する機能と保存する機能を有し、

前記スレッド制御回路は、前記CPUコアが実行する命令を該当する前記CPUコアに割り当てる機能を有し、

前記外部装置コントローラは、外部データ入力線と外部データ出力線を介して接続された外部装置とデータの授受を行う機能を有することを特徴とする半導体装置。

【請求項2】

複数のCPUと、ルータ回路と、第1のバスを介して前記ルータ回路と接続されるスレッド制御回路と、第2のバスを介して前記ルータ回路と接続される外部装置コントローラとを有し、

前記複数のCPUの各々は、第1の無線回路と、CPUコアとを有し、

前記第1の無線回路は、第1のアンテナ回路と、第1の復調回路と、第1の変調回路と、電源回路とを有し、

前記電源回路は、前記第1のアンテナ回路で受信する無線信号から電源電圧を生成する機能を有し、

前記CPUコアは、制御回路と、演算回路と、キャッシュメモリと、汎用レジスタとを有し、

前記ルータ回路は、第2の無線回路と、データ処理回路とを有し、

前記第2の無線回路は、第2のアンテナ回路と、第2の復調回路と、第2の変調回路とを有し、

前記第1の無線回路と、前記第2の無線回路とは、無線信号により前記複数のCPUの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、

前記第1の無線回路は、前記第2の無線回路へバックスキャッタ方式を用いてデータを送信する機能を有し、

前記データ処理回路は、前記複数のCPUの各々に送信又は受信する第1のデータと、前記スレッド制御回路に送信又は受信する第2のデータと、前記外部装置コントローラに送信又は受信する第3のデータを処理する機能と保存する機能を有し、

前記スレッド制御回路は、前記CPUコアが実行する命令を該当する前記CPUコアに割り当てる機能を有し、

前記外部装置コントローラは、外部データ入力線と外部データ出力線を介して接続された外部装置とデータの授受を行う機能を有することを特徴とする半導体装置。

【請求項3】

複数のCPUと、ルータ回路と、第1のバスを介して前記ルータ回路と接続されるスレッド制御回路と、第2のバスを介して前記ルータ回路と接続される外部装置コントローラとを有し、

前記複数のCPUの各々は、第1の無線回路と、CPUコアとを有し、

前記第1の無線回路は、第1のアンテナ回路と、第3のアンテナ回路と、第1の復調回路と、第1の変調回路と、第1の電源回路と、第2の電源回路とを有し、

前記第2の電源回路は、昇圧回路を有し、

前記第1の電源回路は、前記第1のアンテナ回路で受信する第1の無線信号から電源電圧を生成する機能を有し、

前記第2の電源回路は、前記第3のアンテナ回路で受信する第2の無線信号から電源電圧を生成する機能を有し、

前記CPUコアは、制御回路と、演算回路と、キャッシュメモリと、汎用レジスタとを有し、

前記ルータ回路は、第2の無線回路と、データ処理回路とを有し、

前記第2の無線回路は、第2のアンテナ回路と、第2の復調回路と、第2の変調回路とを有し、

前記第1の無線回路と、前記第2の無線回路とは、無線信号により前記複数のCPUの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、

前記第1の無線回路は、前記第2の無線回路へバックスキャッタ方式を用いてデータを送信する機能を有し、

前記データ処理回路は、前記複数のCPUの各々に送信又は受信する第1のデータと、前記スレッド制御回路に送信又は受信する第2のデータと、前記外部装置コントローラに送信又は受信する第3のデータを処理する機能と保存する機能を有し、

前記スレッド制御回路は、前記CPUコアが実行する命令を該当する前記CPUコアに割り当てる機能を有し、

前記外部装置コントローラは、外部データ入力線と外部データ出力線を介して接続された外部装置とデータの授受を行う機能を有することを特徴とする半導体装置。

【請求項4】

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記外部装置コントローラは、D R A Mコントローラであることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記外部装置コントローラは、P C Iバスコントローラであることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 3 のいずれかーにおいて、
前記外部装置コントローラは、U S Bコントローラであることを特徴とする半導体装置。

【請求項 7】

複数の C P Uと、ルータ回路と、スレッド制御回路と、を有し、
前記複数の C P Uの各々は、第 1 の無線回路を有し、
前記ルータ回路は、第 2 の無線回路を有し、
前記第 1 の無線回路と、前記第 2 の無線回路とは、無線信号により前記複数の C P Uの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、
前記スレッド制御回路は、前記複数の C P Uの各々に命令を割り当てる機能を有し、
前記第 1 の無線回路は、前記第 2 の無線回路へ無線信号を変調することでデータを送信する機能を有することを特徴とする半導体装置。

【請求項 8】

複数の C P Uと、ルータ回路と、スレッド制御回路と、を有し、
前記複数の C P Uの各々と、前記ルータ回路とは、無線信号により前記複数の C P Uの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、
前記スレッド制御回路は、前記複数の C P Uの各々に命令を割り当てる機能を有し、
前記複数の C P Uの各々は、前記ルータ回路へ無線信号を変調することでデータを送信する機能を有することを特徴とする半導体装置。

【請求項 9】

複数の C P Uと、ルータ回路と、スレッド制御回路と、を有し、
前記複数の C P Uの各々と、前記ルータ回路とは、無線信号により前記複数の C P Uの各々と、前記ルータ回路との間でデータの送受信を行う機能を有し、
前記スレッド制御回路は、前記複数の C P Uの各々に命令を割り当てる機能を有し、
前記複数の C P Uの各々は、前記ルータ回路へバックスキャット方式を用いてデータを送信する機能を有することを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれかーにおいて、
前記複数の C P Uは、絶縁表面を有する基板上に形成された半導体薄膜を活性層とする薄膜トランジスタを用いて構成されていることを特徴とする半導体装置。

【請求項 11】

請求項 10 において、
前記絶縁表面を有する基板は、ガラス基板、プラスチック基板又は S O I 基板であることを特徴とする半導体装置。