(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
H01L 21/28

(11) 공개번호 특2003-0038456
(43) 공개일자 2003년05월16일

(21) 출원번호 10-2002-0068378
(22) 출원일자 2002년11월06일

(30) 우선권주장 JP-P-2001-00341339 2001년11월07일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

히다치 도쿄 에렉트로닉스 가부시키가이샤
일본국 도쿄도 오우메시 후지하시 3-3-2

(72) 발명자 노구찌쥰지
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적재산권본부내

하마다나오히데
일본도꾜도오우메시후지하시3쪼메3-2히다치도쿄에렉트로닉스가부시키가이샤내

(74) 대리인 주성민
구영창

심사청구 : 없음

(54) 반도체 장치의 제조 방법 및 반도체 장치

요약

구리를 주도체층으로 하는 배선간의 절연 파괴 내성을 향상시킨다.

구리로 이루어지는 매립 배선 구조를 갖는 반도체 장치에서, 배선 캡용 절연막(15b)을, 예를 들면 트리메톡시실란 가스와 산화질소 가스와의 혼합 가스를 이용한 플라즈마 CVD법에 의해 형성된 SiON 막으로 형성할 때에, 매립 제2층 배선 L2의 도전성 배리어막(17a)이 산화되지 않도록 한다.

대표도

도 13

색인어

도전성 배리어막, 산화, 주도체층, SiON 막

명세서

도면의 간단한 설명

도 1은 본 실시예의 TDDB 수명 측정에 사용한 시료의 평면도.

도 2는 도 1의 B-B'선의 단면도.

도 3은 도 1의 C-C'선의 단면도.

도 4는 도 1의 시료를 이용한 경우의 측정의 개요를 도시한 설명도.

도 5는 본 발명의 일 실시예인 반도체 장치의 제조 공정 중에서의 주요부 평면도.

도 6은 도 5의 X1-X1선의 단면도.

도 7은 도 6에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 8은 도 7에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 9는 도 8에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 10은 도 9에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 11은 도 10에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 12는 도 11에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 13은 도 12의 반도체 장치의 주요부 확대 단면도.

도 14는 도 12 및 도 13에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1 선에 상당하는 부분의 단면도.

도 15는 본 발명의 일 실시예인 반도체 장치의 제조에 이용한 성막 장치의 일례를 설명한 도면.

도 16은 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 17은 도 16의 성막 장치의 하부 전극에 고주파 전력을 인가한 경우(○)와, 인가하지 않은 경우(■)에서의 전계 강도와 파괴 시간과의 관계를 도시한 그래프.

도 18은 본 발명의 또 다른 실시예인 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도.

도 19는 도 18의 주요부 확대 단면도.

도 20은 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중에서의 주요부 단면도.

도 21은 도 20의 반도체 장치의 주요부 확대 단면도.

도 22는 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중에서의 주요부 단면도.

도 23은 도 22의 반도체 장치의 주요부 확대 단면도.

도 24는 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중에서의 주요부 단면도.

도 25는 도 22의 반도체 장치의 주요부 확대 단면도.

도 26은 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중의 주요부 확대 단면도.

도 27은 본 발명의 다른 실시예인 반도체 장치의 제조 공정 중의 주요부 확대 단면도.

도 28은 본 발명자들이 검토한 매립 배선 구조의 일례의 주요부 단면도.

도 29는 도 28에 계속되는 반도체 장치의 제조 공정 중의 주요부 단면도.

도 30은 도 29에 계속되는 반도체 장치의 제조 공정 중의 주요부 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1W : 웨이퍼

1S : 반도체 기판

2 : 분리부

3 : 게이트 절연막

4 : 게이트 전극

5 : 측벽

6, 7 : 반도체 영역

8 : 절연막

9 : 컨택트 홀

10 : 플러그

11a, 12a, 50　55 : 절연막

11b, 11c, 11d : 절연막(제7 절연막)

12b, 12c, 12d : 절연막(제8 절연막)

13 : 관통 홀

14 : 플러그

15a, 15c : 절연막(제1 절연막)

15b, 15d : 절연막(제2 절연막 및 제3 절연막, 제4 절연막)

15b1, 15d1 : 절연막(제2 절연막, 제5 절연막)

15b2, 15d2 : 절연막(제3 절연막, 제6 절연막)

16a, 16b : 배선 홈(배선 개구부)

17a, 17b : 도전성 배리어막(제1 도체막)

18a, 18b : 주도체막(제2 도체막)

19 : 관통 홀(배선 개구부)

20 : 성막 장치

57 : 매립 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 장치의 제조 방법 및 반도체 장치 기술에 관한 것으로, 특히, 구리를 주도체층으로 하는 매립 배선을 갖는 반도체 장치의 제조 방법 및 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

매립 배선 구조는 절연막에 형성된 배선 홈이나 구멍 등과 같은 배선 개구부 내에, 다마신(Damascene) 기술(싱글 다마신(Single-Damascene) 기술 및 듀얼 다마신(Dual-Damascene) 기술)이라는 배선 형성 기술에 의해, 배선 재료를 매립함으로써 형성한다.

그러나, 주배선 재료가 구리인 경우, 구리가 알루미늄 등과 같은 금속과 비교하여 절연막 내로 확산되기 쉽기 때문에, 그 구리로 이루어지는 매립 배선이 절연막과 직접 접하지 않도록, 그 매립 배선의 표면(저면 및 측면)을 얇은 배리어 금속막으로 피복함으로써, 그 매립 배선 내의 구리가 절연막 내로 확산하는 것을 억제하거나 또는 방지하도록 하고 있다. 또, 배선 개구부가 형성된 절연막의 상면 위에, 예를 들면 질화 실리콘막 등으로 이루어지는 배선 캡용 절연막으로 상기 매립 배선의 상면을 피복함으로써, 그 매립 배선 내의 구리가 매립 배선의 상면으로부터 절연막 내로 확산하는 것을 억제하거나 또는 방지하도록 하고 있다.

또한, 다마신 배선 기술로서는, 예를 들면 일본 특개평11-233630호 공보에 기재되어 있으며, 배선 캡용 절연막으로서 SiON 막을 이용하는 기술이 개시되어 있다. 또한, 예를 들면 일본 특개2000-133710호 공보에는, 배선 캡용 절연막으로서 Si 함유량이 많은 질화 실리콘막을 이용하는 기술이 개시되어 있다. 또한, 예를 들면 일본 특개2000-252286호 공보에는, 배선 캡용 절연막으로서 수소 원자 함유 실리콘(유전율 ε=4)을 이용하는 기술이 개시되어 있다. 또한, 예를 들면 일본 특개2000-332102호 공보에는, 배선 캡용 절연막으로서 BCB막(ε=2.7)을 이용하는 기술이 개시되어 있다. 또한, 예를 들면 일본 특개평10-150105호 공보에는, 배선 캡용 절연막으로서 유기 저유전체막(ε=2.3 2.6)을 이용하는 기술이 개시되어 있다. 또한, 예를 들면 일본 특개평11-243147호 공보에는 다마신 배선 구조의 층간 절연막으로서, SiON 막을 이용하는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 최근에는 고속 동작이 가능하고 고성능의 반도체 장치를 실현하기 위해, 상기한 바와 같이 구리를 주배선 재료로 하며, 또한 상기 배선 개구부가 형성되는 절연막의 재료로서 유전율이 낮은 절연막을 사용하는 구조가 채용되고 있지만, 본 발명자들의 검토에 따르면, 더욱 고속 동작을 꾀하기 위해서는 상기 배선 캡용 절연막의 재료로서도 유전율이 낮은 절연막을 사용하는 것이 필수적이다.

그래서, 본 발명자들은 상기 배선 캡용 절연막의 재료로서 유전율이 질화 실리콘막보다도 낮은 산질화 실리콘막(SiON)의 도입을 검토하고 있다. 그런데, 상기 배선 캡용 절연막으로서 SiON 막을 사용하는 기술에서는 이하의 과제가 있는 것을 본 발명자들이 처음으로 발견하였다.

즉, SiON 막의 성막에는 N_2O 등과 같은 산소를 포함하는 가스를 이용하기 때 문에, 성막 초기에 활성화된 산소가 성막면에 노출되어 있는 배리어 금속막에 직격하여(directly hit), 배리어 금속막의 노출부를 산화시킴으로써, 배선 캡용 절연막과 매립 배선과의 계면 부근에서의 배리어성이 열화하여, TDDB 수명이 짧아지는 문제가 있다.

본 발명의 목적은, 구리를 주도체층으로 하는 배선간의 절연 파괴 내성을 향상시킬 수 있는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면에서 분명해질 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

즉, 본 발명은 구리를 주배선 재료로 하는 배선의 도전성 배리어막이 산화되지 않도록 배선 캡용 절연막을 형성하는 것이다.

<발명의 실시예>

본원 발명을 상세히 설명하기 전에, 본원에서의 용어의 의미를 설명하면 다음과 같다.

1. TDDB(Time Dependence on Dielectric Breakdown) 수명이란, 절연 파괴의 시간적 의존성을 객관적으로 측정하는 척도로서, 소정의 온도(예를 들면 140℃)의 측정 조건에서 전극 사이에 비교적 높은 전압을 가하고, 전압 인가로부터 절연 파괴까지의 시간을 인가 전계에 대하여 플롯한 그래프를 작성하고, 이 그래프로부터 실제의 사용 전계 강도(예를 들면 0.2㎹/㎝)에 외삽하여 구한 시간(수명)을 뜻한다.

도 1 도 3은 본원의 TDDB 수명 측정에 사용한 시료의 일례를 도시하며, 도 1은 평면도, 도 2 및 도 3은 도 1에서의 B-B'선 단면 및 C-C'선의 단면을 각각 도시하고 있다. 이 시료는 실제로는 웨이퍼의 TEG(Test Equipment Group) 영역에 형성할 수 있다. 도시한 바와 같이 한쌍의 빗살형 배선 L을 제2 배선층 M2에 형성하고, 최상층의 패드 P1, P2에 각각 접속한다. 이 빗살형 배선 L 사이에 전계가 인가되어 전류가 측정된다. 패드 P1, P2는 측정 단자이다. 빗살형 배선 L의 배선 폭, 배선 간격, 배선 두께는 모두 0.5㎛ 이다. 또한, 배선 대향 길이는 1.58×10^{5} ㎛로 하였다.

도 4는 측정 개요를 도시한 설명도이다. 시료는 측정 스테이지 S에 유지되고, 패드 P1, P2 사이에 전류 전압 측정기(I/V 측정기)를 접속한다. 측정 스테이지 S는 히터 H에서 가열되어 시료 온도가 140℃로 조정된다. TDDB 수명 측정에는 정전압 스트레스법과 저전류 스트레스법이 있지만, 본원에서는 절연막에 인가되는 평균 전계가 일정해지는 정전압 스트레스법을 이용하고 있다. 전압 인가 후, 시간의 경과와 함께 전류 밀도는 감소하며, 그 후 급격한 전류 증가(절연 파괴)가 관측된다. 여기서는, 누설 전류 밀도가 1㎂/㎠에 달한 시간을 TDDB 수명(5㎹/㎝에서의 TDDB 수명)으로 하였다. 또, 본원에서, TDDB 수명이란, 특별히 언급하지 않는 한 0.2㎹/㎝에서의 파괴 시간(수명)을 뜻하지만, 넓은 의미로는 소정의 전계 강도를 포함하여 파괴까지의 시간으로서 TDDB 수명의 단어를 이용하는 경우도 있다. 또한, 특별히 언급하지 않는 한, TDDB 수명은 시료 온도 140℃인 경우를 뜻한다. 또한, TDDB 수명은 상기한 빗살형 배선 L에서 측정한 경우를 뜻하지만, 실제의 배선간의 파괴 수명을 물론 반영한 것이다.

2. 플라즈마 처리란, 플라즈마 상태에 있는 환경에, 기판 표면, 혹은 기판 위에 절연막, 금속막 등과 같은 부재가 형성되어 있을 때에는 그 부재 표면을 폭로시켜, 플라즈마의 화학적, 기계적(충격) 작용을 표면에 제공하여 처리하는 것을 뜻한다. 일반적으로 플라즈마는 특정한 가스(처리 가스)로 치환한 반응실 내에 필요에 따라 처리 가스를 보충하면서, 고주파 전계 등의 작용에 의해 가스를 전리시켜 생성하지만, 현실에서는 완전하게 처리 가스로 치환할 수는 없다. 따라서, 본 실시예에서는, 예를 들면 암모니아 플라즈마라고 해도, 완전한 암모니아 플라즈마를 의도하는 것은 아니며, 그 플라즈마 내에 포함되는 불순물 가스(질소, 산소, 이산화탄소, 수증기 등)의 존재를 배제하는 것은 아니다. 마찬가지로, 물론 플라즈마 내에 다른 희석 가스나 첨가 가스를 포함하는 것을 배제하는 것은 아니다.

3. 환원성 분위기의 플라즈마란, 환원 작용, 즉 산소를 방출하는 작용을 갖는 래디컬, 이온, 원자, 분자 등의 반응종이 지배적으로 존재하는 플라즈마 환경을 뜻하며, 래디컬, 이온에는 원자 혹은 분자형의 래디컬 혹은 이온이 포함된다. 또한, 환경 내에는 단일 반응종 뿐 아니라, 복수종의 반응종이 포함되어도 무방하다. 예를 들면 수소래디컬과 NH_3 래디컬이 동시에 존재하는 환경이라도 무방하다.

4. 본 실시예에서, 예를 들면 구리로 이루어진다고 표현한 경우, 주성분으로서 구리가 이용되고 있는 것을 뜻한다. 즉, 일반적으로 고순도의 구리라도, 불순물이 포함되는 것은 당연하며, 첨가물이나 불순물도 구리로 이루어지는 부재에 포함되는 것을 배제하는 것은 아니다. 이것은 구리뿐 아니라, 그 밖의 금속(질화 티탄 등)이라도 마찬가지다.

5. 화학 기계 연마(CMP : Chemical Mechanical Polishing)란, 일반적으로 피연마면을 상대적으로 부드러운 천모양의 시트 재료등으로 이루어지는 연마 패드에 접촉시킨 상태에서, 슬러리를 공급하면서 면 방향으로 상대 이동시켜 연마를 행하는 것을 뜻하며, 본 실시예에서는 그 외에, 피연마면을 경질의 지석면에 대하여 상대 이동시킴으로써 연마를 행하는 CML(Chemical Mechanical Lapping), 그 밖의 고정 지립을 사용하는 것, 및 지립을 사용하지 않은 지립 프리 CMP 등도 포함하는 것으로 한다.

6. 지립 프리 화학 기계 연마란, 일반적으로 지립의 중량 농도가 0.5% 중량 미만의 슬러리를 이용한 화학 기계 연마를 뜻하며, 유지립 화학 기계 연마란, 지립의 중량 농도가 0.5% 중량보다도 고농도의 슬러리를 이용한 화학 기계 연마를 뜻한다. 그러나, 이들은 상대적인 것으로, 제1 단계의 연마가 지립 프리 화학 기계 연마이고, 그것에 계속되는 제2 단계의 연마가 유지립 화학 기계 연마인 경우, 제1 단계의 연마 농도가 제2 단계의 연마 농도보다도 1자릿수 이상, 바람직하게는 2자릿수 이상 작은 경우에는 이 제1 단계의 연마를 지립 프리 화학 기계 연마라고 하는 경우도 있다. 본 명세서에서, 지립 프리 화학 기계 연마라고 할 때는, 대상으 로 하는 금속막의 단위 평탄화 프로세스 전체를 지립 프리 화학 기계 연마로 행하는 경우 외에, 주요 프로세스를 지립 프리 화학 기계 연마로 행하고, 부차적인 프로세스를 유지

립 화학 기계 연마로 행하는 경우도 포함하는 것으로 한다.

7. 연마액(슬러리)이란, 일반적으로 화학 에칭 약제에 연마 지립을 혼합한 현탁액을 뜻하며, 본원에서는 발명의 성질상, 연마 지립이 혼합되지 않은 것을 포함하는 것으로 한다.

8. 지립(슬러리 입자)이란, 일반적으로 슬러리에 포함되는 알루미나, 실리카 등과 같은 분말을 뜻한다.

9. 방식제란, 금속의 표면에 내식성, 소수성 혹은 그 양방의 성질을 갖는 보호막을 형성함으로써, 상기 CMP에 의한 연마의 진행을 저지하거나 또는 억제하는 약제를 뜻하며, 일반적으로 벤조트리아졸(BTA) 등이 사용된다(자세한 내용은 일본 특개평8-64594호 공보 참조).

10. 스크래치 프리란, 상기 CMP법에 의해 연마된 웨이퍼의 연마면의 전면내 또는 소정의 단위 면적 내에, 소정 치수 이상의 결함이 검출되지 않는 상태를 뜻한다. 이 소정 치수는, 반도체 장치의 세대나 종류 등에 따라 변하므로 일률적으로 말할 수 없지만, 본 실시예에서는 인라인의 비교 결함 검사에 있어서, 예를 들면 직경 200㎜의 웨이퍼의 연마면 내에, 예를 들면 0.3㎛ 이상의 결함이 검출되지 않는 상태로 되어 있다.

11. 도전성 배리어막이란, 일반적으로 구리가 층간 절연막 내나 하층으로 확산하는 것을 방지하기 위해, 매립 배선의 측면 또는 저면에 비교적 얇게 형성되 는 확산 배리어성을 갖는 도전막이며, 일반적으로 질화 티탄(TiN), 탄탈(Ta), 질화 탄탈(TaN) 등과 같은 고융점 금속 또는 그 질화물 등이 사용된다.

12. 매립 배선 또는 매립 메탈 배선이란, 일반적으로 싱글 다마신(single damascene)이나 듀얼 다마신(dual damascene)등과 같이, 절연막에 형성된 홈이나 구멍 등과 같은 배선 개구부의 내부에 도전막을 매립한 후, 절연막 위의 불필요한 도전막을 제거하는 배선 형성 기술에 의해 패터닝된 배선을 뜻한다. 또한, 일반적으로 싱글 다마신이란, 플러그 메탈과, 배선용 메탈의 2 단계로 나눠 매립하는, 매립 배선 프로세스를 뜻한다. 마찬가지로 듀얼 다마신이란, 일반적으로 플러그 메탈과, 배선용 메탈을 한번에 매립하는, 매립 배선 프로세스를 뜻한다. 일반적으로, 구리 매립 배선을 다층 구성으로 사용하는 경우가 많다.

13. 본원에서 반도체 장치라고 할 때에는, 특히 단결정 실리콘 기판 위에 만들어지는 것뿐만 아니라, 특별히 그렇지 않는 취지가 명시된 경우를 제외하고, SOI(Silicon On Insulator) 기판이나 TFT(Thin Film Transistor) 액정 제조용 기판 등의 다른 기판 위에 만들어지는 것을 포함하는 것으로 한다.

14. 웨이퍼란, 반도체 집적 회로의 제조에 이용하는 실리콘 그 밖의 반도체 단결정 기판(일반적으로 거의 원판형, 반도체 웨이퍼), 사파이어 기판, 유리 기판, 그 밖의 절연, 반절연 또는 반도체 기판 등 및 이들의 복합적 기판을 뜻한다.

15. 반도체 집적 회로 칩 또는 반도체 칩(이하, 단순히 칩이라고 함)이란, 웨이퍼 공정(웨이퍼 프로세스 또는 전공정)이 완료된 웨이퍼를 단위 회로군으로 분할한 것을 뜻한다.

16. 실리콘나이트라이드, 질화 규소 또는 질화 실리콘막이라고 할 때는, Si_3N_4 뿐 아니라, 실리콘의 질화물로 유사 조성의 절연막을 포함하는 것으로 한다.

17. 저유전율의 절연막(Low-K 절연막)이란, 패시베이션막에 포함되는 산화 실리콘막(예를 들면 TEOS(Tetraethoxysilane) 산화막)의 유전율보다도 낮은 유전율을 갖는 절연막을 예시할 수 있다. 일반적으로는, TEOS 산화막의 비유전률 $\varepsilon=4.1$ 4.2 정도 이하를 저유전율의 절연막이라고 한다.

이하의 실시예에서는 편의상 필요가 있을 때는, 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 이들은 상호 무관한 것이 아니며, 한쪽은 다른 쪽의 일부 또는 모든 변형예, 상세 설명, 보충 설명 등의 관계에 있다.

또한, 이하의 실시예에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함)을 언급하는 경우, 특별히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니며, 특정한 수 이상이든 이하이든 무방하다.

또한, 이하의 실시예에서, 그 구성 요소(요소 단계 등도 포함)는, 특별히 명시한 경우 및 원리적으로 분명히 필수라고 생각되어지는 경우 등을 제외하고는, 반드시 필수적인 것은 물론 아니다.

마찬가지로, 이하의 실시예에서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때는, 특별히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되어지는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사하거나 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 대해서도 마찬가지다.

또한, 본 실시예를 설명하기 위한 전체 도면에서 동일 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복의 설명은 생략한다.

또한, 본 실시예에서 이용하는 도면에서는 평면도라도 도면을 보기 쉽게 하기 위해 해칭하는 경우도 있다.

또한, 본 실시예에서는, 전계 효과 트랜지스터를 대표하는 MIS · FET(Metal Insulator Semiconductor Field Effect Transistor)를 MIS라고 하고, p 채널형 MIS · FET를 pMIS라고 하며, n 채널형의 MIS · FET를 nMIS라고 한다.

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다.

(실시예1)

우선, 본 실시예1에 대하여 설명하기 전에, 본 발명자들의 실험에 의해 처음으로 발견된 구리 배선을 이용한 매립 배선 구조의 문제에 대하여 도 28 도 30에 의해 설명한다.

도 28은, 본 발명자들이 검토한 매립 배선 구조의 일례의 주요부 단면도를 도시하고 있다. 부호 50 55는 절연막을 나타내고, 부호 57은 매립 배선을 나타내고 있다. 특별히 한정하지는 않지만, 본 발명자들이 검토한 구조에서의 재료는, 다음과 같다. 절연막(51, 54)은 산화 실리콘막보다도 유전율이 낮은 유기 재료로 이루어진다. 그 절연막(51, 52) 각각의 상층 절연막(52, 55)은 절연 캡용 절연막으로, 예를 들면 산화 실리콘막으로 이루어진다. 매립 배선(57)은, 주도체막(57a) 과, 그 외주의 도전성 배리어막(57b)을 갖고 있다. 주도체막(57a)은 구리(Cu)로 이루어지며, 도전성 배리어막(57b)은 예를 들면 질화 티탄 등으로 이루어진다.

이어서, 도 29는 도 28의 절연막(55) 및 매립 배선(57)의 상면 위에 배선 캡용 절연막을 형성하는 공정 내의 주요부 단면도를 모식적으로 도시하고 있다. 여기서, 본 발명자들은 반도체 장치의 동작 속도의 향상 요구에 따른, 배선 캡용 절연막에 대해서도 저유전율 재료로 형성하는 것이 필수로 되어 있는 것을 고려한 결과, 배선 캡용 절연막으로서, 예를 들면 트리메톡시실란(TMS) 가스와 산화질소(N_2O)를 이용한 플라즈마 CVD법에 의해 성막되는 SiON막(ε =3.9 정도)을 이용하는 것을 검토하였다. 그러나, 이 절연 재료의 성막시에는, N_2O 등과 같은 산소를 포함하는 가스를 이용하기 때문에, 성막 초기에 활성화된 산소가 도전성 배리어막(57b)의 노출부(58)에 직격한 결과, 그 도전성 배리어막(57b)의 노출부(58)가 산화하는 것이 본 발명자들에 의해 처음으로 발견되었다. 그 결과, 도 30에 도시한 바와 같이 배선 캡용 절연막(59)과 절연 캡용 절연막(55)과의 접촉 계면 부분에서의 구리의 확산 배리어성이 열화하여, 화살표로 도시한 바와 같이 매립 배선(57) 내의 구리가 외부로 확산되기 쉬워져, TDDB 수명이 열화한다. 따라서, 배선 캡용 절연막으로서 저유전율의 절연 재료를 채용하는 것이 곤란해진다. 그래서, 본 발명자들은 매립 배선의 도전성 배리어막의 노출부가 산화되지 않도록 저유전율의 절연 재료로 이루어지는 배선 캡용 절연막을 성막하도록 하였다. 이하, 그 구체적인 방법을 설명한다.

본 실시예에서는, 예를 들면 CMIS(Complementary MIS)-LSI(Large Scale Integrated circuit)의 제조 방법에 본 발명의 기술사상을 적용한 경우에 대해 도 5 도 14에 의해 설명한다.

우선, 도 5는 CMIS-LSI의 제조 공정 중에서의 주요부 평면도, 도 6은 도 5의 X1-X1선의 단면도를 도시하고 있다. 웨이퍼(1W)를 구성하는 반도체 기판(이하, 단순히 기판이라고 함 : 1S)은, 예를 들면 1 10Ωcm 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어진다. 기판(1S)의 주면(디바이스 형성면)에는, 홈형의 분리부(SGI(Shallow Groove Isolation) 또는 STI(Shallow Trench Isolation) : 2)가 형성되어 있다. 이 홈형의 분리부(2)는 기판(1S) 주면에 형성된 홈 내에, 예를 들면 산화 실리콘막이 매립되는 것으로 형성되어 있다. 또한, 기판(1S)의 주면측에는 p형 웰 PWL 및 n형 웰 NWL이 형성되어 있다. p형 웰 PWL에는, 예를 들면 붕소가 도입되고, n형 웰 NWL에는 예를 들면 인이 도입되어 있다. 이러한 분리부(2)에 둘러싸인 p형 웰 PWL 및 n형 웰 NWL의 활성 영역에는 nMISQn 및 pMISQp이 형성되어 있다.

nMISQn 및 pMISQp의 게이트 절연막(3)은 예를 들면 두께 6㎚ 정도의 산화 실리콘막으로 이루어진다. 여기서 뜻하는 게이트 절연막(3)의 막 두께란, 이산화 실리콘 환산 막 두께(이하, 단순히 환산 막 두께라고 함)이며, 실제 막 두께와 일치하지 않는 경우도 있다. 게이트 절연막(3)은, 산화 실리콘막을 대신하여 산질화 실리콘막으로 구성해도 된다. 즉, 게이트 절연막(3)과 기판(1S)과의 계면에 질소를 편석시키는 구조로 해도 된다. 산질화 실리콘막은, 산화 실리콘막과 비교하여 막 내에서의 계면 준위의 발생을 억제하거나, 전자 트랩을 저감시키기도 하는 효과가 높으므로, 게이트 절연막(3)의 핫 캐리어 내성을 향상시킬 수 있으며, 절연 내성을 향상시킬 수 있다. 또한, 산질화 실리콘막은 산화 실리콘막과 비교하여 불순물이 관통하기 어렵기 때문에, 산질화 실리콘막을 이용함으로써, 게이트 전극 재료 내의 불순물이 기판(1S)측으로 확산하는 것에 기인하는 임계값 전압의 변동을 억제할 수 있다. 산질화 실리콘막을 형성하기 위해서는, 예를 들면 기판(1S)을 NO, NO_2 또는 NH_3 이라고 한 질소 포함 가스 분위기 내에서 열 처리하면 된다. 또한, p형 웰 PWL 및 n형 웰 NWL 각각의 표면에 산화 실리콘으로 이루어지는 게이트 절연막(3)을 형성한 후, 기판(1S)을 상기한 질소 포함 가스 분위기 내에서 열 처리하고, 게이트 절연막(3)과 기판(1S)과의 계면에 질소를 편석시켜도,

상기한 바와 같은 효과를 얻을 수 있다.

또한, 게이트 절연막(3)을 예를 들면 질화 실리콘막, 혹은 산화 실리콘막과 질화 실리콘막과의 복합 절연막으로 형성해도 된다. 산화 실리콘막으로 이루어지는 게이트 절연막(3)을 이산화 실리콘 환산 막 두께로 5㎚ 미만, 특히 3㎚ 미만까지 얇게 하면, 직접 터널 전류의 발생이나 스트레스에 기인하는 핫 캐리어 등에 의한 절연 파괴 내압의 저하가 현재화된다. 질화 실리콘막은, 산화 실리콘막보다도 유전율이 높기 때문에 그 이산화 실리콘 환산 막 두께는 실제의 막 두께보다도 얇아진다. 즉, 질화 실리콘막을 갖는 경우에는, 물리적으로 두꺼워도 상대적으로 얇은 이산화 실리콘막과 동등한 용량을 얻을 수 있다. 따라서, 게이트 절연막(3)을 단일 질화 실리콘막 혹은 그것과 산화 실리콘막과의 복합막으로 구성함으로써, 그 실효 막 두께를, 산화 실리콘막으로 구성된 게이트 절연막보다도 두껍게 할 수 있으므로, 터널 누설 전류의 발생이나 핫 캐리어에 의한 절연 파괴 내압의 저하를 개선할 수 있다.

nMISQn 및 pMISQp의 게이트 전극(4)은, 예를 들면 저저항 다결정 실리콘막 위에, 예를 들면 티탄 실리사이드(TiSix)층 또는 코발트 실리사이드(CoSix)층을 적층함으로써 형성되어 있다. 단, 게이트 전극 구조는 이것에 한정되는 것이 아니며, 예를 들면 저저항 다결정 실리콘막, WN(질화 텅스텐)막 및 W(텅스텐)막의 적층막으로 구성되는, 소위 폴리메탈 게이트 구조로 해도 된다. 게이트 전극(4)의 측면에는, 예를 들면 산화 실리콘으로 이루어지는 측벽(5)이 형성되어 있다.

nMISQn의 소스 및 드레인용 반도체 영역(6)은 채널에 인접하는 n^-형 반도체 영역과, n^-형 반도체 영역에 접속되고, 또한 n^-형 반도체 영역만큼 채널로부터 이격된 위치에 형성된 n^+형 반도체 영역을 갖고 있다. n^-형 반도체 영역 및 n^+형 반도체 영역에는, 예를 들면 인 또는 비소가 도입되어 있다. 한편, pMISQp의 소스 및 드레인용 반도체 영역(7)은 채널에 인접하는 p^-형 반도체 영역과, p^-형 반도체 영역에 접속되고, 또한 p^-형 반도체 영역만큼 채널로부터 이격하는 위치에 형성된 p^+형 반도체 영역을 갖고 있다. p^-형 반도체 영역 및 p^+형 반도체 영역에는, 예를 들면 붕 소가 도입되어 있다. 이 반도체 영역(6, 7)의 상면 일부에는, 예를 들면 티탄 실리사이드층 또는 코발트 실리사이드층 등과 같은 실리사이드층이 형성되어 있다.

이러한 기판(1S) 위에는 절연막(8)이 퇴적되어 있다. 이 절연막(8)은 게이트 전극(4, 4)의 좁은 스페이스를 매립할 수 있는 리플로우성이 높은 막, 예를 들면 BPSG(Boron-doped Phospho Silicate Glass)막으로 이루어진다. 또한, 스핀 도포법에 의해 형성되는 SOG(Spin On Glass)막으로 구성해도 된다. 절연막(8)에는 컨택트홀(9)이 형성되어 있다. 컨택트홀(9)의 바닥부로부터는 반도체 영역(6, 7)의 상면 일부가 노출되어 있다. 이 컨택트홀(9) 내에는, 플러그(10)가 형성되어 있다. 플러그(10)는, 예를 들면 컨택트홀(9)의 내부를 포함하는 절연막(8) 위에 CVD법 등으로 질화 티탄(TiN)막 및 텅스텐(W)막을 퇴적한 후, 절연막(8) 위의 불필요한 질화 티탄막 및 텅스텐막을 CMP법 또는 에치백법에 의해 제거하고, 컨택트홀(9) 내에만 이들의 막을 남김으로써 형성되어 있다.

절연막(8) 위에는, 예를 들면 텅스텐으로 이루어지는 제1층 배선 L1이 형성되어 있다. 제1층 배선 L1은 플러그(10)를 통하여 nMISQn 및 pMISQp의 소스 · 드레인용 반도체 영역(6, 7)이나 게이트 전극(4)과 전기적으로 접속되어 있다. 제1층 배선 L1의 재료는 텅스텐에 한정되는 것이 아니라 다양하게 변경 가능하다. 예를 들면 알루미늄(Al) 또는 알루미늄 합금 등과 같은 단체 금속막 혹은 이들 단체 금속막의 상하층 중 적어도 한쪽에 티탄(Ti)이나 질화 티탄(TiN) 등과 같은 금속막을 형성한 적층 금속막으로 해도 된다.

또한, 절연막(8) 위에는 제1층 배선 L1을 피복하도록, 절연막(11a)이 퇴적되 어 있다. 절연막(11a)은, 예를 들면 유기 폴리머 또는 유기 실리카 유리 등과 같은 저유전율 재료(소위 Low-K 재료)로 이루어진다. 이 유기폴리머로서는, 예를 들면 SiLK(미국 The Dow Chemical Co 제조, 비유전률=2.7, 내열 온도=490℃ 이상, 절연 파괴 내압=4.0 5.0MV/Vm) 또는 폴리알릴에테르(PAE)계 재료의 FLARE(미국 Honeywell Electronic Materials 제조, 비유전률=2.8, 내열 온도=400℃ 이상) 등이 있다. 이 PAE계 재료는 기본 성능이 높으며, 기계적 강도, 열적 안정성 및 저비용성에 우수하다는 특징을 갖고 있다. 상기 유기 실리카 유리(SiOC계 재료)로는, 예를 들면 HSG-R7(히타치 화성 공업 제조, 비유전률=2.8, 내열 온도=650℃), Black Diamond(미국 Applied Materials, Inc 제조, 비유전률=3.0 2.4, 내열 온도=450℃) 또는 p-MTES(히타치 개발 제조, 비유전률=32) 등이 있다. 이 외의 SiOC계 재료로는, 예를 들면 CORAL(미국 Novellus Systems, Inc 제조, 비유전률=2.7 2.4, 내열 온도=500℃), Aurora2.7(일본 ASM사 제조, 비유전률=2.7, 내열 온도=450℃) 등이 있다.

또한, 절연막(11a)의 저유전율 재료로는, 예를 들면 FSG(SiOF계 재료), HSQ (hydrogen silsesquioxane)계 재료, MSQ(methyl silsesquioxane)계 재료, 다공성 HSQ계 재료, 다공성 MSQ 재료 또는 다공성 유기계 재료를 이용할 수도 있게 된다.

상기 HSQ계 재료로는, 예를 들면 OCD T-12(도쿄 오카 공업 제조, 비유전률=3.4 2.9, 내열 온도=450℃), FOx(미국 Dow Corning Corp. 제조, 비유전률=2.9) 또는 OCLT-32(도쿄 오카 공업 제조, 비유전률=2.5, 내열 온도=450℃) 등이 있다.

상기 MSQ계 재료로는, 예를 들면 OCD T-9(도쿄 오카 공업제, 비유전률=2.7,내열 온도=600℃), LKD-T200(JSR제, 비유전률=2.7 2.5, 내열 온도=450℃), HOSP (미국 Honeywell Electronic Materials 제조, 비유전률=2.5, 내열 온도=550℃), HSG-RZ25(히타치 화성 공업 제조, 비유전률=2.5, 내열 온도=650℃), OCL T-31(도쿄 오카 공업 제조, 비유전률=2.3, 내열 온도=500℃) 또는 LKD-T400(JSR 제조, 비유전률=2.2 2, 내열 온도=450℃) 등이 있다.

상기 다공성 HSQ계 재료로서는, 예를 들면 XLK(미국 Dow Corning Corp. 제조 비유전률=2.5 2), OCL T-72(도쿄 오카 공업 제조, 비유전률=2.2 1.9, 내열 온도=450℃), Nanoglass(미국 Honeywell Electronic Materials 제조, 비유전률=2.2 1.8, 내열 온도=500℃ 이상) 또는 MesoELK(미국 Air Productsand Chemicals, Inc, 비유전률=2 이하) 등이 있다.

상기 다공성 MSQ계 재료로는, 예를 들면 HSG-6211X(히타치 화성 공업 제조, 비유전률=2.4, 내열 온도=650℃), ALCAP-S(아사히 화성 공업 제조, 비유전률= 2.3 1.8, 내열 온도=450℃), OCL T-77(도쿄 오카 공업 제조, 비유전률=2.2 1.9, 내열 온도=600℃), HSG-6210X(히타치 화성 공업 제조, 비유전률=2.1, 내열 온도=650℃) 또는 silica aerogel(고베제강소 제조, 비유전률 1.4 1.1) 등이 있다.

상기 다공성 유기계 재료로는, 예를 들면 PolyELK(미국 Air Products and Chemicals, Inc, 비유전률=2 이하, 내열 온도=490℃) 등이 있다.

상기 SiOC계 재료, SiOF계 재료는 예를 들면 CVD법(Chemical Vapor Deposition)에 의해 형성되어 있다. 예를 들면 상기 Black Diamond는 트리메틸 실 란과 산소와의 혼합 가스를 이용한 CVD법 등에 의해 형성된다. 또한, 상기 p-MTES는, 예를 들면 메틸트리에톡시 실란과 N_2O와의 혼합 가스를 이용한 CVD법 등에 의해 형성된다. 그 외의 상기 저유전율의 절연 재료는, 예를 들면 도포법으로 형성되어 있다.

이러한 Low-K 재료로 이루어지는 절연막(11a) 위에는 Low-K 캡용 절연막(12a)이 퇴적되어 있다. 이 절연막(12a)은, 예를 들면 이산화 실리콘(SiO_2)으로 대표되는 산화 실리콘(SiO_x)막으로 이루어지며, 예를 들면 화학 기계 연마 처리(CMP ; Chemical Mechanical Polishing) 시의 절연막(11a)의 기계적 강도의 확보, 표면 보호 및 내습성의 확보 등과 같은 기능을 갖고 있다. 절연막(12a)의 두께는, 절연막(11a)보다도 상대적으로 얇고, 예를 들면 25㎚ 100㎚ 정도, 바람직하게는 예를 들면 50㎚ 정도이다. 단, 절연막(12a)은 산화 실리콘막에 한정되는 것이 아니며 다양하게 변경 가능하며, 예를 들면 질화 실리콘(Si_xN_y)막, 탄화 실리콘(SiC)막 또는 탄질화 실리콘(SiCN)막을 이용해도 된다. 이들 질화 실리콘막, 탄화 실리콘막 또는 탄질화 실리콘막은, 예를 들면 플라즈마 CVD법에 의해 형성할 수 있다. 플라즈마 CVD법으로 형성된 탄화 실리콘막으로서는, 예를 들면 BLOk(AMAT사 제조, 비유전률=4.3)이 있다. 그 형성 시에는, 예를 들면 트리메틸 실란과 헬륨(또는 N_2, NH_3)과의 혼합 가스를 이용한다.

이러한 절연막(11a, 12a)에는 제1층 배선 L1의 일부가 노출되는 관통 홀(13) 이 천공되어 있다. 이 관통 홀(13) 내에는, 예를 들면 텅스텐 등으로 이루어지는 플러그(14)가 매립되어 있다.

우선, 본 실시예에서는 상기한 절연막(12a) 및 플러그(14) 위에 절연막(제1 절연막 : 15a)을 플라즈마 CVD법 등에 의해 퇴적한다. 절연막(15a)은, 예를 들면 PE-TMS(Canon 제조, 유전율=3.9) 등과 같은 산질화 실리콘(SiON)막의 단체막으로 이루어지고, 그 두께는 예를 들면 25㎚ 50㎚ 정도, 바람직하게는 예를 들면 50㎚ 정도이다. 절연막(15a)의 형성에서는, 예를 들면 트리메톡시실란(TMS) 가스와 산화질소(N_2O) 가스와의 혼합 가스를 이용하였다. 일반적으로 절연막(15a)은 질화 실리콘막 등으로 형성되어 있지만, 본 실시예1에서는 산질화 실리콘막을 이용함으로써, 유전율을 대폭 저하시킬 수 있으므로, 배선 용량을 저하시킬 수 있어, 반도체 집적 회로 장치의 동작 속도를 향상시킬 수 있다.

이어서, 절연막(15a) 위에 절연막(11b, 12b)을 하층으로부터 순서대로 퇴적한다. 절연막(제7 절연막 : 11b)은 상기 절연막(11a)과 동일한 저유전율의 절연막으로 이루어진다. 또한, 그 상층의 절연막(제8 절연막 : 12b)은, 상기 절연막(12a)과 동일한 절연막으로 이루어지며, 동일한 Low-K 캡용 절연막으로서 기능한다. 그 후, 포토레지스트막을 마스크로 한 드라이 에칭법에 의해, 절연막(11b, 12b)을 선택적으로 제거하고, 배선 홈(배선 개구부 : 16a)을 형성한다. 배선 홈(16a)을 형성하기 위해서는, 포토레지스트막으로부터 노출된 절연막(11b, 12b)을 제거할 때에, 절연막(11b, 12b)과, 절연막(15a)의 에칭 선택비 를 크게 취함으로써, 절연막(15a)을 에칭 스토퍼로서 기능시킨다. 즉, 이 절연막(15a)의 표면에서 에칭을 일단 정지시킨 후, 절연막(15a)을 선택적으로 에칭 제거한다. 이에 따라, 배선 홈(16a)의 형성 깊이 정밀도를 향상시킬 수 있어서, 배선 홈(16a)이 너무 깊어지는 것을 방지할 수 있다. 이러한 배선 홈(16a)은, 그 평면 형상이 도 5에 도시한 바와 같이 예를 들면 띠형상으로 형성되어 있다. 배선 홈(16a)의 저면으로부터는 상기 플러그(14)의 상면이 노출되어 있다.

이어서, 도 7은, 도 6에 이어지는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1 선에 상당하는 부분의 단면도를 도시하고 있다. 또한, 도 8은, 도 7에 이어지는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다.

우선, 도 7에 도시한 바와 같이, 기판(1S)의 주면 상의 전면에, 예를 들면 질화 티탄(TiN) 등으로 이루어지는 두께 50㎚ 정도의 얇은 도전성 배리어막(제1 도체막 : 17a)을 스퍼터링법 등으로 퇴적한다. 이 도전성 배리어막(17a)은, 예를 들면 후술한 주도체막 형성용 구리의 확산을 방지하는 기능, 그 주도체막과 절연막(11b, 12a, 12b, 15a)과의 밀착성을 향상시키는 기능 및 주도체막의 리플로우 시에 구리의 습윤성을 향상시키는 기능 등을 갖고 있다. 이러한 도전성 배리어막(17a)으로서는, 상기 질화 티탄을 대신하여, 구리와 거의 반응하지 않은 질화 텅스텐(WN) 또는 질화 탄탈(TaN) 등과 같은 고융점 금속 질화물을 이용하는 것이 바람직하다. 또한, 그 질화 티탄을 대신하여, 고융점 금속 질화물에 실리콘(Si)을 첨가한 재료나, 구리와 반응하기 어려운 탄탈(Ta), 티탄(Ti), 텅스텐(W), 티탄 텅 스텐(TiW) 합금 등과 같은 고융점 금속을 이용할 수도 있게 된다. 또한, 본 실시예1에 따르면, 도전성 배리어막(17a)의 막 두께를, 예를 들면 10㎚, 그것보다도 작은 6 7㎚ 또는 5㎚ 이하로 해도 양호한 TDDB 특성을 얻을 수 있다.

이어서, 도전성 배리어막(17a) 위에, 예를 들면 두께 800 1600㎚ 정도의 상대적으로 두꺼운 구리로 이루어지는 주도체막(제2 도체막 : 18a)을 퇴적한다. 본 실시예1에서는, 주도체막(18a)을 예를 들면 도금법으로 형성하였다. 도금법을 이용함으로써, 양호한 막질의 주도체막(18a)을 매립성 좋고, 또한 저비용으로 형성할 수 있다. 이 경우, 우선 도전성 배리어막(17a) 위에 구리로 이루어지는 얇은 도체막을 스퍼터링법으로 퇴적한 후, 그 위에 구리로 이루어지는 상대적으로 두꺼운 도체막을, 예를 들면 전해 도금법 또는 무전해 도금법에 의해 성장시킴으로써 주도체막(18a)을 퇴적하였다. 이 도금 처리에서는, 예를 들면 황산동을 기본으로 하는 도금액을 사용하였다. 단, 상기 주도체막(18a)을 스퍼터링법으로 형성할 수도 있다. 이 도전성 배리어막(17a) 및 주도체막(18a)을 형성하기 위한 스퍼터링법으로는, 통상의 스퍼터링법도 무방하지만, 매립성 및 막질의 향상을 도모하기 위해서는, 예를 들면 롱스로우 스퍼터링법이나 콜리메이트 스퍼터링법 등과 같은 지향성이 높은 스퍼터링법을 이용하는 것이 바람직하다. 또한, 주도체막(18a)을 CVD법으로 형성할 수도 있다. 그 후, 예를 들면 475℃ 정도의 비산화성 분위기(예를 들면 수소 분위기) 내에서 기판(1S)에 대하여 열 처리를 실시함으로써 주도체막(18a)을 리플로우시켜, 구리를 배선 홈(16a)의 내부에 간극없이 매립한다.

이어서, 주도체막(18a) 및 도전성 배리어막(17a)을 CMP 법에 의해 연마한다. 본 실시예1에서는 CMP 법으로서, 예를 들면 상기 지립 프리 CMP(제1 단계) 및 유지립 CMP(제2 단계)의 2 단계 CMP 법을 이용한다. 즉, 예를 들면 다음과 같다.

우선, 제1 단계는 구리로 이루어지는 주도체막(18a)을 선택적으로 연마하는 것을 목적으로 하고 있다. 연마액(슬러리) 내에는, 보호막 형성용 방식제, 구리의 산화제 및 구리의 산화막을 에칭하는 성분이 포함되어 있지만, 지립은 포함되어 있지 않다. 연마액 내의 지립의 함유량은, 예를 들면 0.5 중량% 이하 또는 0.1 중량% 이하의 것이 바람직하며, 특히 0.05 중량% 이하 혹은 0.01 중량% 이하의 것은 보다 바람직하다. 단, 지립을 연마제 전체의 3 4%정도로 포함해도 된다. 연마액으로는, 구리의 부식 영역에 속하도록 그 pH가 조정된 것이 사용되며, 또한 도전성 배리어막(17a)에 대한 주도체막(18a)의 연마 선택비가 예를 들면 적어도 5 이상이 되도록 그 조성이 조정된 것이 사용된다. 이러한 연마액으로서, 산화제와 유기산을 포함한 슬러리를 예시할 수 있다. 산화제로서는, 과산화수소(H_2O_2), 수산화암모늄, 질산암모늄, 염화암모늄 등을 예시할 수 있으며, 유기산으로는 시트르산, 말론산, 푸마르산, 말레산, 아디프산, 벤조산, 프탈산, 타르타르산, 젖산, 숙신산, 옥살산 등을 예시할 수 있다. 이들 중, 과산화수소는 금속 성분을 포함하지 않고, 또한 강산이 아니기 때문에, 연마액에 이용하기에 적합한 산화제이다. 또한, 시트르산은 식품 첨가물로서도 일반적으로 사용되고 있으며, 독성이 낮고, 폐액으로서의 피해도 낮으며, 냄새도 없고, 물에 대한 용해도도 높기 때문에, 연마액에 이용하기에 적합한 유기산이다. 본 실시예에서는, 예를 들면 순수에 5체적%의 과산화 수소와 0.03 중량%의 시트르산을 첨가하고, 지립의 함유량을 0.01중량% 미만으로 한 연마액을 사용한다. 방식제로서는, 예를 들면 BTA가 이용되고 있다.

이 제1 단계의 지립 프리 CMP에서는, 주도체막(18a)의 보호 작용과 에칭 작용의 모두가 생기게 하면서 주도체막(18a)을 주로 화학적 요소로 연마한다. 즉, 상기 연마액으로 화학 기계 연마를 행하면, 우선 구리 표면이 산화제에 의해 산화되고, 표면에 얇은 산화층이 형성된다. 이어서 산화물을 수용성화하는 물질이 공급되면 상기 산화층이 수용액이 되어 용출하며, 상기 산화층의 두께가 감소한다. 산화층이 얇아진 부분은 재차 산화성 물질에 노출되어져 산화층의 두께가 증가하고, 이 반응을 반복하여 화학 기계 연마가 진행된다. 보호막의 제거는 주로 연마 패드와의 접촉으로 행해진다.

연마의 조건은, 일례로서 하중=250g/㎠, 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=150cc/min으로 하고, 연마 패드는 예를 들면 미국 로델(Rodel)사의 경질 패드(IC1400)를 사용하였다. 이 연마 패드는, 평탄성을 상승시키는 관점으로부터 경질 패드를 채용했지만, 연질 패드를 사용해도 된다. 연마의 종점은, 주도체막(16)이 제거되어 밑에 있는 도전성 배리어막(17a)이 노출된 시점으로 하고, 종점의 검출은, 연마 대상이 주도체막(18a)으로부터 도전성 배리어막(17a)이 되었을 때에 변화하는 정반 또는 웨이퍼 캐리어의 회전 토크 신호 강도를 검출함으로써 행한다. 또한, 연마 패드의 일부에 구멍을 뚫고, 기판(1S)의 표면으로부터의 빛 반사 스펙트럼 변화에 기초하여 종점을 검출하거나, 슬러리의 광학적 스펙트럼 변화에 기초하여 종점을 검출하기도 한다.

이러한 연마 처리에서, 구리로 이루어지는 주도체막(18a)의 연마 속도는, 예를 들면 500㎚/min 정도, 도전성 배리어막(18a)의 연마 속도는, 예를 들면 3㎚/min 정도이다. 연마 시간은 주도체막(18a)의 막 두께에 따라 상이하므로 일률

적으로는 말할 수 없지만, 예를 들면 상기한 막 두께로 2 4분 정도이다. 또, 상기한 바와 같은 지립 프리 연마액을 사용한 화학 기계 연마에 대해서는, 본원 발명자 등에 의한 일본 특원평9-299937호 및 일본 특원평10-317233호에 자세히 기재되어 있다.

이어지는 제2 단계는, 도전성 배리어막(17a)을 선택적으로 연마하는 것을 목적으로 하고 있다. 이 제2 단계에서는, 도전성 배리어막(17a)을 연마 패드의 접촉에 의해 주로 기계적 요소로 연마한다. 여기서는, 연마액으로서 상기 방식제, 상기 산화제 및 산화막을 에칭하는 성분 외에, 지립이 포함되어 있다. 본 실시예1에서는, 연마액으로서, 예를 들면 순수에 5체적%의 과산화수소, 0.03 중량%의 시트르산 및 0.5 0.8 중량%의 지립을 혼합한 것을 사용하지만, 이것에 한정되는 것이 아니다. 이 지립의 첨가량은, 주로 밑에 있는 절연막(12b)이 깎이지 않는 양으로 설정되어 있고, 그 양은, 예를 들면 1 중량% 이하로 되어 있다. 지립으로는, 예를 들면 콜로이드 실리카(SiO_2)가 사용되고 있다. 이 지립으로서 콜로이드 실리카를 이용함으로써, CMP 처리에 의한 절연막(12b)의 연마면의 손상을 대폭 저감시킬 수 있고, 스크래치 프리를 실현할 수 있다. 또한, 이 제2 단계에서는, 산화제의 양을 제1 단계 시의 산화제의 량보다도 줄이고 있다. 즉, 연마액 내의 방식제의 량을 상대적으로 늘리고 있다. 그리고, 도전성 배리어막(17a)에 대한 주도체막(18a)의 연마 선택비가 상기 지립 프리 화학 기계 연마에서의 경우보다도 낮은 조건, 예를 들면 선택비 3 이하의 조건으로 연마를 행한다. 이러한 조건으로 연마함으로써, 제2 단계에서는, 구리로 이루어지는 주도체막(18a)의 산화를 억제하면서, 보호를 강화할 수 있으므로, 주도체막(18a)이 너무 연마되지 않도록 할 수 있으며, 디싱(dishing)이나 부식 등을 억제하거나 또는 방지하는 것이 가능하게 되었다. 이에 따라, 배선 저항의 증대나 변동을 억제하거나 또는 방지할 수 있으므로, 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.

제2 단계의 연마의 조건은, 일례로서 하중=120g/㎠, 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=150cc/min으로 하고, 연마 패드는 예를 들면 로델사의 IC1400을 사용하였다. 연마량은 도전성 배리어막(17a)의 막 두께에 상당하는 분량으로 하고, 연마의 종점은 도전성 배리어막(17a)의 막 두께 및 연마 속도로부터 산출한 시간에 의해 제어한다.

이러한 연마 처리에서, 도전성 배리어막(17a)의 연마 속도는, 예를 들면 80㎚/min 정도, 구리로 이루어지는 주도체막(18a)의 연마 속도는, 예를 들면 7㎚/min 정도, 밑에 있는 절연막(12b)의 연마 속도는 예를 들면 3㎚/min 정도이다. 연마 시간은, 도전성 배리어막(17a)의 막 두께에 따라 다르므로 일률적으로는 말할 수 없지만, 예를 들면 상기한 막 두께는 1분 정도이다. 또한, 상기 지립은 콜로이드 실리카를 대신하여, 알루미나(Al_2O_3)를 이용할 수도 있게 된다.

상기한 유지립 화학 기계 연마를 행함으로써, 배선 홈(16a) 외부의 도전성 배리어막(17a)은 거의 제거되어 하층의 절연막(12b)이 노출된다. 그러나, 기초 단차에 기인하여 생긴 절연막(12b)의 상면의 작은 오목부 등에는, 상기한 연마로 완전히 제거할 수 없었던 도전성 배리어막(17a)이 잔존하는 경우가 있다. 이 경우에는, 다음과 같은 CMP 처리를 실시하면 된다.

즉, 배선 홈(16a) 내부의 주도체막(18a)의 연마를 가능한 한 억제하면서, 배선 홈(16a) 외부의 절연막(12b) 위에 국소적으로 남겨진 도전성 배리어막(17a)을 제거하기 위한 선택적 CMP를 행한다. 이 선택적 CMP는, 주도체막(18a)에 대한 도전성 배리어막(17a)의 연마 선택비가 적어도 5 이상이 되는 조건으로 행한다. 또한, 이 CMP는 주도체막(18a)의 연마 속도에 대한 절연막(12b)의 연마 속도의 비가 1보다도 커지는 조건으로 행한다.

상기 선택적 CMP를 행하기 위해서는, 일반적으로 상기 유지립 CMP에서 사용한 바와 같은 0.5 중량%보다도 많은 지립을 함유하는 연마액에 방식제를 첨가한 것을 사용한다. 방식제란, 주도체막(18a)의 표면에 내식성의 보호막을 형성함으로써 연마의 진행을 저지하거나 또는 억제하는 약제를 뜻하며, 벤조트리아졸(BTA), BTA 카르복실산 등의 BTA 유도체, 도데실메르캅탄, 트리아졸, 톨릴트리아졸 등이 사용되지만, 특히 BTA를 사용한 경우에 안정된 보호막을 형성할 수 있다.

방식제로서 BTA를 사용하는 경우, 그 농도는 슬러리의 종류에도 따르지만, 통상은 0.001 1 중량%, 보다 바람직하게는 0.01 1 중량%, 더 바람직하게는 0.1 1 중량%(3 단계)의 첨가로 충분한 효과를 얻을 수 있다. 본 실시예1에서는 연마액으로서 상기 유지립 CMP에서 사용한 연마액에 방식제로서 0.1 중량%의 BTA를 혼합한 것을 사용하지만, 이것에 한정되는 것은 아니다. 또한, 방식제의 첨가에 의한 연마 속도의 저하를 피하기 위해, 폴리아크릴산, 폴리메타크릴산, 이들의 암모늄염 또는 에틸렌디아민사아세트산(EDTA) 등을 필요에 따라 첨가해도 된다. 또, 이러한 방식제를 포함하는 슬러리를 사용한 CMP에 대해서는, 본원 발명자 등에 의한 일본 특원평10-209857호, 일본 특원평9-299937호 및 일본 특원평10-317233호에 자세히 기재되어 있다.

이 선택적 CMP는, 상기의 유지립 CMP가 종료된 후, 이어 CMP 장치의 정반 위에서 행해진다. 방식제를 첨가한 연마액은 슬러리 공급관을 통하여 연마 패드의 표면으로 공급된다. 연마의 조건은, 일례로서 하중=120g/㎠, 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=190cc/min로 한다. 상기한 선택적 CMP를 행함으로써, 배선 홈(16a) 외부의 도전성 배리어막(17a)이 모두 제거된다.

이상과 같은 CMP 처리에 의해, 도 8에 도시한 바와 같이 배선 홈(16a) 내에 매립 제2층 배선 L2를 형성한다. 매립 제2층 배선 L2는, 상대적으로 얇은 도전성 배리어막(17a)과, 상대적으로 두꺼운 주도체막(18a)를 가지며, 플러그(14)를 통하여 제1층 배선 L1과 전기적으로 접속되어 있다. 본 실시예1에 따르면, 매립 제2층 배선 L2를 형성하기 위한 연마 처리에 있어서, 상기한 바와 같은 CMP 법을 채용함으로써, CMP 처리에 의한 절연막(12b)의 연마면의 손상을 대폭 저감시킬 수 있으며, 상기 스크래치 프리 연마가 가능해진다. 상술한 예에서는, Low-K 재료의 절연막(11b) 위에 절연 캡용 절연막(12b)을 형성했지만, 본 실시예1의 CMP법에 따르면 스크래치 프리 연마가 가능하므로, 상기 절연 캡용 절연막(12b)을 형성하지 않는 구조로 할 수도 있게 된다. 즉, CMP 면에 절연막(11b)이 노출되는 구조로 해도 된다.

연마가 종료된 기판(1S)은, 그 표면에 방식 처리가 실시된다. 이 방식 처리부는 연마 처리부의 구성과 유사한 구성으로 되어 있고, 여기서는 우선 연마반(플라텐)의 표면에 부착된 연마 패드에 기판(1S) 주면이 압박되어 연마 슬러리가 기계적으로 제거된 후, 예를 들면 벤조트리아졸(BTA) 등의 한 방식제를 포함한 약액이 기판(1S) 주면에 공급됨으로써, 기판(1S) 주면에 형성된 구리 배선의 표면 부분에 소수성 보호막이 형성된다.

방식 처리가 종료된 기판(1S)은 그 표면의 건조를 막기 위해, 침지 처리부에 일시적으로 보관된다. 침지 처리부는, 방식 처리가 종료된 기판(1S)을 후세정(postcleaning)하기까지, 그 표면이 건조되지 않도록 유지하기 위한 것으로, 예를 들면 순수를 오버 플로우시킨 침지조(스토커) 내에 소정 매수의 기판(1S)을 침지시켜 보관하는 구조로 되어 있다. 이 때, 매립 제2층 배선 L2의 전기 화학적 부식 반응이 실질적으로 진행되지 않을 정도의 저온으로 냉각한 순수를 침지조에 공급함으로써, 매립 제2층 배선 L2의 부식을 한층더 확실하게 방지할 수 있다. 기판(1S)의 건조 방지는, 예를 들면 순수 샤워의 공급 등, 적어도 기판(1S)의 표면을 습윤 상태로 유지할 수 있는 방법이면, 상기한 침지조 내에서의 보관 이외의 방법으로 행해도 된다. 이 침지 처리부(기판 보관부)를 차광 구조로 하여, 보관 중인 기판(1S) 표면에 조명광 등이 조사되지 않도록 할 수 있다. 이에 따라, 광기전력 효과에 의한 단락 전류의 발생을 방지하도록 할 수 있다. 침지 처리부를 차광 구 조로 하기 위해서는, 구체적으로는 침지조(스토커)의 주위를 차광 시트등으로 피복함으로써, 침지조(스토커) 내부의 조도를 적어도 500룩스 이하, 바람직하게는 300룩스 이하, 더 바람직하게는 100룩스 이하로 한다. 또, 상기한 바와 같은 CMP 처리 및 CMP 장치에 대해서는, 예를 들면 본 발명자들에 따른 일본 특원평11-226876호 및 일본 특원2000-300853호에 기재되어 있다.

그 후, 기판(1S) 표면의 습윤 상태가 유지된 상태에서 즉시 CMP 후세정 처리로 이행한다. 우선, 기판(1S)에 대하여 알칼리 세정 처리를 실시한다. 이 처리는, CMP 처리 시의 슬러리 등의 이물을 제거하는 목적을 갖고 있으며, CMP 처리에 의해 기판(1S)에 부착한 산성슬러리를 중화하고, 기판(1S)과, 이물과, 세정용 브러시와의 zeta 전위의 방향을 맞추어, 이들 사이의 흡착력을 없애기 위해, 예를 들면 ph8 정도 또는 그 이상의 약 알칼리 약액을 공급하면서, 기판(1S)의 표면을 스크럽 세정(또는 브러시 세정)한다. 알칼리 약액으로서, 예를 들면 아미노에탄올(DAE(Diluted Amino Ethanol), 조성 : 2-Aminoethanol, $H_2NCH_2CH_2OH$, 농도 : 0.001 0.1% 정도, 바람직하게는 0.01%)을 이용하였다. 이 약액은, 구리의 에칭 작용이 적고, NH_4OH와 동등한 세정력을 갖는다. 이 세정 처리에서는, 롤형 세정 방식을 채용하였다. 단, 이것에 한정되는 것이 아니며 다양하게 변경 가능한데, 예를 들면 알칼리 세정에 있어서 디스크형 세정 방식을 채용할 수도 있다. 또한, 산 세정에서 디스크형 세정 방식이나 펜형 세정 방식을 채용할 수도 있다.

이어서, 도 9는 도 8에 이어지는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1 선에 상당하는 부분의 단면도를 도시하고 있다.

여기서는, 우선 기판(1S)(특히 매립 제2층 배선 L2가 노출되는 CMP 연마면)에 대하여 환원 처리를 실시한다. 즉, 기판(1S)(특히 CMP 연마면)에 대하여, 예를 들면 수소 가스 분위기 내에서, 예를 들면 200 475℃, 바람직하게는 300℃, 예를 들면 0.5 5분, 바람직하게는 2분 정도의 열 처리를 실시한다(수소(H2) 어닐링 처리). 이에 따라, CMP 시에 발생한 매립 제2층 배선 L2 표면의 산화 구리막을 구리로 환원할 수 있으며, 그 후의 산 세정에 의한 매립 제2층 배선 L2의 에칭을 억제하거나 또는 방지할 수 있다. 이 때문에, 배선 저항의 상승, 배선 저항의 변동 및 단차의 발생을 동시에 억제하거나 또는 방지할 수 있고, 또한 에치 부식의 발생도 억제하거나 또는 방지할 수 있다. 또한, 환원 처리를 행하지 않는 경우, CMP 처리 시에 기판(1S)의 표면에 부착한 BTA 등과 같은 유기물이 세정 처리에 있어서 마스크가 되어 절연막(12b)의 표층을 양호하게 제거할 수 없는 경우가 있지만, 본 실시예와 같이 환원 처리를 행함으로써, CMP 시에 부착한 BTA 등의 유기물을 제거할 수 있으므로, 절연막(12b)의 표층을, 충분히 또한 균일하게 제거할 수 있다. 이에 따라, 반도체 집적 회로 장치의 TDDB 수명을 대폭 향상시킬 수 있게 된다. 또, 경우에 따라서는, 상기한 바와 같은 수소 어닐링을 실시하지 않아도 되는 경우도 있다.

이어서, 기판(1S)에 대하여 산 세정 처리를 실시한다. 이 처리는, TDDB 특성의 향상, 잔류 금속 제거, 절연막(12b) 표면의 댕글링 결합의 저감 및 절연막(12b) 표면의 요철 제거 등의 목적을 갖고 있으며, 불산 수용액을 기판(1S)의 표면에 공급하여 에칭에 의한 이물 입자(파티클)의 제거를 행한다. 불산 세정 을 삽입만 해도 TDDB 특성을 개선할 수 있다. 이것은, 산 처리에 의해 표면의 손상층이 제거되어 계면의 밀착성이 향상하기 때문이라고 생각되어진다. 불산(HF) 세정은, 예를 들면 브러시 스크럽 세정을 이용하며, HF 농도를 0.5%, 세정 시간을 20초의 조건으로 선택할 수 있다. 그 후, 기판(1S)에 대하여 스핀 드라이어 등과 같은 건조 처리를 실시하여, 다음 공정으로 이행한다.

본 발명자들의 실험에 따르면, 알칼리 세정, 수소 어닐링 및 산 세정의 시퀀스의 TDDB 특성은, 알칼리 세정과 산 세정과의 연속 시퀀스의 TDDB 특성과 비교하여, 약 2자릿수 향상하는 것이 분명해졌다. 층간 절연막에 저유전율의 절연 재료를 이용한 매립 구리 배선 구조의 신뢰성을 고려하면, 2자릿수의 TDDB 수명의 향상은, 매우 유효한 프로세스이다. 알칼리 세정과 산 세정 사이에, 수소 어닐링을 삽입함으로써, TDDB 수명이 향상하는 이유로서, CMP 시에 부착하는 BTA 등의 유기물이 제거되는 등의 것이 생각되어진다. 유기물이 부착한 상태에서 산 세정을 행하면, TDDB 수명을 좌우하는 인접 절연막 표면의 클리닝(리프트 오프)을 충분히 할 수 없다고 추정된다. 한편, 본 실시예1에서는 수소 어닐링 처리를 행하고나서 세정 처리를 행하기 때문에, 절연막의 표층을 충분히 또한 균일하게 리프트 오프할 수 있으며, TDDB 수명을 향상시킬 수 있게 된다.

상기한 예에서는, 알칼리 세정 처리를 행한 후, 환원 처리를 행하고, 또한 산 세정을 행하는 경우에 대해 설명했지만, 이것에 한정되는 것이 아니며 다양하게 변경 가능하다. 예를 들면 CMP 처리 후, 상기 환원 처리를 행하고, 그 후 알칼리 세정 처리, 산 세정 처리의 순으로 후세정 처리를 행해도 된다. 또한, 알칼리 세 정을 행하지 않고, 산 세정만을 행해도 된다. 즉, CMP 처리, 환원 처리 및 산 세정 처리의 시퀀스라도 된다. 산 세정만을 행하는 것만으로도 TDDB 특성이 개선된다. 이것은, 손상층의 제거에 의해 계면의 특성을 향상시킬 수 있기 때문이라고 생각되어진다. 또한, 상기 CMP 후세정 처리에 선행하거나 또는 병행하며, 기판(1S)의 표면을 순수 스크럽 세정, 순수 초음파 세정, 순수 유수 세정 또는 순수 스핀 세정하거나, 기판(1S)의 이면을 순수 스크럽 세정하거나 해도 된다.

이어서, 도 10은, 도 9에 이어지는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다. 또한, 도 11은, 도 10에 이어지는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다.

여기서는, 상기한 바와 같은 CMP 후세정 처리(스핀 드라이어 등에 의한 최종적인 건조 처리를 포함함) 후에, 기판(1S)에 대하여, 예를 들면 다음과 같은 환원성 플라즈마 처리를 실시한다. 즉, 기판(1S)(특히 매립 제2층 배선 L2가 노출되는 CMP 면)에 대하여, 수소 플라즈마 처리를 실시한다. 이 수소 플라즈마 처리 조건은, 예를 들면 기판(1S)의 직경을 8인치(=약 200㎜)로 한 경우, 처리 압력을 5.0Torr(=6.6661×10 ^{2} Pa), 고주파(RF) 전력을 600W, 기판 온도를 400℃, 수소 가스 유량을 500㎤/min, 처리 시간을 10 30초로 하였다. 전극간 거리는 600mils(15.24㎜)로 하였다. 처리 가스는, 예를 들면 수소(H)의 단체 가스 또는 수소(H)와 질소(N)와의 혼합 가스를 이용하였다.

이러한 수소 플라즈마 처리를 실시함으로써, 본 발명자들에 의한 일본 특원평11-226876호나 일본 특원2000-300853호에서도 진술한 바와 같이, 유기계의 제거 능력이 매우 높기 때문에(후술한 암모니아 플라즈마 처리 등과 비교하여 높음), CMP에서의 슬러리에 포함되어 있는 BTA, 슬러리 성분이나 CMP 후세정의 유기산과 프로세스 내에 생성한 잔류 유기물을 거의 완전하게 제거하고, 계면의 누설 전류를 감소시킬 수 있다. 그 결과, TDDB 수명을 더 향상시킬 수 있다.

이어서, 도 11에서는 상기 수소 플라즈마 처리 후, 대기 개방하지 않고 연속하여, 기판(1S)에 대하여 예를 들면 다음과 같은 환원 처리를 실시한다. 즉, 기판(1S)(특히 매립 제2층 배선 L2가 노출되는 CMP 면)에 대하여, 암모니아(NH_3) 플라즈마 처리를 실시한다. 이 암모니아 플라즈마 처리 조건은, 예를 들면 기판(1S)의 직경을 8인치(=약 200㎜)으로 한 경우, 처리 압력을 0.5 1.0Torr(=66.6612 133.332 Pa) 정도, 플라즈마 처리 장치의 상부 전극의 인가 전력을 500 1000W 정도, 플라즈마 처리 장치의 하부 전극의 인가 전력을 0 1000W 정도(0이 바람직함), 기판 온도를 300℃ 400℃ 정도, 암모니아 가스 유량을 500 1500㎤/min 정도, 처리 시간을 5 60초 정도로 하였다. 전극간 거리는 300 600mils(7.62㎜ 15.24㎜)로 하였다.

이러한 암모니아 플라즈마 처리에서는, CMP에서 산화된 구리 배선 표면의 산화 구리(CuO, CuO_2)를 구리(Cu)로 환원한다. 또한, 세트 플로우 시의 구리의 실리사이드화를 저지하는 질화 구리(CuN)층이 매립 제2층 배선 L2의 표면(아주 얇은 영 역)에 형성된다. 배선간의 절연막(12b)의 상면(극히 얇은 영역)에서는, SiN화 또는 SiH화가 진행되며, 절연막(12b) 표면의 댕글링 결합을 보상하고, 또한 후술한 캡용 절연막과 매립 제2층 배선 L2 및 절연막(12b)와의 밀착성을 향상시킬 수 있으며, 계면의 누설 전류를 저감시킬 수 있다. 이러한 효과에 의해, TDDB 수명을 향상시킬 수 있다.

따라서, 이 수소 플라즈마 처리와 암모니아 플라즈마 처리를 순서대로 행함으로써, 구리를 주성분으로서 갖는 매립 제2층 배선 L2 표면의 환원 및 내 실리사이드 배리어층의 형성과, 절연막(12b)의 계면의 클리닝 및 SiH 효과, SiN 효과를 얻을 수 있고, 한층 더 신뢰성의 향상을 실현할 수 있다. 층간 절연막이, 예를 들면 TEOS(Tetraethoxysilane) 가스를 이용한 플라즈마 CVD법으로 형성된 산화 실리콘막 위에, 플라즈마 CVD법으로 형성된 질화 실리콘막을 퇴적함으로써 구성되어 있는 경우에 있어서, 수소 플라즈마와 암모니아 플라즈마를 조합하여 행한 샘플에서는, 암모니아 플라즈마 처리가 단독인 경우와 비교하여, TDDB 수명이 약 2자릿수 향상되는 것이 본 발명자들에 의해 분명해졌다. 또, 층간 절연막으로서 상기 SiLK를 이용한 경우라도, 수소 플라즈마 및 암모니아 플라즈마를 이용한 경우에는, 예를 들면 약 0.13 0.17㎿/㎝, 10년의 동작 환경에서도 충분한 신뢰도를 확보할 수 있는 것이 본 발명자들의 실험에 의해 분명해졌다.

상기한 환원성 플라즈마 처리 조건은, 이들 예시한 조건에 물론 한정되지 않는다. 본 발명자들의 검토에서는, 압력이 높을수록 플라즈마 손상을 저감시킬 수 있고, 기판 온도가 높을수록 TDDB 수명의 기판내 변동의 저감과 장기 수명화가 나 타나는 것이 분명해졌다. 또, 기판 온도가 높고, RF 전력이 크고, 처리 시간이 길수록 구리의 표면에 힐록이 발생하기 쉽다는 것을 알 수 있었다. 이들 검토 결과와 장치 구성 등에 의한 조건의 변동을 고려하면, 예를 들면 처리 압력은 0.5 6Torr(=0.66661×10 ^{2} 7.99932×10 ^{2} pa), RF 전력은 300 600W, 기판 온도는 350 450℃, 수소 가스 유량은 50 1000㎤/min, 암모니아 가스 유량은 20 500㎤/min, 처리 시간은 5 180초, 전극간 거리는 150 1000mils(3.81 25.4㎜)의 범위에서 설정할 수 있다.

또한, 상기한 예에서는 수소 플라즈마 처리 후에 암모니아 플라즈마 처리를 실시하는 경우에 대해 설명했지만, 이것에 한정되는 것이 아니며 다양하게 변경 가능하며, 예를 들면 암모니아 플라즈마 처리 후, 진공 상태를 유지한 상태에서 수소 플라즈마 처리에 연속적으로 이행해도 된다. 또한, 환원 처리로서 암모니아 플라즈마 처리만을 행해도 된다. 이들의 경우라도, TDDB 수명을 향상시킬 수 있었다.

이어서, 도 12는, 도 11에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의 단면도를 도시하고 있다. 또한, 도 13은, 도 12의 주요부 확대 단면도를 도시하고 있다.

여기서는, 상기 암모니아 플라즈마 처리 후, 대기 개방하지 않고 연속하여, 매립 제2층 배선 L2 및 절연막(12b)의 상면 위에, 배선 캡용 절연막(제2 절연막 및 제3 절연막, 제4 절연막 : 15b)을 CVD법 등에 의해 퇴적한다. 이 때, 본 실시예1에서는, 그 절연막(15b)을 매립 제2층 배선 L2의 도전성 배리어막(17a)의 노출 부 분이 산화되지 않도록 퇴적한다. 그 때문에, 본 실시예1에서는 최초로 도전성 배리어막(17a)의 산화를 억제하거나 또는 방지한다. 즉 산화로부터 보호하는 산화 배리어용 절연막(제2 절연막, 제5 절연막 : 15b1)을 절연막(12b) 및 매립 제2층 배선 L2 위에 퇴적한 후, 대기 개방하지 않고, 진공 상태를 유지한 상태에서 연속적으로, 그 위에 예를 들면 트리메톡시실란(TMS, 화학식 : SiH(OCH $_{3}$) $_{3}$)) 가스와 산화질소(N $_{2}$ O) 가스와의 혼합 가스를 이용한 플라즈마 CVD법 등에 의해 PE-TMS(Canon 제조, 유전율=3.9) 등과 같은 산질화 실리콘(SiON)막 등으로 이루어지는 절연막(제3 절연막, 제6 절연막 : 15b2)을 퇴적하도록 하였다. 이에 따라, PE-TMS 등과 같은 산질화 실리콘(SiON)막의 퇴적 처리에서 도전성 배리어막(17a)의 산화를 억제하거나 또는 방지할 수 있으므로, 그 도전성 배리어막(17a)의 산화에 기인하여 주도체막(18a) 내의 구리가 확산하는 문제점을 억제하거나 또는 방지할 수 있다. 이 때문에, TDDB 수명을 향상시킬 수 있다. 또한, 배선 캡용 절연막(15b)의 대부분 또는 모두를 질화 실리콘막보다도 유전율이 낮은 재료로 형성함으로써, 배선 용량을 저감시킬 수 있으므로, 반도체 장치의 동작 속도를 향상시킬 수 있게 된다. 또한, 우수한 내습성을 갖는 PE-TMS 등을 매립 제2층 배선 L2의 배선 캡용 절연막으로서 사용할 수 있으므로, 반도체 장치의 신뢰성을 향상시킬 수 있게 된다. 구체적으로는, 예를 들면 다음과 같다.

제1 방법은, 산화 배리어용 절연막(15b1)을, 예를 들면 질화 실리콘막, 탄화 실리콘(SiC)막 또는 탄질화 실리콘(SiCN)막 등과 같은 구리의 확산을 억제하거나 또는 방지하는 기능을 갖는 절연막으로 형성하는 방법이다.

이 경우의 산화 배리어용 절연막(15b1)의 두께는, 예를 들면 1㎚ 이상이지만, 배선 구조의 전체적인 유전율을 낮게 억제하고자 하므로 절연막(15b2)보다는 얇게 형성되어 있다. 절연막(15b2)의 두께는, 예를 들면 50㎚ 정도 이하이다. 절연막(15b2) 내의 질소의 함유율은, 예를 들면 1 8% 정도이다. 절연막(15b2)의 성막 시의 처리실 내의 압력은, 예를 들면 0.5 1.0Torr(=66.6612 133.332Pa) 정도, 트리메톡시실란 가스의 유량은, 예를 들면 100 150㎤/min 정도, N $_{2}$ O의 가스 유량은, 예를 들면 4000㎤/min 정도 이하, 플라즈마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은 예를 들면 500 1000W 정도이다.

이 제1 방법에서, 산화 배리어용 절연막(15b1)을, 예를 들면 탄화 실리콘막 또는 탄질화 실리콘막 등으로 형성한 경우에는, 산화 배리어용 절연막(15b1)을 질화 실리콘막으로 형성한 경우보다도 유전율을 저하시킬 수 있어서, 배선 용량을 저감시킬 수 있으므로, 반도체 장치의 동작 속도를 향상시킬 수 있게 된다.

제2 방법은, 산화 배리어용 절연막(15b1)을, 산소를 이용하지 않는 가스 조건, 특히 산화성이 높은 N $_{2}$ O 가스를 이용하지 않는 조건에서의 플라즈마 CVD법 등에 의해 퇴적된 PE-TMS(Canon 제조, 유전율=3.9) 등과 같은 산질화 실리콘(SiON)막 등으로 형성하는 방법이다. 이 경우의 절연막(15b1)도, 구리의 확산을 억제하거나 또는 방지하는 기능을 갖고 있다.

산소를 이용하지 않는 가스 조건으로는, 예를 들면 트리메톡시실란(TMS) 가 스와 암모니아(NH $_{3}$) 가스와의 혼합 가스, 또는 트리메톡시실란(TMS) 가스와 질소(N $_{2}$) 가스와의 혼합 가스 등을 예로 들 수 있다. 이 경우의 산화 배리어용 절연막(15b1)의 두께는, 예를 들면 1 10㎚ 정도이다. 또한, 그 상층의 절연막(15b2)의 두께는, 상기 제1 방법에서 설명한 바와 동일하다. 절연막(15b1, 15b2) 내의 질소의 함유율은, 예를 들면 1 8% 정도이다. 절연막(15b1)의 성막 시의 처리실 내의 압력은, 예를 들면 0.5 1.0Torr(=66.6612 133.332Pa) 정도, 트리메톡시실란 가스의 유량은, 예를 들면 100 150㎤/min 정도, N $_{2}$ O 가스의 유량은 예를 들면 0㎤/min, N $_{2}$ 가스를 이용한 경우의 그 가스 유량은, 예를 들면 4000㎤/min 정도 이하, NH $_{3}$ 가스를 이용한 경우의 그 가스 유량은, 예를 들면 1500㎤/min 정도

이하, 플라즈마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은, 상기 제1 방법과 동일하다. 또한, 절연막(15b2)의 성막 조건은, 상기 제1 방법에서 설명한 것과 동일하다.

이 제2 방법에서는, 절연막(15b1, 15b2)을 모두 예를 들면 PE-TMS 등과 같은 유전율이 낮은 산질화 실리콘(SiON)막으로 형성할 수 있으므로, 상기 제1 방법을 이용한 경우보다도 배선 용량을 저감시킬 수 있어, 반도체 장치의 동작 속도를 향상시킬 수 있게 된다. 또, 절연막(15b)의 전체(절연막(15b1, 15b2)를 내습성에 우수한 PE-TMS 등과 같은 산질화 실리콘(SiON)막으로 형성함으로써, 반도체 장치의 신뢰성을 향상시킬 수 있게 된다.

제3 방법은, 산화 배리어용 절연막(15b1)을, 예를 들면 성막 처리에서 산화성이 낮은 N_2/O_2를 병용하고, 산소(특히 산화성이 높은 N_2O)를 저감시킨 가스 조건에서의 플라즈마 CVD법 등에 의해 퇴적된 PE-TMS(Canon 제조, 유전율=3.9) 등과 같은 산질화 실리콘(SiON)막 등으로 형성하는 방법이다. 이 경우도 절연막(15b1)은 구리의 확산을 억제하거나 또는 방지하는 기능을 갖고 있다.

산소를 저감시킨 가스 조건에서는, 예를 들면 트리메톡시실란(TMS) 가스와 N_2 가스와 O_2 가스와의 혼합 가스, 트리메톡시실란(TMS) 가스와 NH_3 가스와 O_2 가스와의 혼합 가스, 트리메톡시실란(TMS) 가스와 NH_3 가스와 N_2 가스와 O_2 가스와의 혼합 가스 또는 트리메톡시실란(TMS) 가스와 N_2O 가스와 NH_3 가스와의 혼합 가스 등을 예로 들 수 있다. 이 경우, N_2 가스나 NH_3 가스는 혼합 가스에서의 희석 가스로서의 역할을 갖고 있다.

이 경우의 절연막(15b1, 15b2)의 두께 및 질소의 함유율은, 상기 제2 방법에서 설명한 것과 동일하다. 절연막(15b1)의 성막 시의 처리실 내의 압력 및 플라즈마 CVD 장치의 상부 전극 및 하부 전극의 인가 전력은, 상기 제1, 2의 방법에서 설명한 것과 동일하다. 성막 처리 가스로서, 예를 들면 트리메톡시실란(TMS) 가스와 N_2 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, N_2 가스의 유량은, 예를 들면 4000㎤/min 정도 이하, O_2 가스의 유량은, 예를 들면 4000㎤/min 정도 이하이다. 또한, 트리메톡시실 란(TMS) 가스와 NH_3 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, NH_3 가스의 유량은 예를 들면 1500㎤/min 정도, O_2 가스의 유량은 예를 들면 4000㎤/min 정도이다. 트리메톡시실란(TMS) 가스와 NH_3 가스와 N_2 가스와 O_2 가스와의 혼합 가스를 이용한 경우의 트리메톡시실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, NH_3 의 가스 유량은, 예를 들면 1500㎤/min 정도 이하, N_2 가스의 유량은, 예를 들면 4000㎤/min 정도, O_2 가스의 유량은, 예를 들면 4000㎤/min 정도이다. 또한, 트리메톡시실란(TMS) 가스와 N_2O 가스와 NH_3 가스와의 혼합 가스를 이용한 경우의 트리메톡시실란 가스의 유량은, 예를 들면 75 150㎤/min 정도, N_2O 가스의 유량은, 예를 들면 4000㎤/min 정도, NH_3 가스의 유량은 예를 들면 1500㎤/min 정도이다. 또한, 절연막(15b2)의 성막 조건은 상기 제1, 2의 방법과 동일하다.

이 제3 방법의 응용으로서, 절연막(15b)의 전부를, 이 제3 방법으로 형성해도 된다. 즉, 절연막(15b)을, 상기 산소를 저감시킨 가스 조건에서의 플라즈마 CVD법 등에 의해 퇴적된 PE-TMS 등과 같은 산질화 실리콘(SiON)막의 단체막으로 형성해도 된다. 이 경우, 배선 캡용 절연막의 성막 처리에서 가스의 변경이나 그로 인한 제어를 없앨 수 있다. 이 때문에, 성막 제어를 용이하게 할 수 있다. 또한, 성막 처리 시간을 단축할 수 있다.

단, 상기한 설명에서는, 산질화 실리콘(SiON, 질소 함유율 1 8% 정도)막의 성막에서 트리메톡시실란 가스를 이용한 경우에 대해 설명했지만, 이것에 한정되는 것이 아니며 다양하게 변경 가능하다. 예를 들면 제1 방법의 절연막(15b2, 15d2)이나 상기 제2 방법의 절연막(15b1, 15b2, 15d1, 15d2)은 성막 처리에서, 예를 들면 모노실란, 디실란 또는 TEOS(Tetraethoxysilane) 중 선택된 가스와, 암모니아 가스와, 산소(또는 N_2O 혹은 오존(O_3)) 가스와의 혼합 가스 또는 이 혼합 가스에 질소를 도입한 혼합 가스를 이용해도 무방하다. 또한, 트리메틸 실란(3MS) 가스 또는 테트라메틸 실란(4MS) 가스 중 선택된 가스와, 산화질소(N_2O) 가스(또는 산화질소 가스 및 암모니아 가스(NH_3))와의 혼합 가스 혹은 이 혼합 가스에 질소(N_2) 가스, 질소(N_2) 가스 및 산소(O_2) 가스의 혼합 가스 또는 질소 가스, 산소 가스 및 암모니아 가스의 혼합 가스를 첨가한 혼합 가스를 이용해도 된다.

이들의 경우도 절연막(15b2) 하층에 산화 배리어용 절연막(15b1)을 형성함으로써, 도전성 배리어(17a) 노출부의 산화를 억제하거나 또는 방지할 수 있으므로, 구리의 확산을 억제하거나 또는 방지할 수 있어, TDDB 수명을 향상시킬 수 있다.

또, 매립 제2층 배선 L2의 측면에는, 도 13에 도시한 바와 같이, 하측에서 상측을 향하여 배선 폭이 점차로 넓어지는 테이퍼가 형성되어 있다. 이 매립 제2층 배선 L2의 측면과 절연막(11a)의 상면이 이루는 각 α는, 예를 들면 80° 90° 의 범위 내, 구체적으로는 예를 들면 88.7° 정도이다. 매립 제2층 배선 L2의 상부측의 폭(배선 홈(16a)의 상부측 폭) 및 상호 인접하는 매립 제2층 배선 L2의 상부 측의 간격(상호 인접하는 매립 제2층 배선 L2의 상부각 사이의 거리)은, 예를 들면 0.25㎛ 이하, 혹은 0.2㎛ 이하이다. 또한, 상호 인접하는 매립 제2층 배선 L2의 최소 인접 피치는, 예를 들면 0.5㎛ 이하이다. 배선 홈(16a)의 어스펙트비는 예를 들면 1이다.

이어서, 도 14는, 도 12 및 도 13에 계속되는 반도체 장치의 제조 공정 중에서의 도 5의 X1-X1선에 상당하는 부분의

단면도를 도시하고 있다. 여기에는, 매립 제3층 배선 L3이 예시되어 있다.

배선 캡용 절연막(15b) 위에는, 절연막(제7 절연막 : 11c)이 퇴적되어 있다. 절연막(11c)의 재료 및 형성 방법은, 상기 Low-K 재료로 구성되는 절연막(11a, 11b)과 동일하다. 이 절연막(11c) 위에는, 절연막(제8 절연막 : 12c)이 퇴적되어 있다. 절연막(12c)의 재료, 형성 방법 및 기능은 상기 절연막(12a, 12b)과 동일하다. 이 절연막(12c) 위에는, 절연막(제1 절연막 : 15c)이 퇴적되어 있다. 절연막(15c)의 재료, 형성 방법 및 기능은 상기 절연막(15a)과 동일하다. 이 절연막(15c) 위에는, 절연막(제7 절연막 : 11d)이 퇴적되어 있다. 절연막(11d)의 재료 및 형성 방법은, 상기 Low-K 재료로 구성되는 절연막(11a 11c)과 동일하다. 이 절연막(11d) 위에는, 절연막(제8 절연막 : 12d)이 퇴적되어 있다. 절연막(12d)의 재료, 형성 방법 및 기능은, 상기 절연막(12a 12c)과 동일하다.

이 절연막(15c, 11d, 12d)에는 평면 띠형상의 배선 홈(배선 개구부 : 16b)이 형성되어 있다. 이 배선 홈(16b) 내에는, 도전성 배리어막(17b) 및 주도체막(18b)이 매립되어 있으며, 이에 따라 매립 제3층 배선 L3이 형성되어 있다. 또한, 절연 막(제1 절연막 : 15b, 11c, 12c)에는 배선 홈(16b)의 저면으로부터 매립 제2층 배선 L2의 상면으로 연장되는 평면 대략 원 형상의 관통 홀(배선 개구부 : 19)이 형성되어 있다. 매립 제3층 배선 L3은 관통 홀(19) 내에 매립된 도전성 배리어막(17b) 및 주도체막(18b)를 통해 매립 제2층 배선 L2와 전기적으로 접속되어 있다. 이 매립 제3층 배선 L3은, 듀얼 다마신법에 의해 형성되어 있다. 즉, 절연막(15c, 11d, 12d)에 배선 홈(16b)을 형성하고, 절연막(15b, 11c, 12c)에 관통 홀(19)을 형성한 후, 상기 도전성 배리어막(제1 도체막 : 17b) 및 주도체막(제2 도체막 : 18b)을 순서대로 퇴적한다. 즉, 배선 홈(16b)과 관통 홀(19)을 동시에 도전성 배리어막(17b) 및 주도체막(18b)으로 매립한다. 도전성 배리어막(17b) 및 주도체막(18b)의 퇴적 방법은, 상기 매립 제2층 배선의 도전성 배리어막(17a) 및 주도체막(18a)과 동일하다. 또한, 도전성 배리어막(17b) 및 주도체막(18b)의 재료도 도전성 배리어막(17a) 및 주도체막(18a)과 동일하다. 그 후, 이 도전성 배리어막(17b) 및 주도체막(18b)을, 상기 매립 제2층 배선 L2의 형성과 동시에 CMP 법에 의해 연마함으로써, 매립 제3층 배선 L3을 형성한다.

이러한 절연막(12d) 및 매립 제3층 배선 L3 위에는, 배선 캡용 절연막(제2 절연막 및 제3 절연막, 제4 절연막 : 15d)이 퇴적되어 있다. 이 절연막(15d)은, 상기 절연막(15b)과 동일한 구조로 되어 있다. 즉, 절연막(15d)은 절연막(15d1, 15d2)의 적층 구조로 되어 있다. 절연막(12d) 및 매립 제3층 배선 L3에 접하는 절연막(제2 절연막, 제5 절연막 : 15d1)은, 상기 절연막(15b1)과 동일하다. 또한, 절연막(15d1) 위의 절연막(제3 절연막, 제6 절연막 : 15d2)은, 상기 절연막(15b2) 과 동일하다. 따라서, PE-TMS 등과 같은 산질화 실리콘(SiON)막의 퇴적 처리시에 매립 제3층 배선 L3의 도전성 배리어막(17b)의 산화를 억제하거나 또는 방지할 수 있으므로, 그 도전성 배리어막(17b)의 산화에 기인하여 주도체막(18b) 내의 구리가 확산되는 문제점을 억제하거나 또는 방지할 수 있어서, TDDB 수명을 향상시킬 수 있다. 또한, 배선 캡용 절연막(15d)의 대부분 또는 모두를 질화 실리콘막보다도 유전율이 낮은 재료로 형성함으로써, 배선 용량을 저감시킬 수 있으므로, 반도체 장치의 동작 속도를 향상시킬 수 있게 된다. 또한, 우수한 내습성을 갖는 PE-TMS 등을 매립 제3층 배선의 배선 캡용 절연막으로서 사용할 수 있으므로, 반도체 장치의 신뢰성을 향상시킬 수 있게 된다.

이와 같이, 본 실시예1에 따르면, 배선층의 절연막을 전체적으로 유전율이 낮은 재료로 형성할 수 있으므로, 전체적인 배선 용량을 저감시킬 수 있어, 구리로 이루어지는 매립 배선 구조를 갖는 반도체 장치의 동작 속도를 향상시킬 수 있게 된다.

단, 상기한 예에서는, CMP 후세정 처리중에 수소 어닐링을 실시하는 경우에 대해 설명했지만, 이것에 한정되는 것은 아니다. 예를 들면 CMP 후세정 처리 후의 건조 처리 후, 수소 어닐링 처리, 수소 플라즈마 처리, 암모니아 플라즈마 처리, 배선 캡막 형성 처리의 순으로 처리를 행해도 된다. 이 경우의 암모니아 플라즈마 처리와 수소 플라즈마 처리와의 순서는 반대라도 무방하다. 또한, 암모니아 플라즈마 처리만이라도 무방하다. 어떤 경우든 수소 어닐링의 조건으로는, 처리 온도는, 예를 들면 200 475℃, 바람직하게는 300℃ 정도, 처리 시간은 예를 들면 0.5 5분, 바람직하게는 2분 정도로 하였다. 이 방법은, 특히 매립 배선용 구리로 이루어지는 주도체막을 도금법으로 형성하는 경우에 적합하다. 또, 후세정 처리 중 또는 그 직전의 환원 처리에서 수소 어닐링을 행하지 않는 경우에 적합하다. 이와 같이 수소 어닐링 처리를 실시함으로써, 도금법에 의해 형성된 구리를 재결정화시킬 수 있으므로, 배선 저항을 저하시킬 수 있게 된다. 또, 이 수소 어닐링 처리를 행하지 않고 캡막을 퇴적하면, 열 응력에 의해 갭막의 박리가 발생하는 경우가 있지만, 수소 어닐링 처리를 실시함으로써, 그것을 억제하거나 또는 방지할 수 있다.

(실시예2)

본 실시예2에서는, 배선 캡용 절연막이 퇴적할 때에 매립 배선의 도전성 배리어막의 노출 부분이 산화되지 않도록 퇴적하기 위한 다른 방법을 설명한다. 여기서는, 환원성 플라즈마 처리의 제어 방법을 고안함으로써, 배선 캡용 절연막을 퇴적하는 방법을 설명한다.

본 발명자들이 상기 환원성 플라즈마 처리 및 배선 캡용 절연막의 성막시에 이용한 CVD 장치의 일례를 도 15에 도시한다. CVD 장치(20)는 평행 평판형의 플라즈마 CVD 장치로서, 상호 평행하게 배치된 하부 전극(제1 전극) LF 및 상

부 전극(제2 전극) HF를 갖고 있다. 하부 전극 LF 및 상부 전극 HF에는, 각각 고주파 전원 RFL, RFH가 전기적으로 접속되고, 고주파 전력을 인가할 수 있는 구조로 되어 있다. 웨이퍼(1W)는 그 주면을 상부 전극 HF 측을 향한 상태에서 하부 전극 LF 위에 배치된다. 처리 가스(예를 들면 환원성 플라즈마이면 H_2 나 NH_3 등, 성막 처리이면 상기 트리메톡시실란 가스, N_2O 가스 또는 NH_3 가스 등)는, 상부 전극 HF의 이면측의 가스 도입관을 통하여 상부 전극 HF의 하면(웨이퍼(1W)에 대향하는 면)으로부터 공급되는 구조로 되어 있다.

그런데, 본 발명자들의 연구에 따르면, 상기 구조의 CVD 장치(20)에서, 상기 배선 캡용 절연막을 퇴적할 때에, 상부 전극 HF 및 하부 전극 LF 양방에, 즉 하부 전극 LF 측에도 고주파 전력을 인가한 상태에서 성막 처리를 행하면, 활성화한 N_2O 등이 하부 전극 LF 측으로 인장되고, 매립 배선의 도전성 배리어막의 노출부에 직격된 결과, 도전성 배리어막이 더 산화될 가능성이 있는 것을 처음으로 발견하였다. 그 결과, 구리의 확산이 생기기 쉽다는 문제가 생긴다.

그래서, 본 실시예2에서는 도 16에 도시한 절연막(15b, 15d) 등과 같은 배선 캡용 절연막을, 다음과 같이 성막한다.

즉, 우선, 상기 환원성 플라즈마 처리(예를 들면 암모니아 플라즈마 처리)에 있어서, CVD 장치(20)의 하부 전극 LF에의 인가 전력을, 환원성 플라즈마 처리 시에 하부 전극 LF에 인가하는 통상의 전력(즉, 상부 전극 HF에 인가하는 전력으로 750W 정도)보다도 저하시키거나, 바람직하게는 0으로 한 상태에서 플라즈마 처리를 실시한다. 이에 따라, 매립 제2층 배선 L2, 매립 제3층 배선 L3 및 절연막(12b, 12d)의 상면(노출면, CMP 면)에 대하여 양호한 질화 처리가 실시된 결과, 이들 상면에 형성되는 질화막의 균일성을 향상시킬 수 있다. 또한, 도전성 배리어막(17a, 17b)의 상면(노출면, CMP 면)의 질화도 재촉할 수 있다.

이어서, 동일한 CVD 장치(20) 내에서 진공 상태를 유지한 상태에서 연속하여, CVD 장치(20)의 상부 전극 HF 및 하부 전극 LF의 양방에 고주파 전력을 인가한 상태에서, 예를 들면 트리메톡시실란(TMS, 화학식 : $SiH(OCH_3)_3$) 가스와 산화질소(N_2O) 가스와의 혼합 가스를 이용한 플라즈마 CVD 처리를 실시함으로써, 예를 들면 PE-TMS(Canon 제조, 유전율=3.9) 등과 같은 산질화 실리콘(SiON)막 등으로 이루어지는 배선 캡용 절연막(15b, 15d)의 단체막을 성막한다. 이 때, 본 실시예2에서는, 상기한 바와 같이 매립 제2층 배선 L2, 매립 제3층 배선 L3 및 절연막(12b, 12d)의 상면에 균일성이 좋은 질화막이 형성되고, 또한 도전성 배리어막(17a, 17b)의 상면도 질화되어 가드되기 때문에, 도전성 배리어막(17a, 17b)의 상면을 보호할 수 있으므로, 배선 캡용 절연막의 성막 시에, 그 도전성 배리어막(17a, 17b)의 노출부가 산화되는 것을 억제하거나 또는 방지할 수 있다.

상기 환원성 플라즈마 처리 및 성막 처리 시에 상부 전극 HF에 인가되는 고주파 전력의 주파수는, 예를 들면 13.56㎒이다. 또한, 환원성 플라즈마 처리 및 성막 처리 시에 상부 전극 HF에 인가되는 전력은, 예를 들면 500 1000W, 예를 들면 750W 정도이다. 또한, 성막 시에 하부 전극 LF에 인가되는 고주파 전력의 주파수는, 예를 들면 380㎑이다. 또한, 성막 시에 하부 전극에 인가되는 전력은, 예를 들면 1000W 이하, 예를 들면 750W 정도이다.

이와 같이 함으로써, 절연 내압 및 TDDB 수명을 향상시킬 수 있게 된다. 도 17은 CVD 장치(20)의 하부 전극 LF에 고주파 전력을 인가한 경우(○)와, 인가하지 않은 경우(■)에서의 전계 강도와 파괴 시간과의 관계의 그래프를 도시하고 있다. 또, 성막 처리 온도는, 예를 들면 140 ° 정도, 라인 앤드 스페이스 L/S는, 예를 들면 0.25㎛/0.25㎛ 정도, 빗살형 배선 L의 배선 길이는 예를 들면 40㎝ 정도이다. 성막 내에 하부 전극 LF에 고주파 전력을 인가하지 않는 경우가, 상호 인접하는 매립 배선간의 절연 파괴 내압을 +1VMV/㎝ 정도 향상시킬 수 있었다. 또한, TDDB 수명을 +2자릿수나 향상시킬 수 있었다.

또한, 본 실시예2에서는, 배선 캡용 절연막을 단체막으로 한 경우에 대해 설명했지만, 이것에 한정되는 것이 아니고, 예를 들면 배선 캡용 절연막을, 상기 실시예1에서 설명한 제1, 제2 방법(즉, 배선 캡용 절연막을 다층 구조로 하는 기술)에 의해 형성해도 된다. 이에 따라, 도전성 배리어막(17a, 17b)의 산화를 더 억제하거나 또는 방지할 수 있으므로, TDDB 수명을 더 향상시킬 수 있게 된다. 그 때의 처리 가스의 유량, 처리실 내의 압력도, 상기 실시예1에서 설명한 것과 동일하므로 설명을 생략한다.

(실시예3)

본 실시예3에서는 매립 배선의 상면을, 그 매립 배선이 형성된 절연막의 상면보다도 돌출되는 구조에 대하여 설명한다.

도 18은 본 실시예3의 반도체 장치의 주요부 단면도, 도 19는 도 18의 주요부 확대 단면도를 도시하고 있다. 여기서는, 배선층만을 도시하였다. 소자에 대해서는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예3에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면이 전 체적으로 절연막(12b, 12d)의 상면(CMP 면, 절연막(12b)과 절연막(15b)과의 접촉 계면, 절연막(12d)과 절연막(15d)과의 접촉 계면)보다도 상측으로 돌출되어 있다. 여기서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3을 구성하는 각각 도전성 배리어막(17a, 17b) 및 주도

체막(18a, 18b)의 양방의 상면, 특히 상부각이, 이것에 근접하는 절연막(12b, 12d)의 상면보다도 길이 d1만큼 상측으로 떨어져 있다. 즉, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면과, 각각 절연막(12b, 12d)의 상면 사이에 작은 단차가 생겨 있어서, 확산 계수가 높은 구리로 이루어지는 주도체막(18a, 18b)이 절연막(12b, 12d)의 상면(CMP 면)에 접하지 않도록 되어 있다. 이 길이 d1은, 예를 들면 50㎚ 이하, 본 실시예3에서는 예를 들면 10㎚ 정도이다.

이러한 구조를 형성하기 위해서는, 상기 CMP 처리 후세정 처리 후, 배선 캡용 절연막(15b, 15d)의 성막 처리(환원성 플라즈마 처리) 전에, 절연막(12b, 12d)의 상층부가 선택적으로 에칭 제거되는 조건으로 기판(1S)에 대하여 에칭 처리를 실시하면 된다. 이 경우, CMP 처리에 의해 손상을 받아, 화학적으로 불안정해져 있는 절연막(12b, 12d)의 상층부분을 에칭 제거하게 되므로, 이 에칭 처리 후의 절연막(12b, 12d)의 표면을, 화학적 안정성 및 청정도가 높은 상태로 할 수 있다. 이 때문에, 상호 인접하는 매립 제2층 배선 L2, L2 사이 및 매립 제3층 배선 L3, L3 사이에 누설 패스가 형성되는 것을 더 억제하거나 또는 방지하는 것이 가능해진다.

또한, 상기 산 세정 처리에서, 예를 들면 pH값, 약액 농도 또는 처리 시간 등을 소정의 값으로 설정함으로써, 절연막(12b, 12d)의 상층을 에칭 제거함으로써, 상기 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상부를 돌출시킬 수도 있다. 이 경우의 산 세정의 약액으로는, 예를 들면 불산(HF), 푸마르산 또는 유기산 등을 이용할 수 있다. 이 경우, 새롭게 에칭 공정을 추가하지 않아도 되므로, 제조 공정의 간략화 및 제조 시간의 단축이 가능해진다.

이러한 본 실시예3에서는, 상기 실시예1, 2의 효과가 얻어지는 것 외에, 이하의 효과를 얻을 수 있게 된다. 즉, 본 실시예3의 구조에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상부각의 전계 집중 영역 E1 내에 구리로 이루어지는 주도체막(18a, 18b)의 상부각이 존재하지만, 그 전계 집중 영역 E1을, 누설 패스가 형성되기 쉬운 절연막(12b, 12d)의 상면(CMP 면)으로부터 이격시킬 수 있다. 이 때문에, 만약 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상부각에 전계가 집중됨으로써 주도체막(18a, 18b)의 구리가 이온화되었다고 해도, 그 이온화된 구리가 절연막(12b, 12d)의 상면을 통하여 확산되는 현상을 더 억제하거나 또는 방지할 수 있다. 즉, 상기 전계 집중에 기인하는 구리의 확산을 억제하거나 또는 방지할 수 있어, 상호 인접하는 매립 제2층 배선 L2, L2 사이 및 매립 제3층 배선 L3, L3 사이에 누설 패스가 형성되는 것을 억제하거나 또는 방지하는 것이 가능해진다. 따라서, TDDB 수명을 더 향상시킬 수 있게 된다.

또, 매립 배선의 상면과 그 주위의 절연막 상면 사이에 단차를 발생시키는 기술에 대해서는, 본원 발명자에 의한 일본 특원2001-131941호(2001년 4월 27일 출원)에 기재되어 있다.

(실시예4)

본 실시예4에서는, 상기 실시예3의 구조에서 Low-K 재료로 이루어지는 절연막 위에 절연 캡용 절연막을 형성하지 않는 구조에 대하여 설명한다.

도 20은 본 실시예4의 반도체 장치의 주요부 단면도, 도 21은 도 20의 주요부 확대 단면도를 도시하고 있다. 여기서는, 배선층만을 도시하였다. 소자에 대해서는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예4에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면이 전체적으로 절연막(11b, 11d)의 상면(CMP 면, 절연막(11b)과 절연막(15b)과의 접촉 계면, 절연막(11d)과 절연막(15d)과의 접촉 계면)보다도 상측으로 돌출되어 있음과 함께, Low-K 재료로 이루어지는 절연막(11b, 11c, 11d)과 각각 절연막(15b, 15c, 15d) 사이에 절연 캡용 절연막이 개재되어 있지 않다. 즉, 절연막(15b, 15c, 15d)이 각각 Low-K 재료로 이루어지는 절연막(11b, 11c, 11d)에 직접 접한 상태에서 퇴적되어 있다. 단, 이러한 절연 캡용 절연막을 형성하지 않는 구조에서는, 상기 절연막(11b, 11d)의 재료로서, 예를 들면 FSG(SiOF계 재료), HSQ(hydrogen silsesquioxane)계 재료 및 다공성 HSQ계 재료를 이용하지 않는 것이 더 바람직하다. 이 외의 구조는, 상기 실시예3과 기본적으로 동일하다. 이러한 구조로 함으로써, 본 실시예4에서는 상기 실시예3의 효과를 얻을 수 있는 것 외에, 이하의 효과를 얻을 수 있게 된다. 즉, 절연 캡용 절연막을 형성하지 않음으로써, 배선 용량을 더 저감시킬 수 있으므로, 반도체 장치의 동작 속도를 더 향상시킬 수 있게 된다.

또한, 본 실시예4에서는 절연막(11b, 11d)의 상층을 상기 수소 플라즈마 처 리 및 암모니아 플라즈마 처리에 의해 약간 에칭 제거하도록 하였다. 이에 따라, 본 실시예4의 구조를 형성할 때에 새로운 에칭 공정을 추가하지 않고, 공정 사이의 반송도 불필요하게 할 수 있으므로, 반도체 장치의 제조 공정의 간략화가 가능해진다. 또한, 이물의 부착 등을 저감시킬 수 있으므로, 반도체 장치의 신뢰성 및 수율을 향상시킬 수 있게 된다. 단, 이러한 에칭 방법을 채용할 때에, 절연막(11b, 11d)의 재료로서, 상기 MSQ를 이용한 경우에는 상기 수소 플라즈마 처리 또는 암모니아 플라즈마 처리 중 적어도 한쪽의 처리 가스 내에, 예를 들면 C_4F_8 등과 같은 카본 플로라이드계 가스(불소(F)를 포함하는 가스)를 첨가한다. 이와 같이 하지 않으면, 절연막(11b, 11d)의 상층을 에칭 제거할 수 없기 때문이다. 또, 이러한 단차 구조를 채용하는 것을 고려하여, 미리 배선 홈(16a, 16b)의 깊이(절연막(15a, 11b, 12b)의 총 두께, 절연막(15c, 11d, 12d)의 총두께)을 단차 형상을 채용하지 않은 경우보다도 약간 깊게(두껍게) 한다.

또, 절연 캡용 절연막을 형성하지 않고, 환원성 플라즈마 처리 시에 Low-K 재료로 이루어지는 절연막의 상층을 약간 에칭 제거하고, 매립 배선의 상부를 돌출시키는 기술 및 절연 캡용 절연막을 형성하지 않아도 되는 이유에 대해서는, 본원 발명자에 의한 일본 특원2001-316557호(2001년 10월 15일 출원)에 기재되어 있다.

(실시예5)

본 실시예5에서는, 매립 배선의 상면을 그 매립 배선이 형성된 절연막의 상면보다도 우묵하게 들어가게 하는 구조에 대하여 설명한다.

도 22는 본 실시예5의 반도체 장치의 주요부 단면도, 도 23은 도 22의 주요부 확대 단면도를 도시하고 있다. 여기서는, 배선층만을 도시하였다. 소자에 대해서는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예5에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면이 전체적으로 절연막(12b, 12d)의 상면(CMP 면, 절연막(12b)과 절연막(15b)과의 접촉 계면, 절연막(12d)과 절연막(15d)과의 접촉 계면)보다도 하방으로 우묵하게 들어가 있다. 여기서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3을 구성하는 각각 도전성 배리어막(17a, 17b) 및 주도체막(18a, 18b) 양방의 상면, 특히 상부각이 이것에 근접하는 절연막(12b, 12d)의 상면보다도 길이 d1만큼 하방으로 이격되어 있다. 즉, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면과, 각각 절연막(12b, 12d)의 상면 사이에 작은 단차가 생겨 있어서, 확산 계수가 높은 구리로 이루어지는 주도체막(18a, 18b)이 절연막(12b, 12d)의 상면(CMP 면)에 접하지 않도록 되어 있다.

본 실시예5와 같은 구조를 형성하기 위해서는, 상기 CMP 처리 후세정 처리 후, 배선 캡용 절연막(15b, 15d)의 성막 처리(환원성 플라즈마 처리) 전에, 도전성 배리어막(17a, 17b) 및 주도체막(18a, 18b)이 선택적으로 에칭되는 조건에서 기판(1S)에 대하여 에칭 처리를 실시하면 된다. 이 외에는, 상기 실시예1, 2와 동일하다.

이러한 본 실시예5에 따르면, 상기 실시예1, 2의 효과를 얻을 수 있는 것 외에, 상기 실시예3과 마찬가지의 작용으로 마찬가지의 효과를 얻을 수 있게 된다.

(실시예6)

본 실시예6에서는, 상기 실시예5의 구조에서 Low-K 재료로 이루어지는 절연막 위에 절연 캡용 절연막을 형성하지 않는 구조에 대하여 설명한다.

도 24는 본 실시예6의 반도체 장치의 주요부 단면도, 도 25는 도 24의 주요부 확대 단면도를 도시하고 있다. 여기서는, 배선층만을 도시하였다. 소자에 대해서는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예6에서는, 상기 실시예5의 배선 구조와, 상기 실시예4의 절연막 구조를 조합한 것이다. 즉, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상면이 전체적으로 절연막(11b, 11d)의 상면(CMP 면)보다도 하방으로 우묵하게 들어가 있음과 함께, 절연막(15b, 15c, 15d)이 각각 Low-K 재료로 이루어지는 절연막(11b, 11c, 11d)에 직접 접한 상태에서 퇴적되어 있다. 이 경우도, 상기 절연막(11b, 11d)의 재료는, 상기 실시예4에서 설명한 것과 동일하다. 이러한 구조로 함으로써, 본 실시예6에서는, 상기 실시예5의 효과가 얻어지는 것 외에, 상기 실시예4와 마찬가지의 효과를 얻을 수 있게 된다.

또한, 본 실시예6에서도, 상기 실시예4와 마찬가지로, 절연막(11b, 11d)의 상층을 상기 수소 플라즈마 처리 및 암모니아 플라즈마 처리에 의해 약간 에칭 제거하도록 하였다. 절연막(11b, 11d)의 재료로서, 상기 MSQ를 이용한 경우의 상기 수소 플라즈마 처리 또는 암모니아 플라즈마 처리 중 적어도 한쪽의 처리 가스에 대해서도 상기 실시예4와 동일하다. 이에 따라, 상기 본 실시예4와 제조 공정 상의 마찬가지의 효과를 얻을 수 있게 된다.

(실시예7)

본 실시예7에서는, 매립 배선의 상면을 그 매립 배선이 형성된 절연막의 상면보다도 우묵하게 들어가게 하는 구조의 다른 일례에 대하여 설명한다.

도 26은 본 실시예7의 반도체 장치의 주요부 확대 단면도를 도시하고 있다. 매립 배선 상부의 주요부 확대도만을 도시하였다. 매립 배선의 전체 구조 및 소자는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예7에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3 내의 주도체막(18a, 18b)의 상면만이 절연막(12b, 12d)의 상면(CMP면, 절연막(12b)과 절연막(15b)과의 접촉 계면, 절연막(12d)과 절연막(15d)과의 접촉 계면)보다도 하방으로 우묵하게 들어가 있으며, 도전성 배리어막(17a, 17b)의 상면은 절연막(12b, 12d)의 상면과 거의 동일한 상태

로 되어 있다. 즉, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 주도체막(18a, 18b)의 상면과, 각각 절연막(12b, 12d) 상면 사이에 작은 단차가 생겨 있어서, 확산 계수가 높은 구리로 이루어지는 주도체막(18a, 18b)이 절연막(12b, 12d)의 상면(CMP 면)에 접하지 않도록 되어 있다.

이러한 본 실시예7에서는, 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 상부각에서 전계가 집중하는 영역 E1로부터 매립 제2층 배선 L2 및 매립 제3층 배선 L3의 구리로 이루어지는 주도체막(18a, 18b)의 상부각이 이격되어 있음으로써, 전계 집중에 기인하는 구리의 확산을 억제하거나 또는 방지할 수 있으므로, 인접 매립 배선간에서 생기는 누설 전류를 억제하거나 또는 방지할 수 있고, TDDB 수명을 더 향상시키는 것이 가능하게 되어 있다.

이러한 본 실시예7과 같은 구조를 형성하기 위해서는, 상기 CMP 처리 후세정 처리 후, 배선 캡용 절연막(15b, 15d)의 성막 처리(환원성 플라즈마 처리) 전에, 주도체막(18a, 18b)이 선택적으로 에칭되는 조건에서 기판(1S)에 대하여 에칭 처리를 실시하면 된다. 이 외에는, 상기 실시예1, 2와 동일하다.

이러한 본 실시예7에 따르면, 상기 실시예1, 2의 효과가 얻어지는 것 외에, 상기 실시예3과 마찬가지의 효과를 얻을 수 있게 된다.

(실시예8)

본 실시예8에서는, 상기 실시예7의 구조에서 Low-K 재료로 이루어지는 절연막 위에 절연 캡용 절연막을 형성하지 않는 구조에 대하여 설명한다.

도 27은 본 실시예8의 반도체 장치의 주요부 확대 단면도를 도시하고 있다. 또한, 본 실시예8의 특징 부분 이외의 배선 구조는 도 20과 동일하다. 또한, 소자는 상기 실시예1에서 이용한 도 14 등과 동일하다.

본 실시예8은 상기 실시예7의 배선 구조와 상기 실시예4의 절연막 구조를 조합한 것이다. 즉, 매립 제2층 배선 L2 및 매립 제3층 배선 L3 내의 주도체막(18a, 18b)의 상면만이 절연막(11b, 11d)의 상면(CMP 면)보다도 하방으로 우묵하게 들어가 있음과 함께, 절연막(15b, 15c, 15d)이 각각 Low-K 재료로 이루어지는 절연막(11b, 11c, 11d)에 직접 접한 상태에서 퇴적되어 있다. 이 경우도, 상기 절연막(11b, 11d)의 재료는, 상기 실시예4에서 설명한 것과 동일하다. 이러한 구조로 함으로써, 본 실시예8에서는, 상기 실시예7의 효과가 얻어지는 것 외에, 상기 실시예4와 마찬가지의 효과를 얻을 수 있게 된다.

또한, 본 실시예8에서도 상기 실시예4와 같이 절연막(11b, 11d)의 상층을 상 기 수소 플라즈마 처리 및 암모니아 플라즈마 처리에 의해 약간 에칭 제거하도록 하였다. 절연막(11b, 11d)의 재료로서, 상기 MSQ를 이용한 경우에 대한 처리 가스에 대해서도 상기 실시예4와 동일하다. 이에 따라, 상기 본 실시예4와 제조 공정 상의 마찬가지의 효과를 얻을 수 있게 된다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니며, 그 요지를 일탈하지 않은 범위에서 다양하게 변경 가능한 것은 물론이다.

상기 실시예1 8에서는, 캡막을 후처리(플라즈마 처리) 후에 진공 파괴하지 않고 연속적으로 형성하는 경우에 대해 설명했지만, 후처리 후, 일단 진공 파괴를 하고, 그 후 캡막을 형성해도 된다. 진공 파괴하지 않은 것이 본 발명의 효과를 보다 더 효과적으로 발휘할 수 있지만, 후처리에서의 암모니아 플라즈마 처리에 의해 얇은 질화층이 형성되기 때문에, 진공 파괴를 행하고 대기 분위기에 폭로시켜도 산화층의 형성을 억제할 수 있다. 따라서, 진공 파괴한 경우에도 본 실시예의 효과를 어느 정도 발휘할 수 있다.

또한, 상기 실시예1 8에서는 Low-K 재료를 층간 절연막 재료로서 이용한 경우에 대해 설명했지만, 이것에 한정되는 것이 아니며, 본 발명의 기술 사상은 산화 실리콘막을 층간 절연막으로 하는 일반적인 매립 배선 구조에도 적용할 수 있다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용 분야인 CMIS 회로를 갖는 반도체 장치 기술에 적용한 경우에 대해 설명했지만, 그것에 한정되는 것이 아니며, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 플래시 메모리(EEPROM ; Electric Erasable Programmable Read Only Memory) 또는 FRAM (Ferroelectric Random Access Memory) 등과 같은 메모리 회로를 갖는 반도체 장치, 마이크로 프로세서 등과 같은 논리 회로를 갖는 반도체 장치 또는 상기 메모리 회로와 논리 회로를 동일 반도체 기판에 형성하고 있는 혼재형 반도체 장치에도 적용할 수 있다. 본 발명은, 적어도 매립 구리 배선 구조를 갖는 반도체 장치, 반도체 집적 회로 장치, 전자 회로 장치, 전자 장치 또는 마이크로머신 등에 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

즉, 구리를 주배선 재료로 하는 배선의 도전성 배리어막이 산화되지 않도록 배선 캡용 절연막을 형성함으로써, 도전성 배리어막의 산화에 기인하는 구리의 확산 배리어성의 열화를 억제하거나 또는 방지할 수 있으므로, 구리를 주배선 재료로 하는 배선간의 절연 파괴 내성을 향상시킬 수 있고, 그 배선 구조의 TDDB 수명을 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법

청구항 2.
제1항에 있어서,

상기 제2 절연막이 질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3.
제1항에 있어서,

상기 제2 절연막이 탄화 실리콘막 또는 탄질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4.
제1항에 있어서,

상기 제3 절연막은 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것 특징으로 하는 반도체 장치의 제조 방법.

청구항 5.
제1항에 있어서,

상기 제2 절연막의 두께는 상기 제3 절연막보다도 얇은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 상기 제1 도체막이 산화하지 않는 조건 하에서 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7.
제6항에 있어서,

상기 제2 절연막은, 트리메톡시실란 가스와 질소 가스 또는 암모니아 가스와의 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.
제6항에 있어서,

상기 제3 절연막은, 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9.
제6항에 있어서,

상기 제2 절연막은, 트리메톡시실란 가스와 질소 가스 또는 암모니아 가스와의 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지며,

상기 제3 절연막은, 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10.
제6항에 있어서,

상기 제2 절연막의 두께는 상기 제3 절연막보다도 얇은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 산소를 포함하는 가스 및 희석 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에, 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12.
제11항에 있어서,

상기 제2 절연막은, 트리메톡시실란과, 산소를 포함하는 가스와, 희석 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13.
제12항에 있어서,

상기 희석 가스는 질소 가스 또는 암모니아 가스인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14.
제12항에 있어서,

상기 제2 절연막의 성막 시에 이용하는 산소를 포함하는 가스는, 산소 또는 산화 질소인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15.
제11항에 있어서,

상기 제3 절연막은, 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.
제11항에 있어서,

상기 제2 절연막은 트리메톡시실란과, 산소를 포함하는 가스와, 희석 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지며,

상기 제3 절연막은 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.
제11항에 있어서,

상기 제2 절연막의 두께는 상기 제3 절연막보다도 얇은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 배선에 대하여 환원성 플라즈마 처리하는 공정,

(d) 상기 제1 절연막 및 배선 상에 제4 절연막을 퇴적하는 공정을 포함하고,

상기 환원성 플라즈마 처리에서, 상기 웨이퍼를 유지하는 제1 전극에 대하여 인가하는 제1 전력은, 상기 웨이퍼에 대향하는 제2 전극에 인가하는 제2 전력보다도 낮거나 또는 영인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.
제18항에 있어서,

상기 제4 절연막은, 트리메톡시실란 가스와 산화질소 가스를 포함하는 혼합 가스를 이용한 플라즈마 화학 기상 성장법에 의해 형성된 산질화 실리콘막의 단체막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20.
제18항에 있어서,

상기 제4 절연막은, 상기 배선 및 제1 절연막 위에 퇴적된 제5 절연막 및 그 위에 퇴적된 제6 절연막을 포함하며, 상기 제5 절연막은 트리메톡시실란 가스와 질소 가스 또는 암모니아 가스와의 혼합 가스를 이용한 플라즈마 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21.
제20항에 있어서,

상기 제6 절연막은, 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 플라즈마 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이 루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22.
제20항에 있어서,

상기 제5 절연막의 두께는 상기 제6 절연막보다도 얇은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23.
제18항에 있어서,

상기 제4 절연막은, 상기 배선 및 제1 절연막 위에 퇴적된 제5 절연막 및 그 위에 퇴적된 제6 절연막을 포함하고, 상기 제5 절연막은, 트리메톡시실란과, 산소를 포함하는 가스와, 희석 가스를 포함하는 혼합 가스를 이용한 플라즈마 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24.
제23항에 있어서,

상기 희석 가스는, 질소 가스 또는 암모니아 가스인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25.
제23항에 있어서,

상기 제5 절연막의 형성 시에 이용하는 산소를 포함하는 가스는, 산소 또는 산화 질소인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26.
제23항에 있어서,

상기 제6 절연막은, 트리메톡시실란 가스 및 산화질소 가스를 포함하는 혼합 가스를 이용한 플라즈마 화학 기상 성장법에 의해 형성된 산질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27.
제23항에 있어서,

상기 제5 절연막의 두께는 상기 제6 절연막보다도 얇은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 상기 제1 절연막의 상면에 대하여 단차를 갖는 상면 높이를 갖고, 또한 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29.
제28항에 있어서,

상기 (b) 공정은,

상기 배선 개구부 내를 포함하는 상기 제1 절연막 위에, 상기 제1 도체막 및 상기 제2 도체막을 순서대로 퇴적하는 공정,

상기 제1, 제2 도체막을 연마함으로써, 상기 배선 개구부 내에 배선을 형성하는 공정,

상기 배선의 상면이, 상기 제1 절연막의 상면보다도 낮아지도록, 상기 배선의 상부를 선택적으로 에칭 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30.
제28항에 있어서,

상기 (b) 공정은,

상기 배선 개구부 내를 포함하는 상기 제1 절연막 위에, 상기 제1 도체막 및 상기 제2 도체막을 순서대로 퇴적하는 공정,

상기 제1, 제2 도체막을 연마함으로써, 상기 배선 개구부 내에 배선을 형성하는 공정,

상기 배선의 상면이, 상기 제1 절연막의 상면보다도 높아지도록, 상기 제1 절연막의 상부를 선택적으로 에칭 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 배선에 대하여 환원성 플라즈마 처리를 실시하는 공정,

(d) 상기 (c) 공정 후, 상기 제1 절연막 및 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32.
제31항에 있어서,

상기 환원성 플라즈마 처리는, 암모니아 가스 분위기 내에서의 플라즈마 처리인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 33.
제31항에 있어서,

상기 환원성 플라즈마 처리는, 수소 가스 분위기 내에서의 플라즈마 처리인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34.
제31항에 있어서,

상기 환원성 플라즈마 처리는, 수소 가스 분위기 내에서 플라즈마 처리를 실시하는 공정과, 암모니아 가스 분위기 내에서 플라즈마 처리를 실시하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35.
제31항에 있어서,

상기 환원성 플라즈마 처리 후, 대기에 개방하지 않고 연속적으로, 상기 제2 절연막 및 제3 절연막을 상기 제1 절연막 및 상기 배선 위에 퇴적하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 36.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에, 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정을 포함하고,

상기 제1 절연막의 형성 공정은, 제1 유전율을 갖는 제7 절연막을 퇴적하는 공정과, 상기 제7 절연막 위에 상기 제1 유전율보다도 높은 제2 유전율을 갖는 제8 절연막을 퇴적하는 공정을 포함하고,

상기 제8 절연막 위에 상기 제2 절연막을 퇴적하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 37.
제36항에 있어서,

상기 제7 절연막은, 산화 실리콘막보다도 유전율이 낮은 유기계 절연막으로 이루어지며, 상기 제8 절연막은 산화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 38.
(a) 웨이퍼 위에 퇴적된 제1 절연막에 배선 개구부를 형성하는 공정,

(b) 상기 배선 개구부 내에, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선을 형성하는 공정,

(c) 상기 제1 절연막 및 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막을 퇴적한 후, 상기 제2 절연막 위에, 산소를 포함하는 가스를 이용한 화학 기상 성장법에 의해 제3 절연막을 퇴적하는 공정을 포함하고,

상기 제1 절연막의 형성 공정은, 산화 실리콘막보다도 유전율이 낮은 유기계 절연막을 퇴적하는 공정을 포함하며,

상기 유기계 절연막 위에 상기 제2 절연막을 퇴적하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 39.
(a) 제1 절연막에 형성된 배선 개구부,

(b) 상기 배선 개구부 내에 매립되도록 형성되고, 구리의 확산에 대하여 배리어성을 갖는 제1 도체막 및 구리를 주성분으로 하는 제2 도체막을 포함하는 배선,

(c) 상기 제1 절연막 및 상기 배선 위에, 상기 제1 도체막을 산화로부터 보호하는 제2 절연막,

(d) 상기 제2 절연막 위에 적층된 산질화 실리콘막으로 이루어지는 제3 절연막

을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 40.
제39항에 있어서,

상기 제2 절연막이 질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 41.
제39항에 있어서,

상기 제2 절연막이 탄화 실리콘막 또는 탄질화 실리콘막으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 42.
제39항에 있어서,

상기 제2 절연막의 두께는 상기 제3 절연막보다도 얇은 것을 특징으로 하는 반도체 장치.

청구항 43.
제39항에 있어서,

상기 배선의 상면 높이와 상기 제1 절연막의 상면 높이와의 사이에 단차가 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 44.
제39항에 있어서,

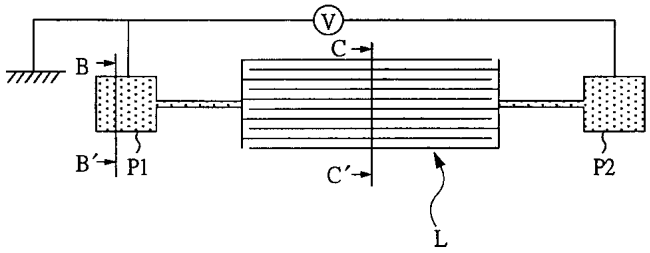
상기 배선의 상면 높이가 상기 제1 절연막의 상면 높이보다도 높은 것을 특징으로 하는 반도체 장치.

청구항 45.
제39항에 있어서,

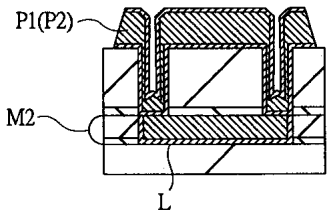
상기 배선의 상면 높이가 상기 제1 절연막의 상면 높이보다도 낮은 것을 특징으로 하는 반도체 장치.

도면

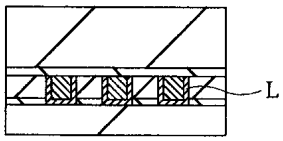
도면1



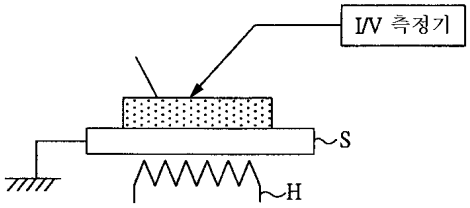
도면2



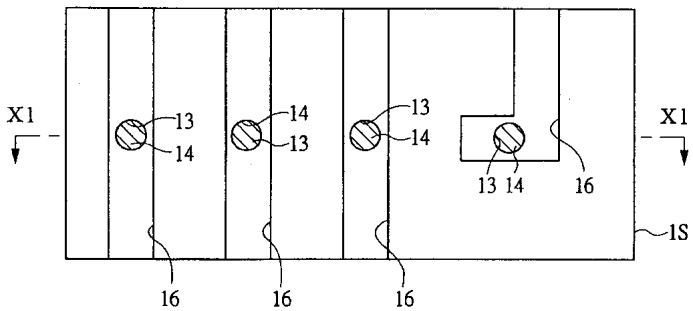
도면3



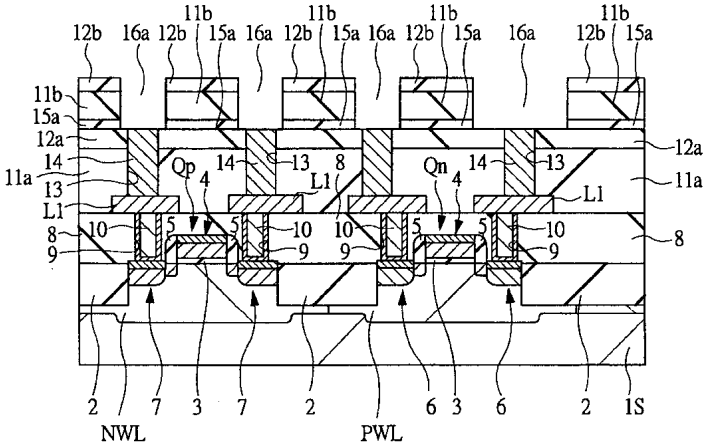
도면4



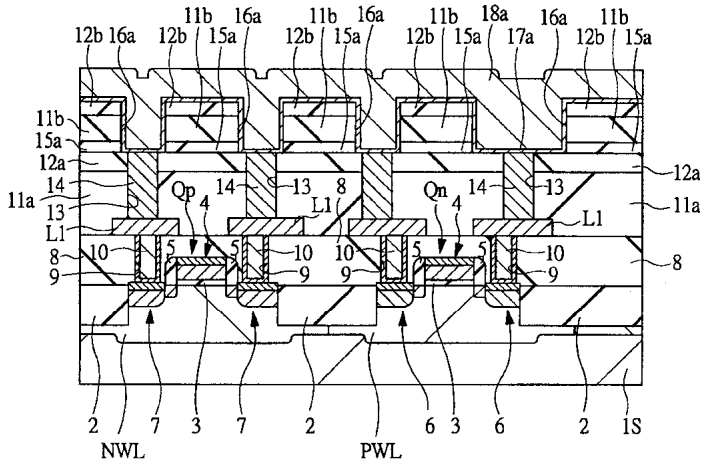
도면5



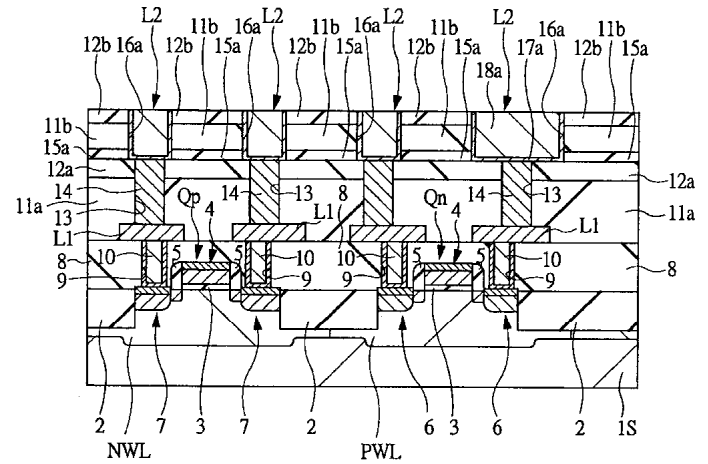
도면6


12b 16a 12b 11b 15a 16a 12b 11b 15a 16a 12b 11b 15a 16a 12b 11b 15a
11b
15a
12a
14
11a
13
L1
8
9
Qp
Qn
4
5
10
13
14
L1
2 7 3 7 2 6 3 6 2 1S
NWL
PWL

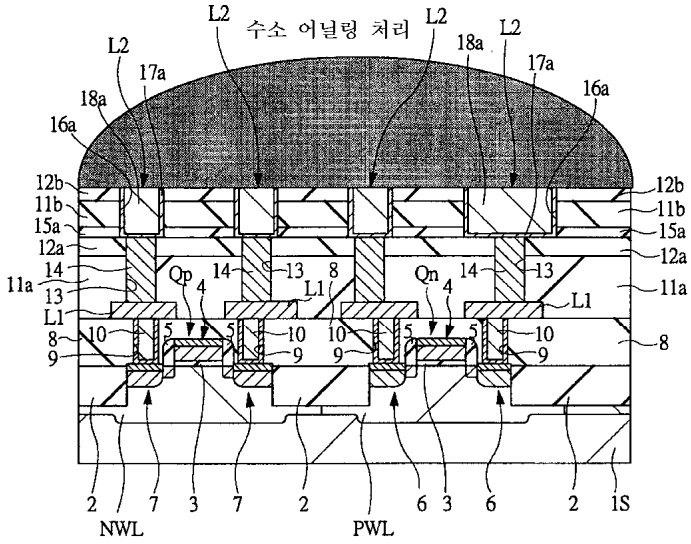
도면7


12b 16a 12b 11b 15a 16a 12b 11b 15a 16a 12b 11b 15a 18a 17a 16a 12b 11b 15a
11b
15a
12a
14
11a
13
L1
8
9
Qp
Qn
4
5
10
13
14
L1
2 7 3 7 2 6 3 6 2 1S
NWL
PWL

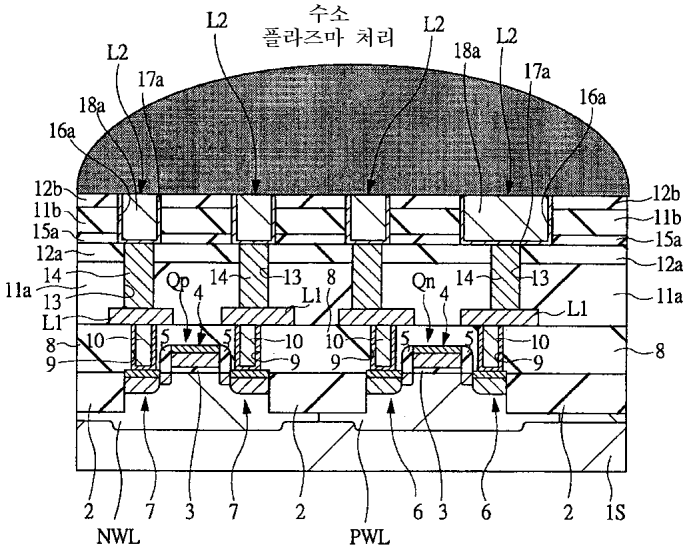
도면8


L2
12b 16a 12b 11b 15a 16a L2 12b 11b 15a 16a L2 12b 11b 15a L2 18a 17a 16a 12b 11b 15a
11b
15a
12a
14
11a
13
L1
8
9
Qp
Qn
4
5
10
13
14
L1
2 7 3 7 2 6 3 6 2 1S
NWL
PWL

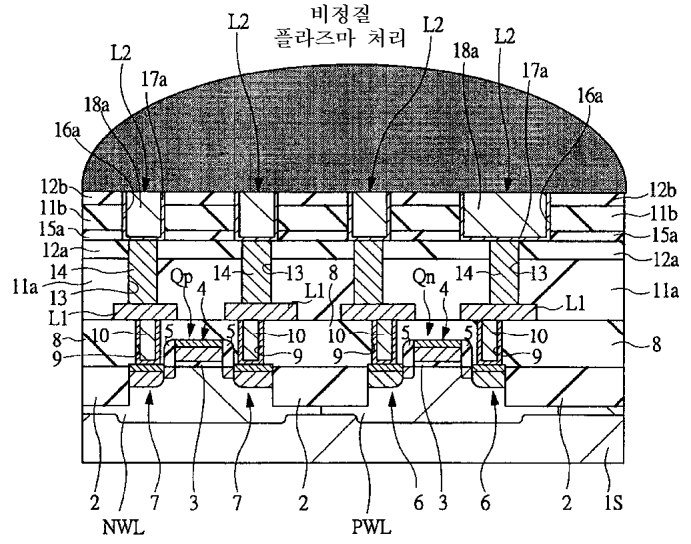
도면9



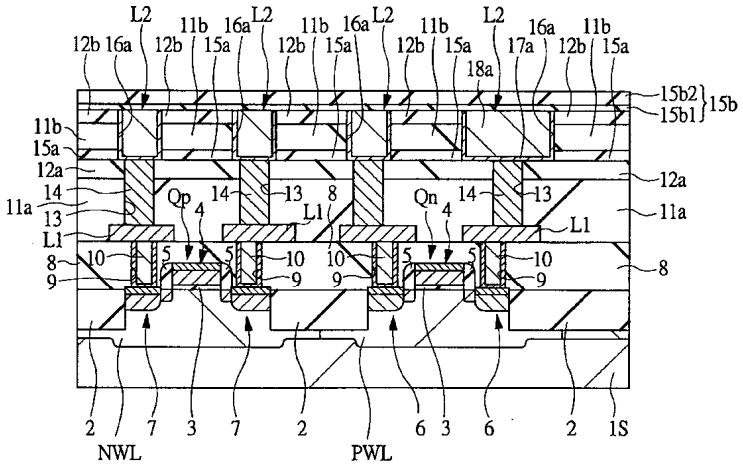
도면10



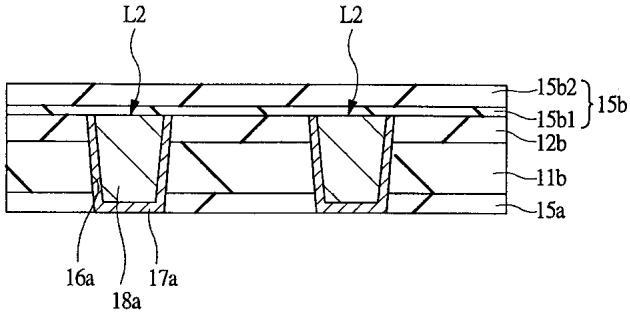
도면11



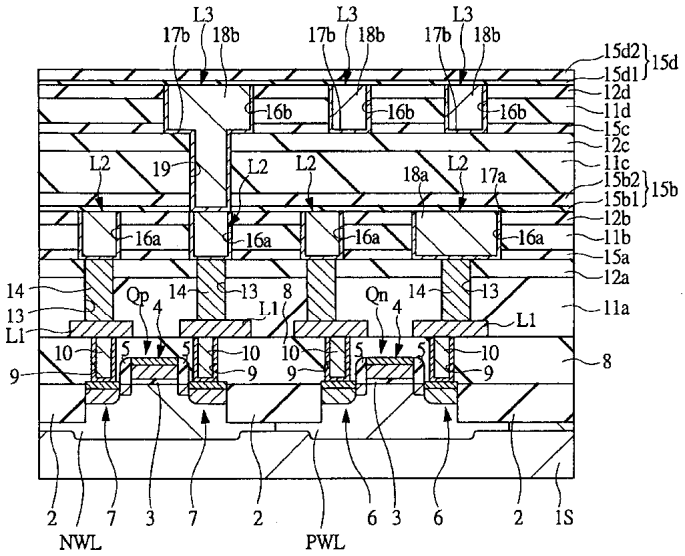
도면12



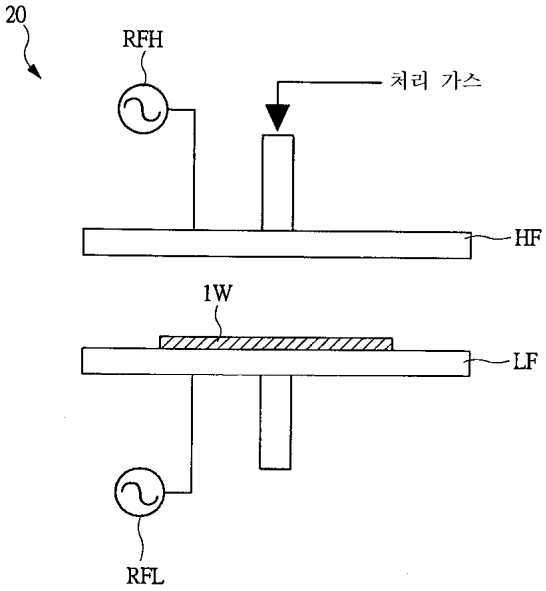
도면13



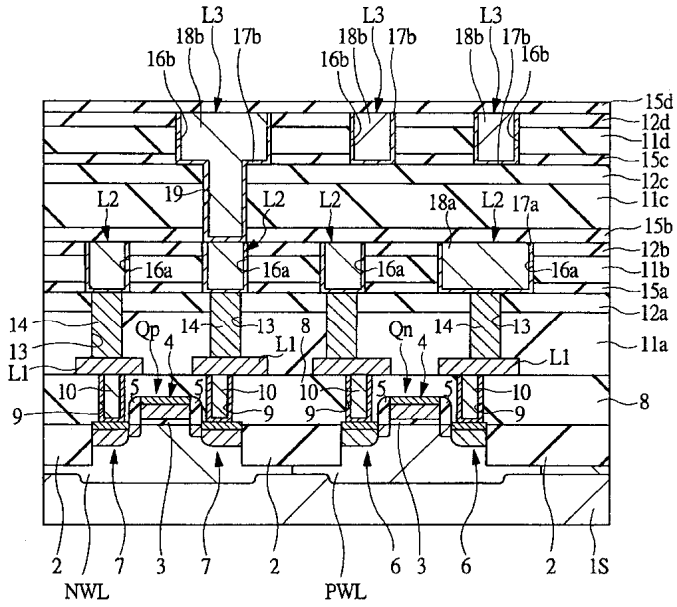
도면14



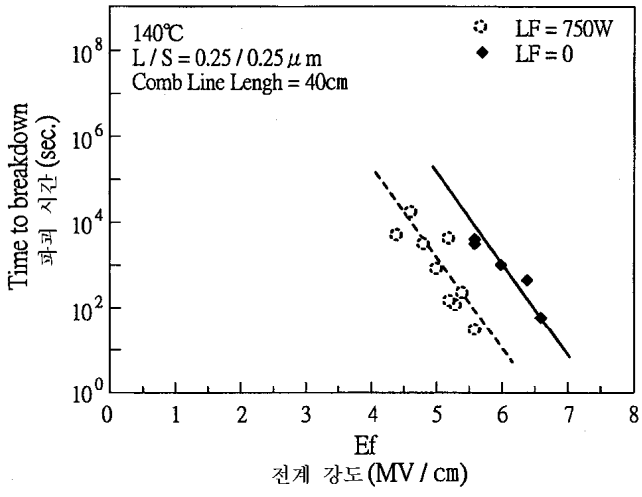
도면15



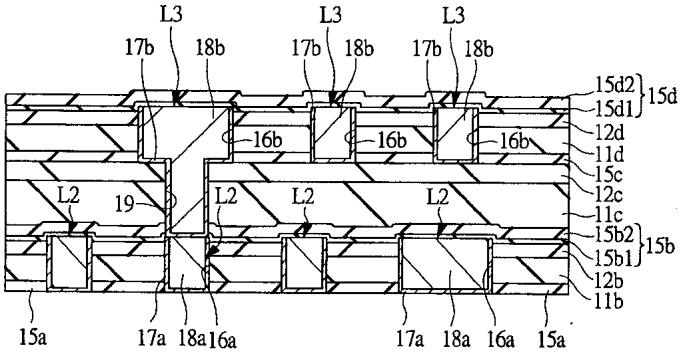
도면16



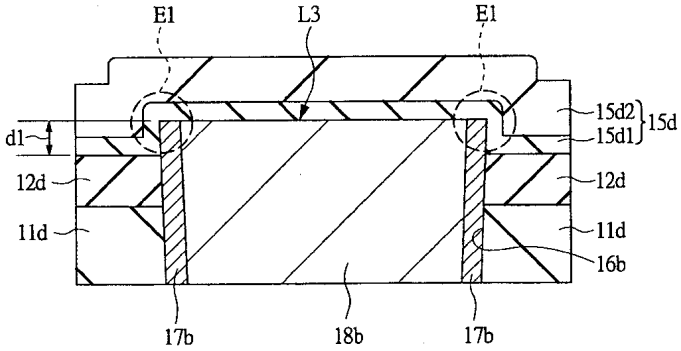
도면17



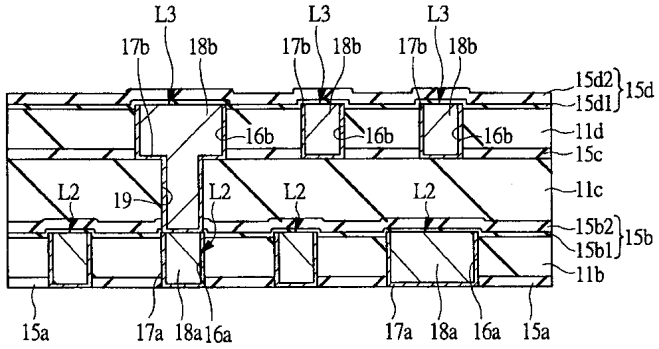
도면18



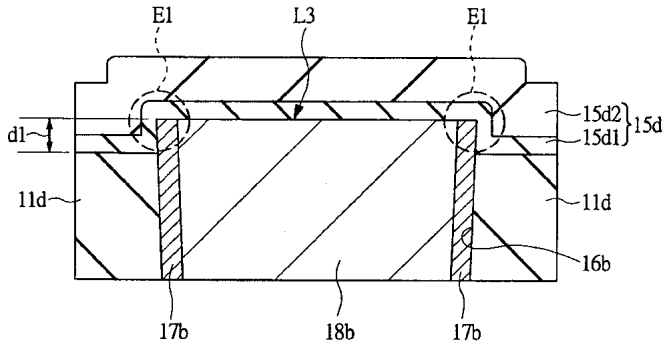
도면19



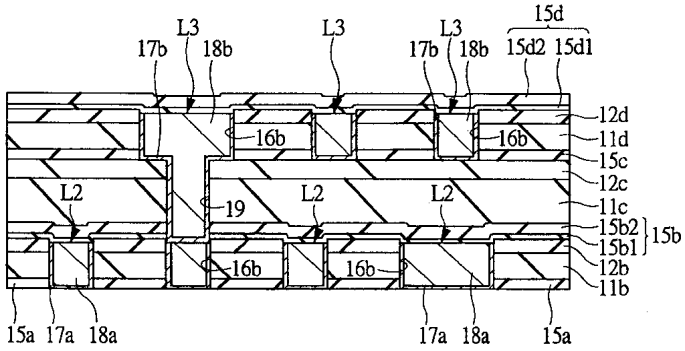
도면20



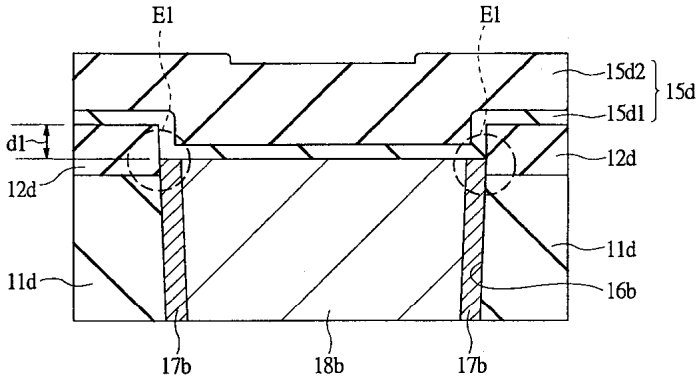
도면21



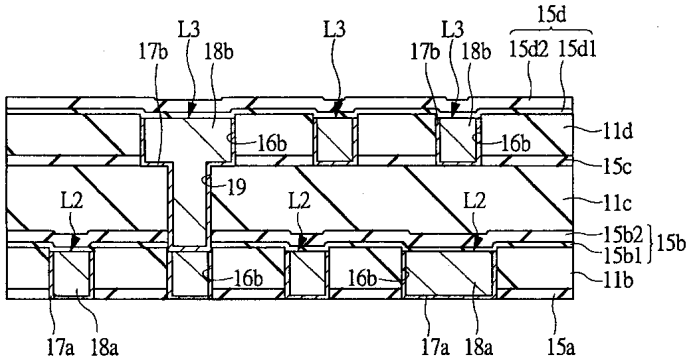
도면22



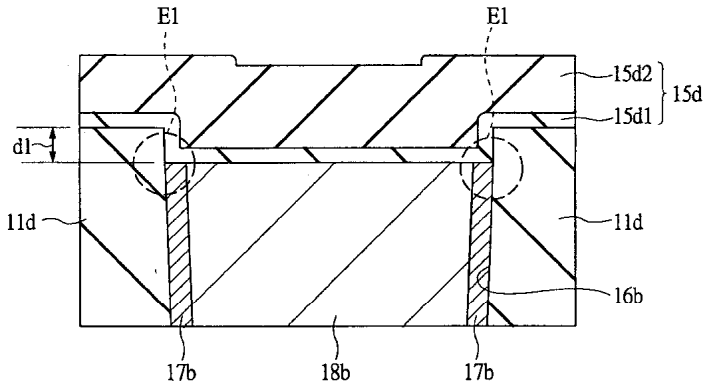
도면23



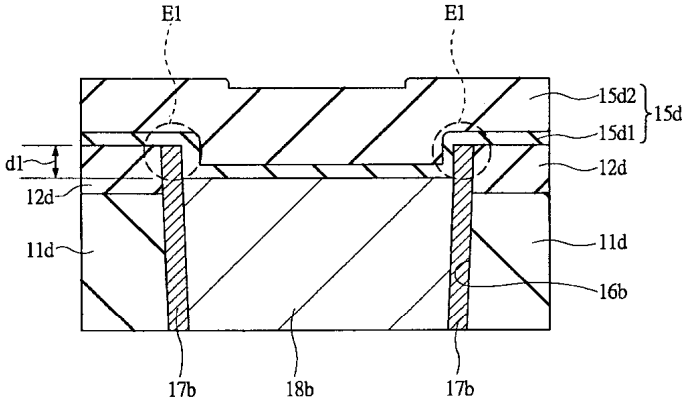
도면24



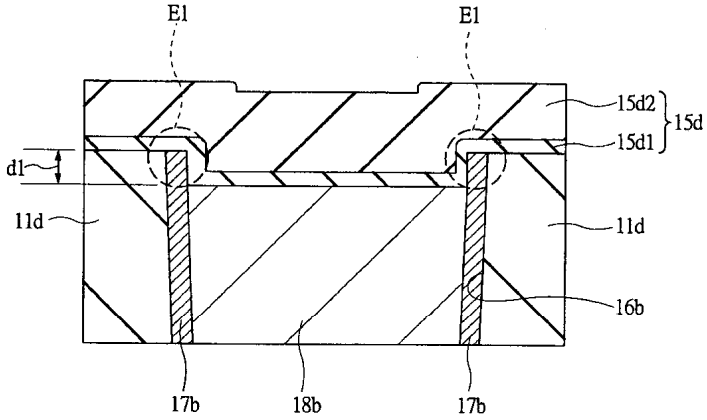
도면25



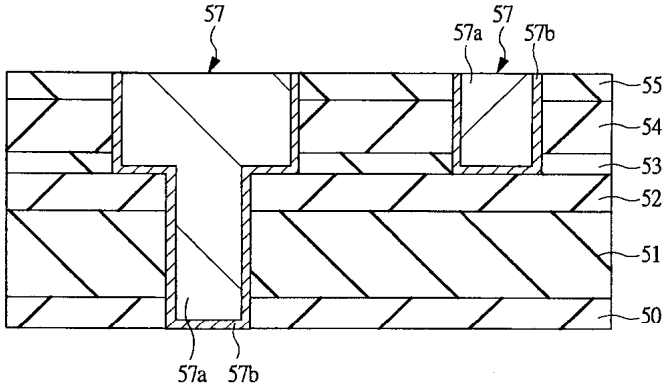
도면26



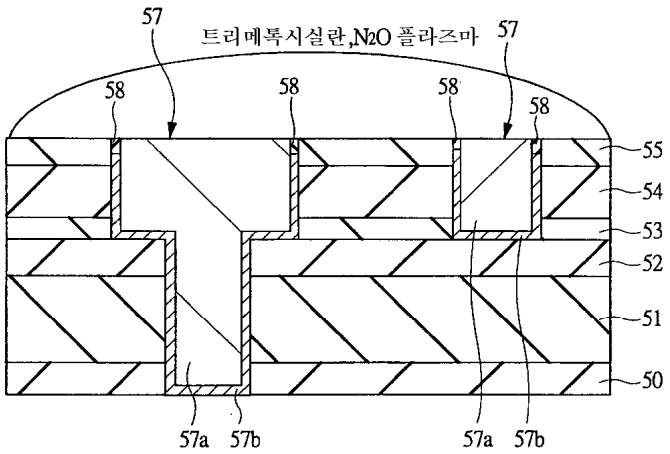
도면27



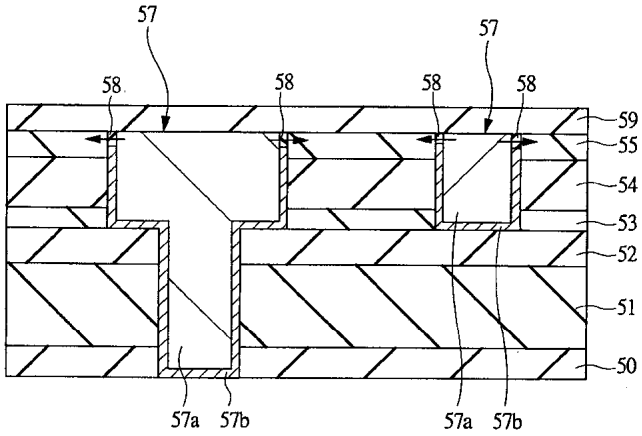
도면28



도면29


57
트리메톡시실란,N2O 플라즈마
57
58
58
58
58
55
54
53
52
51
50
57a
57b
57a
57b

도면30


57
57
58
58
58
58
59
55
54
53
52
51
50
57a
57b
57a
57b