



[12] 发明专利说明书

[21] ZL 专利号 90109951.1

[51]Int.Cl⁵

[45]授权公告日 1994 年 1 月 5 日

G11C 16/02

[24]颁证日 93.10.24

[21]申请号 90109951.1

[22]申请日 90.12.7

[30]优先权

[32]89.12.14[33]US[31]450,702

[73]专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

[72]发明人 约翰 F·施雷克 帕特 C·特鲁格

[74]专利代理机构 上海专利事务所

G11C 7/00

代理人 沈昭坤

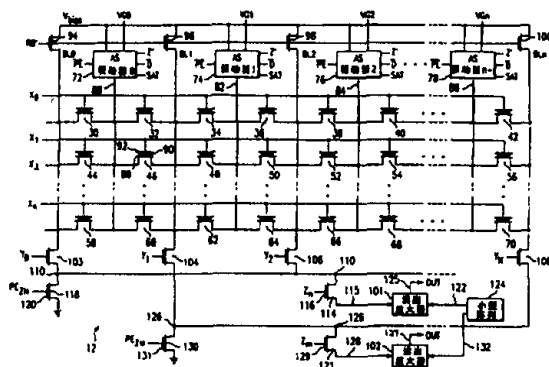
说明书页数:

附图页数:

[54]发明名称 对电可编程存储单元进行读出和编程的方法和装置

[57]摘要

用来对一系列电气可编程序存储单元 (30—70) 进行译码的装置, 该装置包含一阵列源驱动器电路 (72), 用以有选择地把一个选定的存储单元 (152) 的第一端点 (140) 与一个编程偏置电压或与地相连。一个位线驱动器电路 (94—100, 120) 有选择地把上述选定的存储单元 (152) 的第二端点 (154) 与地或与一个读出结点 (115) 相连。读出是通过把第一端点 (140) 与地相连和把第二端点 (154) 与读出结点 (115) 相连来进行的。编程则是通过把第一端点 (140) 与编程偏置电压相连和把第二端点 (154) 与地相连来完成的。



权利要求书

1.一种用来对具有第一和第二两个端点的电流通路的电气可编程序存储单元进行读出和编程的装置,其特征在于该装置包括:

一个与上述第一端点相连接的阵列源驱动器电路,一个与上述阵列源驱动器电路相连的接地源和编程偏置电压源;

至少有一个被上述阵列源驱动器电路接收的读出模式信号,在接收到所述读出模式信号后,所述电路把上述第一端点与地相连;

至少有一个被上述阵列源驱动器电路接收的编程模式信号,在接收到上述编程模式信号后,该电路把上述第一端点与上述编程偏置电压源相连;

一与所述第二端点,一读出结点和一个地相连的位线驱动器电路,彼此相连以接收所述读出和程序(工作)模式信号,在接收到所述程序(工作)模式信号后,所述位线驱动器电路响应而把所述第二端点与地相连,当接收到所述读出(工作)模式信号后,所述位线驱动器电路把所述第二端点与所述读出结点相连。

2.如权利要求1所述的装置,其特征在于,上述阵列源驱动器电路可接收一个指明进行读出或编程操作的虚地控制信号。

3.如权利要求1所述的装置,其特征在于,上述阵列源驱动器电路包括:

一个具有一个栅极的第一P沟道场效应晶体管 and 一条上述晶体管的电流通路,有选择地与上述编程偏置电压和上述存储单元的上述第一端点相连。

一个有一个栅极的第一n沟道场效应晶体管和一个上述n沟道晶体管的电流通路,有选择地与地和上述存储单元的上述第一端点相连,以及

一个与上述栅极相连以便有选择地启动上述第一P沟道或n沟道场效应晶体管的控制电路。

4.如权利要求3所述的装置,其特征在于上述控制电路包括:

一具有一条有选择地连接上述编程偏置电压和第一结点的电流通路的第二P沟道场效应晶体管,且上述第二P沟道晶体管由一个控制信号控制;

一具有一条有选择地连接上述第一结点和第二

结点的电流通路的第二n沟道场效应晶体管,且上述第二n沟道晶体管由一个反相数据信号操纵(启动);

一具有一条有选择地连接上述第二结点和第三结点的电流通路的第三n沟道场效应晶体管,且上述第三n沟道晶体管由一个反相编程启动信号操纵(启动);

一具有一条有选择地连接上述第三结点和地的电流通路的第四n沟道场效应晶体管,且上述第四n沟道晶体管由一个译码后的信号启动;以及

与上述第一结点相连接的上述第一P沟道场效应晶体管的栅极,以及与上述第三结点相连接的上述第一n沟道场效应晶体管的栅极。

5.如权利要求4所述的装置,其特征在于,上述阵列源驱动器电路还包括一具有一条连接一个虚地控制信号和上述第二结点的电流通路的第五n沟道的场效应晶体管,且上述第五n沟道晶体管由一第二译码后的信号操纵(启动)。

6.如权利要求5所述的装置,其特征在于,上述阵列源驱动器电路由启动上述第五晶体管进行选择并由截止上述第五晶体管而不被或解除选择。

7.如权利要求4所述的装置,其特征在于,上述第一P沟道场效应晶体管制作在一个n型半导体材料的池区内,上述池区被连到上述编程偏置电压,上述第二P沟道场效应晶体管也制作在一个n型半导体材料的池区内,上述池区也连到上述编程偏置电压。

8.如权利要求1所述的装置,其特征在于上述位线驱动电路包含:

一具有一条连接上述读出结点和上述第二端点的第一n沟道场效应晶体管;以及

一具有一条连接上述第二端点和地的第二n沟道场效应晶体管,上述第二晶体管由一个译码后的信号操纵(启动)。

9.如权利要求1所述的装置,其特征在于所述单元是排列成若干行和若干与行成一角度的若干列的多个电气可编程只读存储单元中的一个,上述存储单元与多个阵列源驱动器电路以及位线驱动电路相连,上述每一个阵列源驱动器电路与两个相邻的存储单元的第一端点相连且至少可驱动上述存储单元中的一列,上述每一条位线驱动电路与两个相邻的存储单元的第二端点相连且至少可驱动上述存储

单元中的一列, 所述阵列源驱动器和位线驱动器是在上述存储单元的列之间交替设置的。

10. 如权利要求 9 所述的装置, 其特征在于, 上述阵列源驱动器电路的每一个都与两个相邻存储单元的列的第一端点相连, 一系列上述位线驱动器电路的每一条与两个相邻存储单元的列的第二端点相连。

11. 一电气可编程序只读存储器阵列, 其特征在于包括:

多个排列成行和列的电气可编程存储单元;

多个阵列源线, 它的每一条置于相邻的两个存储单元列之间且与上述存储单元的第一端点相连;

多个阵列源驱动器电路, 其中每一个都与一个阵列源线相连, 在接到编程(工作)模式信号后, 有选择地把一个选定的存储单元的第一端点与一个编程偏置电压相连, 并且在接到一个读出(工作)模式信号后, 把它与地相连。

多个位线驱动电路, 每一个都与一条位线相连, 在接到一读出(工作)模式信号后有选择地把一个选定的存储单元的第二端点与一个读出结点相连, 并且在接到上述编程(工作)模式信号后把它与地相连; 以及

一个通过一个地址译码晶体管与上述位线相连的读出电路。

12. 如权利要求 11 所述的阵列, 其特征在于, 上述阵列源驱动器电路可通过把上述第一端点和地相连以及上述第二端点与上述具有一个读数偏置电压的读出结点相连而在读出(工作)模式时译出上述选定的存储单元, 并且进一步可通过把上述第一端点和上述编程偏置电压以及上述第二端点与地相连而在编程(工作)模式中译出上述选定的存储单元。

13. 如权利要求 11 所述的阵列, 其特征在于, 每一个上述源驱动器电路可接收一指出是读出操作还是编程操作的一个虚地控制信号。

14. 如权利要求 11 所述的阵列, 其特征在于, 每一个上述阵列源驱动电路包括:

一个具有一个栅极的第一 P 沟道场效应晶体管, 上述第一 P 沟道晶体管的一个电流通路有选择地与上述编程偏置电压和上述存储单元的第一端点相连;

一具有一栅极的第一 n 沟道场效应晶体管,

上述第一 n 沟道晶体管的一条电流通路有选择地与地和上述存储单元的上述第一端点相连; 以及

一个与上述栅极相连的控制电路, 用以有选择地启动上述第一 P 沟道场效应晶体管或启动上述第一 n 沟道场效应晶体管。

15. 如权利要求 14 所述的阵列, 其特征在于, 上述控制电路包括:

一具有一条选择性地连接上述编程偏置电压和一个第一结点的第二 P 沟道场效应晶体管, 上述第二 P 沟道晶体管由一个控制信号启动;

一具有一条选择性地连接上述第一结点和第二结点的电流通路的第二 n 沟道场效应晶体管, 上述第二 n 沟道晶体管由一个反相数据信号启动;

一具有一条选择性地连接上述第二结点和第三结点的电流通路的第三 n 沟道场效应晶体管, 上述第三 n 沟道场效应晶体管由一个反相编程启动信号启动;

一具有一条选择性地连接上述第三结点和地的电流通路的第四 n 沟道场效应晶体管, 上述第四 n 沟道场效应晶体管由一个译码后的信号启动; 以及

与上述第一结点相连的上述第一 P 沟道场效应晶体管的栅极, 以及与上述第三结点相连的上述第一 n 沟道场效应晶体管的栅极。

16. 如权利要求 15 所述的阵列, 其特征在于, 每一个上述阵列源驱动器还包含一个与一个虚地控制信号和上述第二结点相连的电流通路的第五 n 沟道场效应晶体管, 且上述第五级晶体管由一个第二译码后的信号启动。

17. 如权利要求 16 所述的阵列, 其特征在于, 阵列源驱动器电路通过启动上述第五场效应晶体管被选定, 通过关闭上述第五场效应晶体管而不被选择。

18. 如权利要求 15 所述的阵列, 其特征在于, 上述第一 P 沟道的场效应晶体管的池区是与上述编程偏置电压相连, 上述第二 P 沟道场效应晶体管的池区也与上述编程偏置电压相连。

19. 如权利要求 11 所述的阵列, 其特征在于, 每一个上述位线驱动器电路包含:

一具有一条连接上述读出(工作)模式信号和上述第二端点的电流通路的第一 n 沟道场效应晶体管; 以及

一具有一条连接上述第二端点和地的电流通路

的第二 n 沟道场效应晶体管, 所述第二晶体管由一译码后的信号驱动。

20. 一种用来对每一个都有第一和第二端点的电流通路的多个存储单元进行读出和编程的装置, 其特征在于, 它包括:

用来选择上述单元之一的装置;

用来通过把上述第一端点和地连接以及把上述第二端点和一个读出结点相连以读出上述选定的存储单元的装置, 以及

用来通过把上述第一端点和一个编程偏置电压相连以及把上述第二端点和地相连来对上述选定的存储单元进行编程的装置。

21. 如权利要求 20 所述的装置, 其特征在于上述存储单元有第一和第二半导体结。

22. 如权利要求 21 所述的装置, 其特征在于, 上述第一结点是一种阶梯 (缓变) 结, 上述第二结是一种陡变 (突变) 结。

23. 如权利要求 20 所述的装置, 其特征在于, 当读出上述选定的存储单元时, 一电流从上述选定的存储单元的上述第二端点流到上述第一端点, 当对上述选定的存储单元进行编程时, 一电流从上述选定的存储单元的上述第一端点流向第二端点。

24. 一种对多个电气可编程存储单元进行译码的方法, 其中上述存储单元的每一个在一阵列源结点和一位线结点之间都有一条电流通路, 其特征在于, 所述方法包含下列步骤:

分别测定具有指出读出操作还是编程操作的、具有第一和第二状态的一个控制信号;

译出一个选定的存储单元的地址;

在测定上述控制信号的第二状态后, 把上述选定的存储单元的上述阵列源结点和一个编程偏置电压相连以及在测定上述被读出的控制信号的第一状态后把它与地相连;

在读出上述控制信号的第二状态后, 把上述选定的存储单元的上述位线结点和地相连以及在测定上述被读出的控制信号的第一状态后把它与一读出偏置电压相连; 以及

在测定上述控制信号的第一状态后, 对上述选定的存储单元进行读出, 在测定上述控制信号的第二状态后, 对上述选定的存储单元进行编程。

25. 如权利要求 24 所述的方法, 其特征在于该方法包含下列读出步骤:

把上述选定的存储单元的阵列源结点与地相连;

把上述选定的存储单元的位线结点与上述读出偏置电压相连; 以及

测定上述位线结点的电位。

26. 如权利要求 24 所述的方法, 其特征在于所述方法包含下列编程步骤:

把上述选定的存储单元的阵列源结点与上述编程偏置电压相连;

把上述选定的存储单元的位线结点与地相连; 以及

在上述选定的存储单元的栅极上施加一个高压。

本发明涉及到一种可程序的存储装置, 特别是涉及到为电气可编程序存储单元读出和编程的方法和装置。

许多电气可编程序只读存储装置 (EPROM) 是一种虚 (接) 地或者是译码接地式装置。虚 (接) 地电气可编程序只读存储器在授予费希尔 (Fisher) 和罗杰斯 (Rogers) 的美国专利 3934233 号, 授予 E.R. 科代尔 (E.R. Candel) 的美国专利 4021781 号以及授予尼尔 (Neal) 和里德 (Reed) 的美国专利 4281397 号已有所揭示, 所有这些专利都转让给了德克萨斯仪器公司。

虚接地阵列中的存储单元是以若干行和若干与行正交的列的方式排列的。相邻的存储单元的列共用一根位线, 在任何一排中的相邻的一对单元的电流通路的诸第一端点都连到这一根位线上, 另一端的诸端点则连到不同阵列源或译码的接地线上。

为了对一个单元进行读出, 在一个选定的存储单位的一条电流通路的一端的一阵列源或译码 (接) 地被置于低电平。位线则与一电压偏置源相连接。如果存储单元是导通的, 则有一个电流从该位线流向该存储单元的阵列源。该存储单元的导电状态可通过测定该位线的电位来确定。

如果要对一个存储单元进行编程, 那么阵列源也被置于低电平, 位线则与一个较高的电压源相连, 例如 12 伏左右的电压源。请注意, 在本例中, 电流方向也是从位线流向存储单元的阵列源。以这种方式安排时, 存储单元有专用的漏和源通

路。在那里电流总是以同一方向流动。

在读出方式时,为了克服或减少热电子效应,人仍希望将位线或漏极的电压值保持在尽可能低的低电平,因为由于热电子效应,电子将从器件的沟道进入浮置栅极,读出从而将干扰“存储单元的状态”。然而,为了减少漏极的结电容,人们也希望提高位线的电压。器件的漏极线路应该使器件的编程最佳化,但是,这种最佳化也加重了“读出干扰”。从上所述,由于读出和编程的要求不同,甚至相互矛盾,要使存储装置兼具最佳的读出和编程特性似乎是不可能的。

本发明的目的就在于解决上面的问题。

本发明提供了用来对电气可编程存储单元译码的方法和装置,该方法和装置基本上克服或减少了现有电路的缺点和问题。

本发明所提供的是用来对具有第一和第二端点的电流通路的电气可编程存储单元进行读出和编程的装置。该装置包含一个与第一端点相连的阵列源驱动器电路和一个与阵列源驱动器电路相连的地源和程序偏置电压源。该阵列源驱动器电路在接到一个读出工作模式信号时,把第一端点与地相连,在接到一个程序工作模式信号时,把该第一端点与程序偏置电压源相连。此外,该存储单元的第二端点与一个位线驱动器电路、一个读出结点以及地相连。该位线驱动器电路在接到程序工作模式信号后就把第二端点与地相连,或者,在接到读出工作模式信号时把第二端点与读出结点相连。

本发明一个重要的技术优点在于,它提供了一种能从一侧被读出而从另一侧被编程的存储单元。

本发明的另一个重要的技术优点是它提供了既能使读出又能使编程最佳化的用于电气可编程序只读存储器中的存储元件。

参阅下列附图能更好地了解本发明,附图中:

图 1 是一个 1 兆字节电气可编程序只读存储器的示意性方框图,图中示出了在一块芯片上的单元阵列和电路块的近似的几何位置。

图 2 是图 1 中一个单元阵列的一小部分及其相应的电路的示意性电路图。

图 3 是用于图 2 所示阵列的一阵列源 (AS) 驱动器电路及其相应的存储单元的详细电路图。

图 4 是一个用来产生用在图 3 所示的 AS 驱动器电路中的 D 信号的一个外围电路的示意性框

图。

图 5 是一个产生用于图 3 中的 AS 驱动器电路的 $V_{\infty RB}$ 信号的外围电路的示意性电路图。

图 6 是一个产生用于图 3 中的 AS 驱动器电路的 SAT 信号的外围电路的详细的电路图。

图 1 示出了上面制有 1 兆字节的互补金属氧化物半导体电气可编程序存储阵列的芯片中核心部分的示意性框图。此 1 兆字节阵列在图中总的用编号 10 表示。阵列 10 被组织成 16 个 64K 阵列部分 12。位于阵列部分 12 之间的是虚 (接) 地译码器部分 14 和读出放大器部分 16。每一个读出放大器部分 16 包含有 32 个读出放大器,每一个相邻的阵列部分各有 16 个读出放大器。

在实施例 1 中,阵列部分 12 和它们的虚 (接) 地译码器部分 14 以及读出放大器部分 16 组织成两列和八行的较高次阵列。一个行列译码器部分 18 位于此较高次阵列的顶部,并且通过一个行列互连部分 20 与相应的阵列 12、虚 (接) 地译码器部分 14 和读出放大器部分 16 相连。一地址译码器部分 22 有与相邻的行列译码器部分 18 相连的输出端。在实施例 1 中,一个程序控制块 24 位于此芯片的左上角,一个非程序控制块 26 位于此芯片的右上角。在实施例 1 中,一个 Z 地址和译码器部分 25 在空间上与地址译码器 22 隔开,并位于这一芯片 10 的右下角。多个 I/O (输入/输出) 区 28 与非程序控制块 26 相连以与片外进行联系。

图 2 是一个 64K 阵列部分 12 的一部分的更详细的示意图。其中示出了电气可编程序只读存储单元 30—70, 这些单元排列成多个行和多个与之正交的列。每行单元分别有一行字线 $X_0, X_1, \dots, X_n$ 与之相连。每对列单元有一位线 $BL_1, BL_2, \dots, BL_{n-1}$ 与之相连。外位线 BL_0 和 BL_n 各只与一系列存储单元相连。每对列单元也各有一个相应的 AS (阵列源) 驱动器电路 72—78 与之相连。每一个 AS 驱动器电路 72—78 与一个相应的译码或虚 (接) 地信号源 $V_{G0}, V_{G1}, \dots, V_{Gn}$ 相连,并且另外又与一个偏置电压源 V_{bias} 相连,这个偏置电压源可以是 1.7V。每一个 AS 驱动器电路 72—78 相应有一个 AS 驱动器线 80—86 作为输出,每一 AS 驱动器线与一对列单元中的每一单元的电流通路相连。AS 驱动器电路 72—78 接受控制信号 $\overline{PE}$, Z' 和 SAT 以及数据 $\overline{D}$, 其中 Z' 是从译码信号 Z (下面将要

讨论的)得出的代表性信号。

存储单元 30—70 基本上都是一样的。以存储单元 46 为例, 每一个存储单元都有一个电流通路 88, 一个浮置栅 90 和一个控制栅 92。每一个存储单元的电流通路连接在一 AS 驱动器线和一相应的位线之间。例如, 存储单元 46 的电流通路就是连接在 AS 驱动器线 80 和位线 BL_1 之间。每一个存储单元的控制栅则连到这一行的一条相应的字线上。再以单元 46 为例, 它的控制栅 92 与字线 X_1 相连。

电压源 V_{bias} 通过 n 沟道场效应晶体管 94—100 分别与位线 BL_0 、 BL_1 、 BL_2 ... BL_n 相连。晶体管 94—100 的栅极都有一个读出偏压(置)信号 RB' 与它相连。信号 RB' 是从一个读出偏置信号 RB (以后要加以描述的) 得来的, 最好是比 RB 大约低 0.1V。 RB 是在读出放大器 101 和 102 之内使用的。这两个信号之间的电压差值可使位线不浮置, 防止在读出运行中有任何干扰, 因为电流较小。

相应的 n 沟道场效应译码晶体管 103—108 的电流通路和相应的位线 BL_0 、 BL_1 、 BL_2 ... BL_n 的端点相连, 这些端点与连接到晶体管 94—100 上的端点相对。晶体管 103—108 的栅极分别接到 Y—译码信号 Y_0 、 Y_1 、 Y_2 ... Y_n 。晶体管 103—108 被分成奇数和偶数晶体管列, 例如, 晶体管 103 和 106 是偶列, 而 104 和 108 则是奇列。

偶列晶体管 103 和 106 等的电流通路有选择地把相应的位线 BL_0 、 BL_2 ... BL_{n-1} (未画出) 和结点 110 相连, 结点则通过一个场效应晶体管 114 的电流通路和线 115 与读出放大器 101 相连。晶体管 114 的一个栅极 116 与一个译码信号 Z_n 相连。结点 110 通过一个场效应晶体管 118 的电流通路有选择性地与地相接, 它的一个栅极 120 则与程序启动信号源 PE_{ZN} 相连。

读出放大器 101 把从读出线 115 上接收到的信号与在参考线 122 上接收到的信号进行比较。参考线 122 连到一个例如带有 16 个只读存储单元的小型阵列内的一个选出点上。参考线 122 连接于其上的这一阵列内的点是可编程的, 使小型阵列 124 内的运行单元的状态能预先选择。

奇数晶体管 104 通过晶体管 108 有选择地把相应的位线 BL_1 、 BL_3 ... BL_n 连到结点 126, 此结

点则通过一个 n 沟道的场效应晶体管 121 的电流通路和线 128 连到读出放大器 102 上。晶体管 121 的一个栅极 129 则与一个译码后的信号 Z_m 相连。结点 126 有选择地通过场效应晶体管 130 的电流通路与地相连, 晶体管 130 的栅极 131 则与一个译码后的程序启动信号源 PE_{ZM} 相连。读出放大器 102 与读出放大器 101 相对应, 该读出放大器 102 把从读出线 128 接收到的信号与从参考线 132 上接收到的一个参考值进行比较, 而参考线 132 则连接到一个小型阵列 124 内的一个预先确定的点上。

图 3 是用来较详细地说明 AS 驱动电路 74 的示意性电路图, 应该理解图 3 中所示的电路在每一个 AS 驱动器电路 72—78 中都是有相同的。一个 P 沟道的场效应晶体管 133 的电流通路有选择地把一个偏压源 V_{bias} 与结点 134 连接起来。P 沟道晶体管 133 是制于一个 n 型半导体材料的池区内 (未画出), 后者又形成在一个 P 型半导体衬底内。这个池区也接到 V_{bias} 上。结点 134 有选择地通过一个 n 沟道的场效应晶体管 135 的电流通路和结点 136 相连接。一个 P 沟道的场效应晶体管 138 的电流通路有选择地把 V_{bias} 与一个 AS 输出结点 140 相互连接起来。晶体管 138 的池区与 V_{bias} 相连。输出结点 140 也有选择地通过 n 沟道的场效应晶体管 142 的电流通路和地或 V_m 相连。

n 沟道的场效应晶体管 144 有一个通路把结点 136 与结点 146 有选择地连接起来, 结点 146 与 n 沟道的晶体管 142 的一个栅极相连。结点 146 另外又通过 n 沟道晶体管 148 的电流通路有选择地与地相连。

P 沟道晶体管 133 的栅极与一个信号 SAT 相连接。n 沟道 (场效应) 晶体管 135 的栅极与信号 $\bar{D}$ 相连。n 沟道晶体管 144 的栅极与一个反相程序启动信号 $\bar{PE}$ 相连接。n 沟道晶体管 148 的栅极与一个反相译码信号 $\bar{Z}$ 相连。结点 136 通过一个 n 沟道场效应晶体管 150 的电流通路和一个译码后的或虚的接地源 VG_i 有选择地相连接。其中 i 可以是 1 到 n。晶体管 150 的栅极与一个译码信号 (源) Z 相接。

V_{bias} 信号源是一个电压电源, 此电压保持在比芯片低电压源 V_{23} (的电压) 要高 P 沟道 (电压) V_1 加上 0.5V。参照图 3 图与图 1 联系起

来考虑, 虚地信号 V_{G1} 是由相应的 VG 译码部分 14 产生的, 信号 SAT 和 $\overline{PE}$ 在程序控制部分 14 产生, 而信号 Z 的各分量是由 Z 译码器部分 25 产生的, Z 和 $\overline{Z}^*$ 则由 VG 译码部分 14 和读出放大器 16 部分产生。

AS 驱动器 74 的输出结点 140 与在字线 X_i 上的存储单元 152 相连。存储单元 152 是图 2 中的存储单元 30—70 的一个代表性单元。存储单元 152 与相应的位线 BL_i 在结点 154 相接, 此结点与一个由信号 Y_i 控制的 n 沟道场效应晶体管 156 相连。晶体管 156 有选择地把结点 154 与结点 110 或结点 126 (图 2) 连接起来, 然后此结点通过由信号 Z_n 或 Z_m 控制的晶体管 114 或 121 有选择地与读出放大器 101 或 102 连接起来。信号 PE_{Zn} 和 PE_{Zm} 可以有选择地把结点 110 或 126 与地相连。

图 4 是能产生信号 $\overline{D}$ 的电路的示意性简图。一个 $\overline{NAND}$ (与非) 门 160 有一个 $\overline{DATA}$ 和 $\overline{PE}$ 输入端, 其中 $\overline{DATA}$ 和 $\overline{PE}$ 来自芯片 10 之外。 $\overline{PE}$, 也就是程序启动信号, 只有当阵列 10 被编程时才具有高电位, 与非门 160 的一个输出 162 与一个反相器 164 的输入端相连。反相器 164 的输出端 166 则通过一个 n 沟道的场效应晶体管 168 的电流通路与 $\overline{D}$ 输出结点 170 相连接。一个从外部产生的写入启动 ($\overline{WE}$) 信号加到一个 P 沟道场效应晶体管 172 及晶体管 168 的栅极。

一个反相写入启动信号 $\overline{WE}$ 加到 n 沟道晶体管 174 的栅极上。读出偏置信号 RB, 或者当 $\overline{WE}$ 处于低态时通过 P 沟道晶体管 172 或者当 $\overline{WE}$ 处于高态时通过 n 沟道的晶体管 174 的电流通路与 $\overline{D}$ 输出结点 170 相连。因此, 当 $\overline{WE}$ 等于 0, 即 $\overline{WE}$ 等于 1 时, RB 信号被送到结点 170, 否则, RB 将与输出结点 170 隔离。

当 $\overline{WE}$ 处于高态时, 晶体管 168 是导通的, 因此, 信号可以从结点 166 传到 $\overline{D}$ 输出结点 170。结点 166 只有当 $\overline{DATA}$ 和 $\overline{PE}$ 都是高电平时, 它才升高, 因此, 结点 170 的 $\overline{D}$ 也只有 $\overline{PE}$ 处于高态时它才高, 后者仅当 EPROM 被编程时才发生。如上所述, 当 $\overline{WE}$ 处于高态时 $\overline{D}$ 将取 RB 的值。

图 5 是一个产生 $V_{\infty}RB$ 、在图中总的用编号 180 表示的电路图。和图 4 所示的电路一样, $V_{\infty}RB$ 电路是位于芯片的程序控制块 24 (图 1) 之

内的。一个 n 沟道场效应晶体管 182 有一个与信号 RB 相连的栅极和一个与电压源 V_{∞} 相连的漏极。晶体管 182 的源极与 $V_{\infty}RB$ 输出结点 184 相接。P 沟道场效应晶体管 186 有一个栅极与信号源 $\overline{PE}$ 相连, 这 $\overline{PE}$ 是 $\overline{PE}$ 信号源的反相信号。晶体管 186 的一个源极与编程电压源 V_{pp} 相连, 它的漏极与 $V_{\infty}RB$ 输出结点 184 相接。可以看出, 输出结点 $V_{\infty}RB$ 当 RB 为高电平时可以等于 $RB - V_{tn}$ 的值; RB 的值使得 $V_{\infty}RB$ 在读出模式时超过 $V_{tp}0.5$ 左右。或者, 当 $\overline{PE}$ 是低电平时, $V_{\infty}RB$ 可以基本上是 V_{pp} 电压值。 V_{tn} 和 V_{tp} 分别是 n 沟道和 P 沟道的阈值电压。

图 6 是一个产生 SAT 信号、在图中总的用 190 表示的信号发生电路的示意图。一 P 沟道场效应晶体管 192 有一个与写入启动信号源 $\overline{WE}$ 相连的栅极, 它的一个源极与 $V_{\infty}RB$ 电压源相接。此电压源用如图 5 所示的信号发生电路 180 产生。晶体管 192 的漏极与 SAT 输出结点 194 相连, 这个输出结点也连到 n 沟道场效应晶体管 196 的漏极, 同时, 这个晶体管 196 的栅极与 $\overline{WE}$ 信号源相连接。晶体管 196 的一个源极与地相接通。P 沟道场效应晶体管 198 的源极与 $V_{\infty}RB$ 电压源相连, 并且它的漏极与 SAT 输出结点 194 相接。晶体管 198 的栅极也与 SAT 输出结点相连接。

当 $\overline{WE}$ 信号是高电平时, n 沟道晶体管 196 被导通, 同时 P 沟道晶体管 192 将断开。在这种情况下, P 沟道晶体管 198 将把 SAT 信号保持在 $V_{\infty}RB$ 减去 P 沟道电压值 V_t 的值上。在编程模式时, 这个值将接近 $V_{pp} - V_t$ (P 沟道)。这是因为晶体管 196 比晶体管 198 小, 所以, 晶体管 198 限制 SAT 信号所能降到的值。当 SAT 信号达到 $V_{\infty}RB - V_{tp}$ 时, 图 3 中的晶体管 133 将导通。晶体管 133 由于它的栅极没有接地, 因而将处在高阻抗状态。SAT 信号因此也就限制了通过晶体管 133 的电流。当 $\overline{WE}$ 处于低电平时, 晶体管 196 断开, 同时晶体管 192 导通。所以, SAT 在读出模式时的值为 $V_{\infty}RB$ 的值。

再回头参见图 2 到图 6 并以图 3 中的存储单元 152 作为例子, 讨论存储单元 30—70 的读出和编程运行情况。在读出操作时, 假定要读出的是存储单元 152, 相应的译码后的信号 X_i 和 Y_i 处于高电平。 X_i 和 Y_i 分别选择存储单元 152 的字线和位

线, 由此也就选择了这个存储单元, 另外, 信号 (电压) V_{gi} 处于与芯片高压源 V_{∞} 相同的电压电平并通过晶体管 150 传到结点 136, 其中晶体管 150 是被高电平信号 Z 导通的。

信号 $\overline{D}$ 的电平与读出偏置信号 RB 相等, 如图 4 所示, 它是由能通过晶体管 172 和 174 的低电平 WE 信号所产生的。信号 RB 可以是约 2.8V。信号 $\overline{D}$ 使晶体管 135 导通, 使得高压信号 VG_1 能通到结点 134。由于连到晶体管 133 的栅极上的信号 SAT 的电平与 $V_{\infty}RB$ 相等所以, 晶体管 133 处于截止状态。晶体管 138 也截止, 这是因为连到晶体管 138 的栅极的结点 134 处于高电平状态。由于编程启动信号 PE 只有当它编程时才是高电平, 所以 $\overline{PE}$ 在读出期间是高电平并且导通晶体管 144 使得高压 V_{gi} 信号从结点 136 传到结点 146。所结点 146 和地相连的晶体管 148 由于低电平信号 Z^* 而处于断开状态, 因而结点 146 保持高电平。连接到晶体管 142 的栅极上的结点 146 的高电压电平使晶体管 142 导通, 把结点 140 拉到地。存储单元 152 的一边 (侧) 因而就处于与地接近的电压电平。

在存储单元 152 的另一边 (侧), 结点 154 是连接到位线 BL_1 上的, 这 BL_1 通过图 2 所示的晶体管 94-100 中一相应的晶体管与 V_{bias} 相连接。由于 RB 是通过图 5 所示晶体管 182 的一个非零电压电平, 所以结点 154 保持在 V_{bias} 的电平附近, 结点 154 也通过由信号 Y_1 导通的晶体管 156 与结点 110 相连, 并进而通过图 2 所示的晶体管 116 和 129 与读出放大器 101 和 102 之一相连。采用这种结构时, 存储单元 152 可以通过检测结点 154 处的电平由读出放大器读出。

FAMOS 器件所特有的特点是当一个存储单元处于编程状态时, 会有一些电子停留在浮置栅极。由于浮置栅极存在电子, 存储单元 152 的漏极和源极之间是不导电的, 因此, 结点 154 的电压电位保持在 $V_{\infty}RB$ 附近。如果存储单元 152 处在消除状态, 就没有电子在浮置栅极, 因此, 漏极和源极之间是导电的。这样, 结点 154 的电压电位通过晶体管 142 被有效地拉到稍微低于 $V_{\infty}RB$ 的值。因此, 假如读出放大器 101 用于位线 BL_1 , 与读出放大器 101 相连的结点 115 对于被编程的存储单元是高电位而对于被消除的存储单元则是低

电位。

当编程时, 存储单元 152 被相应的字线和位线所选择。有一个高电压电平加到相应的字线 X_1 , X_1 与存储单元 152 的栅极相连。信号 Y_1 也是高电平而使晶体管 156 导通。

在晶体管 150 栅极的 Z 信号是高电平的, 它使晶体管 150 能让低 (电位的) V_{gi} 信号通过到达结点 136。与读出操作时被选择的 VG_1 是高电平不同, 在编程时 V_{gi} 处于低电平。

参照图 3 和图 4, 信号 $\overline{PE}$ 是约 12V 的电平, 此 12 伏电平能使与非门 160 通过 $DATA$ 到达在结点 170 的 $\overline{D}$ 。 $\overline{D}$ 与晶体管 135 的栅极相连, 晶体管 135 的导通和截止则取决于 WE 的电压电平。在选定的存储单元被“零”编程时, $\overline{D}$ 是高电位, 晶体管 135 导通。而且, 晶体管 144 由于 $\overline{PE}$ 的低电压电平而截止, 晶体管 148 由于高电平 Z^* 而导通, 这些晶体管的组合将结点 136、结点 146 和结点 134 拉到地电位。晶体管 142 由于结点 146 处于低电压电位而截止。请注意除了在编程期间 Z^* 保持高电平外, Z^* 等于反相的信号 Z 。

晶体管 133 的栅极与信号 SAT 相连, 信号 SAT 由图 6 所示的电路产生。 SAT 保持在等于 $V_{\infty}RB - V_t$ 的电位。 SAT 的产生涉及到由图 5 所示的电路产生的信号 $V_{\infty}RB$ 。当 PE 是低电位时 $V_{\text{cc}}RB$ 处于与 V_{pp} 相同的电位, 所以 $V_{\infty}RB$ 在编程期间近似地等于 12V。 SAT 的电平使得 P 沟道晶体管 133 处于高阻抗状态。

另外, 结点 134 的低电平使 P 沟道晶体管 138 导通, 这样把结点 140 的电平拉到与 V_{bias} 相等的电平。在存储单元的 152 的另一边 (侧), 控制晶体管 118 (见图 2) 的信号 PE_{ZN} 和控制晶体管 156 的译码信号 Y_1 都是高电位从而把结点 154 或相应的位线拉到地电平。最好有一个约 15V 的高电压供应给信号 PE_{ZN} 或 Y_1 使得从结点 154 到地有一个更好的导通的路径而不增加晶体管 118 和 156 的器件尺寸。这样, 选定的存储单元 152 就可以被编程。

在读出和编程运行过程中, 通过供应适当的低压信号 X_1 和 Y_1 使存储单元不被选择或解除选择。另外, 在读出时不被选择的存储单元的 V_{gi} 是低电平, 这样就将结点 136 电压拉低, 从而就晶体管 138 导通。晶体管 138 导通后, 结点 140 的电位被

拉到 V_{bias} 的值。有效地使存储单元 152 的两个结点 140 和 154 的电位相同，从而没有电流流过。

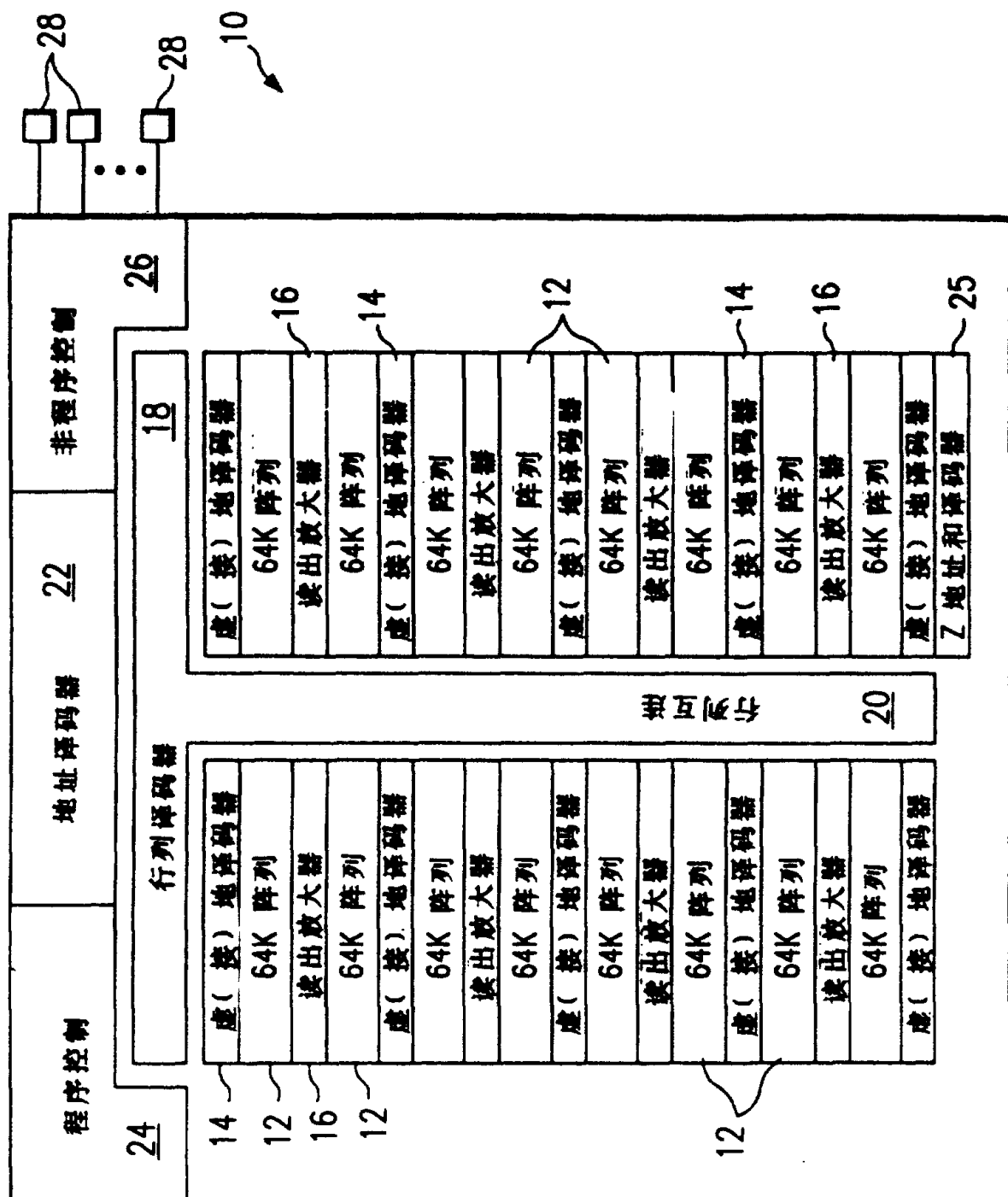
在编程期间不被选择的存储单元使信号 Z 处于低电平，从而使晶体管 150 断开。信号 V_{Gi} 对在编程时不被选择的阵列源 (AS) 驱动器是高电平，而不被选择的存储单元的 D 是低电平，从而使晶体管 135 截止。结点 134 也就与 V_{Gi} 隔离。信号 SAT 的值是 $V_{ocRB}-V_t$ ，此值使晶体管 133 导通并把结点 134 的值拉到 V_{bias} 。栅极与结点 134 相连的晶体管 138 因而被截止。这种情况下，不被选择的存储单元 152 没有电流通过。注意：为了一个存储单元解除（不被选择），上面 V_{Gi} 、Z 和 D 的任何一个的逻辑电位（值）都是够用的。

在读出操作过程中，电流从结点 154 流向结点 140，结点 154 处在等于 V_{bias} 的电位， V_{bias} 近似地等于 1.5 伏，而结点 140 处于地电位，说明这一点，是很有启发的。另一方面，在编程期间，电流从结点 140 流向结点 154，结点 140 处在接近 12.5V 的 V_{bias} 的电位值，而结点 154 处于地电位。

另外很重要的一点是，由于存储单元能从一边读出，而从另一边编程，在两边的存储单元都可以按照它们的功能形成最佳化的结。例如，为了消除或减少本技术中熟知的热载流子效应，用来读出的一边可以是缓变结或轻掺杂的漏极。另外，编程的一边为了达到最佳化的编程，则可以是一个突变结。用这种方式构造时，器件中的存储单元对读出和编程都是最优化的。

上面已对用来对电气可编程序只读存储单元进行读出和编程的方法和装置作了说明。本发明消除了通常的存储单元译码电路中所存在的上述问题。

尽管本发明在以上详细的描述中是针对实施例及其优点进行描述的，然而本发明并不仅仅局限于这些实施例及其优点，本发明的精神实质和范围只受所附权利要求书中阐述的范围所限制。



一、

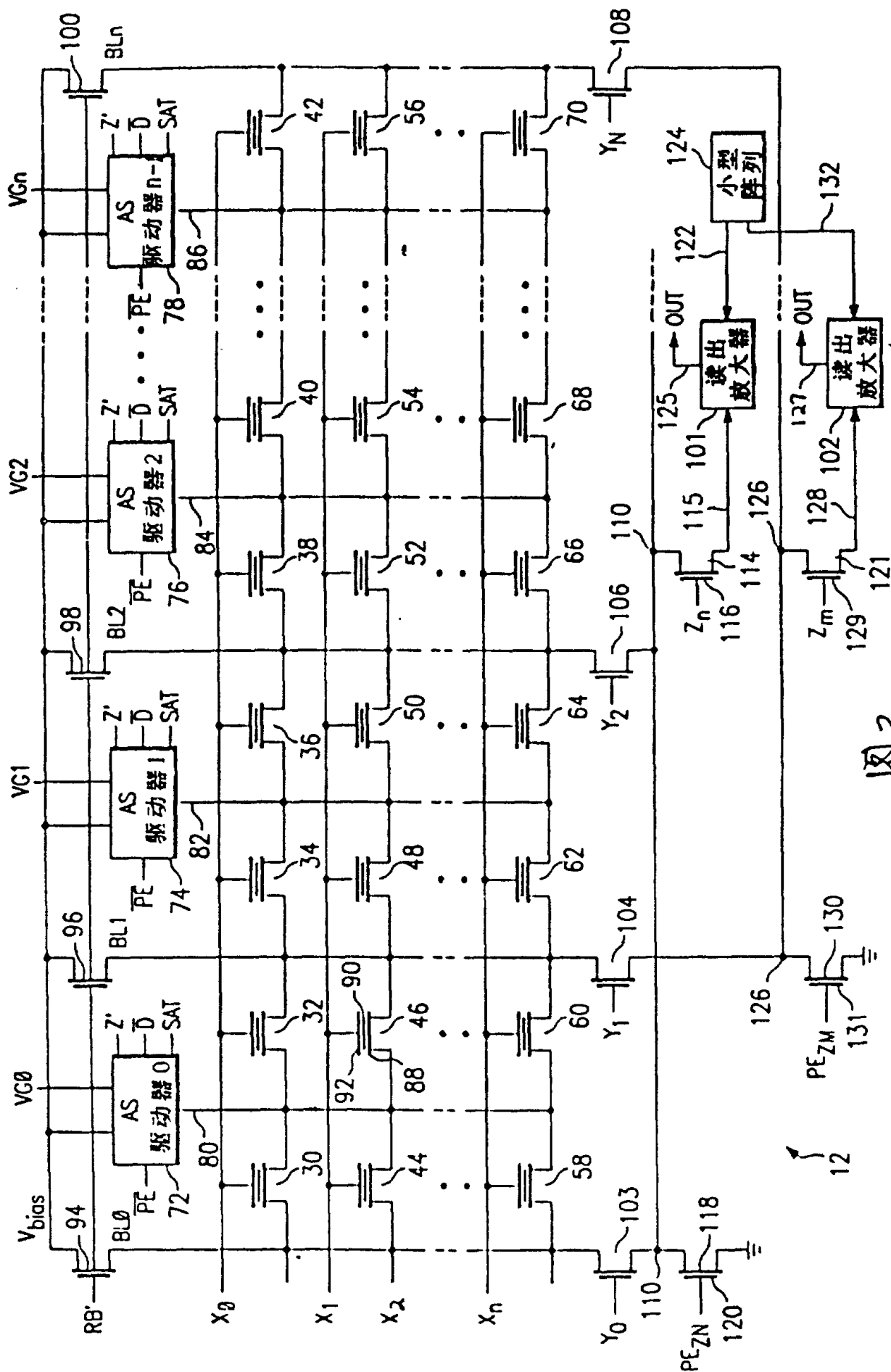


图2

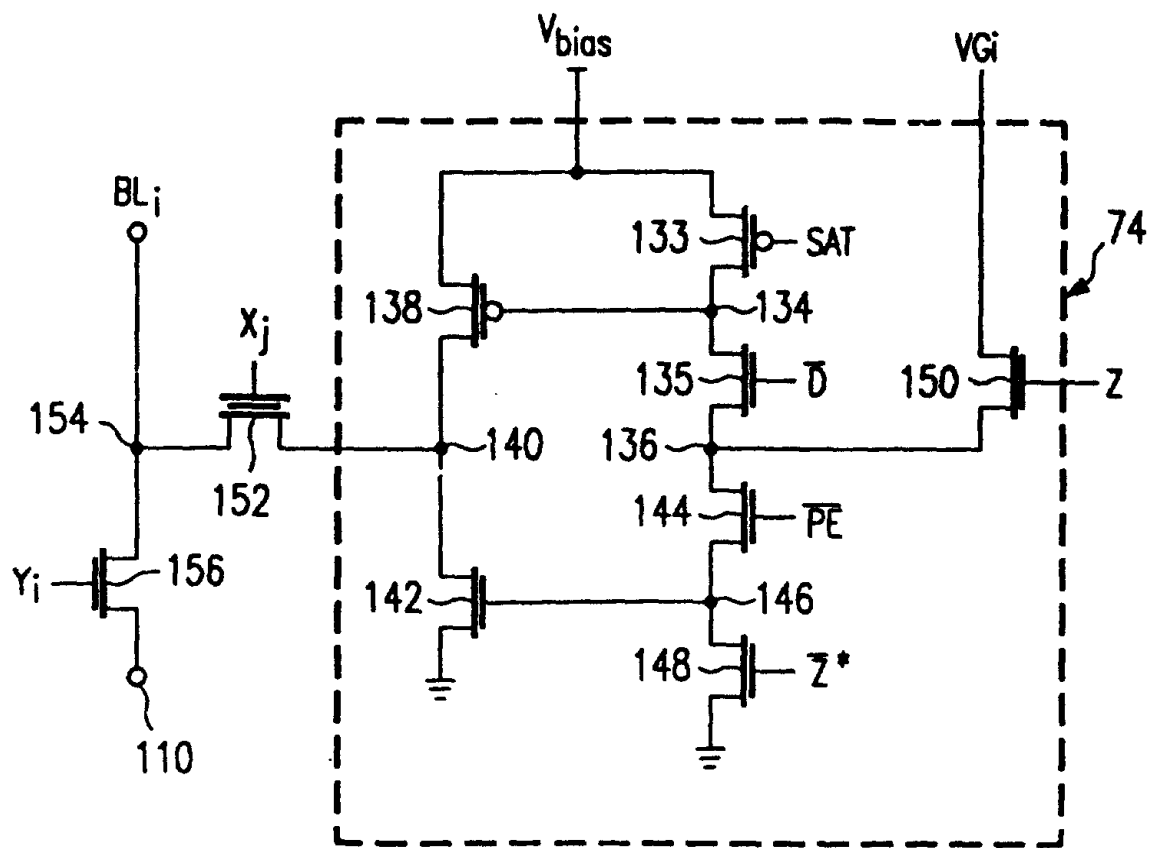


图 3

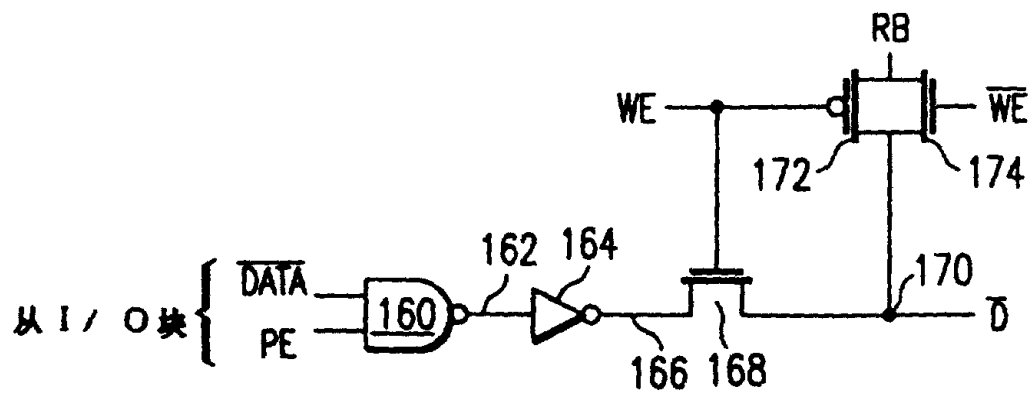


图 4

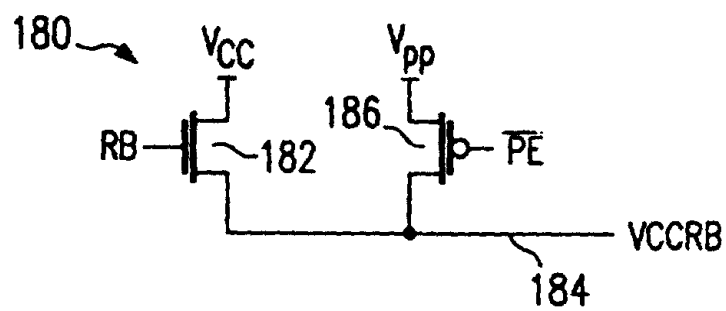


图 5

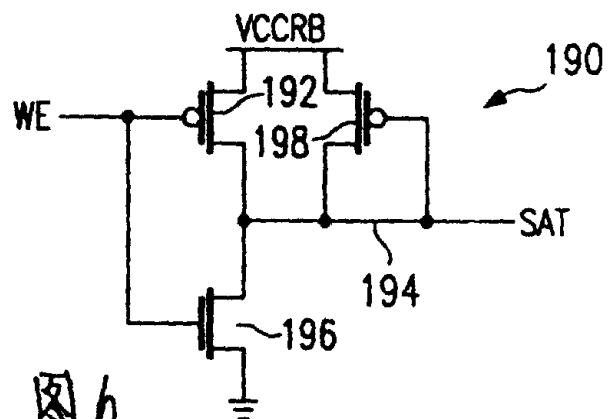


图 6